(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)公表番号
特表2024-546349
(P2024-546349A)
(43)公表日　令和6年12月19日(2024.12.19)

(51)国際特許分類		FI			テーマコード（参考）
H02M	*3/155(2006.01)*	H02M	3/155	C	5H730

審査請求　未請求　予備審査請求　未請求　（全28頁）

(21)出願番号　特願2024-539808(P2024-539808)
(86)(22)出願日　令和4年12月20日(2022.12.20)
(85)翻訳文提出日　令和6年8月29日(2024.8.29)
(86)国際出願番号　PCT/US2022/053513
(87)国際公開番号　WO2023/129427
(87)国際公開日　令和5年7月6日(2023.7.6)
(31)優先権主張番号　17/564,334
(32)優先日　令和3年12月29日(2021.12.29)
(33)優先権主張国・地域又は機関
米国(US)
(81)指定国・地域　AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,
最終頁に続く

(71)出願人　507107291
テキサス インスツルメンツ インコーポレイテッド
アメリカ合衆国 テキサス州 ７５２６５－５４７４ ダラス メイル ステイション ３９９９ ピーオーボックス ６５５４７４
(74)代理人　230129078
弁護士　佐藤 仁
(72)発明者　ジャンヌ マティアス パカラ
フィンランド オウル ９０５２０ サタマティー ２５ エイ１７
(72)発明者　ジュッシ マッティ アレクシ サルッカ
フィンランド オウルンサロ ９０４６０ ペルトクジャ ８
(72)発明者　ユハ オラヴィ ハウル
最終頁に続く

(54)【発明の名称】　高周波降圧コンバータのためのピーク電流制限管理

(57)【要約】
降圧コンバータ（１０４）などの電圧コンバータのためのコントローラが、ハイサイド及びローサイドスイッチ（２１０、２２２）を有するスイッチングレギュレータ回路（１１２）と、出力回路（１１４）の電圧を基準電圧と比較するように構成されたコンパレータ（２１２、２１４、２１６、２１８）と、コンパレータに結合され、コンパレータから出力を受け取るように構成された制御回路（１１０）であって、ハイサイドスイッがオンであるときローサイドスイッチがオフであり、ローサイドスイッチがオンであるときハイサイドスイッチがオフであるように、ハイサイドスイッチ及びローサイドスイッチを交互に切り替えるための制御信号を生成するように構成された制御回路と、を含み、制御回路が、コンパレータからの出力のうちの少なくとも１つに対応する信号をラッチするように構成されたラッチ回路を含む。確実に過電流検出する固定高周波数車載用レーダーシステムと関連して降圧コンバータを動作させる方法も記載される。

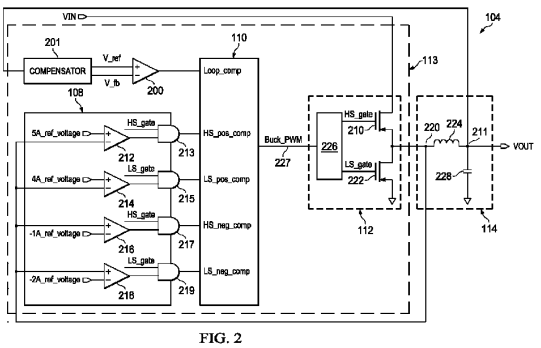


FIG. 2

【特許請求の範囲】
【請求項１】
電圧コンバータのためのコントローラであって、前記コントローラが、
入力と出力とハイサイドスイッチとローサイドスイッチとを有するスイッチングレギュレータ回路であって、前記ハイサイドスイッチ及び前記ローサイドスイッチが前記入力と前記出力との間に結合されている、前記スイッチングレギュレータ回路と、
前記スイッチングレギュレータ回路の前記出力に結合され、出力回路の入力に結合されるように適合された入力と、前記出力回路の電圧を基準電圧と比較するように構成されたコンパレータとを有する、電流比較回路と、
前記電流比較回路に結合され、前記コンパレータから出力を受け取るように構成された、スイッチングレギュレータ制御回路と、
を含み、
前記スイッチングレギュレータ制御回路が、前記ハイサイドスイッチがオンであるときに前記ローサイドスイッチがオフであり、前記ローサイドスイッチがオンであるときに前記ハイサイドスイッチがオフであるように、前記ハイサイドスイッチ及び前記ローサイドスイッチを交互にオフ及びオンにするための制御信号を生成するように構成され、前記スイッチングレギュレータ制御回路が、前記コンパレータからの前記出力のうちの少なくとも１つに対応する信号をラッチするように構成されたラッチ回路を含む、
コントローラ。
【請求項２】
請求項１に記載のコントローラであって、前記ハイサイドスイッチ及び前記ローサイドスイッチが電界効果トランジスタを含む、コントローラ。
【請求項３】
請求項２に記載のコントローラであって、前記ハイサイドスイッチ及び前記ローサイドスイッチが互いに直列に結合され、前記ハイサイドスイッチがオンであるときに或る入力がインダクタの第１の端部に印加され、前記ローサイドスイッチがオンであるときに前記インダクタの前記第１の端部が接地に接続されるようになっている、コントローラ。
【請求項４】
請求項１に記載のコントローラであって、前記出力回路を更に含み、
前記出力回路の前記入力が前記電流比較回路に結合され、
前記出力回路が、負荷に結合されるように適合される出力と、前記出力回路の前記入力と前記出力との間に結合されるインダクタとを含み、前記出力回路が、前記インダクタに結合されるコンデンサを含む、
コントローラ。
【請求項５】
請求項１に記載のコントローラであって、前記電流比較回路が、前記出力回路の感知電流を、上側電流制限範囲を規定する電流制限レベルの第１のセットと、下側電流制限範囲を規定する電流制限レベルの第２のセットと比較するように構成された、少なくとも４つのコンパレータを含む、コントローラ。
【請求項６】
請求項５に記載のコントローラであって、前記ラッチ回路が、前記電流制限レベルの第１のセットの下側電流制限レベルに関連付けられた信号をラッチするように構成されたラッチを含む、コントローラ。
【請求項７】
請求項６に記載のコントローラであって、前記スイッチングレギュレータ制御回路が、前記コンパレータのうちの１つからの出力に対応する信号をラッチするように構成された第２のラッチ回路を含む、コントローラ。
【請求項８】
請求項７に記載のコントローラであって、前記第２のラッチ回路が、前記電流制限レベルの第２のセットの上側電流制限レベルに関連付けられた信号をラッチするように構成さ

れたラッチを含む、コントローラ。
【請求項９】
請求項５に記載のコントローラであって、前記ラッチ回路が、前記電流制限レベルの第２のセットの上側電流制限レベルに関連付けられた信号をラッチするように構成されたラッチを含む、コントローラ。
【請求項１０】
請求項９に記載のコントローラであって、前記スイッチングレギュレータ制御回路が、前記コンパレータのうちの１つからの出力に対応する信号をラッチするように構成された第２のラッチ回路を含む、コントローラ。
【請求項１１】
請求項１０に記載のコントローラであって、前記第２のラッチ回路が、前記電流制限レベルの第１のセットの下側電流制限レベルに関連付けられた信号をラッチするように構成されたラッチを含む、コントローラ。
【請求項１２】
入力電圧を出力電圧に変換するための降圧コンバータのためのコントローラであって、前記出力電圧が前記入力電圧より低く、前記コントローラが、
入力と出力とハイサイドスイッチとローサイドスイッチとを有するスイッチングレギュレータ回路であって、前記ハイサイドスイッチ及び前記ローサイドスイッチが前記入力と前記出力との間で互いに直列に結合されている、前記スイッチングレギュレータ回路と、
前記スイッチングレギュレータ回路の前記出力に結合され、出力回路の入力に結合されるように適合された入力と、前記出力回路の電圧を基準電圧と比較するように構成されたコンパレータとを有する、電流比較回路と、
前記電流比較回路に結合され、前記コンパレータから出力を受け取るように構成された、スイッチングレギュレータ制御回路と、
を含み、
前記スイッチングレギュレータ制御回路が、前記ハイサイドスイッチがオンであるときに前記ローサイドスイッチがオフであり、前記ローサイドスイッチがオンであるときに前記ハイサイドスイッチがオフであるように、前記ハイサイドスイッチ及び前記ローサイドスイッチを交互にオフ及びオンにするための制御信号を生成するように構成され、前記スイッチングレギュレータ制御回路が、前記出力回路における過電流状態が確実に検出されるように、前記コンパレータからの前記出力のうちの少なくとも１つに対応する信号をラッチするように構成されたラッチ回路を含む、
コントローラ。
【請求項１３】
請求項１２に記載のコントローラであって、
前記ハイサイドスイッチ及び前記ローサイドスイッチが電界効果トランジスタを含み、
前記スイッチングレギュレータ回路が、前記ハイサイドスイッチがオンであるときに或る入力がインダクタの第１の端部に印加されるように適合され、前記ローサイドスイッチがオンであるときに前記インダクタの前記第１の端部が接地に接続されるように、構成されている、
コントローラ。
【請求項１４】
請求項１３に記載のコントローラであって、前記電流比較回路が、前記出力回路の感知電流を、上側電流制限範囲を規定する電流制限レベルの第１のセットと、下側電流制限範囲を規定する電流制限レベルの第２のセットと比較するように構成された、少なくとも４つのコンパレータを含む、コントローラ。
【請求項１５】
請求項１４に記載のコントローラであって、前記ラッチ回路が、前記電流制限レベルの第１のセットの下側電流制限レベルに関連付けられた信号をラッチするように構成されたラッチを含む、コントローラ。

【請求項１６】
請求項１５に記載のコントローラであって、前記スイッチングレギュレータ制御回路が、前記コンパレータのうちの１つからの出力に対応する信号をラッチするように構成された第２のラッチ回路を含む、コントローラ。
【請求項１７】
請求項１６に記載のコントローラであって、前記第２のラッチ回路が、前記電流制限レベルの第２のセットの上側電流制限レベルに関連付けられた信号をラッチするように構成されたラッチを含む、コントローラ。
【請求項１８】
請求項１４に記載のコントローラであって、前記ラッチ回路が、前記電流制限レベルの第２のセットの上側電流制限レベルに関連付けられた信号をラッチするように構成されたラッチを含む、コントローラ。
【請求項１９】
請求項１８に記載のコントローラであって、前記スイッチングレギュレータ制御回路が、前記コンパレータのうちの１つからの出力に対応する信号をラッチするように構成された第２のラッチ回路を含む、コントローラ。
【請求項２０】
請求項１９に記載のコントローラであって、前記第２のラッチ回路が、前記電流制限レベルの第２のセットの下側電流制限レベルに関連付けられた信号をラッチするように構成されたラッチを含む、コントローラ。
【請求項２１】
入力電圧を出力電圧に変換するための方法であって、前記出力電圧が前記入力電圧より低く、前記方法が、
ハイサイドスイッチとローサイドスイッチとを提供し、前記入力電圧を前記ハイサイドスイッチに結合し、前記ローサイドスイッチを接地に結合し、前記入力電圧及び前記接地をインダクタに交互に結合することと、
前記インダクタにおける電流を表す電圧を、基準電圧と比較することと、
前記コンパレータからの出力をスイッチングレギュレータ制御回路に印加し、前記ハイサイドスイッチがオンであるときに前記ローサイドスイッチがオフであり、前記ローサイドスイッチがオンであるときに前記ハイサイドスイッチがオフであるように、前記ハイサイドスイッチ及び前記ローサイドスイッチを交互にオフ及びオンにするための制御信号を生成するために前記スイッチングレギュレータ制御回路を用い、前記インダクタにおける前記電流が確実に検出されるように、前記コンパレータからの前記出力のうちの少なくとも１つに対応する信号をラッチするためにラッチ回路を用いることと、
を含む、方法。
【請求項２２】
請求項２１に記載の方法であって、前記ハイサイドスイッチ及び前記ローサイドスイッチが電界効果トランジスタを含み、前記電界効果トランジスタが、前記ハイサイドスイッチがオンであるときに或る入力がインダクタの第１の端部に印加されるように動作され、前記ローサイドスイッチがオンであるときに前記インダクタの前記第１の端部が接地に接続されている、方法。
【請求項２３】
請求項２２に記載の方法であって、感知電流を、上側電流制限範囲を規定する電流制限レベルの第１のセットと、下側電流制限範囲を規定する電流制限レベルの第２のセットと比較するように構成された、少なくとも４つのコンパレータを用いることを更に含む、方法。
【請求項２４】
請求項２３に記載の方法であって、前記ラッチ回路を用いることが、前記電流制限レベルの第１のセットの電流制限レベルに関連付けられた信号をラッチすることを含む、方法。

【請求項２５】
請求項２１に記載の方法であって、前記出力電圧を、高周波数車載用レーダーシステムの構成要素に印加することを更に含む、方法。
【発明の詳細な説明】
【背景技術】
【０００１】
電圧コンバータは、電子デバイスに適した出力電圧を生成するために、入力電圧を上げたり下げたりする。電圧コンバータの１つの種類はスイッチングコンバータであり、出力電圧を生成するためのターゲットのデューティサイクルにおいて１つ又は複数のトランジスタがオンにされたりオフにされたりする。降圧コンバータは、スイッチング電圧コンバータの一例である。降圧コンバータの出力電圧は、通常、入力電圧よりも低い電圧である。降圧コンバータの一例は、２０２０年７月３１日に出願された、米国特許出願番号１６／９４５，６６６（降圧コンバータのための電流制限技術（Current Limiting Technique for Buck Converters））に記載されている。米国特許出願番号１６／９４５，６６６の記載全体が、本明細書において参照によって引用される。
【特許文献１】米国特許出願番号１６／９４５，６６６
【発明の概要】
【０００２】
本記載の一態様に従って、電圧コンバータのためのコントローラが、入力と出力との間に結合されたハイサイドスイッチ及びローサイドスイッチを有するスイッチングレギュレータ回路と、出力回路の電圧を基準電圧と比較するように構成されたコンパレータを有する電流比較回路と、電流比較回路に結合され、コンパレータからの出力を受け取るように構成されたスイッチングレギュレータ制御回路と、を含む。スイッチングレギュレータ制御回路は、ハイサイドスイッチがオンであるときにローサイドスイッチがオフであり、ローサイドスイッチがオンであるときにハイサイドスイッチがオフであるように、ハイサイドスイッチ及びローサイドスイッチを交互にスイッチングするための制御信号を生成するように構成される。スイッチングレギュレータ制御回路は、コンパレータからの出力のうちの少なくとも１つに対応する信号をラッチするように構成されたラッチ回路を含む。
【０００３】
本記載の別の態様に従って、降圧コンバータのためのコントローラが、入力電圧を出力電圧に変換するように構成される。出力電圧は入力電圧より低い。コントローラは、入力と、出力と、入力と出力との間に互いに直列に結合されるハイサイドスイッチ及びローサイドスイッチと、を有するスイッチングレギュレータ回路と、スイッチングレギュレータ回路の出力に結合され、出力回路の入力に結合されるように適合された入力と、出力回路の電圧を基準電圧と比較するように構成されたコンパレータとを有する、電流比較回路と、電流比較回路に結合され、コンパレータからの出力を受け取るように構成されたスイッチングレギュレータ制御回路とを含む。スイッチングレギュレータ制御回路は、ハイサイドスイッチがオンであるときにローサイドスイッチがオフであり、ローサイドスイッチがオンであるときにハイサイドスイッチがオフであるように、ハイサイドスイッチとローサイドスイッチを交互にスイッチングするための制御信号を生成するように構成され、スイッチングレギュレータ制御回路は、出力回路における電流が確実に検出されるように、コンパレータからの出力のうちの少なくとも１つに対応する信号をラッチするように構成されたラッチ回路を含む。
【０００４】
本記載の別の態様に従って、入力電圧が出力電圧に変換され、出力電圧は入力電圧よりも低く、この変換の方法は、ハイサイドスイッチ及びローサイドスイッチを提供し、入力電圧をハイサイドスイッチに結合し、ローサイドスイッチを接地に結合し、ハイサイドスイッチとローサイドスイッチとを交互にインダクタに結合することと、インダクタにおける電流を表す電圧を基準電圧と比較することと、ハイサイドスイッチがオンであるときにローサイドスイッチがオフになり、ローサイドスイッチがオンであるときにハイサイドス

イッチがオフになるように、ハイサイドスイッチ及びローサイドスイッチを交互にオフ及びオンに切り替えるための制御信号を生成するためにスイッチングレギュレータ制御回路を用いて、スイッチングが高周波数で行われたときでも、インダクタにおける過電流状態が確実に検出されるように、コンパレータからの出力のうちの少なくとも１つに対応する信号をラッチするためのラッチ回路を用いて、コンパレータからの出力をスイッチングレギュレータ制御回路に印加することと、を含む。

【図面の簡単な説明】

【０００５】

【図１】電源と電圧コンバータと負荷とを含むシステムの一例のブロック図である。

【０００６】

【図２】図１の電圧コンバータの回路図である。

【０００７】

【図３】図１の電圧コンバータのための制御回路の回路図である。

【０００８】

【図４】図３の制御回路を動作させる方法のフローチャートである。

【０００９】

【図５】図１の電圧コンバータを動作させる方法のためのタイミング図である。

【００１０】

【図６】図１の電圧コンバータを動作させる方法の別のタイミング図である。

【発明を実施するための形態】

【００１１】

上記のように、スイッチング電圧コンバータは、コンバータの出力電圧を調整するためのスイッチとして動作される、１つ又は複数のトランジスタを含む。例えば、降圧コンバータが２つのスイッチングトランジスタを含み、ハイサイドトランジスタが、スイッチングノードにおいてローサイドトランジスタに結合される。トランジスタは、完全にオンであるか完全にオフであるときには、ごくわずかな電力しか消費しない。しかしながら、トランジスタは、オン又はオフにされている間に「スイッチング損失」と呼ばれる電力を消費する。また、トランジスタは、トランジスタと負荷との間に結合される出力回路のため、高リンギング電圧又は電圧スパイクの影響を受けやすい場合がある。出力回路は、例えば、第１のトランジスタ（例えば、ハイサイドトランジスタ）がオン状態を有し、第２のトランジスタ（例えば、ローサイドトランジスタ）がオフ状態を有することに応答してエネルギーを蓄積し始めるインダクタを含み得る。トランジスタの状態が切り替わることに応答して、インダクタに蓄積されたエネルギーが、負荷への電流を維持するために消散し始め得、それゆえ、トランジスタと出力回路とが結合されるスイッチングノードで、電圧スパイクが生じ得る。電圧スパイクによって、トランジスタ又は他の構成要素の欠陥が生じる場合があり、或いは、負荷への電流における対応するスパイクが引き起こされる場合があり、また、負荷を損傷させたり、負荷の動作に干渉したりする場合がある。

【００１２】

一例において、電圧コンバータは、とりわけ、スパイクノイズが発生していないときなど、測定情報が信頼性の高いものであろうときにのみ測定に応答することによって、電圧スパイクの管理を助けるための電流比較回路を含む。電流比較回路は、出力回路の電流に関連付けられた電圧を、電流制限レベルに関連付けられた基準電圧と比較するためのコンパレータを含み得る。出力回路の電流に関連付けられた電圧が、スイッチングノードで測定され得、これは感知電圧と称され得る。出力回路の電流が増加すると、感知電圧は低下する。出力回路の電流が電流制限レベルを上回っているか否かを判定するために、電流比較回路は、感知電圧が基準電圧より低いか否かを判定し得る。電流制限レベルは、電圧コンバータに結合されるように適合される負荷に供給するのに必要な電流よりもわずかに高い値に設定され得る。

【００１３】

電流比較回路はまた、感知電圧を、第２の電流制限レベルに関連付けられた第２の基準

電圧と比較するための第２のコンパレータを含み得る。出力回路の電流が低下すると、感知電圧は増加する。出力回路の電流が電流制限レベルを下回っているか否かを判定するために、電流比較回路は、感知電圧が第２の基準電圧より大きいか否かを判定し得る。第２の電流制限レベルは、特定のシステム又はデバイスのための任意の適切な基準に従って選択された電流よりもわずかに低い値に設定され得る。

【００１４】

本明細書において例として説明される電圧コンバータは、出力回路の電流が上側電流制限レベルと下側電流制限レベルとの間にとどまるように、出力回路の電流を制限する。電流制限レベルは、例えば、電流制限レベルの第１のセットと、電流制限レベルの第２のセットとを含み得る。電流制限レベルの第１のセットは、出力回路の電流が動作する上側電流制限範囲を規定し得、電流制限レベルの第２のセットは、出力回路の電流が動作する下側電流制限範囲を規定し得る。各電流制限範囲は、上側電流制限レベルと下側電流制限レベルとを含む。例えば、上側電流制限範囲は、５アンペア（Ａ）の上側電流制限レベルと、４Ａの下側電流制限レベルとを含み得、下側電流制限範囲は、－２Ａの下側電流制限レベルと、－１Ａの上側電流制限レベルとを含み得る。ただし、これらは例示である。本記載は、例示の目的で述べられた数値に限定されない。

【００１５】

図１は、電圧コンバータ１０４を有するシステム１００の一例のブロック図である。電圧コンバータ１０４は、例えば、車載用レーダー装置に電力を供給するための固定高周波数降圧コンバータとし得る。一例において、電圧コンバータのスイッチング周波数は、１５ＭＨｚより大きいか又は２０ＭＨｚより大きい。特定の例において、スイッチング周波数は２１．１２ＭＨｚである。しかしながら、繰り返しになるが、本記載は本明細書で述べられた数値に限定されない。特許請求される主題の範囲は、添付の請求項に従って定義される。システム１００は、電圧コンバータを含む任意のシステム又はデバイス、特に、高周波数ステップダウンコンバータ（例えば、降圧コンバータ）を含む任意のシステム又はデバイス、を表し得る。従って、システム１００は、出力電流が、適用可能な安全性及びその他の規格を順守するための許容範囲内にあるように、出力電流を制限することよって利点を得ることができる。

【００１６】

図１に図示するシステム１００は、電源１０２と、電圧コンバータ１０４と、負荷１１６とを含む。図示の構成では、電源１０２は電圧コンバータ１０４に結合される。電源１０２は、ＤＣ電圧を電圧コンバータ１０４に供給することができる任意のデバイスとし得る。例えば、電源１０２は、電力蓄積構成要素（例えば、バッテリ）、又はＡＣ－ＤＣコンバータとし得る。ＡＣ－ＤＣコンバータとして、電源は、ＡＣ電圧をＤＣ電圧に変換するように構成される整流回路（例えば、オルタネータ）を含み得る。電圧コンバータ１０４は、電源１０２から入力電圧ＶＩＮを受け取り、調整された出力電圧ＶＯＵＴを負荷１１６に供給する。図１の例において、電圧コンバータ１０４は、電流比較回路１０８と、スイッチングレギュレータ制御回路１１０と、スイッチングレギュレータ回路１１２と、出力回路１１４とを含む。電流比較回路１０８、スイッチングレギュレータ制御回路１１０、及びスイッチングレギュレータ回路１１２は、電圧コンバータ１０４のためのコントローラの要素である。負荷１１６は、電圧コンバータ１０４からの出力電圧ＶＯＵＴを受け取り、出力電圧ＶＯＵＴにより電力供給されるように適合された、任意の適切な構成要素、回路、又はデバイスとし得る。例えば、負荷１１６は、車載用レーダー装置であってもよく、又はその構成要素であってもよい。

【００１７】

動作において、電源１０２は、電圧コンバータ１０４による処理のために、入力電圧ＶＩＮを電圧コンバータ１０４に出力する。電圧コンバータ１０４は、入力電圧ＶＩＮを処理し、出力電圧ＶＯＵＴを負荷１１６に出力する。電流比較回路１０８は、出力回路１１４の電流が電流制限レベルを越えたとの指示に応答して、電圧コンバータ１０４にトランジスタのスイッチをオンにさせることを可能とする。スイッチングレギュレータ制御回路

１１０は、電流比較回路１０８からの１つ又は複数の信号に応答して、スイッチングレギュレータ回路１１２を駆動する。スイッチングレギュレータ制御回路１１０の出力信号に応答して、スイッチングレギュレータ回路１１２は、トランジスタの状態を、交互に切り替える様態で切り替える。出力回路１１４は、スイッチングレギュレータ回路１１２の電圧を調整及びフィルタリングして、電流制限レベル内の電流を有する出力電圧ＶＯＵＴを生成する。負荷１１６は、少なくとも部分的に、出力電圧ＶＯＵＴに従って動作する。電圧コンバータ１０４が、降圧コンバータなどのステップダウンコンバータである例において、出力電圧ＶＯＵＴは入力電圧ＶＩＮよりも低い。

【００１８】

図２は、電圧コンバータ１０４の例示の回路図である。図１に関して上記するように、電圧コンバータ１０４は、電流比較回路１０８と、スイッチングレギュレータ制御回路１１０と、スイッチングレギュレータ回路１１２と、出力回路１１４とを含む。電圧コンバータ１０４はまた、ループコンパレータ２００を含み得る。

【００１９】

動作において、電流比較回路１０８は、複数の基準電圧を受け取り、スイッチングレギュレータ制御回路１１０、スイッチングレギュレータ回路１１２、及び出力回路１１４に結合されている。各基準電圧は、それぞれの電流制限レベルに関連付けられている。異なる電流制限レベルは、特定用途向けであり、任意の適切な基準を用いて判定され得る。例えば、第１及び第２の電流制限レベルが、電圧コンバータ１０４の出力電流についての上側電流制限範囲を判定し得、第３及び第４の電流制限レベルが、電圧コンバータ１０４の出力電流についての下側電流制限範囲を判定し得る。基準電圧は、そのような電圧を供給するように構成された任意の適切な構成要素、回路、又はデバイスによって供給され得る。

【００２０】

図示の電流比較回路１０８は、第１のコンパレータ２１２、第２のコンパレータ２１４、第３のコンパレータ２１６、及び第４のコンパレータ２１８を含む。第１のコンパレータ２１２の非反転端子が、基準電圧５Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅを受け取る。基準電圧５Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅは、例えば、５Ａの電流制限レベルに関連付けられていてもよい。第１のコンパレータ２１２の反転端子が、スイッチングノード２２０、ハイサイド（ＨＳ）トランジスタ（ＨＳスイッチの一例）２１０のソース、ローサイド（ＬＳ）トランジスタ（ＬＳスイッチの一例）２２２のドレイン、及びインダクタ２２４の第１の端部に結合される。第１のコンパレータ２１２の出力端子が、第１のＡＮＤゲート２１３の入力に適用される。ハイサイドゲート信号ＨＳ＿ｇａｔｅが、第１のＡＮＤゲート２１３の別の端子に適用される。第１のＡＮＤゲート２１３の出力端子が、スイッチングレギュレータ制御回路１１０の入力ＨＳ＿ｐｏｓ＿ｃｏｍｐに結合される。図示の例において、スイッチングノード２２０で感知された電流が５Ａより大きく、ハイサイドゲート信号ＨＳ＿ｇａｔｅがハイであるとき、スイッチングレギュレータ制御回路１１０の入力ＨＳ＿ｐｏｓ＿ｃｏｍｐはハイである。そうでない場合、入力ＨＳ＿ｐｏｓ＿ｃｏｍｐはローである。

【００２１】

第２のコンパレータ２１４の非反転端子が、第２の基準電圧４Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅを受け取る。第２の基準電圧４Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅは、例えば、４Ａの電流制限レベルに関連付けられていてもよい。第２のコンパレータ２１４の反転端子が、スイッチングノード２２０に結合される。第２のコンパレータ２１４の出力端子が、第２のＡＮＤゲート２１５の入力に適用される。ローサイドゲート信号ＬＳ＿ｇａｔｅが、第２のＡＮＤゲート２１５の別の入力端子に適用される。第２のＡＮＤゲート２１５の出力端子が、スイッチングレギュレータ制御回路１１０の第２の入力ＬＳ＿ｐｏｓ＿ｃｏｍｐに結合される。図示の例において、スイッチングノード２２０で感知された電流が４Ａより大きく、ローサイドゲート信号ＬＳ＿ｇａｔｅがハイであるとき、スイッチングレギュレータ制御回路１１０の第２の入力ＬＳ＿ｐｏｓ＿ｃｏｍｐはハイである。そうでない場合、

第２の入力ＬＳ＿ｐｏｓ＿ｃｏｍｐはローである。
【００２２】
第３のコンパレータ２１６の反転端子が、第３の基準電圧－１Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅを受け取る。第３の基準電圧－１Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅは、例えば、－１Ａの電流制限レベルに関連付けられていてもよい。第３のコンパレータ２１６の非反転端子が、スイッチングノード２２０に結合される。第３のコンパレータ２１６の出力端子が、第３のＡＮＤゲート２１７の入力に適用される。ハイサイドゲート信号ＨＳ＿ｇａｔｅは、第３のＡＮＤゲート２１７の別の入力端子に適用される。第３のＡＮＤゲート２１７の出力端子が、スイッチングレギュレータ制御回路１１０の第３の入力ＨＳ＿ｎｅｇ＿ｃｏｍｐに結合される。図示の例において、スイッチングノード２２０で感知された電流が－１Ａより低く、ハイサイドゲート信号ＨＳ＿ｇａｔｅがハイであるとき、スイッチングレギュレータ制御回路１１０の第３の入力ＨＳ＿ｎｅｇ＿ｃｏｍｐはハイである。そうでない場合、第３の入力ＨＳ＿ｎｅｇ＿ｃｏｍｐはローである。
【００２３】
第４のコンパレータ２１８の反転端子が、第４の基準電圧－２Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅを受け取る。第４の基準電圧－２Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅは、例えば、－２Ａの電流制限レベルに関連付けられていてもよい。第４のコンパレータ２１８の非反転端子がスイッチングノード２２０に結合されており、第４のコンパレータ２１８の出力端子が、第４のＡＮＤゲート２１９の入力に適用される。ローサイドゲート信号ＬＳ＿ｇａｔｅは、第４のＡＮＤゲート２１３の別の入力端子に適用される。第４のＡＮＤゲート２１３の出力端子が、スイッチングレギュレータ制御回路１１０の第４の入力ＬＳ＿ｎｅｇ＿ｃｏｍｐに結合される。図示の例において、スイッチングノード２２０で感知された電流が－２Ａより低く、ローサイドゲート信号ＬＳ＿ｇａｔｅがハイであるとき、スイッチングレギュレータ制御回路１１０の第４の入力ＬＳ＿ｎｅｇ＿ｃｏｍｐはハイである。そうでない場合、第４の入力ＬＳ＿ｎｅｇ＿ｃｏｍｐはローである。
【００２４】
スイッチングレギュレータ制御回路１１０は、電流比較回路１０８と、スイッチングレギュレータ回路１１２とに結合されている。スイッチングレギュレータ制御回路１１０はまた、ループコンパレータ２００の出力に結合されるループ入力Ｌｏｏｐ＿ｃｏｍｐを含む。それゆえ、スイッチングレギュレータ制御回路１１０は、複数の入力と、スイッチングレギュレータ回路１１２の駆動回路２２６に結合される出力２２７とを含む。ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭが、スイッチングレギュレータ制御回路１１０の出力２２７において提供され、駆動回路２２６に印加される。
【００２５】
スイッチングレギュレータ回路１１２は、入力電圧ＶＩＮを受け取り、スイッチングレギュレータ制御回路１１０、出力回路１１４、及び電流比較回路１０８に結合される。図示の構成において、スイッチングレギュレータ回路１１２は、駆動回路２２６と、ハイサイド（ＨＳ）トランジスタ２１０と、ローサイド（ＬＳ）トランジスタ２２２とを含む。図示の例において、トランジスタ２１０、２２２は、電界効果トランジスタ（ＦＥＴ）であり、好ましくは高電圧ｎ型チャネルＦＥＴ（ＮＦＥＴ）である。駆動回路２２６は、スイッチングレギュレータ制御回路１１０の出力２２７と、ＨＳトランジスタ２１０のゲート端子と、ＬＳトランジスタ２２２のゲート端子とに結合される。駆動回路２２６は、ゲート信号ＨＳ＿ｇａｔｅ、ＬＳ＿ｇａｔｅを、ＨＳ及びＬＳトランジスタ２１０、２２２のゲート端子に印加する。駆動回路２２６は、ＨＳトランジスタ２１０がオンであるときにＬＳトランジスタがオフであり、ＨＳトランジスタ２１０がオフであるときにＬＳトランジスタ２２２がオンであるように、トランジスタ２１０、２２２を交互に切り替えるように構成される、任意の適切な回路とし得る。
【００２６】
ＨＳトランジスタ２１０のドレイン端子が入力電圧ＶＩＮを受け取る。ＨＳトランジスタ２１０のソース端子は、ＬＳトランジスタ２２２のドレイン端子、スイッチングノード

２２０、インダクタ２２４の第１の端部、第１及び第２のコンパレータ２１２、２１４の反転端子、並びに第３及び第４のコンパレータ２１６、２１８の非反転端子に結合される。ＬＳトランジスタ２２２のソース端子が接地端子に結合される。

【００２７】

出力回路１１４は、負荷１１６（図１）に結合されるように適合されており、電流比較回路１０８（図２）とスイッチングレギュレータ回路１１２とに結合される。図示の構成では、出力回路１１４は、スイッチングノード２２０と、インダクタ２２４と、出力ノード２１１と、コンデンサ２２８とを含む。インダクタ２２４の第１の端部は、スイッチングノード２２０、第１及び第２のコンパレータ２１２、２１４の反転端子、第３及び第４のコンパレータ２１６、２１８の非反転端子、ＨＳトランジスタ２１０のソース端子、及びＬＳトランジスタ２２２のドレイン端子に結合される。インダクタ２２４の第２の端部が、負荷１１６（図１）に結合されるように適合されており、コンデンサ２２８の第１の端部、出力ノード２１１、及び適切な補償器２０１に結合される。コンデンサ２２８の第２の端子が接地端子に結合される。出力電圧ＶＯＵＴは、出力ノード２１１において提供される。

【００２８】

ループコンパレータ２００は、スイッチングレギュレータ制御回路１１０及び補償器２０１に結合されている。動作において、基準電圧Ｖ＿ｒｅｆが、ループコンパレータ２００の非反転端子に印加される。基準電圧Ｖ＿ｒｅｆは、補償器２０１によって供給され得る。図示の構成において、補償器２０１は、電圧コンバータ１０４のためのコントローラの要素である。基準電圧Ｖ＿ｒｅｆは、帰還電圧閾値と称され得る。図示の構成において、ループコンパレータ２００の反転端子は、補償器２０１からの帰還電圧Ｖ＿ｆｂに結合されている。帰還電圧Ｖ＿ｆｂは、出力ノード２１１における電圧に対応し、コンパレータ２００の出力端子は、スイッチングレギュレータ制御回路１１０の対応する入力Ｌｏｏｐ＿ｃｏｍｐに結合されている。ループ入力Ｌｏｏｐ＿ｃｏｍｐは、出力電圧ＶＯＵＴを表す帰還電圧Ｖ＿ｆｂが基準電圧Ｖ＿ｒｅｆよりも低いときにハイである。そうでない場合、ループ入力Ｌｏｏｐ＿ｃｏｍｐはローである。

【００２９】

ここで、電流比較回路１０８の動作を、特定の例に関してより詳細に記載する。第１の基準電圧５Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅは、例えば、５Ａのターゲットのインダクタ電流に関連付けられ得る。インダクタ電流は、インダクタ２２４の電流であり、出力回路１１４の電流と称され得る。図示の構成において、第１の基準電圧５Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅは、システム又はデバイスを動作させるのに必要な電流レベルよりわずかに大きい電流に対応する電流制限レベルに関連付けられている。例えば、基準電圧５Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅは、システム又はデバイスを動作させるのに必要な電流よりも０．５Ａ大きい電流制限レベルに関連付けられてもよい。図示の構成において、所望の最大インダクタ電流は４．５Ａであり、これは上側電流制限範囲の２つの電流制限レベル（４Ａ及び５Ａ）間の中間である。しかしながら、本記載は、例示のために本明細書に記載される特定の数値に限定されない。いくつかの例において、基準電圧５Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅは、特定用途向けであり、特定のシステム又はデバイスについての適切な基準に従って選択されてもよい。

【００３０】

第１のコンパレータ２１２は、基準電圧５Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅを、スイッチングノード２２０において提供された感知電圧と比較する。上記のように、感知電圧は、出力回路１１４の電流に関連付けられている。出力回路１１４の電流はスイッチングノード２２０で測定されるため（トランジスタ２１０、２２２は出力回路１１４に結合されている）、出力回路１１４の電流は、出力回路１１４の入力電流と称され得る。比較に基づいて、第１のコンパレータ２１２は、基準電圧５Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅが感知電圧よりも大きいか小さいかを示す出力信号を生成する。ハイサイドゲート信号ＨＳ＿ｇａｔｅがハイであるとき、第１のコンパレータ２１２の出力信号が、スイッチングレギュレータ

制御回路１１０の第１の入力ＨＳ＿ｐｏｓ＿ｃｏｍｐに提供される。
【００３１】
第２の基準電圧４Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅは、例えば、４Ａのターゲットのインダクタ電流に関連付けられてもよい。いくつかの例において、第２の基準電圧４Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅは、ＨＳトランジスタ２１０がオンに切り替わったことに応答して感知電圧が第１の基準電圧５Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅよりも低くなることを防止するために信頼性の高い電流感知情報が利用可能であることを確実にするために必要な電流よりもわずかに低い電流制限レベルに関連付けられている。例えば、第２の基準電圧４Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅは、ＨＳトランジスタ２１０がオンに切り替わったことに応答して感知電圧が第１の基準電圧５Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅよりも低くなることを防止するために信頼性の高い電流感知情報が利用可能であることを確実にするために必要な電流よりも０．２Ａ低い電流制限レベルに関連付けられてもよい。
【００３２】
いくつかの例において、第２の基準電圧４Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅは特定用途向けであり、特定のシステム又はデバイスについての適切な基準に従って選択される。複数の例において、第１の基準電圧５Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅ及び第２の基準電圧４Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅは、インダクタ電流が動作する上側電流制限範囲の上側電流制限レベル及び下側電流制限レベルにそれぞれ対応する。第２のコンパレータ２１４は、第２の基準電圧４Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅを感知電圧と比較する。その比較に基づいて、第２のコンパレータ２１４は、第２の基準電圧４Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅが感知電圧よりも大きいか小さいかを示す出力信号を生成する。ローサイドゲート信号ＬＳ＿ｇａｔｅがハイであるとき、第２のコンパレータ２１４の出力信号は、スイッチングレギュレータ制御回路１１０の第２の入力ＬＳ＿ｐｏｓ＿ｃｏｍｐに提供される。
【００３３】
図示の構成において、第３のコンパレータ２１６の反転端子に供給される、第３の基準電圧－１Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅは、例えば、－１Ａのターゲットのインダクタ電流に関連付けられている。いくつかの例において、第３の基準電圧－１Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅは、ＬＳトランジスタ２２２がオンに切り替わったことに応答して感知電圧が第４の基準電圧－２Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅよりも大きい値を有することを防止するために信頼性の高い電流感知情報が利用可能であることを確実にするために必要な電流よりもわずかに高い電流制限レベルに関連付けられている。例えば、第３の基準電圧－１Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅは、ＬＳトランジスタ２２２がオンに切り替わったことに応答して感知電圧が第４の基準電圧－２Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅを超えることを防止するために信頼性の高い電流感知情報が利用可能であることを確実にするために必要な電流よりも０．２Ａ高い電流制限レベルに関連付けられている。いくつかの例において、第３の基準電圧－１Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅは特定用途向けであり、特定のシステム又はデバイスについての適切な基準に従って選択される。第３のコンパレータ２１６は、第３の基準電圧－１Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅを、感知電圧と比較する。その比較に基づいて、第３のコンパレータ２１６は、基準電圧－１Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅが感知電圧よりも大きいか小さいかを示す出力信号を生成する。ハイサイドゲート信号ＨＳ＿ｇａｔｅがハイであるとき、第３のコンパレータ２１６の出力信号は、スイッチングレギュレータ制御回路１１０の第３の入力ＨＳ＿ｎｅｇ＿ｃｏｍｐに提供される。
【００３４】
第４の基準電圧－２Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅは、例えば、－２Ａの電流制限レベルに関連付けられ得る。いくつかの例において、第４の基準電圧－２Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅは、システム又はデバイスが動作するために必要な最小電流よりわずかに低い電流制限レベルに関連付けられている。例えば、第４の基準電圧－２Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅは、システム又はデバイスを動作させるのに必要な電流よりも０．５Ａ低い電流制限レベルに関連付けられ得る。基準電圧－２Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅは、特定のシステム又はデバイスについての適切な基準に従って選択され得る。第３の基準電圧－１Ａ＿ｒ

ｅｆ＿ｖｏｌｔａｇｅ及び第４の基準電圧－２Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅは、例えば、その中でインダクタ電流が動作する下側電流制限範囲の上側電流制限制限レベル及び下側電流制限制限レベルであり得る。第４のコンパレータ２１８は、第４の基準電圧－２＿ｒｅｆ＿ｖｏｌｔａｇｅを感知電圧と比較する。その比較に基づいて、第４のコンパレータ２１８は、第４の基準電圧－２Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅが感知電圧よりも大きいか小さいかを示す出力信号を生成する。ローサイドゲート信号ＬＳ＿ｇａｔｅがハイであるとき、第４のコンパレータ２１８によって生成された出力信号は、スイッチングレギュレータ制御回路１１０の第４の入力ＬＳ＿ｎｅｇ＿ｃｏｍｐに提供される。

【００３５】

スイッチングレギュレータ回路１１２及び出力回路１１４の特定の動作を、これより説明する。駆動回路２２６は、スイッチングレギュレータ制御回路１１０からＰＷＭ信号Ｂｕｃｋ＿ＰＷＭを入力として受け取る。ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭが、ハイサイド（ＨＳ）トランジスタ２１０をイネーブルすべきと示していることに応答して、駆動回路２２６は、ＨＳトランジスタ２１０のゲート端子をハイに駆動し、ローサイド（ＬＳ）トランジスタ２２２のゲート端子をローに駆動する。ＨＳトランジスタ２１０のゲート端子がハイであることに応答して、ＨＳトランジスタ２１０は、ＨＳトランジスタ２１０のドレイン端子からＨＳトランジスタ２１０のソース端子へ電流が伝播することを可能とし、又は、ＨＳトランジスタ２１０のソース端子からＨＳトランジスタ２１０のドレイン端子へ負のインダクタ電流が伝播することが可能とされ、ＨＳトランジスタ２１０はオンとして説明する。

【００３６】

ＬＳトランジスタ２２２のゲート端子がローであることに応答して、ＬＳトランジスタ２２２は、ＬＳトランジスタ２２２のドレイン端子からＬＳトランジスタ２２２のソース端子へ電流が伝播することを防止し、ＬＳトランジスタ２２２はオフとして記載される。動作において、ＨＳトランジスタ２１０がオンであり、ＬＳトランジスタ２２２がオフであることに応答して、電流が、ＨＳトランジスタ２１０を介してスイッチングノード２２０に、インダクタ２２４を介して伝播する。電流がインダクタ２２４を介してコンデンサ２２８に伝播すると、エネルギーがインダクタ２２４内に蓄積され、コンデンサ２２８が電荷を蓄え、出力電圧ＶＯＵＴが出力ノード２１１において提供される。出力回路１１４の入力電流がスイッチングノード２２０において提供され、対応する感知電圧はスイッチングノード２２０で測定され得る。

【００３７】

ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭが、ＨＳトランジスタ２１０が無効とされるべきと指示していることに応じて、駆動回路２２６は、ＨＳトランジスタ２１０のゲート端子をローに駆動し、ＬＳトランジスタ２２２のゲート端子をハイに駆動する。ＨＳトランジスタ２１０のゲート端子がローであることに応答して、ＨＳトランジスタ２１０を介して伝播する電流はない。ＬＳトランジスタ２２２のゲート端子がハイであることに応答して、電流は、ＬＳトランジスタ２２２を介して伝播されることが許容される。それゆえ、ＬＳトランジスタ２２２がオンに切り替わることに応答して、インダクタ２２４の蓄積されたエネルギーが消散し始め、インダクタ電流が低下する。低下するインダクタ電流はスイッチングノード２２０において提供され、対応する感知電圧がスイッチングノード２２０で測定され得る。

【００３８】

ループコンパレータ２００の動作が、これより説明される。ループコンパレータ２００は、基準電圧Ｖ＿ｒｅｆを帰還電圧Ｖ＿ｆｂと比較する。（基準電圧Ｖ＿ｒｅｆ及び帰還電圧Ｖ＿ｆｂは、補償器２０１によって生成される。）その比較に基づいて、コンパレータ２００は、帰還電圧Ｖ＿ｆｂが基準電圧Ｖ＿ｒｅｆより大きいか小さいかを示す出力信号を生成する。コンパレータ２００の出力信号は、スイッチングレギュレータ制御回路１１０の対応する入力Ｌｏｏｐ＿ｃｏｍｐに提供される。それゆえ、ループ入力Ｌｏｏｐ＿ｃｏｍｐは、帰還電圧Ｖ＿ｆｂが基準電圧Ｖ＿ｒｅｆを下回るとトリガし、インダクタ電

流ピーク値を規定する。

【００３９】

これより図３を参照すると、スイッチングレギュレータ制御回路１１０は、第１のＯＲゲート３０２と、第２のＯＲゲート３０４と、第３のＯＲゲート３０６と、第１のＡＮＤゲート３０８と、第２のＡＮＤゲート３１０（適切な論理ゲートの例）とを有し得る。（電流比較回路１０８からの）第１の入力ＨＳ＿ｐｏｓ＿ｃｏｍｐ及び第２の入力ＬＳ＿ｐｏｓ＿ｃｏｍｐは、第１のＯＲゲート３０２の入力に印加される。ブランキング信号ＨＳ＿ｂｌａｎｋ及びＬＳ＿ｂｌａｎｋは、第２のＯＲゲート３０４の入力に印加される。（電流比較回路１０８からの）第３の入力ＨＳ＿ｎｅｇ＿ｃｏｍｐ及び第４の入力ＬＳ＿ｎｅｇ＿ｃｏｍｐは、第３のＯＲゲート３０６の入力に印加される。

【００４０】

それゆえ、スイッチングノード２２０（図２）で感知された電流が、第１の基準電圧５Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅ及び第２の基準電圧４Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅに関連付けられた電流のいずれかよりも大きい場合、対応するハイサイド動作又はローサイド動作の間、第１のＯＲゲート３０２（図３）の出力はハイである。そうでない場合、第１のＯＲゲート３０２の出力はローである。ブランキング信号ＨＳ＿ｂｌａｎｋ、ＬＳ＿ｂｌａｎｋのいずれか又は両方がハイであるとき、第２のＯＲゲート３０４の出力ＯＣＰ＿ｂｌａｎｋはハイである。そうでない場合、第２のＯＲゲート３０４の出力ＯＣＰ＿ｂｌａｎｋはローである。スイッチングノード２２０（図２）で感知された電流が第３の基準電圧－１Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅ及び第４の基準電圧－２Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅに関連付けられる電流のいずれかよりも低い場合、対応するハイサイド動作又はローサイド動作の間、第３のＯＲゲート３０６の出力はハイである。そうでない場合、第３のＯＲゲート３０６の出力はローである。

【００４１】

第１のＯＲゲート３０２の出力は、第１のＡＮＤゲート３０８の第１の入力に印加され、第２のＯＲゲート３０４の出力ＯＣＰ＿ｂｌａｎｋは、第１のＡＮＤゲート３０８の反転入力に印加される。第３のＯＲゲート３０６の出力が第２のＡＮＤゲート３１０の第１の入力に印加され、第２のＯＲゲート３０４の出力ＯＣＰ＿ｂｌａｎｋが第２のＡＮＤゲート３１０の反転入力に適用される。結果として、第２のＯＲゲート３０４の出力ＯＣＰ＿ｂｌａｎｋがハイである場合（ブランキング信号ＨＳ＿ｂｌａｎｋ、ＬＳ＿ｂｌａｎｋのうちの少なくとも１つがハイであるため）、第１のＡＮＤゲート３０８の出力Ｐｏｓ＿ｏｃｐ＿ｂｌａｎｋｅｄ及び第２のＡＮＤゲート３１０のＮｅｇ＿ｏｃｐ＿ｂｌａｎｋｅｄは両方ともローである。

【００４２】

（１）スイッチングノード２２０（図２）で感知された電流が、対応するハイサイド動作又はローサイド動作の間、第１の基準電圧５Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅ及び第２の基準電圧４Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅに関連付けられる電流のうちの少なくとも１つより大きい、（２）ブランキング信号ＨＳ＿ｂｌａｎｋ、ＬＳ＿ｂｌａｎｋのいずれもがハイでないとき、第１のＯＲゲート３０２の出力がハイであり、第２のＯＲゲート３０４の出力ＯＣＰ＿ｂｌａｎｋがローであるときに、それによって、第１のＡＮＤゲート３０８の出力Ｐｏｓ＿ｏｃｐ＿ｂｌａｎｋｅｄはハイである。同様に、（１）スイッチングノード２２０（図２）で感知された電流が、対応するハイサイド動作又はローサイド動作の間第３の基準電圧－１Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅ及び第４の基準電圧－２Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅに関連付けられる電流のうちの少なくとも１つより低い、（２）ブランキング信号ＨＳ＿ｂｌａｎｋ、ＬＳ＿ｂｌａｎｋのいずれもがハイでないとき、第３のＯＲゲート３０６の出力がハイであり、第２のＯＲゲート３０４の出力ＯＣＰ＿ｂｌａｎｋがローであるときに、それによって、第２のＡＮＤゲート３１０の出力Ｎｅｇ＿ｏｃｐ＿ｂｌａｎｋｅｄはハイである。ＡＮＤゲート３０８の出力Ｐｏｓ＿ｏｃｐ＿ｂｌａｎｋｅｄ、ＡＮＤゲート３１０の出力Ｎｅｇ＿ｏｃｐ＿ｂｌａｎｋｅｄは、スイッチ制御論理回路３１２（これ以降により詳細に記載）に印加される。

【００４３】
また、対応するトランジスタ２１０、２２２が、インダクタ電流を確実に感知するための充分に長いＨＳ及びＬＳ周期を提供するために導電している限り、スイッチングレギュレータ制御回路１１０は、制御論理がＰＷＭ信号Ｂｕｃｋ＿ＰＷＭを変更した後にコンパレータの監視を可能にするための第１の回路３１４及び第２の回路３１６を有する。第１のそのような回路３１４（ラッチ回路の一例）は、第１のＡＮＤゲート３１８、第２のＡＮＤゲート３２０、及び第３のＡＮＤゲート３２２と、ＮＯＲゲート３２４と、セット－リセットラッチ３２６と、ＯＲゲート３２８（デジタル論理要素の例）とを有する。第２の入力ＬＳ＿ｐｏｓ＿ｃｏｍｐは、第１のＡＮＤゲート３１８の第１の入力に印加され、第２のブランキング信号ＬＳ＿ｂｌａｎｋは、第１のＡＮＤゲート３１８の反転入力に印加される。（１）スイッチングノード２２０で感知された電流が第２の基準電圧４Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅに関連付けられた電流よりも大きく、（２）（第２のコンパレータ関連のＡＮＤゲート２１５に印加される）ローサイドゲート信号ＬＳ＿ｇａｔｅがハイであり、（３）第２のブランキング信号ＬＳ＿ｂｌａｎｋがローであるとき、第１のＡＮＤゲート３１８の出力ＬＳ＿ｐｏｓ＿ｏｃｐ＿ｂｌａｎｋｅｄはハイである。そうでない場合、第１のＡＮＤゲート３１８の出力ＬＳ＿ｐｏｓ＿ｏｃｐ＿ｂｌａｎｋｅｄはローである。

【００４４】
第１のＡＮＤゲート３１８の出力ＬＳ＿ｐｏｓ＿ｏｃｐ＿ｂｌａｎｋｅｄはＮＯＲゲート３２４の第１の入力に印加され、ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭはＮＯＲゲート３２４の別の入力に印加される。動作において、第１のＡＮＤゲート３１８の出力ＬＳ＿ｐｏｓ＿ｏｃｐ＿ｂｌａｎｋｅｄがローであり、ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭもまたローであるとき、ＮＯＲゲート３２４の出力はハイである。そうでない場合、ＮＯＲゲート３２４の出力はローである。

【００４５】
第１のＡＮＤゲート３１８の出力ＬＳ＿ｐｏｓ＿ｏｃｐ＿ｂｌａｎｋｅｄはまた、ラッチ３２６のセット端子Ｓにも印加される。ＮＯＲゲート３２４の出力は、ラッチ３２６のリセット端子Ｒに印加される。ラッチ３２６は、第３のＡＮＤゲート３２２の第１の出力に印加される出力Ｐｏｓ＿ｏｃｐ＿ｌｓ＿ｌａｔｅ＿ｌａｔｃｈを生成する。ローサイド最小時間信号ＬＳ＿ｍｉｎ＿ｏｎ（以下に更に記載）が、第３のＡＮＤゲート３２２の第２の入力に印加される。

【００４６】
第１の入力ＨＳ＿ｐｏｓ＿ｃｏｍｐは、第２のＡＮＤゲート３２０の第１の入力に印加され、第１のブランキング信号ＨＳ＿ｂｌａｎｋは第２のＡＮＤゲート３２０の反転入力に印加される。第１の入力ＨＳ＿ｐｏｓ＿ｃｏｍｐがハイであり、第１のブランキング信号ＨＳ＿ｂｌａｎｋがローであるとき、第２のＡＮＤゲート３２０の出力ＨＳ＿ｐｏｓ＿ｏｃｐ＿ｂｌａｎｋｅｄはハイである。そうでない場合、第２のＡＮＤゲート３２０の出力ＨＰ＿ｐｏｓ＿ｏｃｐ＿ｂｌａｎｋｅｄはローである。第３のＡＮＤゲート３２２及び第２のＡＮＤゲート３２０の出力と、付加的なＡＮＤゲート３２９からの信号が、ＯＲゲート３２８の入力に印加される。第１のＡＮＤゲート３０８からの出力Ｐｏｓ＿ｏｃｐ＿ｂｌａｎｋｅｄがハイであり、ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭがハイであるとき、付加的なＡＮＤゲート３２９の出力はハイである。第３のＡＮＤゲート３２２の出力がハイであり、第２のＡＮＤゲート３２０の出力ＨＳ＿ｐｏｓ＿ｏｃｐ＿ｂｌａｎｋがハイであり、及び／又は付加的なＡＮＤゲート３２９の出力がハイであるとき、ＯＲゲート３２８の出力ＰＯＳ＿ｏｃｐ＿ｓｅｔはハイである。

【００４７】
第２の有効化回路３１６（ラッチ回路の別の例）は、第１、第２、及び第３のＡＮＤゲート３３０、３３２、３３４と、第４のＡＮＤゲート３３６と、ラッチ３３８と、ＯＲゲート３４０（デジタル論理回路の例）とを有する。第３の入力ＨＳ＿ｎｅｇ＿ｃｏｍｐは、第２のＡＮＤゲート３３２の第１の入力に印加され、第１のブランキング信号ＨＳ＿ｂ

ｌａｎｋは第２のＡＮＤゲート３３２の反転入力に印加される。（１）スイッチングノード２２０で感知された電流が第３の基準電圧－１Ａ＿ｒｅｆ＿ｖｏｌｔａｇｅに関連付けられた電流よりも低く、（２）（第３のコンパレータ関連のＡＮＤゲート２１７に印加される）ＨＳゲート信号ＨＳ＿ｇａｔｅがハイであり、（３）第１のブランキング信号ＨＳ＿ｂｌａｎｋがローであるとき、第２のＡＮＤゲート３３２の出力ＨＳ＿ｎｅｇ＿ｏｃｐ＿ｂｌａｎｋｅｄはハイである。そうでない場合、第２のＡＮＤゲート３３２の出力ＨＳ＿ｎｅｇ＿ｏｃｐ＿ｂｌａｎｋｅｄはローである。

【００４８】

第２のＡＮＤゲート３３２の出力ＨＳ＿ｎｅｇ＿ｏｃｐ＿ｂｌａｎｋｅｄは第４のＡＮＤゲート３３６の反転入力に印加され、ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭはＡＮＤゲート３３６の非反転入力に印加される。第２のＡＮＤゲート３３２の出力ＨＳ＿ｎｅｇ＿ｏｃｐ＿ｂｌａｎｋｅｄがローであり、ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭがハイであるとき、第４のＡＮＤゲート３３６の出力はハイである。そうでない場合、第４のＡＮＤゲート３３６の出力はローである。

【００４９】

第２のＡＮＤゲート３３２の出力ＨＳ＿ｎｅｇ＿ｏｃｐ＿ｂｌａｎｋｅｄは、ラッチ３３８のセット端子Ｓに印加される。第４のＡＮＤゲート３３６の出力は、ラッチ３３８のリセット端子Ｒに印加される。ラッチ３３８は、第３のＡＮＤゲート３３４の第１の入力に印加された出力Ｎｅｇ＿ｏｃｐ＿ｈｓ＿ｌａｔｅ＿ｌａｔｃｈを生成する。ハイサイド最小時間信号ＨＳ＿ｍｉｎ＿ｏｎ（より詳細に後述する）が、第３のＡＮＤゲート３３４の第２の入力に印加される。

【００５０】

同時に、第４の入力ＬＳ＿ｎｅｇ＿ｃｏｍｐが第１のＡＮＤゲート３３０の第１の入力に印加され、第２のブランキング信号ＬＳ＿ｂｌａｎｋは第１のＡＮＤゲート３３０の反転入力に印加される。第４の入力ＬＳ＿ｎｅｇ＿ｃｏｍｐがハイであり、第２のブランキング信号ＬＳ＿ｂｌａｎｋがローであるとき、第１のＡＮＤゲート３３０の出力ＬＳ＿ｎｅｇ＿ｏｃｐ＿ｂｌａｎｋｅｄはハイである。そうでない場合、第１のＡＮＤゲート３３０の出力ＬＳ＿ｎｅｇ＿ｏｃｐ＿ｂｌａｎｋｅｄはローである。第３のＡＮＤゲート３３４の出力、第１のＡＮＤゲート３３０の出力ＬＳ＿ｎｅｇ＿ｏｃｐ＿ｂｌａｎｋｅｄ、及び付加的なＡＮＤゲート３３５からの信号が、ＯＲゲート３４０の入力に印加される。第２のＡＮＤゲート３１０の出力Ｎｅｇ＿ｏｃｐ＿ｂｌａｎｋｅｄがハイであり、ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭがローであるとき、付加的なＡＮＤゲート３３５の出力はハイである。第３のＡＮＤゲート３３４の出力がハイであり、第１のＡＮＤゲート３３０の出力ＬＳ＿ｎｅｇ＿ｏｃｐ＿ｂｌａｎｋｅｄがハイであり、及び／又は付加的なＡＮＤゲート３３５の出力がハイであるとき、ＯＲゲート３４０の出力Ｎｅｇ＿ｏｃｐ＿ｓｅｔはハイである。そうでない場合、ＯＲゲート３４０の出力Ｎｅｇ＿ｏｃｐ＿ｓｅｔはローである。

【００５１】

レイトラッチング（３２６）が、第１の有効化回路３１４において、第２の入力ＬＳ＿ｐｏｓ＿ｃｏｍｐに関連付けられた信号に適用されるが、第１の入力ＨＳ＿ｐｏｓ＿ｃｏｍｐに関連付けられた信号には適用されない。第１の入力ＨＳ＿ｐｏｓ＿ｃｏｍｐに関連付けられた電流レベル制限は、第２の入力ＬＳ＿ｐｏｓ＿ｃｏｍｐに関連付けられた電流レベル制限よりも大きい。同様に、レイトラッチング（３３８）が、第２の有効化回路３１６において、第３の入力ＨＳ＿ｎｅｇ＿ｃｏｍｐに関連付けられた信号に適用されるが、第４の入力ＬＳ＿ｎｅｇ＿ｃｏｍｐに関連付けられた信号には適用されない。第４の入力ＬＳ＿ｎｅｇ＿ｃｏｍｐに関連付けられた電流レベル制限は、第３の入力ＨＳ＿ｎｅｇ＿ｃｏｍｐに関連付けられた電流レベル制限よりも小さい。

【００５２】

第１及び第２の有効化回路３１４、３１６のＯＲゲート３２８、３４０の出力Ｐｏｓ＿ｏｃｐ＿ｓｅｔ、Ｎｅｇ＿ｏｃｐ＿ｓｅｔは、それぞれの付加的なラッチ３６０、３６２のセット端子Ｓに印加される。ＨＳトリガ信号ＨＳ＿ｔｒｉｇｇｅｒ及びＬＳトリガ信号

ＬＳ＿ｔｒｉｇｇｅｒ（より詳細に下に記載）は、付加的なラッチ３６０、３６２のそれぞれのリセット端子Ｒに印加される。付加的なラッチ３６０、３６２のラッチされた出力Ｐｏｓ＿ｏｃｐ＿ｌａｔｃｈｅｄ、Ｎｅｇ＿ｏｃｐ＿ｌａｔｃｈｅｄは、クロックタイミング信号Ｃｌｋ＿ｓｗ及びループコンパレータ２００（図２）からの入力Ｌｏｏｐ＿ｃｏｍｐと同様に、スイッチ制御論理回路３１２に印加される。

【００５３】

第１及び第２の付加的なラッチ３６０、３６２のラッチされた出力Ｐｏｓ＿ｏｃｐ＿ｌａｔｃｈｅｄ、Ｎｅｇ＿ｏｃｐ＿ｌａｔｃｈｅｄは、それぞれＨＳトリガ信号ＨＳ＿ｔｒｉｇｇｅｒ及びＬＳトリガ信号ＬＳ＿ｔｒｉｇｇｅｒによってリセットされる。ＨＳトリガ信号ＨＳ＿ｔｒｉｇｇｅｒがハイであるとき（従って、降圧コンバータ１０４がハイサイドスイッチ２１０のオン状態に切り替わるとき）、第１の付加的なラッチ３６０のラッチされた出力Ｐｏｓ＿ｏｃｐ＿ｌａｔｃｈｅｄはローである。ＬＳトリガ信号ＬＳ＿ｔｒｉｇｇｅｒがハイであるとき（従って、降圧コンバータ１０４がローサイドスイッチ２２２のオン状態に切り替わるとき）、第２の付加的なラッチ３６２のラッチされた出力Ｎｅｇ＿ｏｃｐ＿ｌａｔｃｈｅｄはローである。

【００５４】

図４に関連してさらにこれ以降に記載するように、スイッチ制御論理回路３１２（図３）は、少なくとも４つの入力Ｐｏｓ＿ｏｃｐ＿ｌａｔｃｈｅｄ、Ｐｏｓ＿ｏｃｐ＿ｂｌａｎｋｅｄ、Ｎｅｇ＿ｏｃｐ＿ｂｌａｎｋｅｄ、Ｎｅｇ＿ｏｃｐ＿ｌａｔｃｈｅｄに基づいて、インダクタ電流を（スイッチングノード２２０において）安全なレベルに駆動する。付加的なラッチ３６０、３６２のリセット端子Ｒに印加されるＨＳトリガ信号ＨＳ＿ｔｒｉｇｇｅｒ及びＬＳトリガ信号ＬＳ＿ｔｒｉｇｇｅｒは、スイッチ制御論理回路３１２の出力として生成される。トリガ信号ＨＳ＿ｔｒｉｇｇｅｒ、ＬＳ＿ｔｒｉｇｇｅｒはまた、それぞれＨＳシングルショットブロック３６４及びＬＳシングルショットブロック３６６に印加される。

【００５５】

動作において、ＨＳトリガ信号ＨＳ＿ｔｒｉｇｇｅｒの立ち上がりエッジは、ＨＳシングルショットブロック３６４に、第１のブランキング信号ＨＳ＿ｂｌａｎｋ及びハイサイド最小時間信号ＨＳ＿ｍｉｎ＿ｏｎを生成させ、これらはいずれも所定の時間の期間ハイである。各事例において、第１のブランキング信号ＨＳ＿ｂｌａｎｋ及びハイサイド最小時間信号ＨＳ＿ｍｉｎ＿ｏｎの立ち上がりエッジから立ち下がりエッジまでの時間期間は、所定の時間の期間である。ＬＳトリガ信号ＬＳ＿ｔｒｉｇｇｅｒの立ち上がりエッジは、ＬＳシングルショットブロック３６６に、第２のブランキング信号ＬＳ＿ｂｌａｎｋ及びローサイド最小時間信号ＬＳ＿ｍｉｎ＿ｏｎを生成させ、これらはいずれも所定の時間の期間ハイである。各事例において、第２のブランキング信号ＬＳ＿ｂｌａｎｋ及びローサイド最小時間信号ＬＳ＿ｍｉｎ＿ｏｎの立ち上がりエッジから立ち下がりエッジまでの時間期間は、所定の時間の期間である。

【００５６】

上述のように、第１のブランキング信号ＨＳ＿ｂｌａｎｋは、第１及び第２の有効化回路３１４、３１６のＨＳ関連のＡＮＤゲート３２０、３３２の反転入力と、第２のＯＲゲート３０４の入力に印加される。第２のブランキング信号ＬＳ＿ｂｌａｎｋは、有効化回路３１４、３１６のＬＳ関連のＡＮＤゲート３１８、３３０の反転入力と、第２のＯＲゲート３０４の別の入力に印加される。ハイサイド最小時間信号ＨＳ＿ｍｉｎ＿ｏｎ及びローサイド最小時間信号ＬＳ＿ｍｉｎ＿ｏｎは、第２の有効化回路３１６及び第１の有効化回路３１６、３１４において、それぞれＡＮＤゲート３３４、３２２を介して、レイトラッチング信号Ｎｅｇ＿ｏｃｐ＿ｈｓ＿ｌａｔｅ＿ｌａｔｃｈ、Ｐｏｓ＿ｏｃｐ＿ｌｓ＿ｌａｔｅ＿ｌａｔｃｈの認識を可能にする。

【００５７】

ハイサイド最小時間信号ＨＳ＿ｍｉｎ＿ｏｎ及びローサイド最小時間信号ＬＳ＿ｍｉｎ＿ｏｎはまた、第５のラッチ３６８のセット端子Ｓ及びリセット端子Ｒにそれぞれ印加さ

れて、ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭが生成される。ハイサイド最小時間信号ＨＳ＿ｍｉｎ＿ｏｎがハイであるとき（従って、ＨＳトリガ信号ＨＳ＿ｔｒｉｇｇｅｒの立ち上がりエッジからその後の所定の時間期間の終わりまで）、ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭはハイにセット（ラッチ）される。ハイサイド最小時間信号ＨＳ＿ｍｉｎ＿ｏｎがローであり、第５のラッチ３６８がローサイド最小時間信号ＬＳ＿ｍｉｎ＿ｏｎによってリセットされたとき、ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭはローである。ローサイド最小時間信号ＬＳ＿ｍｉｎ＿ｏｎは、ＬＳトリガ信号ＬＳ＿ｔｒｉｇｇｅｒの立ち上がりエッジからその後の所定の時間期間の終わりまで、ハイである。

【００５８】

本記載の一態様に従って、正電流制限レイト検出についての制御論理動作は、以下のとおりであり得る。降圧コンバータ１０４がハイサイド動作条件にあり、（スイッチングノード２２０における）インダクタ電流がＨＳ正電流制限レベル（この例においては５Ａ）よりも大きく、第１のブランキング信号ＨＳ＿ｂｌａｎｋがローであるとき、第１の入力ＨＳ＿ｐｏｓ＿ｃｏｍｐが検出され得る。制御論理がローサイド動作状態に切り替わることを既に決定した後に第１の入力ＨＳ＿ｐｏｓ＿ｃｏｍｐが検出された場合、第１の付加的なラッチ３６０の出力Ｐｏｓ＿ｏｃｐ＿ｌａｔｃｈｅｄはハイに設定され、スイッチ制御論理は、インダクタ電流がＬＳ正電流制限レベル（この例では４Ａ）より低く低下するまで、降圧コンバータ１０４を（ＬＳスイッチ２２２をオン状態に有して）ローサイド動作状態に保つ。

【００５９】

コンバータ１０４がローサイド動作条件にあるとき、スイッチングノード２２０における電流がＬＳ正電流制限レベル（この例においては４Ａ）よりも大きく、第２のブランキング信号ＬＳ＿ｂｌａｎｋがローであるときに、第２の入力ＬＳ＿ｐｏｓ＿ｃｏｍｐが検出される。制御論理がハイサイド動作条件に切り替わるように決定した後に第２の入力ＬＳ＿ｐｏｓ＿ｃｏｍｐが検出された場合、レイトラッチ信号Ｐｏｓ＿ｏｃｐ＿ｌｓ＿ｌａｔｅ＿ｌａｔｃｈが設定され、降圧コンバータ１０４が次にローサイド動作状態になったときに、第１の付加的なラッチ３６０からの出力Ｐｏｓ＿ｏｃｐ＿ｌａｔｃｈｅｄが設定され、スイッチ制御論理は、インダクタ電流がＬＳ正電流制限レベル（この例では４Ａ）より低く低下するまで、降圧コンバータ１０４をローサイド動作条件に保つ。

【００６０】

また、負電流制限レイト検出についての制御論理動作は、以下のとおりであり得る。降圧コンバータ１０４がローサイド動作条件にあるとき、スイッチングノード２２０における電流がＬＳ負電流制限レベル（この例では－２Ａ）よりも低く、第２のブランキング信号ＬＳ＿ｂｌａｎｋがローであるときに、第４の入力ＬＳ＿ｎｅｇ＿ｃｏｍｐが検出される。制御論理がハイサイド動作状態に切り替わることを決定した後に第４の入力ＬＳ＿ｎｅｇ＿ｃｏｍｐが検出された場合、第２の付加的なラッチ３６２の出力Ｎｅｇ＿ｏｃｐ＿ｌａｔｃｈｅｄはハイに設定され、スイッチ制御論理は、インダクタ電流がＨＳ負電流制限レベル（この例では－１Ａ）より高く増加するまで、降圧コンバータ１０４をハイサイド動作状態に保つ。

【００６１】

コンバータ１０４がハイサイド動作条件にあり、スイッチングノード２２０における電流がＨＳ負電流制限レベル（この例では－１Ａ）よりも低く、第１のブランキング信号ＨＳ＿ｂｌａｎｋがローであるときに、第３の入力ＨＳ＿ｎｅｇ＿ｃｏｍｐが検出される。制御論理がローサイド動作条件に切り替わるように決定した後に第３の入力ＨＳ＿ｎｅｇ＿ｃｏｍｐが検出された場合、対応するレイトラッチ信号Ｎｅｇ＿ｏｃｐ＿ｈｓ＿ｌａｔｅ＿ｌａｔｃｈが設定され、降圧コンバータ１０４が次にハイサイド動作状態になったときに、第２の付加的なラッチ３６２の出力信号Ｎｅｇ＿ｏｃｐ＿ｌａｔｃｈｅｄはハイに設定され、スイッチ制御論理は、（スイッチングノード２２０における）インダクタ電流がＨＳ負電流制限レベル（この例では－１Ａ）より高く増加するまで、降圧コンバータ１０４をハイサイド動作条件に保つ。

【００６２】
それゆえ、本記載の一態様に従って、制御論理が電力ＦＥＴ２１０、２２２の状態を変更することを決定した後でも、過電流保護コンパレータ２１２、２１４、２１６、２１８を、ＦＥＴ２１０、２２２のゲート電圧が変化し始めるまで監視し得る。レイト検出のためのＨＳコンパレータ２１２、２１６は、第１のブランキング信号ＨＳ＿ｂｌａｎｋでのみブランキングされ、レイト検出のためのＬＳコンパレータ２１４、２１８は、第２のブランキング信号ＬＳ＿ｂｌａｎｋのみでブランキングされる。レイト過電流検出論理は、インダクタ電流が前のスイッチングサイクル中に高すぎる（又は低すぎる）場合に、キャプチャするために用いられ得る。レイト過電流が検出された場合、インダクタ電流を所望のレベル内に駆動するために、スイッチ制御論理が用いられる。

【００６３】
スイッチ制御論理３１２（図３）は、スイッチングレギュレータ制御回路１１０が図４に示すように動作するように構成され得る。ＬＳトリガ信号ＬＳ＿ｔｒｉｇｇｅｒが生成された後（工程８００の後）、スイッチ制御論理は、ローサイド最小時間信号ＬＳ＿ｍｉｎ＿ｏｎがローになるまで待機する（工程８０２）。（ローサイド最小時間信号ＬＳ＿ｍｉｎ＿ｏｎは、第１の有効化回路３１４においてレイトラッチ信号Ｐｏｓ＿ｏｃｐ＿ｌｓ＿ｌａｔｅ＿ｌａｔｃｈの検出を有効にする。）次に、スイッチ制御論理は、第１の付加的なラッチ３６０の出力Ｐｏｓ＿ｏｃｐ＿ｌａｔｃｈｅｄが設定されているか否かを判定する（工程８０４）。第１の付加的なラッチ３６０の出力Ｐｏｓ＿ｏｃｐ＿ｌａｔｃｈｅｄが設定されていない場合（工程８０４で「いいえ」）、次に、スイッチ制御論理は、クロックスイッチング信号Ｃｌｋ＿ｓｗ、又は有効化回路３１４、３１６の外部で生成された出力Ｎｅｇ＿ｏｃｐ＿ｂｌａｎｋｅｄ、Ｐｏｓ＿ｏｃｐ＿ｂｌａｎｋｅｄのうちの１つを受け取ることを待つ。これら３つの信号Ｃｌｋ＿ｓｗ、Ｎｅｇ＿ｏｃｐ＿ｂｌａｎｋｅｄ、Ｐｏｓ＿ｏｃｐ＿ｂｌａｎｋｅｄのうちの１つがハイであるとき、次に、スイッチ制御論理は、第１のＡＮＤゲート３０８の出力Ｐｏｓ＿ｏｃｐ＿ｂｌａｎｋｅｄがハイであるかを判定する（工程８０８）。第１のＡＮＤゲート３０８の出力Ｐｏｓ＿ｏｃｐ＿ｂｌａｎｋｅｄがローであるとき（工程８０８で「いいえ」）、次に、降圧コンバータ１０４をハイサイド動作条件に切り替えるためにＨＳトリガ信号ＨＳ＿ｔｒｉｇｇｅｒが生成される（工程８１８）。

【００６４】
ローサイド最小時間信号がローになるときに第１の付加的なラッチ３６０の出力Ｐｏｓ＿ｏｃｐ＿ｌａｔｃｈｅｄが設定された場合（工程８０４で「はい」）、スイッチ制御論理は、ＬＳブランキング信号が（ＬＳブランキング時間の終わりに）ローになるのを待つ（工程８１２）。第２の入力ＬＳ＿ｐｏｓ＿ｃｏｍｐ（従って、ローサイド動作中の第２のコンパレータ２１４のゲーティングされた出力（２１５））は、スイッチングノード２２０におけるインダクタ電流が上側電流制限範囲の下側電流制限レベル（図示の例では４Ａ）より大きいときに、そのブランキング時間中に立ち上がる。次に、インダクタ電流が上側電流制限範囲の下側電流制限レベルよりも下回り、第１のＡＮＤゲート３０８の出力Ｐｏｓ＿ｏｃｐ＿ｂｌａｎｋｅｄがローになるまで、ローサイド動作が続けられる（工程８１４）。工程８０８において、第１のＡＮＤゲート３０８の出力Ｐｏｓ＿ｏｃｐ＿ｂｌａｎｋｅｄがハイであるとの判定に応じて、インダクタ電流が上側電流制限範囲の下側電流制限レベルよりも下に降下するまで（工程８１４）も、ローサイド動作は続けられる（工程８０８における「はい」から工程８１４に続く）。

【００６５】
いずれの事象においても、インダクタ電流が上側電流制限範囲の下側電流制限レベルを下回ると（工程８１４の結論において）、クロックスイッチング信号Ｃｌｋ＿ｓｗがローサイド動作の間立ち上がったか否かの判定がなされる（工程８１６）。クロックスイッチング信号Ｃｌｋ＿ｓｗが立ち上がるまでローサイド動作が充分に長く行われている場合（工程８１６で「はい」）、次に、スイッチ制御論理は、コンバータ１０４をハイサイド動作条件に切り替えるためにＨＳトリガ信号ＨＳ＿ｔｒｉｇｇｅｒを生成する（工程８１８

）。クロックスイッチング信号Ｃｌｋ＿ｓｗが立ち上がるまでローサイド動作が充分に長く行われていない場合（工程８１６で「いいえ」）、次に、スイッチ制御論理は、クロックスイッチング信号Ｃｌｋ＿ｓｗ又は第２のＡＮＤゲート３１０の出力Ｎｅｇ＿ｏｃｐ＿ｂｌａｎｋのうちの１つが立ち上がるまで待ち（工程８１０）、次にスイッチ制御論理は、ＨＳトリガ信号ＨＳ＿ｔｒｉｇｇｅｒを生成する。

【００６６】

ＨＳトリガ信号ＨＳ＿ｔｒｉｇｇｅｒが生成された後（工程８１８の後）、スイッチ制御論理は、ハイサイド最小時間信号ＨＳ＿ｍｉｎ＿ｏｎがローになるまで待機する（工程８２０）。（ハイサイド最小時間信号ＨＳ＿ｍｉｎ＿ｏｎは、第２の有効化回路３１６においてレイトラッチ信号Ｎｅｇ＿ｏｃｐ＿ｈｓ＿ｌａｔｅ＿ｌａｔｃｈの検出を有効にする。）スイッチ制御論理は次に、第２の付加的なラッチ３６２の出力Ｎｅｇ＿ｏｃｐ＿ｌａｔｃｈｅｄが設定されているか否かを判定する（工程８２２）。第２の付加的なラッチ３６２の出力Ｎｅｇ＿ｏｃｐ＿ｌａｔｃｈｅｄが設定されていない場合（工程８２２で「いいえ」）、スイッチ制御論理は、ループ信号Ｌｏｏｐ＿ｃｏｍｐ信号（従って、ループコンパレータ２００の出力）、又は有効化回路３１４、３１６の外部で生成された出力Ｎｅｇ＿ｏｃｐ＿ｂｌａｎｋｅｄ、Ｐｏｓ＿ｏｃｐ＿ｂｌａｎｋｅｄのうちの１つを受け取ることを待つ。これら３つの信号Ｌｏｏｐ＿ｃｏｍｐ、Ｎｅｇ＿ｏｃｐ＿ｂｌａｎｋｅｄ、Ｐｏｓ＿ｏｃｐ＿ｂｌａｎｋｅｄのうちの１つがハイであるとき、スイッチ制御論理は、第２のＡＮＤゲート３１０の出力Ｎｅｇ＿ｏｃｐ＿ｂｌａｎｋｅｄがハイであるか否かを判定する（工程８２６）。出力Ｎｅｇ＿ｏｃｐ＿ｂｌａｎｋｅｄがローである場合（工程８２６で「いいえ」）、ＬＳトリガ信号ＬＳ＿ｔｒｉｇｇｅｒが再び生成される（工程８００）。

【００６７】

ハイサイド最小時間信号ＨＳ＿ｍｉｎ＿ｏｎがローに向かうときに第２の付加的なラッチ３６２の出力Ｎｅｇ＿ｏｃｐ＿ｌａｔｃｈｅｄが設定された場合（工程８２２で「はい」）、スイッチ制御論理は、ＨＳブランキング信号ＨＳ＿ｂｌａｎｋが（ＨＳブランキング時間の終わりに）ローに向かうのを待つ（工程８３０）。第３の入力ＨＳ＿ｎｅｇ＿ｃｏｍｐ（従って、ハイサイド動作中の第３のコンパレータ２１６のゲーティングされた出力（２１７））は、スイッチングノード２２０におけるインダクタ電流が下側電流制限範囲の上側電流制限レベル（図示の例では－１Ａ）よりも小さいときに、そのブランキング時間中に立ち上がる。次に、第２のＡＮＤゲート３１０の出力Ｎｅｇ＿ｏｃｐ＿ｂｌａｎｋｅｄがローに向かう（インダクタ電流が下側電流制限範囲の上側電流制限レベル（図示の例では－１Ａ）よりも大きいことを示す）ように、インダクタ電流が下側電流制限範囲の上側電流制限レベルを上回るまで、ハイサイド動作が続けられる（工程８３２）。その後、ループ信号Ｌｏｏｐ＿ｃｏｍｐ又は第１のＡＮＤゲート３０８の出力Ｐｏｓ＿ｏｃｐ＿ｂｌａｎｋｅｄがハイになった後（従って、工程８２８の結論にて）、スイッチ制御論理は、コンバータ１０４をローサイド動作状態に戻すように切り替えるために、ＬＳトリガ信号ＬＳ＿ｔｒｉｇｇｅｒを生成する（工程８００）。工程８２６における、第２のＡＮＤゲート３１０の出力Ｎｅｇ＿ｏｃｐ＿ｂｌａｎｋｅｄがハイであるとの判定に応答して、インダクタ電流が下側電流制限範囲の上側電流制限レベルより上に立ち上がる（工程８３２）までも、ハイサイド動作は続けられる（工程８２６における「はい」から工程８３２に続く）。

【００６８】

上述と関連して、スイッチノード２２０における電圧は、インダクタ２２４を介する電流、及び、同じ電流が導電されるトランジスタ２１０、２２２の抵抗の関数である。ハイサイド動作の間、Ｖ＿ｓｗ＝ＶＩＮ－ｌ×Ｒ＿ＨＳ＿ｏｎであり、式中、Ｖ＿ｓｗは、コンパレータ２１２、２１４、２１６、２１８に印加された感知電圧であり、ＶＩＮは、電源１０２からの入力電圧であり、Ｉは、ハイサイドスイッチ２１０を介する電流であり、Ｒ＿ＨＳ＿ｏｎは、ハイサイドスイッチ２１０の抵抗であり、Ｉ×Ｒ＿ＨＳ＿ｏｎは、ハイサイドスイッチ２１０両端間の電圧降下である。ローサイド動作の間、Ｖ＿ｓｗ＝ＧＮ

Ｄ－ｌ×Ｒ＿ＬＳ＿ｏｎであり、式中、Ｖ＿ｓｗは、コンパレータ２１２、２１４、２１６、２１８に印加された感知電圧であり、ＧＮＤは、接地端子の電圧であり、Ｉは、ローサイドスイッチ２２２を介する電流であり、Ｒ＿ＬＳ＿ｏｎは、ローサイドスイッチ２２２の抵抗であり、Ｉ×Ｒ＿ＬＳ＿ｏｎは、ローサイドスイッチ２２２両端間の電圧降下である。各事例において、電流Ｉが増加すると感知電圧Ｖ＿ｓｗは低下し、その逆もしかりである。

【００６９】

しかしながら、動作において、スイッチ抵抗Ｒ＿ＨＳ＿ｏｎ、Ｒ＿ＬＳ＿ｏｎは、製造プロセス、温度、及びそれぞれのゲート・ソース電圧ｖｇｓを含む、様々な要因に依存し得る。従って、所望の電圧感知又は基準電圧生成は、電力ＦＥＴ２１０、２２２の実際の抵抗に合致する抵抗を有するレプリカスイッチ（図面には図示せず）を用いて行われてもよい。また、電流感知回路２２０、１０８は、印加される電圧がＶＩＮ（ＨＳ＿ｎｅｇ＿ｏｃｐ）を上回るか、或いは、ＧＮＤ（ＬＳ＿ｐｏｓ＿ｏｃｐ）を下回るかしないように、コンパレータ２１２、２１４、２１６、２１８に印加される感知電圧及び基準電圧をレベルシフトするため、適切なレベルシフト回路（図面には図示せず）を有して構成されてもよい。

【００７０】

図５は、図１及び図２に示す（図２～図４に示すスイッチングレギュレータ制御回路１１０を有する）電圧コンバータ１０４を動作させる方法についてのタイミング図である。動作において、ＨＳゲート信号ＨＳ＿ｇａｔｅが、ＨＳトランジスタ２１０のゲート端子に印加され、ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭがハイになったりローになったりすることに応答して、それぞれ、ハイになったりローになったりするが、ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭの立ち上がり及び立ち下がりと、ＨＳゲート信号ＨＳ＿ｇａｔｅのそれぞれの立ち上がり及び立ち下がりと、の間に時間遅延５０２がある。同様に、ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭがハイになったりローになったりすることに応答して、ＬＳトランジスタ２２２のゲート端子に印加されるＬＳゲート信号ＬＳ＿ｇａｔｅが、それぞれ、ハイになったりローになったりするが、同じく、ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭの立ち上がり及び立ち下がりと、ＬＳゲート信号ＬＳ＿ｇａｔｅのそれぞれの立ち上がり及び立ち下がりと、の間に同じ時間遅延５０２がある。それぞれの場合において、遅延５０２は、スイッチ制御論理及びＦＥＴドライバの伝播遅延によって引き起こされ得る。

【００７１】

ＨＳブランキング信号ＨＳ＿ｂｌａｎｋ及びＰＷＭ信号Ｂｕｃｋ＿ＰＷＭは、ＨＳシングルショットブロック２６４が第３のラッチのセット端子Ｓを介して動作することによって確立されている。従って、ＨＳブランキング信号ＨＳ＿ｂｌａｎｋ及びＰＷＭ信号Ｂｕｃｋ＿ＰＷＭは共にハイに向かい、ＨＳブランキング信号ＨＳ＿ｂｌａｎｋがハイに向かう度、固定の時間の期間ハイのままとなるが、ＨＳブランキング信号ＨＳ＿ｂｌａｎｋとＰＷＭ信号Ｂｕｃｋ＿ＰＷＭとは必ずしも共にローになるわけではない。

【００７２】

第３のラッチ３６８のリセット端子Ｒを介して動作する、ＬＳブランキング信号ＬＳ＿ｂｌａｎｋ及びＰＷＭ信号Ｂｕｃｋ＿ＰＷＭは、それぞれ、共にハイ及びローに向かい、ＬＳブランキング信号ＬＳ＿ｂｌａｎｋがハイに向かう度、固定の時間の期間ハイのままになる。ＬＳブランキング信号ＬＳ＿ｂｌａｎｋとＰＷＭ信号Ｂｕｃｋ＿ＰＷＭとは、必ずしもそれぞれ共にロー及びハイになるわけではない。重要なのは、ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭの周波数が高いとき、ＨＳ及びＬＳブランキング信号ＨＳ＿ｂｌａｎｋ、ＬＳ＿ｂｌａｎｋは、図示するように、例えば点線の楕円５０４内で、時間的に互いに重なり得る。

【００７３】

第２のＯＲゲート３０４によって生成される、組み合わされたブランキング信号ＯＣＰ＿ｂｌａｎｋは、ＨＳ及びＬＳブランキング信号ＨＳ＿ｂｌａｎｋ、ＬＳ＿ｂｌａｎｋのうちの少なくとも１つがハイであるときはいつもハイである。組み合わされたブランキン

グ信号ＯＣＰ＿ｂｌａｎｋは、例えば、時間５０６、５０８など、ＨＳ及びＬＳブランキング信号ＨＳ＿ｂｌａｎｋ、ＬＳ＿ｂｌａｎｋの両方がローであるときにのみローである。

【００７４】

第１の入力ＨＳ＿ｐｏｓ＿ｃｏｍｐ（電流最上限に関連付けられる）は、（１）インダクタ電流がＨＳ＿ｐｏｓ＿ｃｏｍｐレベル（図示の例では５Ａ）より大きく、（２）インダクタ電流が、例えば、時間５１０、５１２において、増加しているとき（従って、ＨＳトランジスタ２１０がオンであるときのハイサイド動作の間）、ハイになる。第１の入力ＨＳ＿ｐｏｓ＿ｃｏｍｐは、例えば時間５１４、５１６にインダクタ電流が低下し始めるように、ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭがトランジスタ２１０、２２２に状態を切り替えさせるときに、ローに向かう。

【００７５】

第２の入力ＬＳ＿ｐｏｓ＿ｃｏｍｐは、（１）インダクタ電流がＬＳ＿ｐｏｓ＿ｃｏｍｐレベル（図示の例では４Ａ）より大きく、（２）インダクタ電流が低下している（従って、ＬＳトランジスタ２２２がオンであるときのローサイド動作の間）が、遅延５１８の後にのみ、ハイに向かう。図５に示す状況において、第２の入力ＬＳ＿ｐｏｓ＿ｃｏｍｐについての遅延５１８は明白であるが、第１の入力ＨＳ＿ｐｏｓ＿ｃｏｍｐではそのような遅延はない。これは、ローサイド動作の間のインダクタ電流は既に高い電流レベルで開始される一方、ハイサイド動作の間のインダクタ電流は一層低いレベルで開始され、増加して、第１のコンパレータ２１２に、インダクタ電流がＨＳ＿ｐｏｓ＿ｃｏｍｐレベルを上回る前に、信頼性の高い比較を提供する時間を与えるためである。

【００７６】

第２の入力ＬＳ＿ｐｏｓ＿ｃｏｍｐのレイトラッチングは、ラッチ３２６、３６０によって実装される。出力Ｐｏｓ＿ｏｃｐ＿ｌｓ＿ｌａｔｅ＿ｌａｔｃｈは、例えば、時間５２０、５２１に、第２の入力ＬＳ＿ｐｏｓ＿ｃｏｍｐがハイであり第２のブランキング信号ＬＳ＿ｂｌａｎｋがローであるときに、ハイに設定される。時間５２０において、ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭが既にハイサイド動作に切り替わっているのにもかかわらず、ＬＳブランキング信号ＬＳ＿ｂｌａｎｋが降下した後にローサイド正過電流保護（ＬＳ　ＯＣＰ）がラッチされる。このラッチングは、高スイッチング周波数での電流制限動作を可能にする。ラッチ３２６の出力Ｐｏｓ＿ｏｃｐ＿ｌｓ＿ｌａｔｅ＿ｌａｔｃｈは、例えば、時間５２２に、ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭがローになるとき、又は、例えば時間５２３に、第２の入力ＬＳ＿ｐｏｓ＿ｃｏｍｐがローになるときに、ローにリセットされる。

【００７７】

ラッチ３６０の出力Ｐｏｓ＿ｏｃｐ＿ｌａｔｃｈｅｄは、ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭの次のＬＳ期間の始めに（例えば、時間５２２に）設定される。出力Ｐｏｓ＿ｏｃｐ＿ｌａｔｃｈｅｄは、インダクタ電流をＬＳ＿ｐｏｓ＿ｃｏｍｐレベルより下にするために用いてもよい。インダクタ電流は、Ｂｕｃｋ＿ＰＷＭ信号とＨＳ及びＬＳゲート信号ＨＳ＿ｇａｔｅ、ＬＳ＿ｇａｔｅとの間の遅延５０２によって、ＬＳ＿ｐｏｓ＿ｃｏｍｐレベルに到達した後、及びＰＷＭ信号Ｂｕｃｋ＿ＰＷＭが切り替わった後も、降下し続ける。結果として、より高いＨＳ＿ｐｏｓ＿ｃｏｍｐレベルを超えるインダクタ電流を確実に検出するための充分な時間が、その後に続くＨＳ期間にある。

【００７８】

図５は、ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭの切り替えが高周波数で行われたときに起こり得ることを図示している。レイトＬＳ過電流検出は、ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭ信号が既にＨＳに切り替わった後にラッチされるが、ＬＳゲート２２２は、制御論理及びＦＥＴドライバの伝播遅延に起因して未だハイである。

【００７９】

図６は、ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭが既にローサイド動作に向かった後であるが、制御論理及びＦＥＴドライバの伝播遅延に起因してＨＳゲート２１０が未だオンであるときに、レイトハイサイド過電流検出がラッチされたときに起こり得ることを図示している。

楕円７２４に関連して図示されるように、ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭがハイサイド動作に既に切り替わっているのにもかかわらず第１のブランキング信号ＨＳ＿ｂｌａｎｋが降下した後に、ＨＳ正過電流保護がラッチされる。ＨＳ　ＯＣＰコンパレータデータは、ＨＳゲート信号ＨＳ＿ｇａｔｅが降下するまで利用可能である。これは、高スイッチング周波数での電流制限動作を可能にするため、重要である。また、図５の事例でもそうであったように、例えば、第２の入力ＬＳ＿ｐｏｓ＿ｃｏｍｐが降下する（また、ＰＷＭ信号Ｂｕｃｋ＿ＰＷＭがＨＳに切り替わる）時間と、ＨＳトランジスタ２１０が実際にオンになる時間と、の間に遅延５０２が生じる時間７２６において、Ｐｏｓ＿ｏｃｐ＿ｌａｔｃｈｅｄは、インダクタ電流を、ＬＳ＿ｐｏｓ＿ｃｏｍｐレベルより下にするために用いられてもよい。

【００８０】

負荷１１６は、所望とされる場合、高スイッチング周波数及び正確なピーク電流制限動作を必要とする車載用レーダー応用例の構成要素であり得る。高周波数でスイッチングするとき、デューティ比に依って、ＨＳ期間及びＬＳ期間の１つ又は複数が電流制限検出時間よりも短い場合がある。米国特許出願番号１６／９４５，６６６に記載のシステムは、降圧コンバータの正ピークインダクタ電流を正確に制限するために、異なる基準レベルを有するＨＳ期間及びＬＳ期間用の２つのコンパレータを用いる。同様に、負のピークインダクタ電流は、２つのコンパレータを用いて制限される。本願に記載のシステムは、米国特許出願番号１６／９４５，６６６に記載のシステムに比べて、特に高周波数動作に関連して利点を有する。

【００８１】

ＨＳ　ＦＥＴ２１０が導通している限り、スイッチ制御論理がＬＳに向かうことを決定した後にＨＳ　ＯＳＰコンパレータ２１２、２１６を監視し続けることによって、利点を得ることができる。これは、ＨＳブランク信号がローになった後、電流感知情報が、ＨＳＦＥＴゲート電圧が再び変化し始める時点まで確実だからである。同様に、ＬＳ　ＦＥＴ２２２が導通している限り、スイッチ制御論理がＨＳに向かうことを決定した後にＬＳ　ＯＳＰコンパレータ２１２、２１６を監視し続けてもよい。スイッチ制御論理が切り替わった後に過電流が検出された場合、レイト検出がラッチされ、インダクタ電流は、ＬＳ正電流制限レベル（図示の例では４Ａ）より低くされるか、又はＨＳ負電流制限レベル（図示の例では－１Ａ）より高くされる。結果として、過電流状態を確実に検出するための充分な電流感知時間が得られ得る。

【００８２】

上記のようにコンバータ回路を実装することは、コンバータ回路が高周波数で動作する事例における電圧スパイクの発生数を排除する。高周波数で動作する用途のための出力回路の電流を制限する能力のため、上記の電圧コンバータは、固定の高周波数車載用レーダーシステムに用いられ得る。

【００８３】

所望とされる場合、電流比較回路１０８、スイッチングレギュレータ制御回路１１０、スイッチングレギュレータ回路１１２、及び補償器２０１（合わせて、電圧コンバータ１０４のためのコントローラ１０８、１１０、１１２、２０１）などの、電圧コンバータ１０４の複数の部分を、集積回路（ＩＣ）に集積してもよく、並びに／若しくは、様々な半導体及び／又は他のプロセスに従って単一の半導体ダイ１１３（図１及び図２）上かその上方に形成されてもよい。ＩＣの導電線は、半導体ダイ１１３の上方にある絶縁層の中又はその間に形成される金属構造、半導体ダイ１１３内に形成される（シリサイド化され得る）ドープされた領域、又は、半導体ダイ１１３の上方に形成される（シリサイド化され得る）ドープされた半導体構造であり得る。この例の回路構造を実装するのに用いられるトランジスタは、バイポーラ接合トランジスタ（ＢＪＴ）であっても金属酸化膜半導体電界効果トランジスタ（ＭＯＳＦＥＴ）であってもよく、ｎ型でもｐ型でもあり得る。集積デバイス及び要素はまた、抵抗器、コンデンサ、論理ゲート、及び明確にするために図面に示していない他の適切な電子デバイスも含んでもよい。本記載は、図面に示す例、並び

にその他の方式で本明細書に記載される、詳細及び特定の特徴に限定されない。

【００８４】

また、本記載において、「結合する」という用語は、本記載と一貫する機能的関係を可能とする、接続、通信、又は信号経路を網羅し得ることに留意されたい。例えば、デバイスＡが、或る行為を行うためにデバイスＢを制御するための信号を生成する場合、（ａ）第１の例において、デバイスＡはデバイスＢに直接接続により結合され、又は（ｂ）第２の例において、介在構成要素Ｃがデバイスとデバイスとの間の機能的関係性を変更しない場合に、デバイスＡがデバイスＢに介在構成要素Ｃを介して結合されて、デバイスＡによって生成された制御信号を介してデバイスＢがデバイスＡによって制御されるようになっている。また、本記載において、別の値に「関連付けられている」又は「対応する」値が、その値とその別の値との間の関係性を説明し得る。関係性は、例えば、計算、表、又は任意の他の適切な方式を用いて判定され得る。例えば、電流に関連付けられる電圧は、電圧が既知である場合に電流が推測され得る、またその逆であるように、電圧と電流との間の関係性を説明し得る。また、本記載において、或るタスク又は機能を行う「ように構成されている」デバイスが、その機能を実施するように製造業者によって製造時に構成され（例えば、プログラミングされ及び／又はハードウェアに組み込まれ）てもよく、並びに／又は、その機能及び／又は他の付加的な或いは代替的な機能を実施するように製造後にユーザによって構成可能（又は再構成可能）であり得る。こういった構成は、デバイスのファームウェア及び／若しくはソフトウェアプログラミングを介するもの、ハードウェア構成要素及びデバイスの相互接続の構築並びに／若しくはレイアウトを介するもの、又はそれらの組み合わせであり得る。また、本明細書において、特定の構成要素を含む回路又はデバイスが、代わりに、記載された回路又はデバイスを形成するためにそれらの構成要素と結合されるように適合されてもよい。例えば、１つ又は複数の半導体要素（トランジスタなど）、１つ又は複数の受動要素（抵抗器、コンデンサ、及び／又はインダクタなど）、及び／又は、１つ又は複数の供給源（電圧及び／又は電流源）を含むように記載されている構造が、代わりに、単一の物理デバイス内に半導体要素（例えば、半導体ダイ及び／又は集積回路（ＩＣ）パッケージ）のみを含んでいてもよく、また、少なくとも受動要素及び／又は源の少なくともいくつかに結合されるように適合されて、製造時又は製造後に、エンドユーザ及び／又は第三者などによって、記載された構造を形成してもよい。

【００８５】

本明細書において、或る構成要素が特定のプロセス技術のものとして記載され得るが、これらの構成要素は他のプロセス技術の構成要素について交換されてもよい。本明細書において記載される回路は、構成要素の置換前に利用可能であった機能と少なくとも部分的に類似する機能を提供するように置換された構成要素を含むように再構成可能である。抵抗器として示される構成要素は概して、別途記載されない限り、示された抵抗器によって表されるインピーダンスの量を提供するように直列及び／又は並列に結合される任意の１つ又は複数の要素を表す。例えば、単一の構成要素として示され記載される抵抗器又はコンデンサが、代わりに、単一の抵抗器又はコンデンサとして同じ２つのノード間に直列又は並列に結合される、それぞれ、複数の抵抗器又はコンデンサであってもよい。また、本記載における「接地電圧電位」という語句の使用は、シャーシ接地、アース接地、浮遊接地、仮想接地、デジタル接地、共通接地、及び／又は本記載の教示に適用可能であるか又は適切である任意のその他の形態の接地接続を含む。別途記載されない限り、或る値に先行する「約」、「およそ」、又は「実質的に」は、記載されている値の±１０パーセントを意味する。

【００８６】

記載された実施例における改変が可能であり、特許請求の範囲内で、その他の実施例が可能である。

【図面】

【図１】

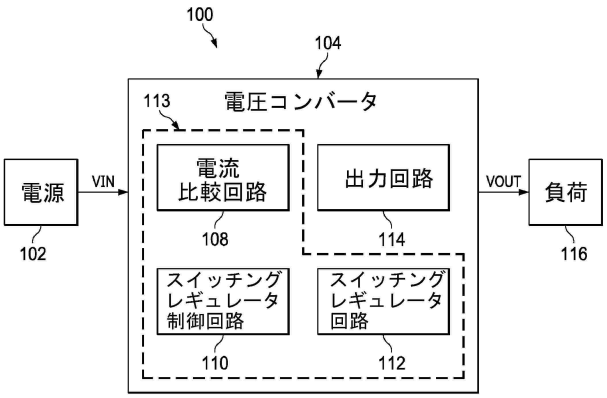


FIG. 1

【図２】

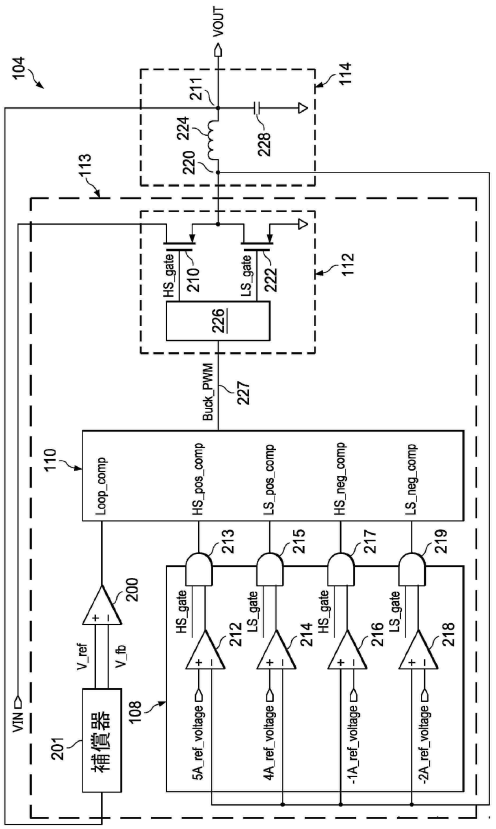


FIG. 2

【図３】

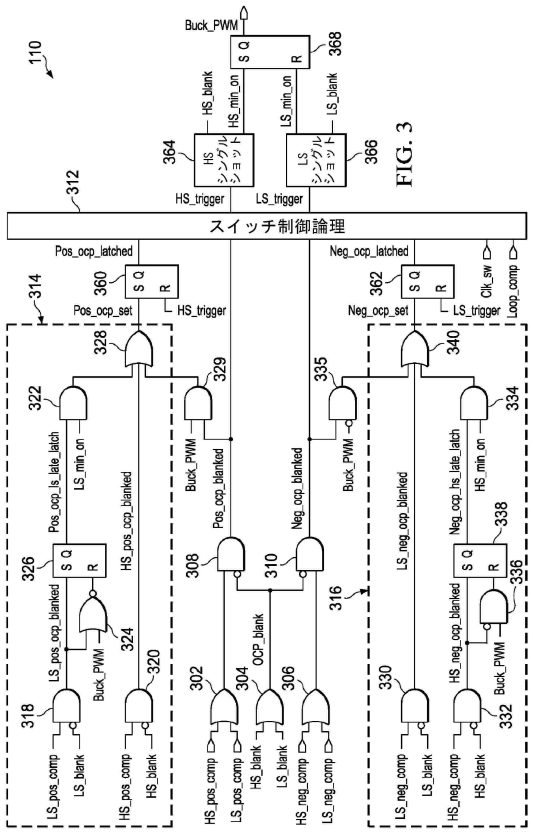


FIG. 3

【図４】

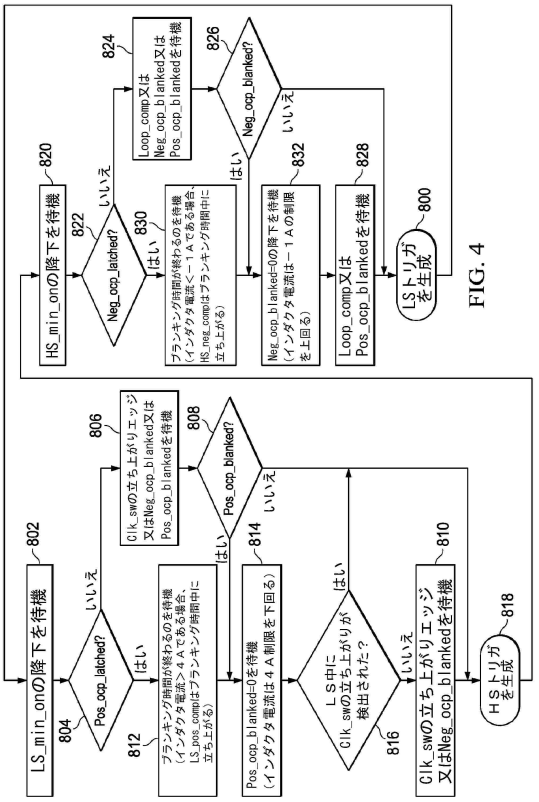


FIG. 4

【図５】

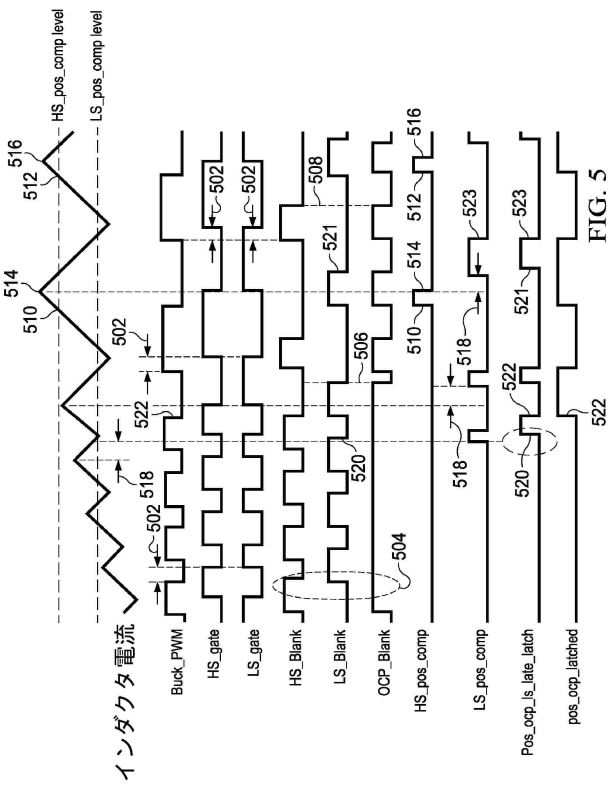


FIG. 5

【図６】

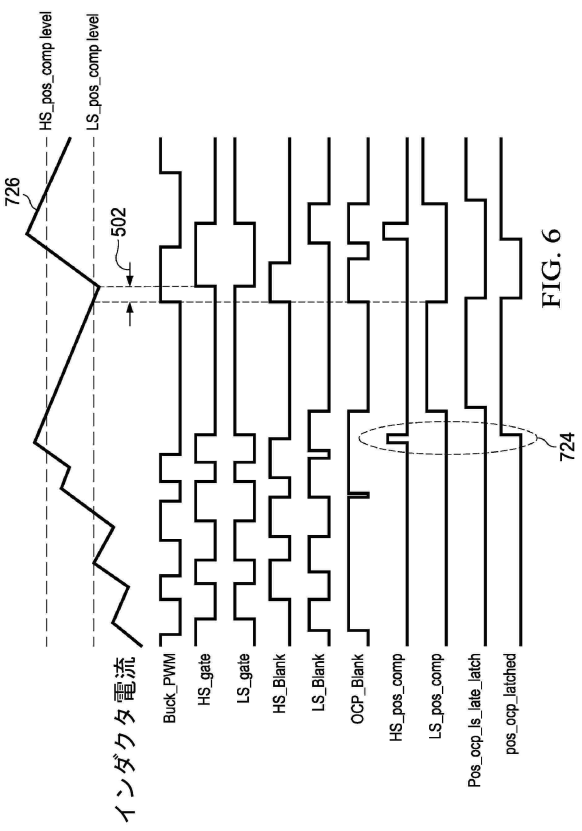


FIG. 6

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2022/053513

A. CLASSIFICATION OF SUBJECT MATTER

H02M 3/157(2006.01)i; **H02M 1/00**(2007.01)i; **H03K 3/023**(2006.01)i; **H03K 5/00**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M 3/157(2006.01); G01S 7/28(2006.01); G05F 1/56(2006.01); H02M 1/088(2006.01); H02M 3/155(2006.01); H02M 3/156(2006.01); H03K 3/012(2006.01); H03K 3/017(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models
Japanese utility models and applications for utility models

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS(KIPO internal) & Keywords: switching regulator circuit, controller, comparator, reference voltage

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2015-0188408 A1 (SAMSUNG DISPLAY CO., LTD.) 02 July 2015 (2015-07-02) See paragraphs [0037]-[0078] and figures 1-5.	1-25
Y	US 2015-0256159 A1 (ST-ERICSSON SA) 10 September 2015 (2015-09-10) See paragraphs [0002]-[0010], [0026]-[0037] and figures 1-9.	1-25
Y	WO 2011-002365 A1 (SAAB AB et al.) 06 January 2011 (2011-01-06) See page 7, line 14 - page 10, line 27 and figures 2-3.	25
A	US 2001-0036085 A1 (YUKI NARITA) 01 November 2001 (2001-11-01) See paragraphs [0027]-[0059] and figures 1-8.	1-25
A	CN 101123396 A (FEATURE INTEGRATION TECHNOLOGY INC.) 13 February 2008 (2008-02-13) See claims 1-5 and figures 1-3.	1-25

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
26 April 2023	**26 April 2023**
Name and mailing address of the ISA/KR **Korean Intellectual Property Office** **189 Cheongsa-ro, Seo-gu, Daejeon** **35208, Republic of Korea** Facsimile No. **+82-42-481-8578**	Authorized officer **JANG, Gi Jeong** Telephone No. **+82-42-481-8364**

Form PCT/ISA/210 (second sheet) (July 2022)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/US2022/053513

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2015-0188408	A1	02 July 2015	CN	104795993	A	22 July 2015
				CN	104795993	B	26 November 2019
				EP	2897271	A2	22 July 2015
				EP	2897271	A3	16 September 2015
				EP	2897271	B1	25 April 2018
				US	10389224	B2	20 August 2019
US	2015-0256159	A1	10 September 2015	CN	104919690	A	16 September 2015
				EP	2733838	A2	21 May 2014
				EP	2920873	A1	23 September 2015
				US	9490776	B2	08 November 2016
				WO	2014-076229	A1	22 May 2014
WO	2011-002365	A1	06 January 2011	EP	2449401	A1	09 May 2012
				EP	2449401	A4	27 August 2014
				KR	10-1612052	B1	12 April 2016
				KR	10-2012-0052903	A	24 May 2012
				US	2012-0105273	A1	03 May 2012
				US	9013345	B2	21 April 2015
US	2001-0036085	A1	01 November 2001	JP	2001-258269	A	21 September 2001
				US	6614208	B2	02 September 2003
CN	101123396	A	13 February 2008	CN	101123396	B	08 December 2010

Form PCT/ISA/210 (patent family annex) (July 2022)

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CV,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW
フィンランド オウル ９０４２０ アンサレイッティ ２２

Ｆターム（参考） 5H730 AA20 AS05 BB13 CC01 DD04 EE59 FD01 FD51 FF01 FG05
XX04 XX15 XX24 XX35