

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号

特許第7090412号

(P7090412)

(45)発行日 令和4年6月24日(2022.6.24)

(24)登録日 令和4年6月16日(2022.6.16)

(51)国際特許分類

F I

G 0 9 G 3/3233(2016.01)

G 0 9 G 3/3233

G 0 9 G 3/20 (2006.01)

G 0 9 G 3/20 6 1 1 D

G 0 9 G 3/20 6 1 1 H

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 4 1 D

請求項の数 9 (全21頁) 最終頁に続く

(21)出願番号 特願2017-209327(P2017-209327)

(22)出願日 平成29年10月30日(2017.10.30)

(65)公開番号 特開2019-82548(P2019-82548A)

(43)公開日 令和1年5月30日(2019.5.30)

審査請求日 令和2年10月12日(2020.10.12)

前置審査

(73)特許権者 316005926

ソニーセミコンダクタソリューションズ

株式会社

神奈川県厚木市旭町四丁目14番1号

(74)代理人 110002147

特許業務法人酒井国際特許事務所

(72)発明者 豊村 直史

神奈川県厚木市旭町四丁目14番1号

ソニーセミコンダクタソリューションズ

株式会社内

審査官 塚本 丈二

最終頁に続く

(54)【発明の名称】 画素回路、表示装置、画素回路の駆動方法および電子機器

## (57)【特許請求の範囲】

## 【請求項1】

発光素子と、

前記発光素子のアノードにソースが接続される駆動トランジスタと、

前記駆動トランジスタのゲートにソースが接続され、前記駆動トランジスタへ書き込まれる信号電圧をサンプリングするサンプリングトランジスタと、

所定のタイミングで前記発光素子のアノードを所定の電位にリセットするリセットトランジスタと、

前記駆動トランジスタのドレインにソースが接続され、前記発光素子が発光する期間においてオフからオンに切り替わる発光制御トランジスタと、

を備え、

前記リセットトランジスタは、前記駆動トランジスタへの前記信号電圧の書き込み前にオンからオフに切り替わり、該切り替わりの後で前記駆動トランジスタへの前記信号電圧の書き込みが行われている間にオフからオンに切り替わり、該書き込みの後にオンからオフに切り替わる、画素回路。

## 【請求項2】

前記リセットトランジスタは、前記サンプリングトランジスタがオフからオンに切り替わって前記駆動トランジスタへの前記信号電圧の書き込みが行われている間にオフからオンに切り替わる、請求項1に記載の画素回路。

## 【請求項3】

前記リセットトランジスタは、前記駆動トランジスタへの前記信号電圧の書き込みが終わり、前記サンプリングトランジスタがオンからオフに切り替わった後にオンからオフに切り替わる、請求項 1 または 2 に記載の画素回路。

【請求項 4】

前記発光制御トランジスタは、Pチャネル型のトランジスタである、請求項 1 に記載の画素回路。

【請求項 5】

前記リセットトランジスタは、Pチャネル型のトランジスタである、請求項 1 ~ 4 のいずれか 1 項に記載の画素回路。

【請求項 6】

前記駆動トランジスタは、Pチャネル型のトランジスタである、請求項 1 ~ 5 のいずれか 1 項に記載の画素回路。

【請求項 7】

請求項 1 ~ 6 のいずれか 1 項に記載の画素回路が配置される画素アレイ部と、  
前記画素アレイ部を駆動させる駆動回路と、  
を備える、表示装置。

【請求項 8】

請求項 7 に記載の表示装置を備える、電子機器。

【請求項 9】

発光素子と、

前記発光素子のアノードにソースが接続される駆動トランジスタと、

前記駆動トランジスタのゲートにソースが接続され、前記駆動トランジスタへ書き込まれる信号電圧をサンプリングするサンプリングトランジスタと、

所定のタイミングで前記発光素子のアノードを所定の電位にリセットするリセットトランジスタと、

前記駆動トランジスタのドレインにソースが接続され、前記発光素子が発光する期間においてオフからオンに切り替わる発光制御トランジスタと、

を備える画素回路において、

前記駆動トランジスタへの前記信号電圧の書き込み前に前記リセットトランジスタがオンからオフに切り替わることと、

前記駆動トランジスタへの前記信号電圧の書き込みが行われている間に前記リセットトランジスタがオフからオンに切り替わることと、

前記書き込みの後に前記リセットトランジスタがオンからオフに切り替わることと、

を含む、画素回路の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、画素回路、表示装置、画素回路の駆動方法および電子機器に関する。

【背景技術】

【0002】

近年、表示装置の分野では、発光部を含む画素が行列状（マトリクス状）に配置されて成る平面型（フラットパネル型）の表示装置が主流となっている。平面型の表示装置の一つとして、発光部に流れる電流値に応じて発光輝度が変化する、所謂、電流駆動型の電気光学素子、例えば、有機エレクトロルミネッセンス（Electro Luminescence：EL）素子を用いる有機EL表示装置がある。

【0003】

この有機EL表示装置に代表される平面型の表示装置にあっては、電気光学素子を駆動する駆動トランジスタのトランジスタ特性（例えば、閾値電圧）が、プロセスの変動などによって画素毎にばらつく場合がある。その駆動トランジスタの特性の補正動作を行うに当たって、駆動トランジスタのゲートノードに対する初期化電圧の書き込み時間の短縮化を可

10

20

30

40

50

能にした表示装置の技術が、例えば特許文献 1 に開示されている。

【先行技術文献】

【特許文献】

【0004】

【文献】特開 2015 - 34861 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

駆動トランジスタの特性の補正動作を行う際に、コントラスト（黒階調における輝度）を改善する為に信号を駆動させると、横クロストークと呼ばれる、白表示部分に輝度差が発生する現象が生じ、横クロストークを改善する為に信号を駆動させると、逆にコントラストが悪化してしまっていた。

10

【0006】

そこで、本開示では、コントラストと横クロストークとを同時に良化させることが可能な、新規かつ改良された画素回路、表示装置、画素回路の駆動方法および電子機器を提案する。

【課題を解決するための手段】

【0007】

本開示によれば、発光素子と、前記発光素子のアノードにソースが接続される駆動トランジスタと、前記駆動トランジスタのゲートにソースが接続され、前記駆動トランジスタへ書き込まれる信号電圧をサンプリングするサンプリングトランジスタと、所定のタイミングで前記発光素子のアノードを所定の電位にリセットするリセットトランジスタと、を備え、前記リセットトランジスタは、前記駆動トランジスタへの前記信号電圧の書き込み前にオンからオフに切り替わり、該切り替わりの後で前記駆動トランジスタへの前記信号電圧の書き込みが行われている間にオフからオンに切り替わり、該書き込みの後で前記発光素子が発光する期間の前にオンからオフに切り替わる、画素回路が提供される。

20

【0008】

また本開示によれば、上記画素回路が配置される画素アレイ部と、前記画素アレイ部を駆動させる駆動回路と、を備える、表示装置が提供される。

【0009】

30

また本開示によれば、上記表示装置を備える、電子機器が提供される。

【0010】

また本開示によれば、発光素子と、前記発光素子のアノードにソースが接続される駆動トランジスタと、前記駆動トランジスタのゲートにソースが接続され、前記駆動トランジスタへ書き込まれる信号電圧をサンプリングするサンプリングトランジスタと、所定のタイミングで前記発光素子のアノードを所定の電位にリセットするリセットトランジスタと、を備える画素回路において、前記駆動トランジスタへの前記信号電圧の書き込み前に前記リセットトランジスタがオンからオフに切り替わることで、前記駆動トランジスタへの前記信号電圧の書き込みが行われている間に前記リセットトランジスタがオフからオンに切り替わることで、前記書き込みの後で前記発光素子が発光する期間の前に前記リセットトランジスタがオンからオフに切り替わることで、を含む、画素回路の制御方法が提供される。

40

【発明の効果】

【0011】

以上説明したように本開示によれば、コントラストと横クロストークとを同時に良化させることが可能な、新規かつ改良された画素回路、表示装置、画素回路の駆動方法および電子機器を提供することが出来る。

【0012】

なお、上記の効果は必ずしも限定的なものではなく、上記の効果とともに、または上記の効果に代えて、本明細書に示されたいずれかの効果、または本明細書から把握され得る他

50

の効果が奏されてもよい。

【図面の簡単な説明】

【 0 0 1 3 】

【図 1】本開示の実施の形態に係る表示装置 1 0 0 の構成例を示す説明図である。

【図 2】同実施の形態に係る表示装置 1 0 0 のより詳細な構成例を示す説明図である。

【図 3】同実施の形態に係る表示装置 1 0 0 のより詳細な構成例を示す説明図である。

【図 4】図 3 に示した画素回路を抜き出して示した説明図である。

【図 5】同実施の形態に係る表示装置 1 0 0 の駆動方法の比較例を示す説明図である。

【図 6】同実施の形態に係る表示装置 1 0 0 の駆動方法の比較例を示す説明図である。

【図 7】同実施の形態に係る表示装置 1 0 0 の駆動方法の比較例を示す説明図である。

10

【図 8】同実施の形態に係る表示装置 1 0 0 の駆動方法の比較例を示す説明図である。

【図 9】横クロストークについて説明する説明図である。

【図 1 0】横クロストークについて考察する際に用いる画素回路を示す説明図である。

【図 1 1】同実施の形態に係る表示装置 1 0 0 の駆動方法の比較例を示す説明図である。

【図 1 2】同実施の形態に係る表示装置 1 0 0 の駆動方法の比較例を示す説明図である。

【図 1 3】本開示の実施の形態に係る表示装置 1 0 0 の駆動方法の比較例を示す説明図である。

【図 1 4】同実施の形態に係る表示装置 1 0 0 の駆動方法を示す説明図である。

【図 1 5】同実施の形態に係る表示装置 1 0 0 の駆動方法を示す説明図である。

【図 1 6】同実施の形態に係る表示装置 1 0 0 の画素部 1 1 0 に形成される画素回路の変形例を示す説明図である。

20

【図 1 7】図 1 6 に示した画素回路を駆動させる信号の推移を示す説明図である。

【図 1 8】同実施の形態に係る表示装置 1 0 0 の画素部 1 1 0 に形成される画素回路の変形例を示す説明図である。

【図 1 9】図 1 8 に示した画素回路を駆動させる信号の推移を示す説明図である。

【発明を実施するための形態】

【 0 0 1 4 】

以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

30

【 0 0 1 5 】

なお、説明は以下の順序で行うものとする。

1．本開示の実施の形態

1．1．本開示の表示装置、表示装置の駆動方法、及び、電子機器、全般に関する説明

1．2．構成例および動作例

1．3．変形例

2．まとめ

【 0 0 1 6 】

< 1．本開示の実施の形態 >

[ 1．1．本開示の表示装置、表示装置の駆動方法、及び、電子機器、全般に関する説明 ]

40

本開示の表示装置は、発光部を駆動する駆動トランジスタの他に、サンプリングトランジスタ及び保持容量を有する画素回路が配置されて成る平面型（フラットパネル型）の表示装置である。平面型の表示装置としては、有機 E L 表示装置、液晶表示装置、プラズマ表示装置などを例示することができる。これらの表示装置のうち、有機 E L 表示装置は、有機材料のエレクトロルミネッセンスを利用し、有機薄膜に電界をかけると発光する現象を用いた有機 E L 素子を画素の発光素子（電気光学素子）として用いている。

【 0 0 1 7 】

画素の発光部として有機 E L 素子を用いた有機 E L 表示装置は次のような特長を持っている。すなわち、有機 E L 素子が 1 0 V 以下の印加電圧で駆動できるために、有機 E L 表示装置は低消費電力である。有機 E L 素子が自発光型の素子であるために、有機 E L 表示装

50

置は、同じ平面型の表示装置である液晶表示装置に比べて、画像の視認性が高く、しかも、バックライト等の照明部材を必要としないために軽量化及び薄型化が容易である。更に、有機EL素子の応答速度が数マイクロ秒程度と非常に高速であるために、有機EL表示装置は動画表示時の残像が発生しない。

【0018】

有機EL素子は、自発光型の素子であるとともに、電流駆動型の電気光学素子である。電流駆動型の電気光学素子としては、有機EL素子の他に、無機EL素子、LED素子、半導体レーザー素子などを例示することができる。

【0019】

有機EL表示装置等の平面型の表示装置は、表示部を備える各種の電子機器において、その表示部（表示装置）として用いることができる。各種の電子機器としては、テレビジョンシステムその他、ヘッドマウントディスプレイ、デジタルカメラ、ビデオカメラ、ゲーム機、ノート型パーソナルコンピュータ、電子書籍等の携帯情報機器、PDA（Personal Digital Assistant）や携帯電話機等の携帯通信機器などを例示することができる。

10

【0020】

本開示の表示装置、表示装置の駆動方法、及び、電子機器にあっては、駆動部について、駆動トランジスタのゲートノードをフローティング状態にした後ソースノードをフローティング状態にする構成とすることができる。また、駆動部について、駆動トランジスタのソースノードをフローティング状態にしたままサンプリングトランジスタによる信号電圧の書き込みを行う構成とすることができる。初期化電圧については、信号電圧と異なるタイミングで信号線に供給され、信号線からサンプリングトランジスタによるサンプリングによって駆動トランジスタのゲートノードに書き込まれる構成とすることができる。

20

【0021】

上述した好ましい構成を含む本開示の表示装置、表示装置の駆動方法、及び、電子機器にあっては、画素回路について、シリコンのような半導体上に形成する構成とすることができる。また、駆動トランジスタについて、Pチャネル型のトランジスタから成る構成とすることができる。駆動トランジスタとして、Nチャネル型のトランジスタではなく、Pチャネル型のトランジスタを用いるのは次の理由による。

【0022】

トランジスタをガラス基板のような絶縁体上ではなく、シリコンのような半導体上に形成する場合、トランジスタは、ソース/ゲート/ドレインの3端子ではなく、ソース/ゲート/ドレイン/バックゲート（ベース）の4端子となる。そして、駆動トランジスタとしてNチャネル型のトランジスタを用いた場合、バックゲート（基板）電圧が0Vとなり、駆動トランジスタの閾値電圧の画素毎のばらつきを補正する動作などに悪影響を及ぼすことになる。

30

【0023】

また、トランジスタの特性ばらつきは、LDD（Lightly Doped Drain）領域を持つNチャネル型のトランジスタに比べて、LDD領域を持たないPチャネル型のトランジスタの方が小さく、画素の微細化、ひいては、表示装置の高精細化を図る上で有利である。このような理由などから、シリコンのような半導体上への形成を想定した場合、駆動トランジスタとして、Nチャネル型のトランジスタではなく、Pチャネル型のトランジスタを用いるのが好ましい。

40

【0024】

上述した好ましい構成を含む本開示の表示装置、表示装置の駆動方法、及び、電子機器にあっては、サンプリングトランジスタについても、Pチャネル型のトランジスタから成る構成とすることができる。

【0025】

あるいは又、上述した好ましい構成を含む本開示の表示装置、表示装置の駆動方法、及び、電子機器にあっては、画素回路について、発光部の発光/非発光を制御する発光制御ト

50

ランジスタを有する構成とすることができる。このとき、発光制御トランジスタについても、Pチャネル型のトランジスタから成る構成とすることができる。

【0026】

あるいは又、上述した好ましい構成を含む本開示の表示装置、表示装置の駆動方法、及び、電子機器にあっては、保持容量について、駆動トランジスタのゲートノードとソースノードとの間に接続された構成とすることができる。また、画素回路について、駆動トランジスタのソースノードと固定電位のノードとの間に接続された補助容量を有する構成とすることができる。

【0027】

あるいは又、上述した好ましい構成を含む本開示の表示装置、表示装置の駆動方法、及び、電子機器にあっては、画素回路について、駆動トランジスタのドレインノードと発光部のカソードノードとの間に接続されたスイッチングトランジスタを有する構成とすることができる。このとき、スイッチングトランジスタについても、Pチャネル型のトランジスタから成る構成とすることができる。また、駆動部について、発光部の非発光期間にスイッチングトランジスタを導通状態にする構成とすることができる。

10

【0028】

あるいは又、上述した好ましい構成を含む本開示の表示装置、表示装置の駆動方法、及び、電子機器にあっては、駆動部は、スイッチングトランジスタを駆動する信号を、サンプリングトランジスタによる初期化電圧のサンプリングタイミングよりも前にアクティブ状態にする。そして、発光制御トランジスタを駆動する信号をアクティブ状態にした後に非アクティブ状態にする構成とすることができる。このとき、駆動部について、発光制御トランジスタを駆動する信号を非アクティブ状態にする前に、サンプリングトランジスタによる初期化電圧のサンプリングを完了する構成とすることができる。

20

【0029】

[1.2.構成例および動作例]

続いて、本開示の実施の形態に係る表示装置の構成例を説明する。図1は、本開示の実施の形態に係る表示装置100の構成例を示す説明図である。以下、図1を用いて本開示の実施の形態に係る表示装置100の構成例を説明する。

【0030】

画素部110は、有機EL素子その他の自発光素子がそれぞれ設けられた画素がマトリクス状に配置された構成を有する。画素部110は、マトリックス状に配置した画素に対して、走査線がライン単位で水平方向に設けられ、また走査線と直交するように信号線が列毎に設けられる。

30

【0031】

水平セクタ120は、所定のサンプリングパルスを順次転送し、このサンプリングパルスで画像データを順次ラッチすることにより、この画像データを各信号線に振り分ける。また水平セクタ120は、各信号線に振り分けた画像データをそれぞれアナログデジタル変換処理し、これにより各信号線に接続された各画素の発光輝度を時分割により示す駆動信号を生成する。水平セクタ120は、この駆動信号を対応する信号線に出力する。

【0032】

40

垂直スキャナ130は、この水平セクタ120による信号線の駆動に応動して、各画素の駆動信号を生成して走査線SCNに出力する。これにより表示装置100は、垂直スキャナ130により画素部110に配置された各画素を順次駆動し、水平セクタ120より設定される各信号線の信号レベルで各画素を発光させ、所望の画像を画素部110で表示する。

【0033】

図2は、本開示の実施の形態に係る表示装置100のより詳細な構成例を示す説明図である。以下、図2を用いて本開示の実施の形態に係る表示装置100の構成例を説明する。

【0034】

画素部110には、赤色を表示する画素111R、緑色を表示する画素111G、青色を

50

表示する画素 1 1 1 B がマトリクス状に配置されている。

【 0 0 3 5 】

そして垂直スキャナ 1 3 0 は、オー上ゼロスキャナ 1 3 1、駆動スキャナ 1 3 2 及び書き込みスキャナ 1 3 3 を有する。それぞれのスキャナから信号が画素部 1 1 0 にマトリクス状に配置された画素に供給されることで、それぞれの画素に設けられる T F T のオン、オフ動作が行われる。

【 0 0 3 6 】

図 3 は、本開示の実施の形態に係る表示装置 1 0 0 のより詳細な構成例を示す説明図である。以下、図 3 を用いて本開示の実施の形態に係る表示装置 1 0 0 の構成例を説明する。

【 0 0 3 7 】

図 3 には、画素部 1 1 0 にマトリクス状に配置された 1 つの画素に対する画素回路を図示している。画素回路は、トランジスタ T 1 ~ T 4 と、キャパシタ C 1、C 2 と、有機 E L 素子 E L と、を含んで構成される。図 4 は、図 3 に示した画素回路を抜き出して示した説明図である。

【 0 0 3 8 】

トランジスタ T 1 は有機 E L 素子 E L の発光を制御する発光制御トランジスタである。トランジスタ T 1 は、電源電圧 V C C P の電源ノードと、トランジスタ T 2 のソースノード（ソース電極）との間に接続され、駆動スキャナ 1 3 2 から出力される発光制御信号による駆動の下に、有機 E L 素子 E L の発光 / 非発光を制御する。

【 0 0 3 9 】

トランジスタ T 2 は、キャパシタ C 2 の保持電圧に応じた駆動電流を有機 E L 素子 E L に流すことによって有機 E L 素子 E L を駆動する駆動トランジスタである。

【 0 0 4 0 】

トランジスタ T 3 は、書き込みスキャナ 1 3 3 から供給される信号電圧 V s i g をサンプリングすることによって、トランジスタ T 2 のゲートノード（ゲート電極）に信号電圧 V s i g を書き込む。

【 0 0 4 1 】

トランジスタ T 4 は、トランジスタ T 2 のドレインノード（ドレイン電極）と電流排出先ノード（例えば、電源 V S S）との間に接続されるリセットトランジスタである。トランジスタ T 4 は、オー上ゼロスキャナ 1 3 1 からの駆動信号による駆動の下に、有機 E L 素子 E L の非発光期間に有機 E L 素子 E L が発光しないように制御する。トランジスタ T 1 ~ T 4 は、いずれも P チャネル型のトランジスタから成る構成とすることができる。

【 0 0 4 2 】

キャパシタ C 2 は、トランジスタ T 2 のゲートノードとソースノードとの間に接続されており、トランジスタ T 3 によるサンプリングによって書き込まれた信号電圧 V s i g を保持する。キャパシタ C 1 は、トランジスタ T 2 のソースノードと、固定電位のノード（例えば、電源電圧 V C C P の電源ノード）との間に接続されている。このキャパシタ C 1 は、信号電圧を書き込んだときにトランジスタ T 2 のソース電圧が変動するのを抑制するとともに、トランジスタ T 2 のゲートソース間電圧 V g s をトランジスタ T 2 の閾値電圧 V t h にする作用をなす。

【 0 0 4 3 】

この種の表示装置 1 0 0 では、ポリシリコン T F T を用いてガラス基板等による透明絶縁基板上に画素部 1 1 0、水平セレクト 1 2 0、垂直スキャナ 1 3 0 等がまとめて形成される。ポリシリコン T F T は、しきい値電圧、移動度にばらつきを避け得ず、有機 E L 素子を用いたディスプレイ装置では、これらのばらつきにより画質が劣化する問題がある。

【 0 0 4 4 】

そこで、例えば図 4 に示す回路構成により画素回路を構成し、駆動用トランジスタのしきい値電圧、移動度のばらつきを補正することが考えられる。

【 0 0 4 5 】

上記の構成の表示装置 1 0 0 の駆動方法に関して、まず、本開示の技術（即ち、実施形態

10

20

30

40

50

に係る駆動方法)よりも前の技術について、比較例に係る駆動方法を説明する。

【0046】

図5は、本開示の実施の形態に係る表示装置100の駆動方法の比較例を示す説明図である。図5には、水平同期信号XVD、信号電圧Vsig、駆動スキャナ132からの信号DS、書き込みスキャナ133からの信号WS、オー上ゼロスキャナ131からの信号AZの時間的推移が示されている。また図5には、トランジスタT2のソース電位Sourceおよびゲート電位Gate、ならびに有機EL素子ELのアノード電位Anodeの時間的推移も示されている。

【0047】

時刻t1において信号WS、AZがハイからローになり、発光期間が終了する。AZをハイからローに遷移させるのは、後述のVth補正期間中に有機EL素子ELに電流が流れ込み、有機EL素子ELが発光することを防ぐためである。また、後述のVth補正期間においてコントラストを改善するためにトランジスタT4をオンにするために信号AZがローになる。時刻t1からt2の時間において信号WSが再びハイになり、また信号電圧Vsigが所定の電圧Vofsに低下する。時刻t2において信号WSがローになり、トランジスタT2の閾値電圧の補正の準備期間に入る。ここでトランジスタT2のゲート電位がVofsまで低下する。

【0048】

時刻t3になり、信号DSがハイになることでVth補正期間に入る。Vth補正期間において、トランジスタT2のゲートソース間電圧VgsがトランジスタT2の閾値電圧Vthに設定される。また、Vth補正期間の間の時刻t4において信号AZがローからハイになる。

【0049】

その後、時刻t5において信号WSがハイからローになり、信号電圧VsigのトランジスタT2への書き込み期間となる。この書き込み期間において、トランジスタT2のゲート電位がVsigになる。時刻t6において信号WSがローからハイになり、信号電圧VsigのトランジスタT2への書き込み期間が終了する。そして時刻t7において信号DSがローになり、トランジスタT1がオンになることで有機EL素子ELが発光する発光期間となる。発光期間では、トランジスタT2のソース電位が電源電圧VCCPとなる。

【0050】

図6は、本開示の実施の形態に係る表示装置100の駆動方法の比較例を示す説明図である。図6には、水平同期信号XVD、信号電圧Vsig、駆動スキャナ132からの信号DS、書き込みスキャナ133からの信号WS、オー上ゼロスキャナ131からの信号AZの時間的推移が示されている。また図6には、トランジスタT2のソース電位Sourceおよびゲート電位Gate、ならびに有機EL素子ELのアノード電位Anodeの時間的推移も示されている。

【0051】

図6に示した駆動方法は、図5に示した駆動方法と比較して、信号AZがローからハイになるタイミングがVth補正期間ではなく、信号電圧Vsigの書き込み期間の後になっている。すなわち、時刻t4において信号WSがハイからローになり、信号電圧VsigのトランジスタT2への書き込み期間となり、時刻t5において信号WSがローからハイになり、信号電圧VsigのトランジスタT2への書き込み期間が終了した後に、時刻t6において信号AZがローからハイになる。

【0052】

このように、信号AZがローからハイになるタイミングの違いによってVth補正や映像信号の書き込みに影響を及ぼすことはない。ところが、信号AZがローからハイになるタイミングの違いによって、コントラストが悪化したり、横クロストーク現象が生じたりすることが分かっている。具体的には、図5に示したようにVth補正期間で信号AZをローからハイにするとコントラストは悪化、つまり黒輝度が高くなるが、その一方で横クロストーク現象は良化する。反面、図6に示したように信号電圧Vsigの書き込み期間の

10

20

30

40

50



後に信号 A Z をローからハイにすると横クロストークは悪化するが、その一方でコントラストは良化する。このような現象が生じる理由について説明する。

【 0 0 5 3 】

V t h 補正後、映像信号の書き込み時に、トランジスタ T 2 のゲートノードには黒電位に相当する信号電圧 V s i g が書きこまれる。V t h 補正後、映像信号書き込み後のゲートノードの電位を V g '、黒電位に相当する信号電圧 V s i g を V C C P とすると、 $V g' = V C C P$  となる。ここでトランジスタ T 2 のゲートノードの電位変動 V g は、V t h 補正後、映像信号書き込み前のゲートノードの電位を V g とすると、

$$V g = V g' - V g = V C C P - V g$$

で表される。

10

【 0 0 5 4 】

一方、キャパシタ C 2 を介して接続されているトランジスタ T 2 のソースノードの電位変動 V s は、キャパシタ C 1 の容量を C s u b、キャパシタ C 2 の容量を C s、トランジスタ T 1 がオフの時にトランジスタ T 2 のソースノードの生成される寄生容量を C p \_ s とすると、

$$V s = V g * C s / ( C s + C s u b + C p _ s ) = ( V C C P - V g ) * C s / ( C s + C s u b + C p _ s ) \quad \cdots ( \text{数式 1} )$$

で表される。

【 0 0 5 5 】

ここで、 $C s / ( C s + C s u b + C p _ s ) < 1$  であるから、トランジスタ T 2 のソースノードの電位変動 V s は、ゲートノードの電位変動 V g より小さくなる。すなわち、トランジスタ T 2 のゲートノードが電圧 V C C P まで上昇する間に、トランジスタ T 2 のゲートソース間電圧 V g s は小さくなる。

20

【 0 0 5 6 】

続いて V g ' とトランジスタ T 2 のゲートソース間電位の相関について考察する。V t h 補正後、映像信号書き込み前の、トランジスタ T 2 のゲートノード、ソースノード、ゲートソース間電位をそれぞれ V g、V s、V g s、映像信号書き込み後の、トランジスタ T 2 のゲートノード、ソースノード、ゲートソース間電位をそれぞれ V g'、V s'、V g s' とする。ここで、 $V g s = V s - V g$ 、 $V g s' = V s' - V g'$  と表される。また映像信号書き込み後の、トランジスタ T 2 のソースノード電位 V s' は、

30

$$V s' = V s + ( V g' - V g ) * ( C s / ( C s + C s u b + C p _ s ) )$$

となる。

【 0 0 5 7 】

ここで、 $( C s / ( C s + C s u b + C p _ s ) ) = ( X )$  と表すと、

$$V g s' = V s + ( V g' - V g ) * ( X ) - V g' = V s - ( ( 1 - X ) V g' + V g ( X ) ) \quad \cdots ( \text{数式 2} )$$

である。

【 0 0 5 8 】

V g s と V g s' を比較すると、 $V g < V g'$  より、 $V g s > V g s'$  となる。また V g' が大きいほど、つまり映像信号書き込み後のゲートノードの電位が高いほど、トランジスタ T 2 のゲートソース間電位 V g s' が小さくなる。

40

【 0 0 5 9 】

以上を踏まえ、表示装置 1 0 0 の駆動とコントラストとの相関について説明する。まず、V t h 補正期間で信号 A Z をローからハイにする場合について説明する。図 7 は、本開示の実施の形態に係る表示装置 1 0 0 の駆動方法の比較例を示す説明図である。図 7 では、V t h 補正期間で信号 A Z をローからハイにする場合の例が示されている。

【 0 0 6 0 】

V t h 補正後、V s i g 書き込みの前に信号 A Z がローからハイに遷移するが、その際、オー上ゼロスキャナ 1 3 1 からの信号線 ( A Z ゲートライン ) と、トランジスタ T 2 のゲートノードとの間に存在する寄生容量 C p ( G a t e - A Z ) を介して、信号 A Z の変動

50

がトランジスタT2のゲートノードに入る。信号AZの変動によるトランジスタT2のゲート電位の電位変動  $V_g(AZ)$  は、

$$V_g(AZ) = V(AZ) * C_p(Gate - AZ) / (C_p(Gate - AZ) + ((1/C_s) + (1/C_{sub})) + C_{p\_g}) \dots (数式3)$$

で表される。ここで  $V(AZ)$  は信号AZの変振幅、 $C_{p\_g}$  はトランジスタT3がオフの時の、トランジスタT2のゲートノードに生成される寄生容量である。

【0061】

その後、トランジスタT2のゲートノードに黒信号が書きこまれ、トランジスタT2のゲートノードの電位がVCCPまで上昇する。

【0062】

図8は、本開示の実施の形態に係る表示装置100の駆動方法の比較例を示す説明図である。図8では、 $V_{sig}$ 書き込みの後に信号AZをローからハイにする場合の例が示されている。この場合、トランジスタT2のゲートノードに黒信号が書きこまれ、トランジスタT2のゲートノードの電位がVCCPに変動した後、AZパルスがハイになることでトランジスタT2のゲートノードの電位が更に上昇する。この場合、 $V_{th}$ 補正期間で信号AZをローからハイにする場合よりもトランジスタT2のゲートノードの到達電位が高い事が分かる。

【0063】

数式2によると、トランジスタT2のゲートノードの到達電位が高いほど、トランジスタT2のゲートソース間電圧 $V_{gs}$ が小さくなる。すなわち、 $V_{th}$ 補正期間で信号AZをローからハイにする場合より、 $V_{sig}$ 書き込みの後に信号AZをローからハイにする場合の方が、トランジスタT2のゲートソース間電圧 $V_{gs}$ は小さくなり、黒輝度が低くなる。すなわち、 $V_{sig}$ 書き込みの後に信号AZをローからハイにする場合の方がコントラストは良化する。

【0064】

次に、横クロストークについて考察する。図9は、横クロストークについて説明する説明図である。図9の(A)のラインのように、暗い場所で白い線を表示する場合には問題ないが、(B)のラインのように、白い背景に黒のウィンドウのような映像を表示する際に、白い背景の部分に輝度差が発生する現象が横クロストークである。

【0065】

また、図10は横クロストークについて考察する際に用いる画素回路を示す説明図であり、信号線とノードとの間に発生する寄生容量を図示したものである。

【0066】

図11、12は、本開示の実施の形態に係る表示装置100の駆動方法の比較例を示す説明図である。図11、12では、 $V_{th}$ 補正期間の後で信号AZをローからハイにする場合の例が示されている。また図11は、図9に示した(A)のラインの領域におけるトランジスタT2のゲートノード、ソースノード、有機EL素子ELのアノードノードの電位の変化を示している。そして図12は、図9に示した(B)のラインの領域におけるトランジスタT2のゲートノード、ソースノード、有機EL素子ELのアノードノードの電位の変化を示している。

【0067】

AZゲートラインの電位は、信号WSのゲートノードへの書き込み前はローの状態となっている。映像信号書き込みのタイミングで、信号WSがハイからローに遷移すると、書き込みスキャナ133からの信号線(WSゲートライン)とAZゲートラインとの間に生じている寄生容量 $C_p(WS - AZ)$ を介して、AZゲートラインに負のカップリングが入り、信号AZの電位が下がる。

【0068】

一方、映像信号書き込み時、トランジスタT2のゲートノードの電位が $V_{sig}$ に遷移する。このゲートノードの変動により、ゲートノードとAZゲートラインとの間に生じている寄生容量 $C_p(Gate - AZ)$ を介して、AZゲートラインに正のカップリングが入

10

20

30

40

50

る。このカップリング量は当然映像信号によって変わるが、図 9 に示した ( B ) のラインの方が ( A ) のラインより電圧上昇量が大きい。すなわち、WS ゲートラインからの負のカップリングと相殺する為に ( B ) のラインの方が AZ ゲートラインの電位の低下が小さくなる。

【 0 0 6 9 】

すなわち、( A ) のラインは信号書き込み時におけるトランジスタ T 2 のゲートノードの電位の上昇が小さいので、AZ ゲートラインの電位の低下が大きい。一方、( B ) のラインは信号書き込み時におけるトランジスタ T 2 のゲートノードの電位の上昇が大きいので、AZ ゲートラインの電位の低下が小さい。

【 0 0 7 0 】

AZ ゲートラインの電位が下がることにより、トランジスタ T 4 の動作点が下がり、有機 EL 素子 EL のアノードノードの電位も下がる。トランジスタ T 4 は P チャネルのトランジスタである為、トランジスタ T 4 がオンの時の有機 EL 素子 EL のアノード電位は、トランジスタ T 4 が オン になる AZ ゲートラインの電位にトランジスタ T 4 の閾値電圧を加えたものである。すなわちトランジスタ T 4 がオン時の AZ ゲートラインの電位が低下すると、有機 EL 素子 EL のアノード電位もその分低下する。

【 0 0 7 1 】

よって ( A ) のラインの方が ( B ) のラインよりも AZ ゲートラインの電位の低下が大きいので、有機 EL 素子 EL のアノード電位も、( A ) のラインの方が ( B ) のラインよりもより低下する。

【 0 0 7 2 】

その後、発光開始時に有機 EL 素子 EL のアノード電位は有機 EL 素子 EL の発光電位まで上昇する。このアノード電位の変動は、トランジスタ T 2 のゲートノードと有機 EL 素子 EL のアノードとの間に生成する寄生容量  $C_p$  ( Gate - Anode ) を介して Gate に正のカップリングを及ぼし、トランジスタ T 2 のゲートノードの電位が上昇する。この時、トランジスタ T 2 のゲートソース間電圧  $V_{gs}$  は小さくなる。このアノード電位の上昇量は、発光前にアノード電位がより下がっている ( A ) 白ラインの方が大きい。すなわち ( B ) 黒ラインよりも ( A ) 白ラインの方が、トランジスタ T 2 のゲートソース間電圧  $V_{gs}$  が小さくなり、よってクロストークが生じる原因となる。

【 0 0 7 3 】

図 1 3 は、本開示の実施の形態に係る表示装置 1 0 0 の駆動方法の比較例を示す説明図である。図 1 3 では、V t h 補正期間内で信号 AZ をローからハイにする場合の例が示されている。また図 1 3 は、図 9 に示した ( A ) のラインの領域におけるトランジスタ T 2 のゲートノード、ソースノード、有機 EL 素子 EL のアノードノードの電位の変化を示している。

【 0 0 7 4 】

V t h 補正期間内で信号 AZ をローからハイにする場合、AZ ゲートラインの変動までは、図 1 1 及び図 1 2 を用いて説明したメカニズムと同様である。しかし、V t h 補正期間内で信号 AZ をローからハイにする場合では、その後に信号 WS がハイからローになるため、トランジスタ T 4 はオフ状態となっていることで、有機 EL 素子 EL のアノードノードの動作点に影響を及ぼさない。したがって、V t h 補正期間内で信号 AZ をローからハイにする場合、( A ) のラインでも ( B ) のラインでも、アノードノードの電位は変化せず、またその後の発光時においても、トランジスタ T 2 のゲートソース間電圧  $V_{gs}$  は ( A ) のラインでも ( B ) のラインでも差が生じない。よって、V t h 補正期間内で信号 AZ をローからハイにする場合では、横クロストークは発生しない。

【 0 0 7 5 】

以上説明したように、信号 AZ がローからハイになるタイミングの違いによって、コントラストが悪化したり、横クロストーク現象が生じたりすることになる。そこで本実施形態に係る表示装置 1 0 0 は、信号 AZ の遷移タイミングを変化させて、コントラストの良化と横クロストークの抑止の両方を実現する。

10

20

30

40

50

## 【 0 0 7 6 】

図 1 4 は、本開示の実施の形態に係る表示装置 1 0 0 の駆動方法を示す説明図である。図 1 4 には、水平同期信号 X V D、信号電圧 V s i g、駆動スキャナ 1 3 2 からの信号 D S、書き込みスキャナ 1 3 3 からの信号 W S、オー上ゼロスキャナ 1 3 1 からの信号 A Z の時間的推移が示されている。

## 【 0 0 7 7 】

本開示の実施の形態に係る表示装置 1 0 0 は、図 1 4 に示した各信号の時間的推移において、信号 A Z が、V t h 補正期間の間と、映像信号書き込み期間の後の 2 度、ローからハイに遷移していることを特徴としている。すなわち、信号 A Z は、V t h 補正期間の間にローからハイに遷移した後、映像信号書き込み期間の間にハイからローに戻る。そして信号 A Z は、映像信号書き込み期間の後に再びローからハイに遷移する。本開示の実施の形態に係る表示装置 1 0 0 は、このように信号 A Z を遷移させることにより、コントラストの良化と横クロストークの抑止の両方を実現することができる。その原理について説明する。

10

## 【 0 0 7 8 】

図 1 5 は、本開示の実施の形態に係る表示装置 1 0 0 の駆動方法を示す説明図である。図 1 5 には、水平同期信号 X V D、信号電圧 V s i g、駆動スキャナ 1 3 2 からの信号 D S、書き込みスキャナ 1 3 3 からの信号 W S、オー上ゼロスキャナ 1 3 1 からの信号 A Z の時間的推移が示されている。また図 1 5 は、図 9 に示した ( A ) のラインの領域におけるトランジスタ T 2 のゲートノード、ソースノード、有機 E L 素子 E L のアノードノードの電位の変化を示している。

20

## 【 0 0 7 9 】

本開示の実施の形態に係る表示装置 1 0 0 は、V t h 補正期間の間に信号 A Z をローからハイに遷移させている。これにより、上述したように、映像信号書き込み時に信号 W S がハイからローになっても、トランジスタ T 4 はオフ状態となっていることで、有機 E L 素子 E L のアノードノードの動作点に影響を及ぼさない。

## 【 0 0 8 0 】

続いて本開示の実施の形態に係る表示装置 1 0 0 は、映像信号書き込み期間内に、信号 A Z をハイからローに遷移させている。このタイミングでは、トランジスタ T 2 のゲートノードは映像信号電圧で接地されており、トランジスタ T 2 の動作点に影響を及ぼすことはない。

30

## 【 0 0 8 1 】

そして本開示の実施の形態に係る表示装置 1 0 0 は、映像信号書き込み期間が終わった後、発光期間の前に信号 A Z をローからハイに遷移させている。これにより、上述したようにトランジスタ T 2 のゲートノードに映像信号が書きこまれる。トランジスタ T 2 のゲートノードの電圧 V C C P に変動した後、信号 A Z をローからハイに遷移することで、トランジスタ T 2 のゲートノードが更に上昇するのは上述した通りである。トランジスタ T 2 のゲートノードの到達電位が高いほどトランジスタ T 2 のゲートソース間電圧 V g s が小さくなることから、このように信号 A Z を遷移させることで、コントラストを良化させることが可能となる。

40

## 【 0 0 8 2 】

## [ 1 . 3 . 変形例 ]

本開示に係る技術は、自発光素子のアノードに、消光用の P チャネル型トランジスタを接続する構成を有する画素回路であれば同様に適用可能である。

## 【 0 0 8 3 】

図 1 6 は、本開示の実施の形態に係る表示装置 1 0 0 の画素部 1 1 0 に形成される画素回路の変形例を示す説明図である。図 1 6 に示した画素回路は、トランジスタ T 1 1 ~ T 1 6 と、キャパシタ ( 寄生容量 ) C s、C a、C p と、有機 E L 素子 E L と、を含んで構成される。

## 【 0 0 8 4 】

50

図 17 は、図 16 に示した画素回路を駆動させる信号の推移を示す説明図である。WS はトランジスタ T13 のゲートに供給される信号を、DS はトランジスタ T11 のゲートに供給される信号を、AZ1 はトランジスタ T14 のゲートに供給される信号を、AZ2 はトランジスタ T15 のゲートに供給される信号を、AZ3 はトランジスタ T16 のゲートに供給される信号を、それぞれ示す。

【0085】

トランジスタ T14 は、図 4 等で示したトランジスタ T4 と同様に、有機 EL 素子 EL の非発光期間に有機 EL 素子 EL が発光しないように制御するものである。従って、トランジスタ T14 を駆動させるタイミングを制御することで、コントラストの良化と横クロストークの防止の 2 つの効果をもたらす。

10

【0086】

すなわち、図 17 に示したように、Vth 補正期間内に一度、信号 AZ1 をローからハイにすることでトランジスタ T14 をオフし、信号書込み期間内に信号 AZ1 をハイからローにすることでトランジスタ T14 をオンし、信号書込み期間後に信号 AZ1 をローからハイにすることでトランジスタ T14 をオフする。このように信号 AZ1 を制御することにより、本開示の実施の形態に係る表示装置 100 は、画素回路として図 16 に示したような構成を採った場合であっても、コントラストの良化と横クロストークの防止の 2 つの効果をもたらす。

【0087】

図 18 は、本開示の実施の形態に係る表示装置 100 の画素部 110 に形成される画素回路の変形例を示す説明図である。図 18 に示した画素回路は、トランジスタ T21 ~ T25 と、キャパシタ Cs と、有機 EL 素子 EL と、を含んで構成される。

20

【0088】

図 19 は、図 18 に示した画素回路を駆動させる信号の推移を示す説明図である。WS はトランジスタ T23 のゲートに供給される信号を、DS はトランジスタ T21 のゲートに供給される信号を、AZ1 はトランジスタ T24 のゲートに供給される信号を、AZ2 はトランジスタ T25 のゲートに供給される信号を、それぞれ示す。

【0089】

トランジスタ T24 は、図 4 等で示したトランジスタ T4 と同様に、有機 EL 素子 EL の非発光期間に有機 EL 素子 EL が発光しないように制御するものである。従って、トランジスタ T24 を駆動させるタイミングを制御することで、コントラストの良化と横クロストークの防止の 2 つの効果をもたらす。

30

【0090】

すなわち、図 19 に示したように、Vth 補正期間内に一度、信号 AZ1 をローからハイにすることでトランジスタ T24 をオフし、信号書込み期間内に信号 AZ1 をハイからローにすることでトランジスタ T24 をオンし、信号書込み期間後に信号 AZ1 をローからハイにすることでトランジスタ T24 をオフする。このように信号 AZ1 を制御することにより、本開示の実施の形態に係る表示装置 100 は、画素回路として図 18 に示したような構成を採った場合であっても、コントラストの良化と横クロストークの防止の 2 つの効果をもたらす。

40

【0091】

< 2 . まとめ >

以上説明したように本開示の実施の形態によれば、自発光素子のアノードに、非発光期間に自発光素子が発光しないように制御するためのトランジスタを設けた画素回路を有する表示装置において、コントラストの良化と横クロストークの防止の 2 つの効果をもたらす表示装置が提供される。

【0092】

そして、本開示の実施の形態に係る表示装置を備えた電子機器も同様に提供される。本開示の実施の形態に係る表示装置を備えた電子機器は、コントラストの良化と横クロストークの防止の 2 つの効果奏する。そのような電子機器には、テレビ、スマートフォン等の

50

携帯電話、タブレット型携帯端末、パーソナルコンピュータ、携帯型ゲーム機、携帯型音楽再生装置、デジタルスチルカメラ、デジタルビデオカメラ、腕時計型携帯端末、ウェアラブルデバイスなどがある。

【 0 0 9 3 】

以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

【 0 0 9 4 】

また、本明細書に記載された効果は、あくまで説明的または例示的なものであって限定的ではない。つまり、本開示に係る技術は、上記の効果とともに、または上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏しうる。

【 0 0 9 5 】

なお、以下のような構成も本開示の技術的範囲に属する。

( 1 )

発光素子と、

前記発光素子のアノードにソースが接続される駆動トランジスタと、

前記駆動トランジスタのゲートにソースが接続され、前記駆動トランジスタへ書き込まれる信号電圧をサンプリングするサンプリングトランジスタと、

所定のタイミングで前記発光素子のアノードを所定の電位にリセットするリセットトランジスタと、

を備え、

前記リセットトランジスタは、前記駆動トランジスタへの前記信号電圧の書き込み前にオンからオフに切り替わり、該切り替わりの後で前記駆動トランジスタへの前記信号電圧の書き込みが行われている間にオフからオンに切り替わり、該書き込みの後で前記発光素子が発光する期間の前にオンからオフに切り替わる、画素回路。

( 2 )

前記リセットトランジスタは、前記サンプリングトランジスタがオフからオンに切り替わって前記駆動トランジスタへの前記信号電圧の書き込みが行われている間にオフからオンに切り替わる、前記 ( 1 ) に記載の画素回路。

( 3 )

前記リセットトランジスタは、前記駆動トランジスタへの前記信号電圧の書き込みが終わり、前記サンプリングトランジスタがオンからオフに切り替わった後にオンからオフに切り替わる、前記 ( 1 ) または ( 2 ) に記載の画素回路。

( 4 )

前記駆動トランジスタのドレインにソースが接続され、前記発光素子が発光する期間においてオフからオンに切り替わる発光制御トランジスタをさらに備える、前記 ( 1 ) ~ ( 3 ) のいずれかに記載の画素回路。

( 5 )

前記発光制御トランジスタは、Pチャネル型のトランジスタである、前記 ( 4 ) に記載の画素回路。

( 6 )

前記リセットトランジスタは、Pチャネル型のトランジスタである、前記 ( 1 ) ~ ( 5 ) のいずれかに記載の画素回路。

( 7 )

前記駆動トランジスタは、Pチャネル型のトランジスタである、前記 ( 1 ) ~ ( 6 ) のいずれかに記載の画素回路。

( 8 )

前記 ( 1 ) ~ ( 7 ) のいずれかに記載の画素回路が配置される画素アレイ部と、

10

20

30

40

50

前記画素アレイ部を駆動させる駆動回路と、  
を備える、表示装置。

( 9 )

前記 ( 8 ) に記載の表示装置を備える、電子機器。

( 1 0 )

発光素子と、

前記発光素子のアノードにソースが接続される駆動トランジスタと、

前記駆動トランジスタのゲートにソースが接続され、前記駆動トランジスタへ書き込まれる信号電圧をサンプリングするサンプリングトランジスタと、

所定のタイミングで前記発光素子のアノードを所定の電位にリセットするリセットトランジスタと、

10

を備える画素回路において、

前記駆動トランジスタへの前記信号電圧の書き込み前に前記リセットトランジスタがオンからオフに切り替わることと、

前記駆動トランジスタへの前記信号電圧の書き込みが行われている間に前記リセットトランジスタがオフからオンに切り替わることと、

前記書き込みの後で前記発光素子が発光する期間の前に前記リセットトランジスタがオンからオフに切り替わることと、

を含む、画素回路の制御方法。

【符号の説明】

20

【 0 0 9 6 】

1 0 0 : 表示装置

1 1 0 : 画素部

1 1 1 B : 画素

1 1 1 G : 画素

1 1 1 R : 画素

1 2 0 : 水平セクタ

1 3 0 : 垂直スキャナ

1 3 1 : オー上ゼロスキャナ

1 3 2 : 駆動スキャナ

1 3 3 : 書き込みスキャナ

30

C 1 : キャパシタ

C 2 : キャパシタ

C p : 寄生容量

C s : キャパシタ

D S : 信号

E L : 有機 E L 素子

G a t e : ゲート電位

S C N : 走査線

T 1 : トランジスタ

T 2 : トランジスタ

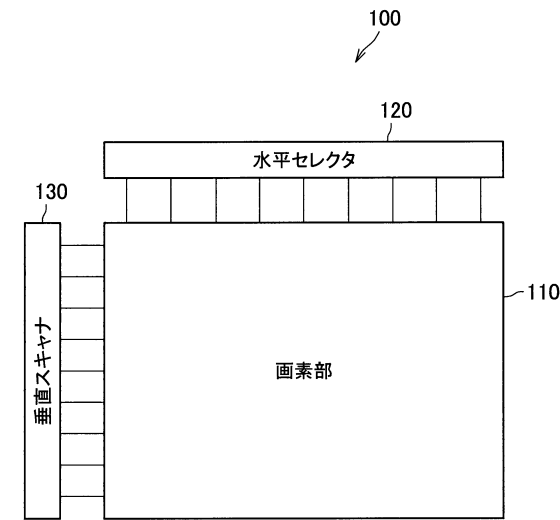
T 3 : トランジスタ

T 4 : トランジスタ

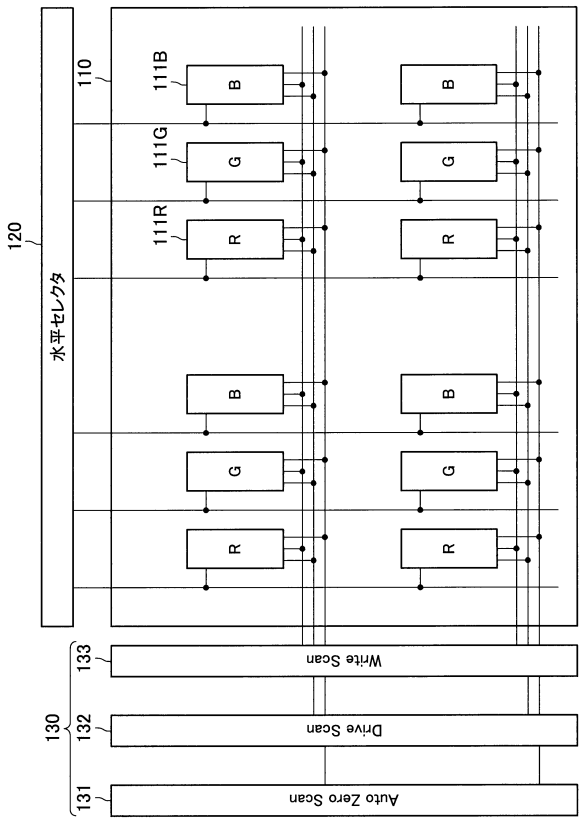
40

【図面】

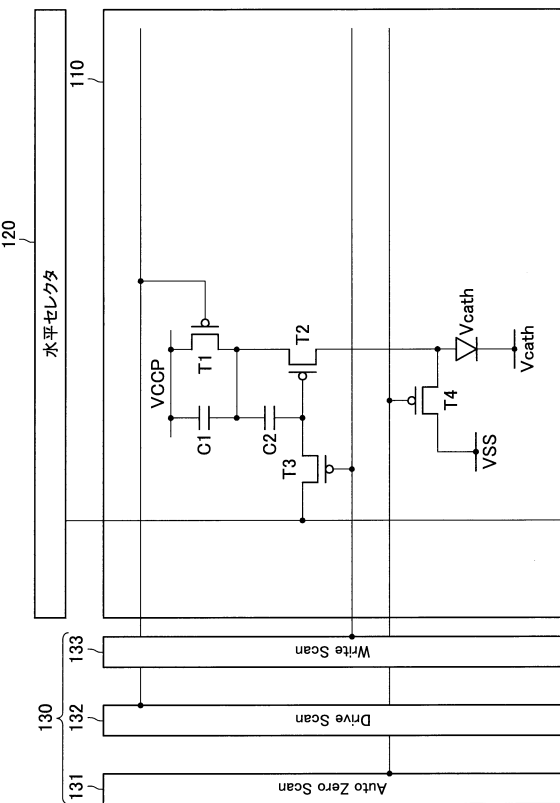
【図 1】



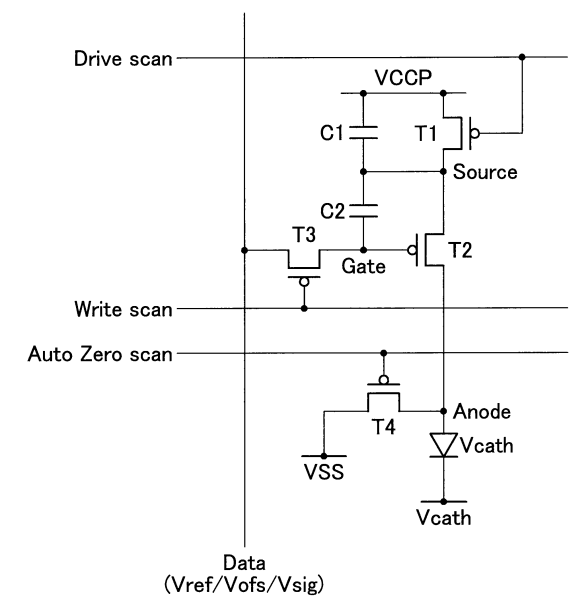
【図 2】



【図 3】



【図 4】



10

20

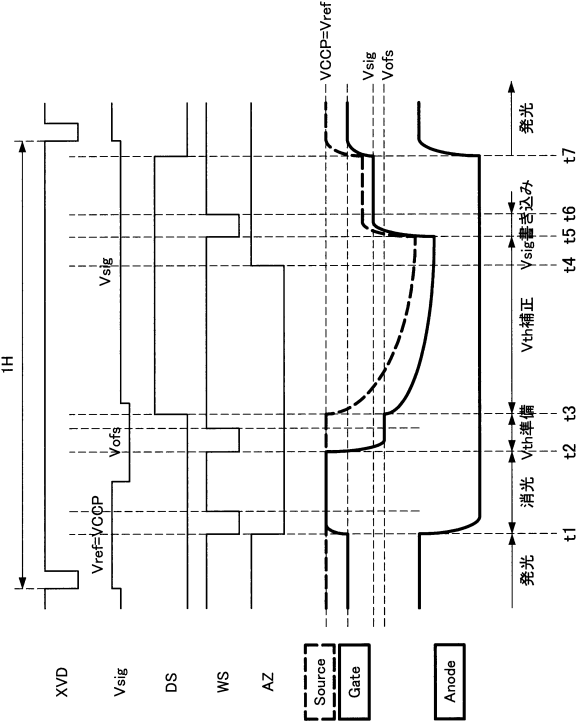
30

40

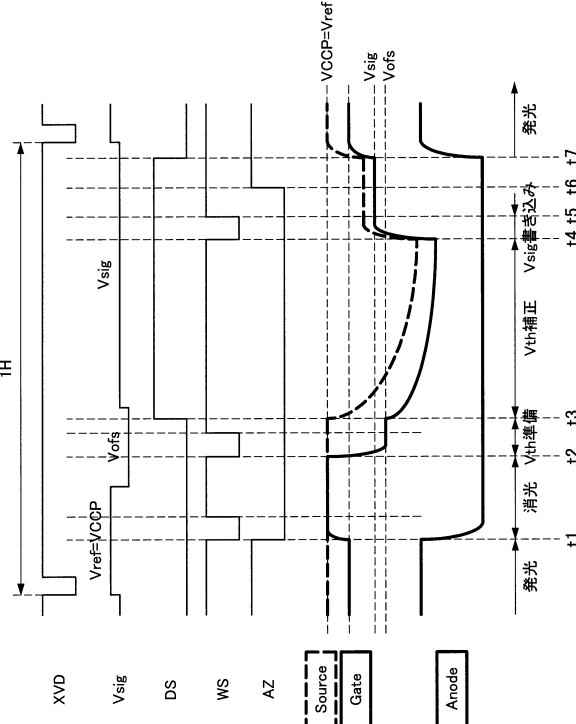
50



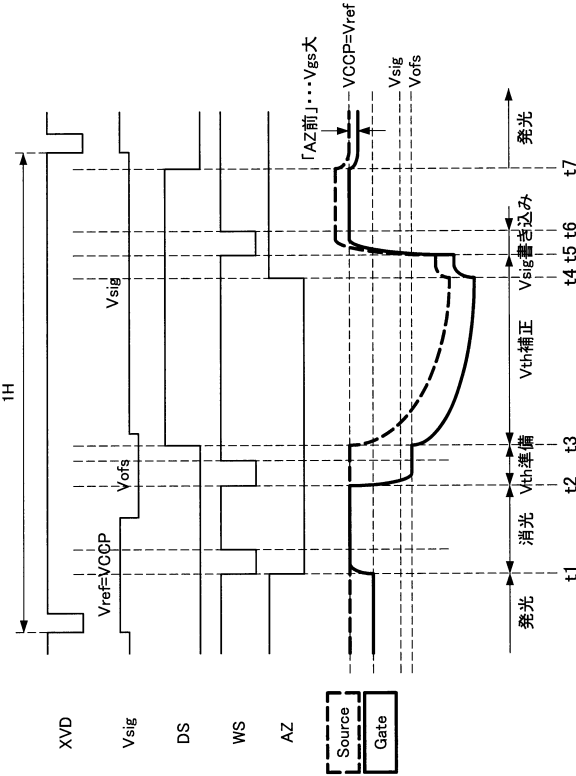
【図 5】



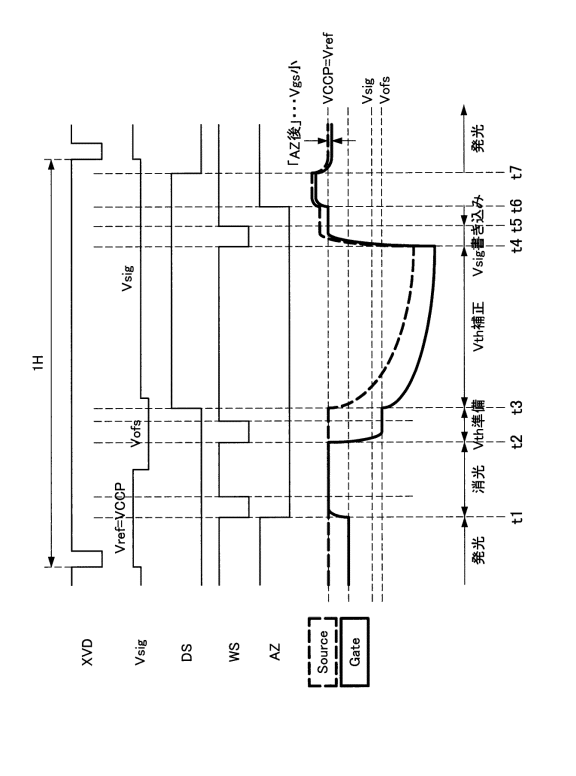
【図 6】



【図 7】



【図 8】



10

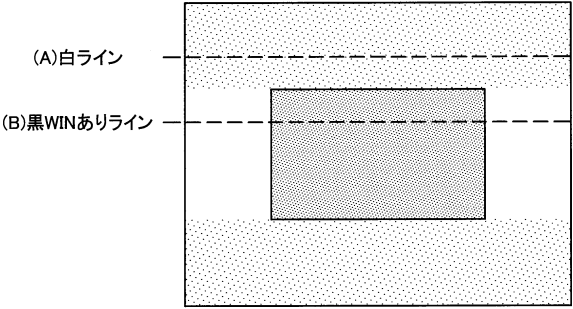
20

30

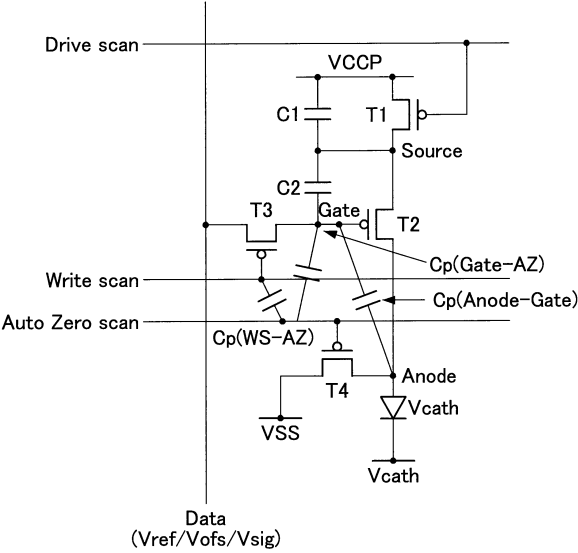
40

50

【図 9】

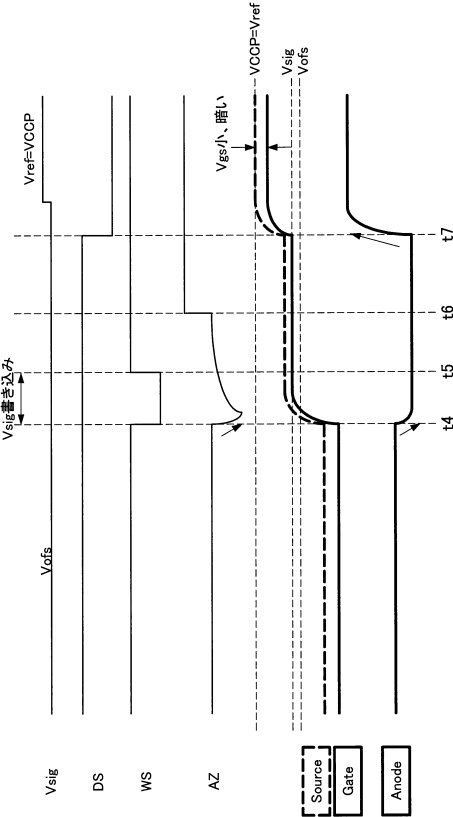


【図 10】

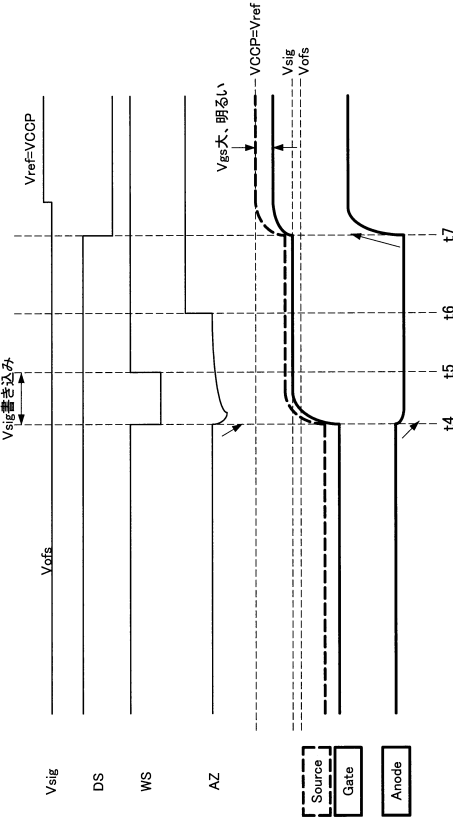


10

【図 11】



【図 12】



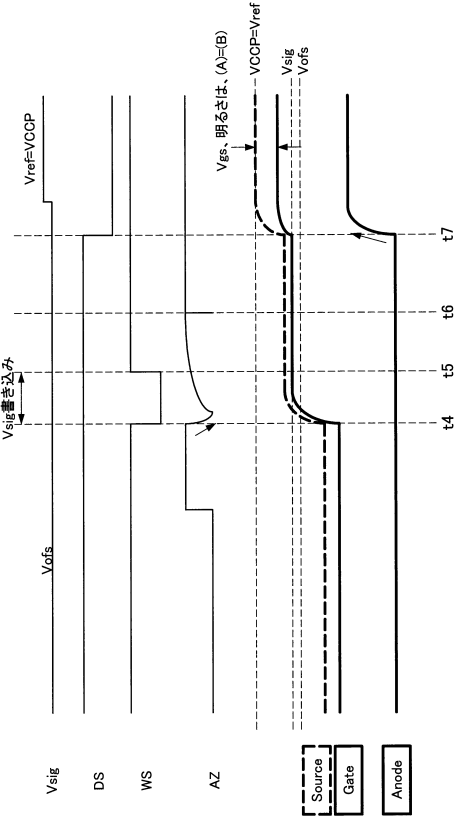
20

30

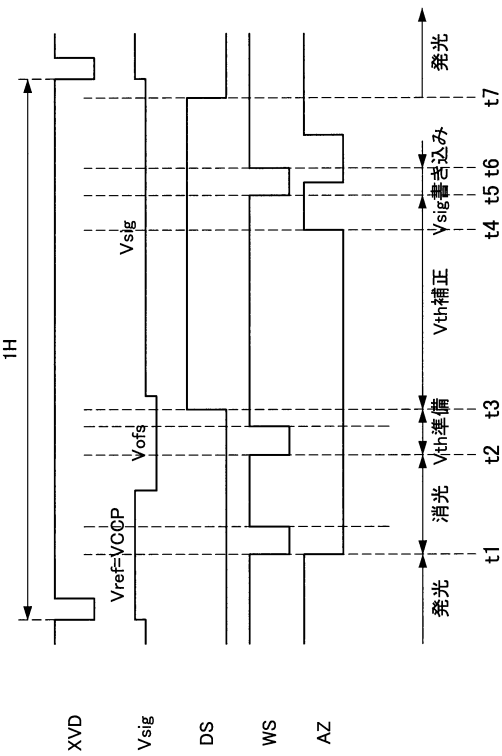
40

50

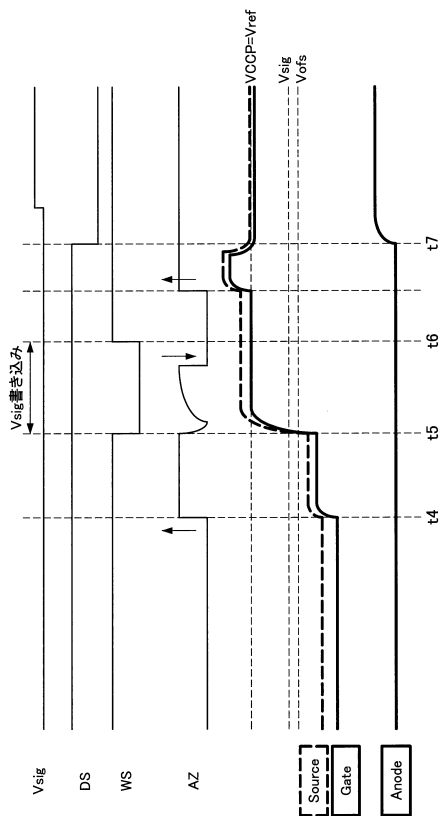
【図 1 3】



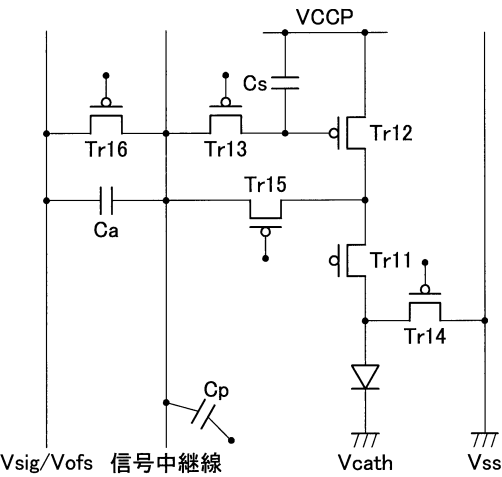
【図 1 4】



【図 1 5】



【図 1 6】



10

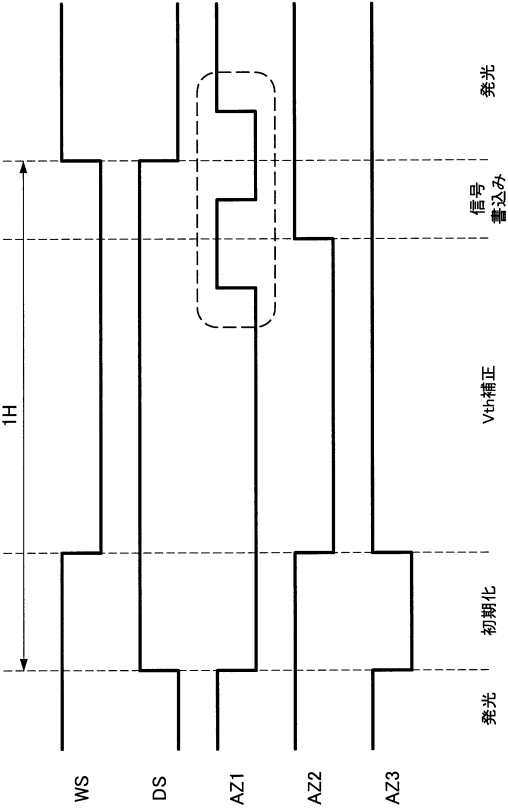
20

30

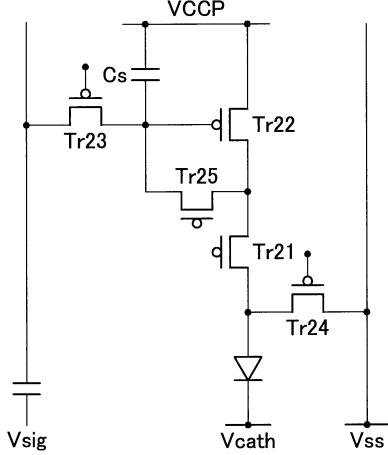
40

50

【図 1 7】



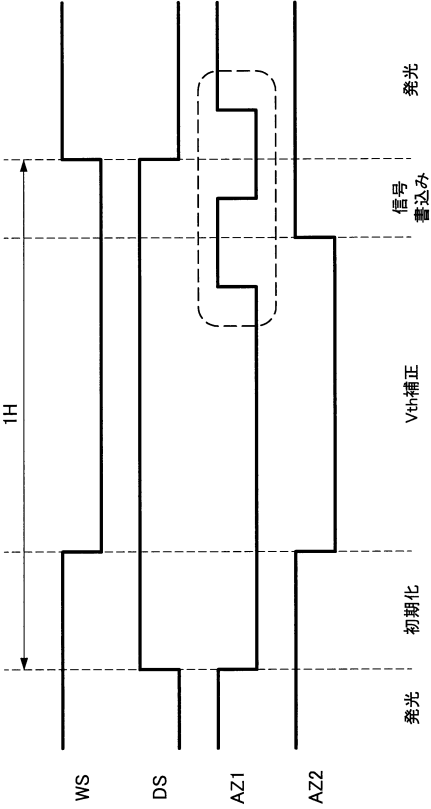
【図 1 8】



10

20

【図 1 9】



30

40

50

## フロントページの続き

## (51)国際特許分類

F I

G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 4 2 E

## (56)参考文献

特開 2 0 1 6 - 2 1 2 4 1 8 ( J P , A )  
特開 2 0 1 4 - 2 2 8 8 6 3 ( J P , A )  
特開 2 0 1 0 - 2 8 2 2 2 3 ( J P , A )  
特開 2 0 1 1 - 1 6 4 1 3 3 ( J P , A )  
特開 2 0 0 8 - 2 8 7 1 4 0 ( J P , A )  
特開 2 0 0 8 - 1 4 5 6 4 7 ( J P , A )  
特表 2 0 1 1 - 5 0 7 0 0 5 ( J P , A )  
米国特許出願公開第 2 0 1 7 / 0 1 2 4 9 3 9 ( U S , A 1 )  
米国特許出願公開第 2 0 1 6 / 0 0 0 5 3 5 6 ( U S , A 1 )  
米国特許出願公開第 2 0 1 6 / 0 1 0 4 4 2 3 ( U S , A 1 )  
米国特許出願公開第 2 0 1 7 / 0 0 5 3 5 9 5 ( U S , A 1 )  
米国特許出願公開第 2 0 1 6 / 0 1 2 5 8 0 8 ( U S , A 1 )  
中国実用新案第 2 0 5 9 2 0 7 4 5 ( C N , U )

## (58)調査した分野 (Int.Cl., D B 名)

G 0 9 G    3 / 3 2 3 3  
G 0 9 G    3 / 2 0  
H 0 1 L    2 7 / 3 2  
H 0 1 L    5 1 / 5 0