

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 3 月 1 日 (01.03.2018)



(10) 国际公布号
WO 2018/036200 A1

- (51) 国际专利分类号:
H01L 23/544 (2006.01) **H01L 27/12** (2006.01)
- (21) 国际申请号: PCT/CN2017/083195
- (22) 国际申请日: 2017 年 5 月 5 日 (05.05.2017)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201620956579.3 2016年8月26日 (26.08.2016) CN
- (71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号,
Beijing 100015 (CN)。合肥鑫晟光电科技有
限公司 (HEFEI XINSHENG OPTOELECTRONICS
TECHNOLOGY CO., LTD.) [CN/CN]; 中国安徽省
合肥市新站区工业园, Anhui 230011 (CN)。
- (72) 发明人: 张淼 (ZHANG, Miao); 中国北京市经济
技术开发区地泽路 9 号, Beijing 100176 (CN)。
孙静 (SUN, Jing); 中国北京市经济技术开发
区地泽路 9 号, Beijing 100176 (CN)。傅武霞
(FU, Wuxia); 中国北京市经济技术开发区地
泽路 9 号, Beijing 100176 (CN)。

- (74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN &
ASSOCIATES); 中国北京市海淀区彩和坊路 10
号 1 号楼 10 层, Beijing 100080 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,
JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条 (3))。

(54) Title: FILM TEST STRUCTURE AND ARRAY SUBSTRATE

(54) 发明名称: 膜层测试结构及阵列基板

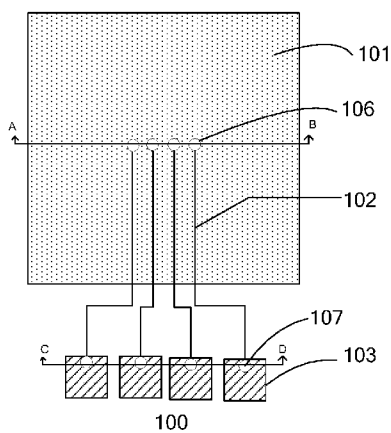


图 3

(57) Abstract: A film test structure and an array substrate. The film test structure (100) comprises a conductive film (101) to be tested, a plurality of test lead-out wires (102) located at a layer different from the conductive film (101) to be tested and electrically connected to the conductive film (101) to be tested respectively, and a plurality of test terminals (103) electrically connected to the plurality of test lead-out wires (102) respectively. By applying the film test structure to an array substrate, a square resistance can be conveniently tested, and test accuracy can be ensured. In addition, test probes do not need to be frequently replaced, reducing the consumption of test probes, thereby reducing production costs.

(57) 摘要: 一种膜层测试结构及阵列基板, 该膜层测试结构 (100) 包括待测试导电膜层 (101)、与待测试导电膜层 (101) 位于不同层且分别与待测试导电膜层 (101) 电连接的多条测试引出线 (102) 以及多个分别与多条测试引出线 (102) 电连接的测试端子 (103)。将该膜层测试结构应用于阵列基板中, 可以方便地完成方块电阻的测试, 并且能够保证测试的精度, 同时能够避免测试探针的频繁更换, 减小测试探针的消耗, 从而降低生产成本。

WO 2018/036200 A1

膜层测试结构及阵列基板

技术领域

5 本公开涉及一种膜层测试结构及阵列基板。

背景技术

在显示技术领域，例如，在液晶显示器或有机电致发光显示器件中，薄膜晶体管是阵列基板中的基本器件。薄膜晶体管中各膜层的特性影响着
10 薄膜晶体管的电学特性，从而影响显示器件最终的显示效果。

方块电阻是评价膜层特性的一个重要手段。目前，方块电阻值通常用四探针法实现测量，测试时使用等间距且排成直线的四个探针进行测试，且探针直接接触膜层，例如，图 1 为测试方块电阻的示意图。探头由四根探针阻成，其要求四根探针头部的距离相等。当探头压在导电薄膜材料上
15 面时，电阻计可用于显示出材料的方块电阻值，其原理是外端的两根探针产生电流场，内端的两根探针测试电流场在这两个探点上形成的电势。方块电阻越大，产生的电势也越大，这样就可以测出膜层的方块电阻值。

发明内容

20 本公开的至少一实施例提供一种膜层测试结构，包括：待测试导电膜层；多条测试引出线，与所述待测试导电膜层位于不同层且分别与所述待测试导电膜层电连接；多个测试端子，多个所述测试端子分别与所述多条测试引出线电连接。

例如，在本公开一实施例提供的膜层测试结构中，所述测试引出线的一端连接所述待测试导电膜层，另一端连接所述测试端子。
25

例如，在本公开一实施例提供的膜层测试结构中，所述测试引出线与所述测试端子一体成形。

例如，在本公开一实施例提供的膜层测试结构中，所述测试引出线设置在所述待测试导电膜层的上方或下方。

30 例如，本公开一实施例提供的膜层测试结构，还包括设置在所述待测试导电膜层一侧的绝缘层，所述绝缘层具有多个第一过孔，所述多条测试

引出线通过相应的所述多个第一过孔与所述待测试导电膜层电连接。

例如，在本公开一实施例提供的膜层测试结构中，所述第一过孔设置在所述待测试导电膜层的中间区域。

例如，在本公开一实施例提供的膜层测试结构中，任意相邻两个所述
5 第一过孔之间的距离大致相等。

例如，在本公开一实施例提供的膜层测试结构中，多个所述第一过孔呈直线排列。

例如，在本公开一实施例提供的膜层测试结构中，所述第一过孔的个数为4个，且4个所述第一过孔排列成等边四边形。

10 例如，在本公开一实施例提供的膜层测试结构中，所述多个测试端子与所述待测试导电膜层位于同一层但彼此隔离，或者与所述多条测试引出线位于同一层并彼此电连接。

例如，在本公开一实施例提供的膜层测试结构中，所述多个测试端子与所述待测试导电膜层位于同一层的情况下，所述绝缘层还包括多个第二
15 过孔，所述多个测试端子与所述多条测试引出线通过所述第二过孔电连接。

本公开的至少一实施例还提供一种阵列基板，包括上述中所述的膜层测试结构，所述待测试导电膜层位于栅极膜层、源漏电极膜层或像素电极膜层。

例如，本公开一实施例提供的阵列基板中，在所述待测试导电膜层为
20 所述栅极膜层的情况下，所述多条测试引出线位于所述源漏电极膜层，所述多个测试端子位于所述栅极膜层或者所述源漏电极膜层。

例如，本公开一实施例提供的阵列基板中，在所述待测试导电膜层为所述源漏电极膜层的情况下，所述多条测试引出线位于所述栅极膜层，所述多个测试端子位于所述栅极膜层或者所述源漏电极膜层。

25 例如，本公开一实施例提供的阵列基板中，在所述待测试导电膜层为所述像素电极膜层的情况下，所述多条测试引出线位于所述源漏电极膜层，所述多个测试端子位于所述源漏电极膜层或像素电极膜层。

附图说明

30 为了更清楚地说明本公开实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本公开的一些实

施例，而非对本公开的限制。

图 1 为一种测试方块电阻的示意图；

图 2 为图 1 中的探针变形后的示意图；

图 3 为本公开一实施例提供的一种膜层测试结构的示意图；

5 图 4a 为图 3 中的膜层测试结构沿 A-B 切割后的截面结构示意图；

图 4b 为图 3 中的膜层测试结构沿 C-D 切割后的截面结构示意图；

图 5 为本公开另一实施例提供的膜层测试结构的示意图；

图 6 为本公开另一实施例提供的膜层测试结构的示意图。

10 具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。

显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。

基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的

15 前提下所获得的所有其他实施例，都属于本申请保护的范围。

除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、

“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词

20 前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，

而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

25 方块电阻值通常用四探针法实现测量，使用等间距且排成直线的四个探针进行测试，对于导电膜层而言，方块电阻值仅与待测试导电膜层厚度相关。方块电阻定义为： $R_{\square} = \rho / t$ ，其中， ρ 为金属电阻率， t 为所测薄膜的厚度。

30 方块电阻的测试要求为：每个探针到待测试导电膜层边界的距离要远大于任意相邻两探针之间的间距，例如，每个探针到待测试导电膜层边界的距离至少大于相邻探针间距的 10 倍；探针需要等间距放置。

采用等间距且成直线放置的四探针测试方块电阻时，方块电阻值可用以下公式计算：

$$\rho = 2\pi \cdot s_{probe} \frac{U_{23}}{I_{14}} \quad \text{公式 (1)}$$

其中，如图 1 所示，探针 1、探针 2、探针 3 和探针 4 依次设置在导电测试膜层上， s_{probe} 为探针间距， U_{23} 为探针 2 与探针 3 之间的电压差， I_{14} 为探针 1 与探针 4 之间的电流。

在常规的阵列基板工艺中，需要形成例如金属膜层或透明导电膜层，以形成栅线、数据线、像素电极等电路结构。为了检测这些导电膜层的成膜质量，通常可以测量这些导电膜层的方块电阻。方块电阻是在待测试导电膜层形成之后且在刻蚀作业之前进行的测试，探针放置于待刻蚀区域进行测试以避免对膜层带来损坏。本公开的发明人注意到，当探针长时间使用后，探针会发生诸如弯曲、偏移等磨损，从而导致探针的间距发生变化，进而导致测量误差，使得使用上述公式 (1) 计算电阻时不准确，测试精度下降，因而可能需要频繁地更换探针。例如，图 2 为探针变形后的示意图。如图 2 所示，探针发生了弯曲变形，导致探针之间的间距发生了变化，当使用方块电阻公式 (1) 计算方块电阻值时会发生误差。并且，发明人还发现，可以在各膜层完成之后，形成方块电阻测试图案之后再进行统一测试，这样操作起来更方便。

为解决上述在方块电阻的测试中，由于探针长时间使用易发生弯曲变形而导致探针之间的间距发生变化，最终导致方块电阻值的测量不准确的问题，本公开一实施例提供了一种膜层测试结构，该膜层测试结构包括：待测试导电膜层；与待测试导电膜层位于不同层且分别与待测试导电膜层电连接的多条测试引出线；多个测试端子，该多个测试端子分别与多条测试引出线电连接。

本公开的实施例提供一种膜层测试结构，图 3 为本公开一实施例提供的一种膜层测试结构的示意图，如图 3 所示，该膜层测试结构 100 包括待测试导电膜层 101、多条测试引出线 102 和多个测试端子 103，并且多条测试引出线 102 与待测试导电膜层 101 位于不同层且分别与待测试导电膜层 101 电连接，多个测试端子 103 分别与多条测试引出线 102 电连接。

需要说明的是，多条测试引出线 102 与待测试导电膜层 101 位于不同

层是指多条测试引出线 102 不与待测试膜层 101 在同一成膜工艺中形成，且多条测试引出线 102 不是待测试膜层 101 的一部分。

如图 3 所示，通过多条测试引出线 102 把待测试导电膜层 101 上的测试点引出到待测试导电膜层 101 外，且通过多个测试端子 103 代替了待测试导电膜层 101 上的测试点，这样，只要探针在相应的测试端子 103 内移动，实质上所测的是与各个测试端子 103 电连接的各个测试点处的电阻。

当采用本公开的实施例中的膜层测试结构时，当探针由于长时间使用发生弯曲变形探针之间的间距发生变化时，只要探针在相应的测试端子 103 内移动，所测出的方块电阻值仍然是准确的，即采用本实施例中的膜层测试结构能够方便地完成方块电阻的测试，可以保证测试的精度，避免探针的频繁更换，从而降低了生产成本。

例如，如图 3 所示，该膜层测试结构 100 中的多条测试引出线 102 可以设置在待测试导电膜层 101 的上方或下方。

例如，该膜层测试结构 100 可以形成在基板的空白区域。基板上通常可以形成用于至少一个显示面板的像素区域，空白区域分布在像素区域周边或之间。该空白区域在对基板进行切割后被除去。

例如，该待测试导电膜层 101 可以为栅极膜层、源漏电极膜层和透明导电氧化物制作的像素电极膜层、公共电极膜层等。

例如，该待测试膜层的制作过程包括：通过磁控溅射、气相沉积（例如化学气相沉积）等方式在基板上沉积导电膜层，然后在该导电膜层上涂覆光刻胶，再进行曝光、显影、刻蚀和剥离光刻胶等工序在基板上形成待测试导电膜层 101，以及相应地形成在像素区中的电路结构（例如栅线、栅极、数据线、源漏极、像素电极、公共电极等）。

下面以形成的膜层为栅极金属膜层为例加以说明，测试引出线 102 可以在形成源漏电极层或者像素电极膜层时形成，这样可以不用增加工艺步骤。例如，形成测试引出线 102 的过程包括：通过磁控溅射等方式沉积源漏金属膜层，然后在膜层上涂覆光刻胶，再进行曝光、显影、刻蚀和剥离光刻胶等工序在基板上形成测试引出线 102。同样地，如果待测试膜层为源漏金属膜层时，测试引出线可以与栅极金属膜层或者像素电极膜层同层形成。

例如，如图 3 所示，多个测试端子 103 与待测试导电膜层 101 位于同

一层但彼此隔离或者多个测试端子 103 与多条测试引出线 102 位于同一层并且彼此电连接。这样可以节省单独做测试端子的工序。以测试端子与待测试导电膜层位于同一层但彼此隔离为例加以说明，测试端子的形成过程与待测试导电膜层同时形成。

5 例如，如图 3 所示，测试端子 103 的宽度大于相应测试引出线 102 的宽度，测试端子 103 的大小应以便于探针进行测量为宜，且测试端子 103 的形状也不受限制，仍以便于探针进行测量为宜。如图 3 所示，测试端子 103 为正方形，在本公开的其他实施例中，测试端子 103 的形状还可以为圆形、矩形、多边形等。

10 例如，在保证测试端子与待测试导电膜层绝缘的前提下，可以将测试端子设置在待测试导电膜层周围的任意位置，为了保证测试的方便，尽量将测试端子设置在同一条直线上。在测试引出线的宽度固定的情况下，将测试引出线的长度设置到最短，以减少测试引出线自身的电阻给测试的精确度造成的影响。且保证测试引出线能将测试点引出到待测试膜层外。

15 例如，图 4a 为图 3 中的膜层测试结构沿 A-B 切割后的截面结构示意图，如图 4a 所示，该膜层测试结构还包括设置在待测试导电膜层 101 一侧的绝缘层 105，绝缘层 105 上具有多个第一过孔 106，多条测试引出线通过相应的多个第一过孔 106 与待测试导电膜层 101 电连接。

20 例如，如图 4a 所示，第一过孔 106 设置在待测试导电膜层 101 的中间区域。例如，多个第一过孔 106 限定成的几何形状经过或涵盖待测试导电膜层 101 的中心。例如，对于多个第一过孔 106 位于同一直线的情形，指的是待测试导电膜层 101 的中心位于多个第一过孔 106 排列的直线中；对于多个第一过孔 106 排列成多边形的情形，指的是待测试导电膜层 101 的中心位于多个第一过孔 106 排列成的多边形内。

25 例如，如图 4a 所示，任意相邻两个第一过孔 106 之间的距离大致相等。

 例如，如图 4a 所示，第一过孔的个数为 4 个，且 4 个第一过孔呈直线排列。

30 例如，如图 5 所示，4 个第一过孔还可以排列成正方形或者菱形，只要满足相邻的两个第一过孔之间的间距大致相等即可。但当第一过孔排列成正方形或者菱形时，利用公式计算电阻时需要乘以相应的系数。

 例如，图 4b 为图 3 中的膜层测试结构沿 C-D 切割后的截面结构示意图

图,如图 3 和图 4b 所示,在多个测试端子与待测试导电膜层位于同一层的情况下,绝缘层 105 还包括多个第二过孔 107,多个测试端子 103 与多条测试引出线 102 通过第二过孔 107 电连接。

需要说明的是,多个测试端子 103 与待测试导电膜层 101 位于同一层
5 是指多个测试端子 103 与待测试导电膜层 101 在同一成膜工艺中形成。

当本公开的实施例中的膜层测试结构制作完成以后,采用四探针组接触四个端子,在两侧的两个探针上分别输入和输出电流,同时测量中间两个端子上的电压差,根据方块电阻公式即可计算得到方块电阻值。当对本实施例中的膜层测试结构进行方块电阻测试时,探针的接触位置在测试端
10 子上,即使探针长时间使用发生变形,由于测试端子的面积较大,测试结果也不会因为探针间距的变化而出现方块电阻的测试值出现误差。

例如,在本公开的实施例中,多个过孔的排列形状也并不仅限于呈直线排列和呈等边四边形排列,还可以为其他的排列方式,只要能与相应的方块电阻的计算公式相匹配即可,在此不再赘述。

15 本公开的实施例还提供一种膜层测试结构,图 6 为本公开的实施例提供的膜层测试结构的示意图,在该膜层测试结构中,多个测试引出线 102 的末端延伸出各自对应的测试端子 103 且二者一体成形。

例如,多个测试端子 103 分别由多个测试引出线 102 的末端延伸构成,且测试端子 103 的宽度大于相应的测试引出线 102 的宽度,此时多个测试
20 引出线 102 与多个测试端子 103 位于同一层。如图 6 所示,测试端子 103 分别由多个测试引出线 102 的末端延伸构成。例如,测试端子 103 的平面形状可以为正方形,且其边长大于测试引出线 102 的宽度。

在本公开的实施例中,除了多个测试端子 103 分别由多个测试引出线 102 的末端延伸构成外,其他的结构特征均可参考上述中的相关描述,在
25 此不再赘述。

例如,在本公开的实施例中,多个过孔的排列形状也并不仅限于呈直线排列和呈等边四边形排列,还可以为其他的排列方式,只要能与相应的方块电阻的计算公式相匹配即可,在此不再赘述。

本公开的实施例还提供一种阵列基板,包括上述任一膜层测试结构。

30 例如,该待测试导电膜层位于栅极膜层、源漏电极膜层或像素电极膜层。

例如，在待测试导电膜层为栅极膜层的情况下，多条测试引出线位于源漏电极膜层，多个测试端子位于栅极膜层或者源漏电极膜层。如果采用图 6 所示的膜层测试结构，则多个测试端子与多条测试引出线位于同一膜层。

5 例如，在待测试导电膜层为源漏电极膜层的情况下，多条测试引出线位于栅极膜层，多个测试端子位于栅极膜层或者源漏电极膜层。如果采用图 6 所示的膜层测试结构，则多个测试端子与多条测试引出线位于同一膜层。

10 例如，在待测试导电膜层为像素电极膜层的情况下，多条测试引出线位于源漏电极膜层，多个测试端子位于源漏电极膜层或像素电极膜层。如果采用图 6 所示的膜层测试结构，则多个测试端子与多条测试引出线位于同一膜层。

本公开的实施例提供的一种膜层测试结构及阵列基板至少具有以下一项有益效果：

15 (1) 将该膜层测试结构应用于阵列基板中，可以方便地完成方块电阻的测试，并且能够保证测试的精度，同时能够避免测试探针的频繁更换，减小测试探针的消耗，从而降低生产成本；

(2) 可以在各膜层完成之后，形成方块电阻测试图案之后再进行统一测试，这样操作起来更方便。

20 有以下几点需要说明：

(1) 本公开实施例附图只涉及到与本公开实施例涉及到的结构，其他结构可参考通常设计。

25 (2) 为了清晰起见，在用于描述本公开的实施例的附图中，层或区域的厚度被放大或缩小，即这些附图并非按照实际的比例绘制。可以理解，当诸如层、膜、区域或基板之类的元件被称作位于另一元件“上”或“下”时，该元件可以“直接”位于另一元件“上”或“下”，或者可以存在中间元件。

(3) 在不冲突的情况下，本公开的实施例及实施例中的特征可以相互组合以得到新的实施例。

30 以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，本公开的保护范围应以所述权利要求的保护范围为准。

本申请要求于 2016 年 8 月 26 日递交的中国专利申请第

201620956579.3 号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

权利要求书

1、一种膜层测试结构，包括：

待测试导电膜层；

5 多条测试引出线，与所述待测试导电膜层位于不同层且分别与所述待测试导电膜层电连接；

多个测试端子，多个所述测试端子分别与所述多条测试引出线电连接。

10 2、根据权利要求 1 所述的膜层测试结构，其中，所述测试引出线的一端连接所述待测试导电膜层，另一端连接所述测试端子。

3、根据权利要求 2 所述的膜层测试结构，其中，所述测试引出线与所述测试端子一体成形。

4、根据权利要求 2 或 3 所述的膜层测试结构，其中，所述测试引出线设置在所述待测试导电膜层的上方或下方。

15 5、根据权利要求 4 所述的膜层测试结构，其中，还包括设置在所述待测试导电膜层与所述测试端子之间的绝缘层，所述绝缘层具有多个第一过孔，所述多条测试引出线通过相应的所述多个第一过孔与所述待测试导电膜层电连接。

20 6、根据权利要求 5 所述的膜层测试结构，其中，所述第一过孔设置在所述待测试导电膜层的中间区域。

7、根据权利要求 6 所述的膜层测试结构，其中，任意相邻两个所述第一过孔之间的距离大致相等。

8、根据权利要求 5-7 中任一项所述的膜层测试结构，其中，多个所述第一过孔呈直线排列。

25 9、根据权利要求 5-7 中任一项所述的膜层测试结构，其中，所述第一过孔的个数为 4 个，且 4 个所述第一过孔排列成等边四边形。

10、根据权利要求 5-9 中任一项所述的膜层测试结构，其中，所述多个测试端子与所述待测试导电膜层位于同一层但彼此隔离，或者与所述多条测试引出线位于同一层并彼此电连接。

30 11、根据权利要求 10 所述的膜层测试结构，其中，所述多个测试端子与所述待测试导电膜层位于同一层的情况下，所述绝缘层还包括多个第二

过孔,所述多个测试端子与所述多条测试引出线通过所述第二过孔电连接。

12、一种阵列基板,其中,包括权利要求 1-11 中任一项所述的膜层测试结构,所述待测试导电膜层位于栅极膜层、源漏电极膜层或像素电极膜层。

5 13、根据权利要求 12 所述的阵列基板,其中,在所述待测试导电膜层为所述栅极膜层的情况下,所述多条测试引出线位于所述源漏电极膜层,所述多个测试端子位于所述栅极膜层或者所述源漏电极膜层。

14、根据权利要求 12 所述的阵列基板,其中,在所述待测试导电膜层为所述源漏电极膜层的情况下,所述多条测试引出线位于所述栅极膜层,
10 所述多个测试端子位于所述栅极膜层或者所述源漏电极膜层。

15、根据权利要求 12 所述的阵列基板,其中,在所述待测试导电膜层为所述像素电极膜层的情况下,所述多条测试引出线位于所述源漏电极膜层,所述多个测试端子位于所述源漏电极膜层或像素电极膜层。

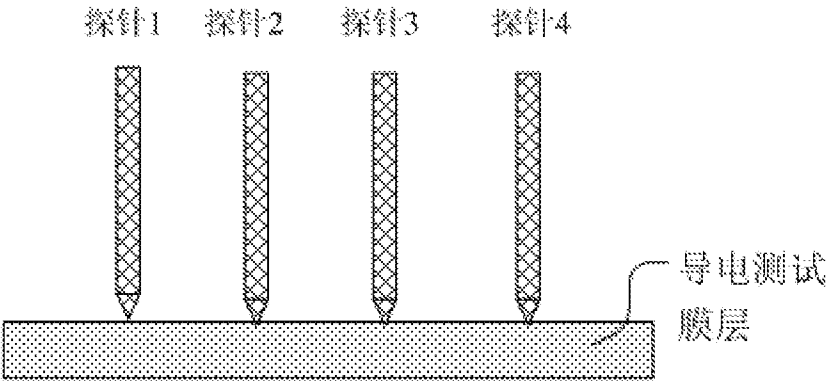


图 1

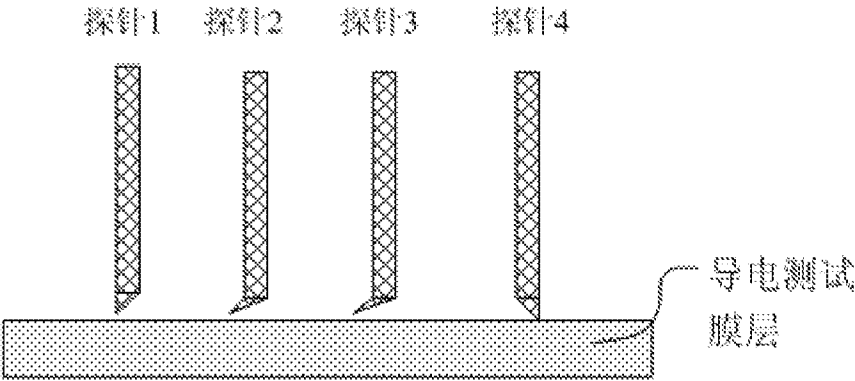


图 2

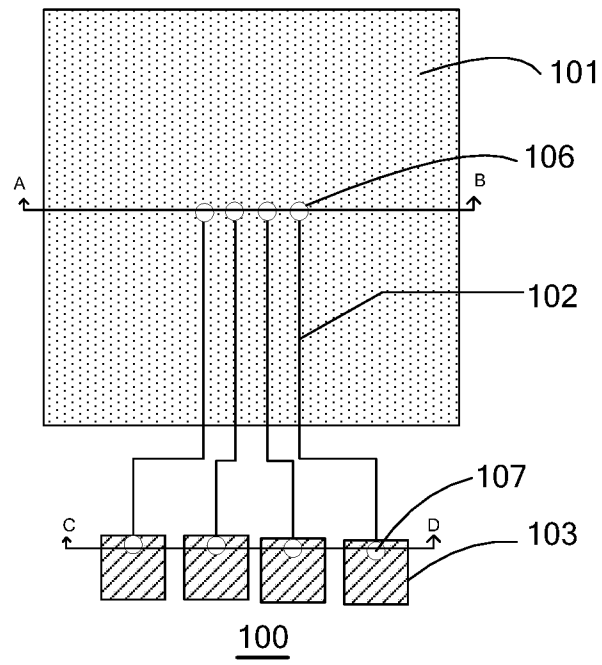


图 3

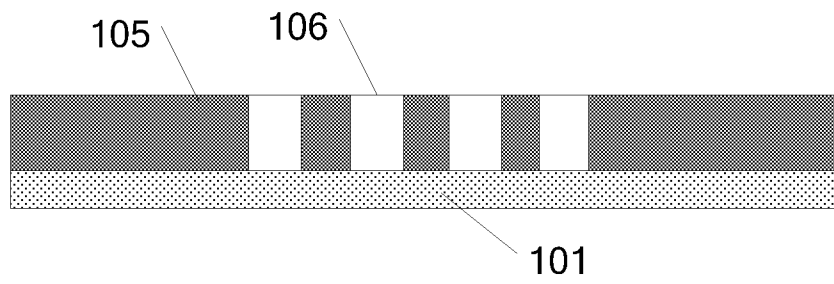


图 4a

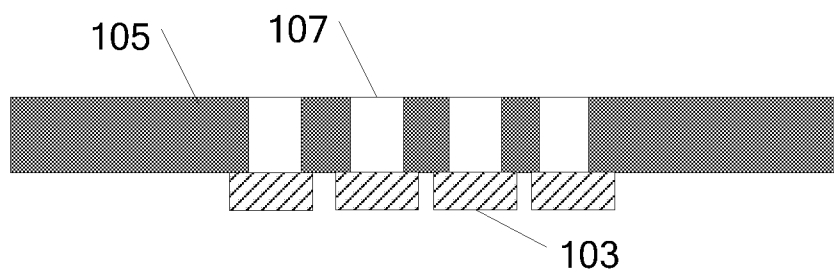


图 4b

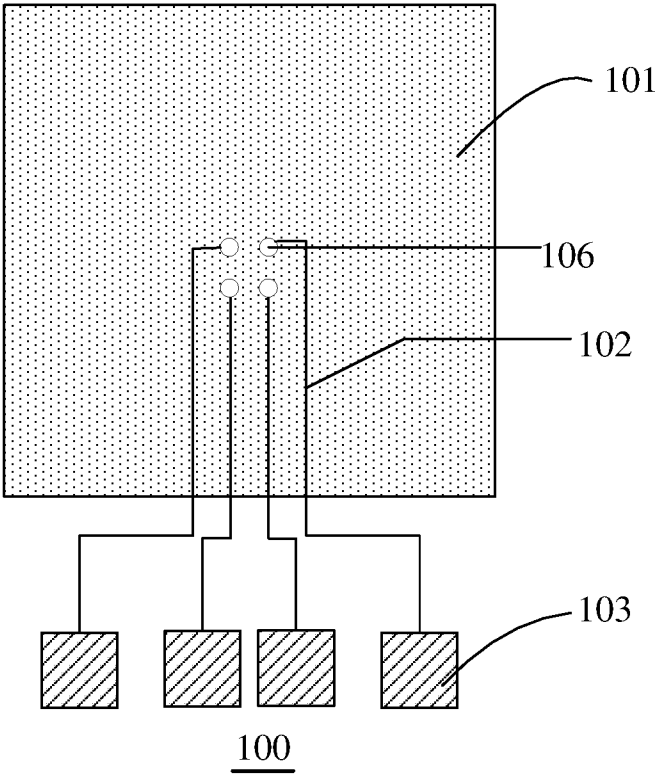


图 5

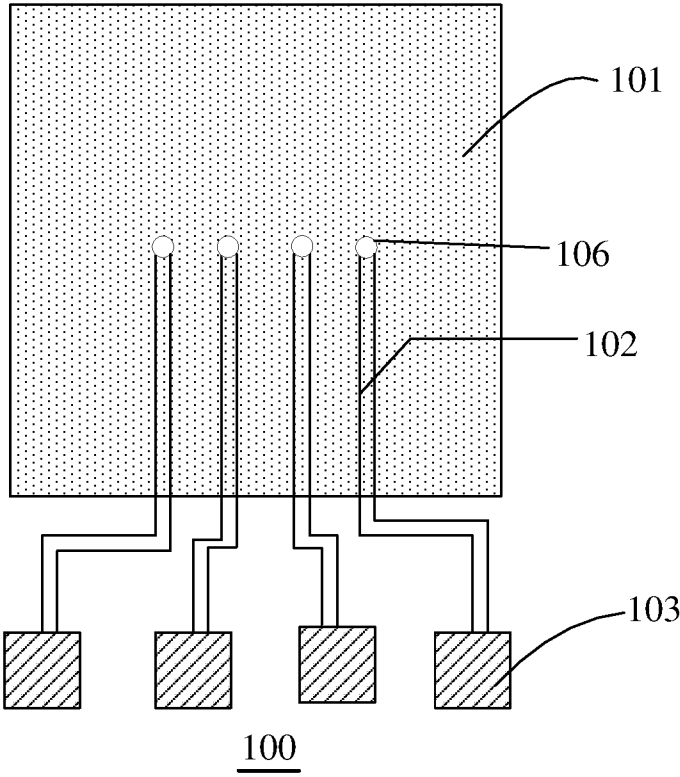


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2017/083195

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/544 (2006.01) i; H01L 27/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; DWPI; SIPOABS; VEN; CNKI; IEEE: 阵列, 基板, 显示, 栅, 源, 漏, 电极, 电阻, 导电, 测试, 检测, 引出, 引线, 端, 探针, 四, array, substrate, plate, display, gate, source, drain, electrode, resistance, resistivity, conductive, detect, test, measure, lead, terminal, probe, four

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 205959980 U (HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.), 15 February 2017 (15.02.2017), entire document	1-15
Y	CN 202166811 U (BOE TECHNOLOGY GROUP CO., LTD.), 14 March 2012 (14.03.2012), description, paragraphs [0022]-[0027], and figure 2	1-15
Y	CN 103217459 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 24 July 2013 (24.07.2013), description, paragraphs [0035]-[0043], and figures 3-5	1-15
Y	CN 104133333 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 05 November 2014 (05.11.2014), description, paragraphs [0024]-[0041], and figures 1-2	1-15
A	CN 203217210 U (BOE TECHNOLOGY GROUP CO., LTD. et al.), 25 September 2013 (25.09.2013), entire document	1-15
A	CN 103811469 A (SHANGHAI HUAHONG GRACE SEMICONDUCTOR MANUFACTURING CORPORATION), 21 May 2014 (21.05.2014), entire document	1-15
A	JP 2007072325 A (MITSUI MINING & SMELTING CO., LTD.), 22 March 2007 (22.03.2007), entire document	1-15

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 13 June 2017	Date of mailing of the international search report 30 June 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer YANG, Lili Telephone No. (86-10) 62089268

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/083195

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 205959980 U	15 February 2017	None	
CN 202166811 U	14 March 2012	None	
CN 103217459 A	24 July 2013	WO 2014180038 A1	13 November 2014
		US 2014329342 A1	06 November 2014
		US 9171497 B2	27 October 2015
CN 104133333 A	05 November 2014	None	
CN 203217210 U	25 September 2013	None	
CN 103811469 A	21 May 2014	CN 103811469 B	17 August 2016
JP 2007072325 A	22 March 2007	None	

国际检索报告

国际申请号

PCT/CN2017/083195

A. 主题的分类

H01L 23/544(2006.01)i; H01L 27/12(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;DWPI;SIPOABS;VEN;CNKI;IEEE: 阵列, 基板, 显示, 栅, 源, 漏, 电极, 电阻, 导电, 测试, 检测, 引出, 引线, 端, 探针, 四, array, substrate, plate, display, gate, source, drain, electrode, resistance, resistivity, conductive, detect, test, measure, lead, terminal, probe, four

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 205959980 U (合肥鑫晟光电科技有限公司等) 2017年 2月 15日 (2017 - 02 - 15) 全文	1-15
Y	CN 202166811 U (京东方科技集团股份有限公司) 2012年 3月 14日 (2012 - 03 - 14) 说明书第[0022]-[0027]段, 图2	1-15
Y	CN 103217459 A (深圳市华星光电技术有限公司) 2013年 7月 24日 (2013 - 07 - 24) 说明书第[0035]-[0043]段, 图3-5	1-15
Y	CN 104133333 A (深圳市华星光电技术有限公司) 2014年 11月 5日 (2014 - 11 - 05) 说明书第[0024]-[0041]段, 图1-2	1-15
A	CN 203217210 U (京东方科技集团股份有限公司等) 2013年 9月 25日 (2013 - 09 - 25) 全文	1-15
A	CN 103811469 A (上海华虹宏力半导体制造有限公司) 2014年 5月 21日 (2014 - 05 - 21) 全文	1-15
A	JP 2007072325 A (MITSUI MINING & SMELTING CO LTD) 2007年 3月 22日 (2007 - 03 - 22) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 6月 13日

国际检索报告邮寄日期

2017年 6月 30日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

杨丽丽

电话号码 (86-10)62089268

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/083195

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	205959980	U	2017年 2月 15日	无			
CN	202166811	U	2012年 3月 14日	无			
CN	103217459	A	2013年 7月 24日	WO	2014180038	A1	2014年 11月 13日
				US	2014329342	A1	2014年 11月 6日
				US	9171497	B2	2015年 10月 27日
CN	104133333	A	2014年 11月 5日	无			
CN	203217210	U	2013年 9月 25日	无			
CN	103811469	A	2014年 5月 21日	CN	103811469	B	2016年 8月 17日
JP	2007072325	A	2007年 3月 22日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)