

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3858552号

(P3858552)

(45) 発行日 平成18年12月13日(2006.12.13)

(24) 登録日 平成18年9月29日(2006.9.29)

(51) Int. Cl.

F I

GO 1 R 31/28 (2006.01)

GO 1 R 31/28

W

GO 1 R 31/3185 (2006.01)

請求項の数 2 (全 15 頁)

(21) 出願番号	特願2000-36162 (P2000-36162)	(73) 特許権者	000005496
(22) 出願日	平成12年2月15日(2000.2.15)		富士ゼロックス株式会社
(65) 公開番号	特開2001-228218 (P2001-228218A)		東京都港区赤坂二丁目17番22号
(43) 公開日	平成13年8月24日(2001.8.24)	(74) 代理人	100086298
審査請求日	平成16年7月16日(2004.7.16)		弁理士 船橋 國則
		(72) 発明者	粟田 恵徳
			神奈川県海老名市本郷2274番地 富士
			ゼロックス株式会社 海老名事業所内
		(72) 発明者	▲高▼橋 憲一
			神奈川県海老名市本郷2274番地 富士
			ゼロックス株式会社 海老名事業所内
		(72) 発明者	赤松 学
			神奈川県海老名市本郷2274番地 富士
			ゼロックス株式会社 海老名事業所内

最終頁に続く

(54) 【発明の名称】 半導体集積回路および集積回路システム

(57) 【特許請求の範囲】

【請求項1】

外部から与えられる外部モード情報に基づいて内部モード情報を生成するモード発生手段と、

前記モード発生手段から出力される内部モード情報に対応した動作モードで動作する本体回路と、

前記本体回路に対して動作クロックを与えるとともに、その動作クロックの周波数が可変なクロック発生手段と、

前記モード発生手段から出力される内部モード情報で設定される前記本体回路の動作モードおよび前記クロック発生手段の動作モードを確認して外部に伝えるモード参照手段とを備えることを特徴とする半導体集積回路。

10

【請求項2】

請求項1記載の半導体集積回路と、

前記モード参照手段の出力に基づいて前記モード発生手段から出力される内部モード情報を修正するモード修正手段と

を備えることを特徴とする集積回路システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路および集積回路システムに関し、特に動作モード設定機能を備

20

えた半導体集積回路およびこの半導体集積回路を含む集積回路システムに関する。

【0002】

【従来の技術】

従来、通常動作とは異なる動作モード、例えばテストモードやデバックモードなどの動作モードを備える半導体集積回路において、出荷後の衝撃や故意による改変などがあった場合には、非通常モードないしは装置全体として意図した動作モードとは異なるモードとなってしまう、本来の機能を果たさなくなるという問題がある。

【0003】

このような誤ったモード変更を防止する技術として、従来、次の4つの従来技術が知られている。すなわち、従来技術1（特開平6-273495号公報に開示の技術）では、発振回路の出力周波数が通常動作モードに対応したものであるか否かにより、たとえ動作モードがそれ以外のモードであっても強制的に通常動作モードに変更するようにしている。従来技術2（特開平5-6694号公報に開示の技術）では、所定信号ピンに電源電圧を超える電圧を印加した場合にテストモードに設定するようにすることで簡単にテストモードにならないようにしている。

10

【0004】

従来技術3（特開平6-12878号公報に開示の技術）では、テスト回路が実行されるべきでないとき、即ち出荷検査終了後はテスト回路を不能化することで、テストモードに入らないようにしている。従来技術4（特開平5-288806号公報、特開平7-77557号公報に開示の技術）では、複数の所定入力端子の状態やシリアル論理入力により結果をデコードしてモードの変更を行っている。

20

【0005】

【発明が解決しようとする課題】

しかしながら、上記の各従来技術には、それぞれ次のような課題がある。すなわち、従来技術1においては、出力周波数で通常動作であることを検出する構成となっているため、周波数が変動する回路システムないしは異なる周波数で動作する回路への適用を考えると、検出のための回路が複数必要になったり、検出回路が対応できないという課題がある。

【0006】

従来技術2においては、電源電圧を超える電圧を印加する装置やそれに耐えうる特殊な回路を備える必要があるため、コストがかさむという課題がある。従来技術3においては、テスト回路を不能化する装置が別途必要になるため、生産コストが増大するという課題がある。一方、従来技術4は、意図的なモード切り替えに対しては何ら対処できなかった。

30

【0007】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、出荷後の衝撃や故意による改変などにより非通常動作モードないしは装置全体として意図した動作モードとは異なるモードになってしまった場合において、動作モードの変化を告知できるとともに、意図した動作モードに復帰可能な安価な半導体集積回路および集積回路システムを提供することにある。

【0008】

【課題を解決するための手段】

本発明による半導体集積回路は、外部から与えられる外部モード情報に基づいて内部モード情報を生成するモード発生手段と、このモード発生手段から出力される内部モード情報に対応した動作モードで動作する本体回路と、この本体回路に対して動作クロックを与えるとともに、その動作クロックの周波数が可変なクロック発生手段と、前記モード発生手段から出力される内部モード情報で設定される前記本体回路の動作モードおよび前記クロック発生手段の動作モードを確認して外部に伝えるモード参照手段とを備える構成となっている。

40

【0009】

上記構成の半導体集積回路において、モード発生手段は、外部モード情報が与えられると、これに基づいて内部モード情報を生成して本体回路に与える。本体回路は、内部モー

50

ド情報によって設定される動作モードで動作する。クロック発生手段は、本体回路に対して動作クロックを与えるとともに、その動作クロックの周波数が可変となっている。一方、モード参照手段は、例えばモード発生手段から出力される内部モード情報を参照することで、この内部モード情報によって設定される本体回路の動作モードおよびクロック発生手段の動作モードを確認してその確認結果を外部へ知らせる。

【 0 0 1 0 】

【 発明の実施の形態 】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【 0 0 1 1 】

図 1 は、本発明の第 1 実施形態に係る半導体集積回路の構成を示すブロック図である。本実施形態に係る半導体集積回路 1 0 は、モード発生回路 1 1、本体回路 1 2 およびモード参照回路 1 3 を具備し、外部からモード情報を入力するための入力端子 1 4 および本体回路 1 2 の動作モードを示すモード参照情報を出力するための出力端子 1 5 を含む複数の端子を有する構成となっている。

10

【 0 0 1 2 】

この半導体集積回路 1 0 において、外部から入力端子 1 4 を通して入力される外部モード情報は、1 ないし複数のビットで構成される信号であり、電子基板上のスイッチや電源・グランドなどに接続されて動作中は固定したレベルに保持される。そして、これら 1 ないし複数のビットのレベルにより、通常動作モードとその他の動作モードが区別される。なお、外部モード情報として、所定のシリアルな信号列からなる信号が用いられることある。

20

【 0 0 1 3 】

モード発生回路 1 1 は、入力端子 1 4 を通して入力された外部モード情報に基づいて、本体回路 1 2 の動作モードを設定する内部モード情報を生成する。このモード発生回路 1 1 は、デコード回路やシーケンサ回路によって構成される。すなわち、モード発生回路 1 1 として、外部モード情報が固定した信号レベルで入力される場合にはデコード回路が用いられ、外部モード情報が所定のシリアルな信号列で入力される場合にはシーケンサ回路が用いられる。

【 0 0 1 4 】

本体回路 1 2 は、モード発生回路 1 1 によって生成された内部モード情報を入力とし、この内部モード情報に基づいて通常動作およびその他の動作を行う。一方、モード参照回路 1 3 は、モード発生回路 1 1 で生成された内部モード情報を参照することで、その内部モード情報によって設定される本体回路 1 2 の動作モードを確認し、その確認結果をモニター信号として出力端子 1 5 を通して外部に通知する。

30

【 0 0 1 5 】

ところで、近年の半導体集積回路においては、テスターでの出荷検査における不良検出の向上を目的として、フルスキャン化して内部回路の観測性・制御性を良くする手法を採ったり、あるいは内蔵の CPU コアやメモリコアを単品で評価できるようなテスト回路を内蔵している。

【 0 0 1 6 】

そして、これらの機能を実現するために、半導体集積回路の外部端子を通して外部からモード情報を入力することで、通常動作モード以外の動作モードとしてテストモードを設定しているのが一般的である。本実施形態に係る半導体集積回路 1 0 においても、上記の構成から明らかなように、入力端子 1 4 を通して外部から与えられるモード情報に基づいて、回路本体 1 2 の動作モードが設定されるようになっている。

40

【 0 0 1 7 】

図 2 は、図 1 における本体回路 1 2 およびモード参照回路 1 3 の具体的な回路例を示すブロック図である。本例では、フルスキャン化回路および単品評価用テスト回路を内蔵した場合の回路例を示している。また、モード発生回路 1 1 から本体回路 1 2 には内部モード情報として、例えば、フルスキャンモードを許可するスキャンイネーブル信号 S C A N E

50

Nと、単品評価モードを指定するアイソレート信号 I S O L A T E の 2 ビットの情報が入力されるものとする。

【 0 0 1 8 】

図 2 において、本体回路 1 2 は、4 個のフリップフロップ 2 1 , 2 2 , 2 3 , 2 4、3 個の組合せ回路 2 5 , 2 6 , 2 7 および 5 個のセクタ 2 8 , 2 9 , 3 0 , 3 1 , 3 2 を有する構成となっている。ここで、組合せ回路 2 5 , 2 6 , 2 7 は各々、加算回路や乗算回路などの組合せからなる論理演算回路によって構成される。また、モード参照回路 1 3 は、例えばデコード回路 3 3 からなる構成となっている。

【 0 0 1 9 】

上記構成の本体回路 1 2 において、フリップフロップ 2 1 は、クロック C L K に同期して入力データをラッチする。そのラッチデータは、直接セクタ 2 8 の一方の入力になるとともに、組合せ回路 2 5 を経てセクタ 2 8 の他方の入力となる。セクタ 2 8 は、スキャンイネーブル信号 S C A N E N が論理 “ 1 ” のときフリップフロップ 2 1 のラッチデータを選択して出力し、論理 “ 0 ” のとき組合せ回路 2 5 の出力データを選択して出力する。

10

【 0 0 2 0 】

このセクタ 2 8 で選択されたデータは、セクタ 2 9 の一方の入力となる。セクタ 2 9 は、入力データを直接他方の入力としており、アイソレート信号 I S O L A T E が論理 “ 1 ” のとき入力データを選択して出力し、論理 “ 0 ” のときセクタ 2 8 の出力データを選択する。このセクタ 2 9 で選択されたデータは、フリップフロップ 2 2 に供給される。

20

【 0 0 2 1 】

フリップフロップ 2 2 は、クロック C L K に同期してセクタ 2 9 の出力データをラッチする。そのラッチデータは、直接セクタ 3 0 の一方の入力になるとともに、組合せ回路 2 6 を経てセクタ 3 0 の他方の入力となる。セクタ 3 0 は、スキャンイネーブル信号 S C A N E N が論理 “ 1 ” のときフリップフロップ 2 2 のラッチデータを選択して出力し、論理 “ 0 ” のとき組合せ回路 2 6 の出力データを選択して出力する。このセクタ 3 0 で選択されたデータは、フリップフロップ 2 3 に供給される。

【 0 0 2 2 】

フリップフロップ 2 3 は、クロック C L K に同期してセクタ 3 0 の出力データをラッチする。そのラッチデータは、直接セクタ 3 1 の一方の入力になるとともに、組合せ回路 2 7 を経てセクタ 3 1 の他方の入力となる。セクタ 3 1 は、スキャンイネーブル信号 S C A N E N が論理 “ 1 ” のときフリップフロップ 2 3 のラッチデータを選択して出力し、論理 “ 0 ” のとき組合せ回路 2 7 の出力データを選択して出力する。このセクタ 3 1 で選択されたデータは、セクタ 3 2 の一方の入力となる。

30

【 0 0 2 3 】

セクタ 3 2 は、組合せ回路 2 6 の出力データを他方の入力とし、アイソレート信号 I S O L A T E が論理 “ 1 ” のとき組合せ回路 2 6 の出力データを選択して出力し、論理 “ 0 ” のときセクタ 3 1 の出力データを選択する。このセクタ 3 2 で選択されたデータは、フリップフロップ 2 4 に供給される。フリップフロップ 2 4 は、クロック C L K に同期してセクタ 3 2 の出力データをラッチし、そのラッチしたデータを出力データとして外部へ出力する。

40

【 0 0 2 4 】

次に、上記構成の本実施形態に係る半導体集積回路 1 0 の回路動作について説明する。まず、スキャンイネーブル信号 S C A N E N およびアイソレート信号 I S O L A T E が共に論理 “ 0 ” のときは回路本体 1 2 が通常動作モードとなる。すなわち、スキャンイネーブル信号 S C A N E N が論理 “ 0 ” のときには、セクタ 2 8 , 3 0 , 3 1 が共に組合せ回路 2 5 , 2 6 , 2 7 の各出力データを選択し、セクタ 2 9 , 3 2 が共にセクタ 2 8 , 3 1 の出力データを選択する。

【 0 0 2 5 】

50

これにより、本体回路 1 2 に入力されたデータは、当該本体回路 1 2 において先ず、フリップフロップ 2 1 でラッチされかつ組合せ回路 2 5 で所定の論理演算が行われ、次いでフリップフロップ 2 2 でラッチされかつ組合せ回路 2 6 で所定の論理演算が行われ、最後にフリップフロップ 2 3 でラッチされかつ組合せ回路 2 7 で所定の論理演算が行われる。そして、フリップフロップ 2 4 でラッチされた後外部へ出力される。

【 0 0 2 6 】

次に、アイソレート信号 I S O L A T E が論理 “ 0 ” の状態において、スキャンイネーブル信号 S C A N E N が論理 “ 1 ” になると、本体回路 1 2 の動作モードがスキャンモードとなる。すなわち、スキャンイネーブル信号 S C A N E N が論理 “ 1 ” になると、セクタ 2 8 , 3 0 , 3 1 が共にフリップフロップ 2 1 , 2 2 , 2 3 の各ラッチデータを選択する。

10

【 0 0 2 7 】

これにより、組合せ回路 2 5 , 2 6 , 2 7 がバイパスされ、その結果フリップフロップ 2 1 , 2 2 , 2 3 , 2 4 が互いに縦続接続されてシフトレジスタを形成する。すなわち、フルスキャン化回路の構成となる。このフルスキャンモードでは、本体回路 1 2 に対する出荷検査が行われる。

【 0 0 2 8 】

アイソレート信号 I S O L A T E が論理 “ 1 ” となったときは、セクタ 2 9 が本体回路 1 2 の入力データを選択し、セクタ 3 2 が組合せ回路 2 6 の出力データを選択する。すなわち、フリップフロップ 2 2 および組合せ回路 2 6 からなる回路部分が、本体回路 1 2 のデータ入力端子およびデータ出力端子に直接接続される。これにより、フリップフロップ 2 2 および組合せ回路 2 6 からなる回路部分単体での評価が行われる。

20

【 0 0 2 9 】

一方、モード参照回路 1 3 を構成するデコード回路 3 3 は、外部モード情報、即ちスキャンイネーブル信号 S C A N E N およびアイソレート信号 I S O L A T E (または、これら信号が入力される端子)の論理状態をデコードし、これらモード情報によって本体回路 1 2 に対して設定された動作モードを示すモニター信号 M O N I T O R を外部に出力する。

【 0 0 3 0 】

ここで、本例では、モニター信号 M O N I T O R を 1 ビットの信号とする。スキャンイネーブル信号 S C A N E N およびアイソレート信号 I S O L A T E の論理状態とモニター信号 M O N I T O R の論理関係の一例を表 1 に示す。この表 1 において、モニター信号 M O N I T O R が論理 “ 0 ” のとき通常動作モード、論理 “ 1 ” のとき通常動作モードでないとしている。

30

【 0 0 3 1 】

【表 1】

SCANEN	ISOLATE	MONITOR
論理 “ 0 ”	論理 “ 0 ”	論理 “ 0 ”
論理 “ 0 ”	論理 “ 1 ”	論理 “ 1 ”
論理 “ 1 ”	論理 “ 0 ”	論理 “ 1 ”
論理 “ 1 ”	論理 “ 1 ”	論理 “ 1 ”

40

【 0 0 3 2 】

上述したように、外部から与えられるモード情報に基づいて、本体回路 1 2 が通常動作モードとそれ以外の動作モードとを選択的に採る半導体集積回路 1 0 では、モード発生回路 1 1 から本体回路 1 2 に与えられるスキャンイネーブル信号 S C A N E N / アイソレート

50

信号 I S O L A T E の少なくとも一方が論理 “ 1 ” になっただけで通常動作モードでなくなってしまう。

【 0 0 3 3 】

したがって、出荷後の衝撃や故意による改変などにより、スキャンイネーブル信号 S C A N E N / アイソレート信号 I S O L A T E の一方が論理 “ 1 ” に固定された状態となった場合には本体回路 1 2 が通常動作できない状態に陥る。そして、そのような場合は、ユーザはどのような原因で半導体集積回路 1 0 が通常動作できないのか把握できないことから、当該半導体集積回路 1 0 を不良品として処分せざるを得なくなる。

【 0 0 3 4 】

これに対して、本実施形態に係る半導体集積回路 1 0 では、スキャンイネーブル信号 S C A N E N / アイソレート信号 I S O L A T E の論理状態を参照することによって本体回路 1 2 の動作モードを確認し、その確認結果であるモニター信号 M O N I T O R を外部に出力するようにしているので、ユーザは当該モニター信号 M O N I T O R から本体回路 1 2 が通常動作できない原因を把握できることになる。

10

【 0 0 3 5 】

なお、本実施形態においては、モード参照回路 1 3 がモード発生回路 1 1 から出力される内部モード情報を参照する構成としたが、この構成に限られるものではない。

【 0 0 3 6 】

その一つの変形例としては、図 3 に示すように、モード発生回路 1 1 に入力される外部モード情報をモード参照回路 1 3 が参照する構成が考えられる。この変形例に係る半導体集積回路 1 0 A の場合には、外部モード情報を参照してそのままモニター信号 M O N I T O R として外部に出力できることになる。

20

【 0 0 3 7 】

因みに、図 1 の構成の場合には、外部モード情報をモード発生回路 1 1 で内部モード情報に変換していることから、この内部モード情報を参照してモニター信号 M O N I T O R を生成するには逆変換が必要であり、その分だけ回路構成が複雑になる。これに対して、図 3 の構成の場合には、逆変換を行う必要がない分だけ回路構成を簡略化できる利点がある。

【 0 0 3 8 】

また、他の変形例としては、図 4 に示すように、モード参照回路 1 3 が本体回路 1 2 の動作モード状態を直接参照する構成が考えられる。この変形例に係る半導体集積回路 1 0 B の場合には、モード発生回路 1 1 から出力される内部モード情報又は当該回路 1 1 に入力される外部モード情報が通常動作モードを指示しているにも拘わらず、本体回路 1 2 が何らかの原因によって通常動作モードになっていない状態が発生した場合であっても、本体回路 1 2 の実際の動作モード状態を確実にモニターできる利点がある。

30

【 0 0 3 9 】

図 5 は、本発明の第 2 実施形態に係る半導体集積回路を含む回路システムの構成を示すブロック図である。本実施形態に係る半導体集積回路 4 0 は、モード発生回路 4 1、モード修正回路 4 2、本体回路 4 3 およびモード参照回路 4 4 を具備し、外部からモード情報を入力するための入力端子 4 5、本体回路 4 3 の動作モードを示すモード参照情報を出力するための出力端子 4 6 および外部から与えられる修正情報を入力するための入力端子 4 7 を含む複数の端子を有する構成となっている。

40

【 0 0 4 0 】

この半導体集積回路 4 0 において、外部から入力端子 4 5 を通して入力される外部モード情報は、1 ないし複数のビットで構成される信号であり、電子基板上のスイッチや電源・グランドなどに接続されて動作中は固定したレベルに保持される。そして、これら 1 ないし複数のビットのレベルにより、通常動作モードとその他の動作モードが区別される。なお、外部モード情報として、所定のシリアルな信号列からなる信号が用いられることもある。

【 0 0 4 1 】

50

モード発生回路 4 1 は、入力端子 4 5 を通して入力された外部モード情報に基づいて、本体回路 4 3 の動作モードを設定する内部モード情報を生成する。このモード発生回路 4 1 は、デコード回路やシーケンサ回路によって構成される。すなわち、モード発生回路 4 1 として、外部モード情報が固定した信号レベルで入力される場合にはデコード回路が用いられ、外部モード情報が所定のシリアルな信号列で入力される場合にはシーケンサ回路が用いられる。

#### 【 0 0 4 2 】

モード修正回路 4 2 は、通常は、モード発生回路 4 1 から出力される内部モード情報をそのまま本体回路 4 3 に供給する一方、入力端子 4 7 を通して外部から修正情報が入力されたときは、その修正情報に基づいて内部モード情報を修正し、その修正モード情報を本体回路 4 3 に供給する。

10

#### 【 0 0 4 3 】

本体回路 4 3 は、モード発生回路 1 1 で生成された内部モード情報またはモード修正回路 4 2 で修正された修正モード情報を入力とし、これらモード情報に基づいて通常動作およびその他の動作を行う。モード参照回路 4 4 は、モード発生回路 1 1 で生成された内部モード情報を参照することで、この内部モード情報によって設定される本体回路 4 3 の動作モードを確認し、その確認結果をモニター信号として出力端子 4 6 を通して外部に通知する。

#### 【 0 0 4 4 】

また、半導体集積回路 4 0 の外部回路として、モード確認回路 5 0 が設けられている。このモード確認回路 5 0 は、モード参照回路 4 4 から出力端子 4 6 を通して出力されるモニター信号を入力とし、このモニター信号から判断して内部モード情報を修正する必要があるときには、その修正情報を入力端子 4 7 を通してモード修正回路 4 2 に供給する。

20

#### 【 0 0 4 5 】

図 6 は、図 5 の具体的な回路例を示すブロック図であり、図中、図 2 と同等部分には同一符号を付して示している。

#### 【 0 0 4 6 】

図 6 において、本体回路 4 3 は、図 2 に示す本体回路 1 2 と全く同様に、4 個のフリップフロップ 2 1 , 2 2 , 2 3 , 2 4、3 個の組合せ回路 2 5 , 2 6 , 2 7 および 5 個のセレクト 2 8 , 2 9 , 3 0 , 3 1 , 3 2 からなる構成となっている。モード参照回路 4 4 も、図 2 のモード参照回路 1 3 と同様に、デコード回路 3 3 からなる構成となっている。

30

#### 【 0 0 4 7 】

モード修正回路 4 2 は、2 つセクタ 3 4 , 3 5 を有する構成となっている。一方のセクタ 3 4 は、スキャンイネーブル信号 S C A N E N と論理 “ 0 ” を 2 入力としている。他方のセクタ 3 5 は、アイソレート信号 I S O L A T E と論理 “ 0 ” を 2 入力としている。

#### 【 0 0 4 8 】

これらセクタ 3 4 , 3 5 は、モード確認回路 5 0 から供給される修正情報の論理に基づいて 2 入力の一方を選択する。そして、セクタ 3 4 の選択出力は、本体回路 4 3 のセクタ 2 8 , 3 0 , 3 1 に対してそれらの選択情報として与えられ、セクタ 3 5 の選択出力は、本体回路 4 3 のセクタ 2 9 , 3 2 に対しそれらの選択情報として与えられる。

40

#### 【 0 0 4 9 】

また、本例では、図 5 において、モード参照回路 4 4 の参照結果（確認結果）を出力する出力端子（以下、モニター端子とも呼ぶ）4 6 と修正情報を入力する入力端子（以下、キャンセル端子とも呼ぶ）4 7 とを短絡するショート配線 3 6（図 6 を参照）が、モード確認回路 5 0 として機能する回路構成を採っている。

#### 【 0 0 5 0 】

すなわち、図 6 において、デコード回路 3 3 から参照結果として出力されるモニター信号 M O N I T O R がそのままショート配線 3 6 を通して修正情報であるキャンセル信号 C A N C E L として、モード修正回路 4 2 を構成するセクタ 3 4 , 3 5 に供給されるように

50

なっている。

【0051】

そして、キャンセル信号CANCELが論理“0”のときは、セレクタ34はスキャンイネーブル信号SCANENを選択して本体回路43に供給し、セレクタ35はアイソレート信号ISOLATEを選択して本体回路43に供給する。一方、キャンセル信号CANCELが論理“1”のときは、セレクタ34およびセレクタ35は共に論理“0”を選択して本体回路43に供給する。

【0052】

すなわち、モード参照回路44から本体回路43が通常動作モードにある旨を示す論理“0”のモニター信号MONITORが出力されたときには、モード確認回路50（ショート配線36）は本体回路43が正常な動作状態にあるものと判断して、論理“0”のキャンセル信号CANCELをモード修正回路42に与える。

10

【0053】

これにより、モード修正回路42は、スキャンイネーブル信号SCANENおよびアイソレート信号ISOLATEを選択し、本体回路43に供給する。その結果、本体回路43は、第1実施形態に係る半導体集積回路10の動作の場合と同様に、スキャンイネーブル信号SCANENおよびアイソレート信号ISOLATEの各論理に応じた動作モードを採ることになる。

【0054】

一方、モード参照回路44から本体回路43が通常動作モードにないことを示す論理“1”のモニター信号MONITORが出力されたときには、モード確認回路50は、スキャンイネーブル信号SCANEN/アイソレート信号ISOLATEの少なくとも一方が論理“1”に固定され、本体回路43が正常な動作状態にないものと判断して、論理“1”のキャンセル信号CANCELをモード修正回路42に与える。

20

【0055】

すると、モード修正回路42は論理“0”を選択することで、スキャンイネーブル信号SCANEN/アイソレート信号ISOLATEの少なくとも一方が論理“1”に固定された状態にあったとしてもそれを強制的に論理“0”に修正し、本体回路43に対して通常動作モードを通知する。これにより、スキャンイネーブル信号SCANEN/アイソレート信号ISOLATEの少なくとも一方が論理“1”に固定されていても、本体回路43は通常動作を行えることになる。

30

【0056】

上記構成の第2実施形態に係る半導体集積回路40を含む回路システムで重要なことは、本半導体集積回路40の出荷検査時には、モニター端子46とキャンセル端子47が未接続状態にあるため、自由にテストモードを設定することが可能であり、一方、実使用時に電子基板に搭載する際にモニター端子46とキャンセル端子47を接続することで、非常に簡素に通常動作モードとは異なるモードに入ることを禁止できる点にある。

【0057】

なお、本実施形態では、デコード回路33から出力されるモニター信号MONITORが1ビットの情報であることから、モード確認回路50をショート配線36で構成し、モニター信号MONITORをそのままキャンセル信号CANCELとしてモード修正回路42に供給するとしたが、モニター信号MONITORが多ビットの情報である場合には、モード確認回路50をデコード回路などを用いて構成することになる。

40

【0058】

また、本実施形態においては、1つのモード確認回路50に対して1つの半導体集積回路40を対応付けた回路構成の回路システムの場合を例に採って説明したが、図7に示すように、1つのモード確認回路50に対して複数（本例では、2個）の半導体集積回路40-1, 40-2を対応付け、1つのモード確認回路50で各回路40-1, 40-2からのモニター信号MONITORを認識し、各回路40-1, 40-2に対してキャンセル信号CANCELを供給する回路構成とすることも可能である。

50

## 【 0 0 5 9 】

以上説明した第2実施形態に係る回路システムでは、半導体集積回路40(40-1, 40-2)の動作モードを確認するモード確認機能をハードウェア(モード確認回路50)で実現する場合を例に採って説明したが、この機能をソフトウェアで実現することも可能である。

## 【 0 0 6 0 】

図8は、モード確認機能をソフトウェアで実現するようにした場合の本発明の第3実施形態に係る回路システムの構成を示すブロック図である。

## 【 0 0 6 1 】

本実施形態に係る回路システムは、CPU61、例えば2個の集積回路62, 63およびこれに対応した2個のPIO64, 65を有する構成となっている。そして、CPU63とPIO64, 65とはバスライン66を介して相互に接続され、このバスライン66を介してCPU61が各デバイスへのアクセスを行うようになっている。

## 【 0 0 6 2 】

2個の集積回路62, 63は各々、外部からのモード情報によって設定された動作モードを示す設定モード情報をモニター信号MONITORとして出力するとともに、キャンセル信号CANCELが与えられたとき、自身の動作モードの修正が行えるようになっている。すなわち、第2実施形態に係る半導体集積回路40におけるモード修正回路42およびモード参照回路44の各機能を具備している。

## 【 0 0 6 3 】

PIO64, 65は、集積回路62, 63から出力されるモニター信号MONITORの論理状態をCPU61がアクセスできるように、また集積回路62, 63の各々に対してCPU61がキャンセル信号CANCELを供給できるようにしている。

## 【 0 0 6 4 】

上記の構成において、集積回路62, 63の各動作モードを確認するモード確認機能は、CPU61上のソフトウェアで実現される。その具体的なソフトウェアの動作フローの例を図9に示す。なお、ここでは、集積回路62に対しての動作フローを示しているが、集積回路63に対しても同様である。

## 【 0 0 6 5 】

図9において、CPU61はまず、PIO64を通して集積回路62に与えるキャンセル信号CANCELを論理“0”にすることで初期化処理を行い(ステップS11)、次いでPIO64を通して集積回路62から出力されるモニター信号MONITORの論理状態を確認する(ステップS12)。

## 【 0 0 6 6 】

このとき、モニター信号MONITORが論理“1”であれば(ステップS13)、CPU61は集積回路62が正常な動作状態にないものと判断し、PIO64を通して集積回路62に論理“1”のキャンセル信号CANCELを与える(ステップS14)。

## 【 0 0 6 7 】

そして、所定時間が経過したか否かを判断し(ステップS15)、所定時間が経過していたら、さらに本処理に割り当てられた時間が経過したか否かを判断する(ステップS16)。このとき、本処理に割り当てられた時間が経過していなければ、ステップS12に戻って上述した一連の処理を繰り返し、経過していれば、本処理を終了してメインフローに戻る。

## 【 0 0 6 8 】

上述したように、本実施形態に係る回路システムにおいては、モニター信号MONITORの論理が“1”のときには、集積回路62が正常な動作状態にないものと判断してキャンセル信号CANCELの論理を強制的に“1”にすることにより、第2実施形態の場合と同様に、集積回路62の動作モードを設定するスキャンイネーブル信号SCANEN/アイソレート信号ISOLATEの少なくとも一方が論理“1”に固定された状態にあったとしても、集積回路62の動作モードを自動的に通常動作モードに修正できることにな

10

20

30

40

50

る。

【0069】

図10は、本発明の第4実施形態に係る半導体集積回路の構成を示すブロック図である。

【0070】

本実施形態に係る半導体集積回路70は、モード発生回路71、モード修正回路72、本体回路73、モード参照回路74およびPLL(フェーズ・ロックド・ループ)回路75を具備し、外部からモード情報を入力するための入力端子76、本体回路73の動作モードを示すモード参照情報を出力するための出力端子77、外部から修正情報を入力するための入力端子78、PLL回路75から出力されるクロック周波数を選択するPLLモード選択情報PLLSELを入力するための入力端子79およびマスタークロックMCKを入力するための入力端子80を有する構成となっている。

10

【0071】

上記構成の半導体集積回路70において、モード発生回路71、モード修正回路72、本体回路73およびモード参照回路74は、図5の第2実施形態に係るモード発生回路41、モード修正回路42、本体回路43およびモード参照回路44にそれぞれ対応しており、同様の回路構成のものが用いられる。

【0072】

ここで、モード参照回路74は、モード発生回路71から出力される内部モード情報を入力とし、この内部モード情報を参照することによって本体回路73の動作モードを確認することに加え、PLL回路75に入力されるPLLモード選択情報PLLSELを入力とし、このPLLモード選択情報PLLSELを参照することによってPLL回路75の動作モードを確認し、それらが通常動作モードにあるか否かを示す情報を例えば1ビットのモニター信号MONITORとして外部に出力する。

20

【0073】

また、図10には示していないが、第2実施形態に係る半導体集積回路10を含む回路システムの場合と同様に、半導体集積回路70の外部回路としてモード確認回路が設けられ、このモード確認回路に対してモニター信号MONITORが出力され、また当該モード確認回路からモード修正回路72およびPLL回路57に対して修正情報が与えられることになる。

【0074】

PLL回路75は、外部から供給されるマスタークロックMCKを元に、互いに異なる周波数の例えば2種類のクロックを、外部から与えられるPLLモード選択情報PLLSELに応じて択一的に生成し、その生成したクロックを本体回路73にその動作クロックとして供給する。

30

【0075】

すなわち、本実施形態に係る半導体集積回路70では、本体回路73の動作クロックとしてそのクロック周波数を、本半導体集積回路70を使う環境に合わせて外部から選択できる構成となっている。具体的には、通常動作モードでは、本体回路73に対して周波数が高い方のクロックを動作クロックとして与え、待機モード中には、例えば消費電力の低減を図ることを目的として、周波数を通常動作時の周波数よりも下げる、という制御を行う。

40

【0076】

なお、PLL回路75は、外部から修正情報が与えられたときは、その動作モードが待機モード、即ち周波数の低いクロックを発振するモードであっても、通常動作モード、即ち周波数の高いクロックを発振するモードに自動的に修正し得る回路構成となっている。

【0077】

このように、PLL回路75を内蔵し、その出力クロックの周波数を外部から切り替える構成の半導体集積回路70では、出荷後の衝撃や故意による改変により非通常モードないしは装置全体として意図した動作モードとは異なるモードになってしまうことに加えて、同様の理由により、PLL回路75の発振クロックが待機中の低いクロック周波数に固定

50

された状態となる。

【0078】

この場合には、当然のことながら、本体回路73は通常動作を行えないことになる。そこで、本実施形態に係る半導体集積回路70においては、外部から与えられる修正情報に基づいて、モード修正回路72によって本体回路73の動作モードを修正することに加えて、PLL回路75の動作モードをも修正するようにしている。

【0079】

すなわち、出荷後の衝撃や故意による改変により、PLL回路75の動作モードが待機モードに固定された状態にあるときに、外部からPLL回路75に対して修正情報が与えられることで、PLL回路75の動作モードが待機モードから通常動作モードに修正される。これにより、PLL回路75から本体回路73に対して高い周波数のクロックが供給されるため、本体回路73の動作モードも通常動作モードとなる。

10

【0080】

なお、本実施形態では、モード参照回路74がPLL回路75に外部から与えられるPLLモード選択情報PLLSSELを参照するとしたが、これに限られるものではなく、PLL回路75の動作モードそのものを参照するようにしても良く、また周波数検出回路が必要になるが、PLL回路75から出力されるクロックの周波数を参照してその動作モードを確認することも可能である。

【0081】

また、本実施形態においては、モード参照回路74がモニター信号MONITORとして、本体回路73およびPLL回路75が共に通常動作モードにあるか否かを示す1ビットの情報を出力するとしたが、本体回路73およびPLL回路75の各々について通常動作モードにあるか否かを示す2ビットのモニター信号MONITORとして出力するようにしても良い。この場合、本体回路73およびPLL回路75の各動作モードを独立に制御できる利点がある。

20

【0082】

【発明の効果】

以上説明したように、本発明によれば、モード情報によって設定される本体回路の動作モードおよびクロック発生手段の動作モードを確認してその確認結果を外部へ知らせるようにしたことで、出荷後の衝撃や故意による改変などにより非通常動作モードないしは装置全体として意図した動作モードとは異なるモードになってしまった場合において、その動作モードの変化を告知できることになる。

30

【図面の簡単な説明】

【図1】 本発明の第1実施形態に係る半導体集積回路の構成を示すブロック図である。

【図2】 第1実施形態に係る半導体集積回路の要部の具体的な回路例を示すブロック図である。

【図3】 第1実施形態に係る半導体集積回路の変形例を示すブロック図である。

【図4】 第1実施形態に係る半導体集積回路の他の変形例を示すブロック図である。

【図5】 本発明の第2実施形態に係る半導体集積回路を含む回路システムの構成を示すブロック図である。

40

【図6】 第2実施形態に係る半導体集積回路の要部の具体的な回路例を示すブロック図である。

【図7】 本発明の第2実施形態に係る半導体集積回路を含む回路システムの変形例を示すブロック図である。

【図8】 本発明の第3実施形態に係る半導体集積回路の構成を示すブロック図である。

【図9】 動作モードを確認するモード確認機能をソフトウェアで実現する動作フローの例を示すフローチャートである。

【図10】 発明の第4実施形態に係る半導体集積回路の構成を示すブロック図である。

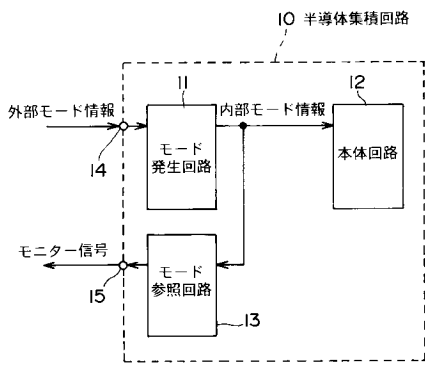
【符号の説明】

10, 10A, 10B, 40, 40-1, 40-2, 70...半導体集積回路、11, 41, 7

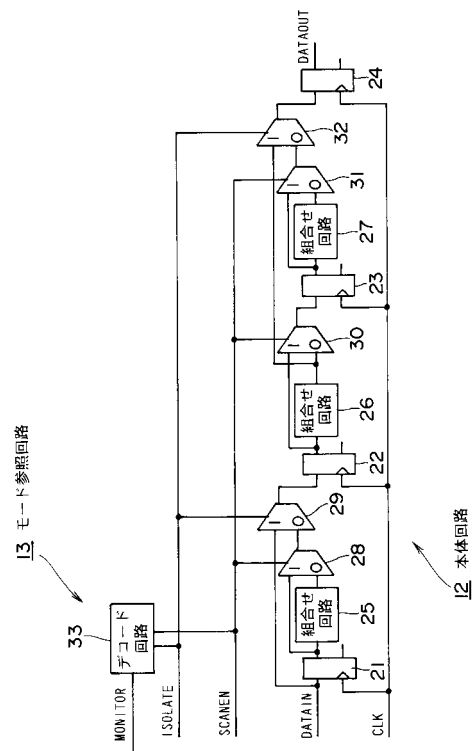
50

1 ... モード発生回路、 1 2 , 4 3 , 7 3 ... 本体回路、 1 3 , 4 4 , 7 4 ... モード参照回路、 4 2 , 7 2 ... モード修正回路、 5 0 ... モード確認回路、 7 5 ... P L L 回路

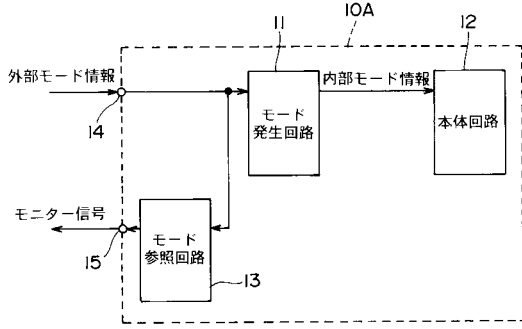
【 図 1 】



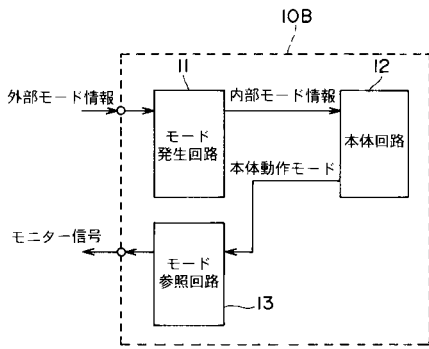
【 図 2 】



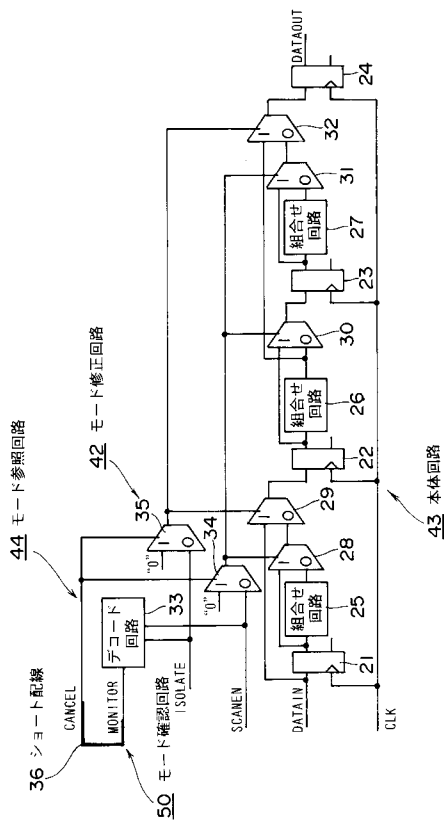
【図3】



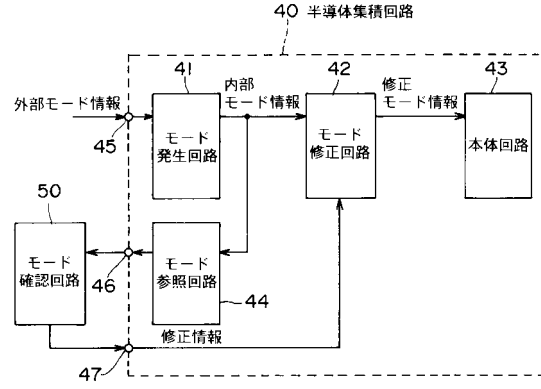
【図4】



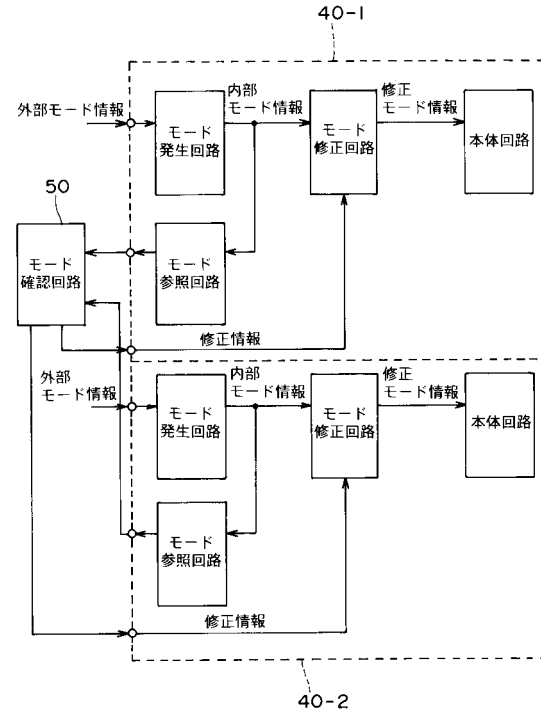
【図6】



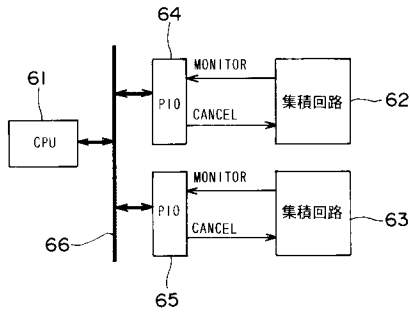
【図5】



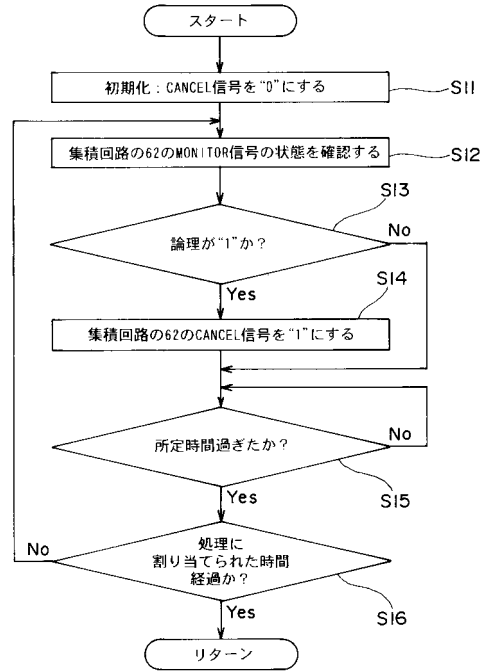
【図7】



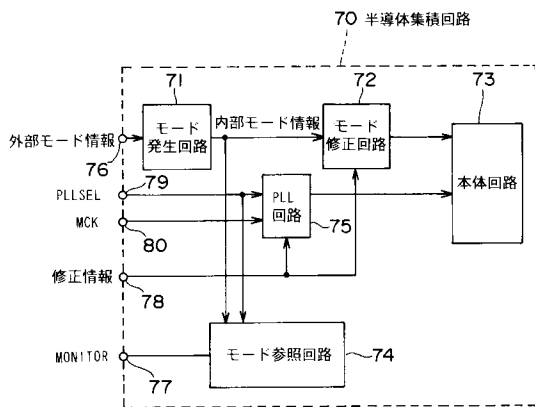
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(72)発明者 永井 宏昌

神奈川県海老名市本郷2 2 7 4番地 富士ゼロックス株式会社 海老名事業所内

審査官 堀 圭史

(56)参考文献 特開平06 - 201802 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G01R 31/28-3193

G06F 11/22-277