



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

196115

(11)

(B1)

/22/ Přihlášeno 30 12 77
/21/ /PV 9120-77/

(40) Zveřejněno 29 06 79

(45) Vydáno 15 06 82

(51) Int. Cl.³
G 01 R 29/26
G 01 R 23/16
G 01 R 23/165

(75)

Autor vynálezu

ZIMA VÁCLAV ing. DrSc., PRAHA

(54) Spektrální analyzátor pro měření šumu

1

Vynález se týká spektrálního analyzátoru pro měření šumu v pásmu 10 Hz až 100 kHz.

Spektrální analýza v pásmu nízkých kmitočtů se provádí pomocí nákladných přístrojů. K automatickému přeladování v zadaném kmitočtovém pásmu se využívá principu superheterodynu. Jako místní oscilátory se obvykle používají mechanicky přeladované oscilátory LC. U špičkových výrobků se pohybuje úroveň vlastního šumu v hodnotě 20 nV a šířka pásma jednotlivého měření bývá 10 až 20 Hz.

Nevýhodou dosavadní techniky je nedostatečně přesně definovaný střední kmitočet jednotlivého měření a poměrně velká šíře pásma, která znehodnocuje výsledky měření, zejména v kmitočtovém okolí celistvých násobků síťového kmitočtu. Další nevýhoda spočívá v tom, že koncepce soudobých přístrojů vyžaduje k realizaci zcela automatizovaného měřicího procesu řadu nákladných přídatných zařízení, zejména minipočítače s příslušným interfacem k vlastnímu analyzátoru.

Mnohé z těchto nevýhod odstraňuje spektrální analyzátor pro měření šumu podle vynálezu, jehož podstata spočívá v tom, že syntezátor kmitočtu se skládá z napěťově řízeného oscilátoru, směšovače, z pevného děliče kmitočtu s konstantním poměrem, ze dvou proměnlivých děličů kmitočtu, z fázového komparátoru a z pevného děliče dvěma. Je zapojen tak, že pomocný vstup referenčního signálu je propojen se vstupem směšovače a se vstupem proměnného děliče kmitočtu jemné změny frekvence. Druhý vstup

2

směšovače je spojen s výstupem napěťově řízeného oscilátoru, výstup směšovače je spojen se vstupem pevného děliče kmitočtu s konstantním dělicím poměrem, jehož výstup je spojen se vstupem fázového komparátoru, jehož výstup je spojen s řídicím vstupem napěťově řízeného oscilátoru, výstup napěťově řízeného oscilátoru je spojen se vstupem proměnného děliče kmitočtu hrubé změny frekvence. Jeho výstup je spojen se vstupem pevného děliče dvěma. Řídicí vyhodnocovací jednotka je zapojena tak, že vstup měřeného signálu je spojen s prvním vstupem vyváženého směšovače. Jeho další dva vstupy jsou spojeny se vzájemně inverzními výstupy pevného děliče dvěma syntezátoru, výstup vyváženého směšovače je spojen se vstupem automaticky ovládaného zeslabovače. Výstup automaticky ovládaného směšovače je spojen se vstupem mezifrekvenčního zesilovače, jehož výstup je spojen se vstupem detekčního obvodu, jehož první výstup je spojen s prvním vstupem číslicového voltmetru a druhý výstup je spojen s druhým vstupem paměti. Výstup číslicového voltmetru je spojen se vstupem pro příjem základního číselného údaje centrální výpočetní jednotky, jejíž vstup pro příjem údaje o dekadickém řádu změřeného čísla je spojen s výstupem paměti. Její další výstup pro přenos iniciačního signálu pro provedení výpočtu je spojen se vstupem centrální výpočetní jednotky a řídicí výstup paměti je spojen se vstupem řídicího obvodu. Jeho další vstup je spojen s výstupem detekčního

obvodu, první řídící výstup řídícího obvodu je spojen se vstupem automaticky ovládaného zeslabovače. Pomocný vstup prvního řídícího signálu je spojen s prvním vstupem paměti, pomocný vstup druhého řídícího signálu je spojen s druhým vstupem číslíkového voltmetru, pomocný vstup třetího řídícího signálu je spojen s jedním vstupem hradla, jehož výstup je spojen se vstupem řídícího obvodu. Druhý vstup hradla je spojen s výstupem detekčního obvodu, obvody pro řízení syntezátoru jsou spojeny s řídící vyhodnocovací jednotkou tak, že na její pomocný vstup třetího řídícího signálu je připojen první vstup řídícího hradla a na druhý výstup detekčního obvodu řídící vyhodnocovací jednotky je napojen druhý vstup řídícího hradla. Výstup hradla je spojen s prvním vstupem distribučního přepínacího obvodu, jehož druhý vstup je spojen s výstupem souboru přepínačů k hrubému ručnímu nastavování frekvence. Třetí vstup distribučního přepínacího obvodu je spojen s výstupem souboru přepínačů k jemnému ručnímu nastavování frekvence. Čtvrtý výstup je spojen s výstupem přepínače pro nastavování režimů automatického hrubého nastavení frekvence, automatického jemného nastavení frekvence a ručního nastavení frekvencí. Obvody pro řízení syntezátoru jsou s syntezátorem propojeny tak, že výstup hrubé změny frekvence distribučního přepínacího obvodu je spojen se vstupem proměnného děliče kmitočtu jemné změny frekvence.

Hlavní výhodou spektrálního analyzátoru je možnost synchronizovat střední kmitočty všech vyhodnocovaných kanálů vnějším signálem z vysoce přesného kmitočtového normálu. Další výhodou je použitý syntezátor kmitočtu, který při své jednoduchosti dovoluje obsáhnout pásmo s vysokým poměrem kmitočtu horního a dolního okraje v nízkém počtu kroků, které jsou téměř ideálně rozmístěny v logaritmické stupnici kmitočtů. Syntezátor podle vynálezu umožňuje provést měření v širokém rozsahu kmitočtu i měření ve velmi úzkém pásmu kmitočtů. Syntezátor podle vynálezu má vysokou kvalitu spektra výstupního signálu a zejména má velmi malý fázový šum, což umožňuje použití mezifrekvenčního zesilovače s kaskádou piezoelektrických rezonátorů, která má velmi úzké pásmo propustnosti. Šíře pásma je pevně přestavitelná v rozsahu 1 Hz až 5 Hz. V důsledku toho je úroveň vlastního šumu analyzátoru v řádu 1 nV / pro $f > 1000$ Hz / téměř o 20 dB nižší než u jiných známých přístrojů. Soustava podle vynálezu je koncipována jako autonomní měřicí systém, který je vybaven vlastní centrální výpočetní jednotkou s integrovanými obvody velkoplošné integrace, což je významným pokrokem proti jiným známým systémům.

Příklad zapojení spektrálního analyzátoru pro měření šumu podle vynálezu je znázorněn na přiložených výkresech, kde obr. 1 představuje blokové schéma zapojení, obr. 2 je časový diagram průběhu hlavních signálů působících v tomto zapojení.

Na obr. 1 je blokové schéma zapojení spektrálního analyzátoru pro měření šumu v pásmu 10 Hz až 100 kHz, kde syntezátor 1000 kmitočtu se skládá z napěťově řízeného oscilátoru 3, směšovače 1, pevného děliče 2 kmitočtu s konstantním poměrem, ze dvou proměnných děličů 5, 6 kmitočtu, z fázového komparátoru 4 a z pevného děliče 7 dvěma a je zapojen tak, že pomocný vstup 100 referenčního signálu je propojen se vstupem 11 směšovače 1 a se vstupem 51 proměnného děliče 5 kmitočtu jemné změny frekvence,

druhý vstup 12 směšovače 1 je spojen s výstupem 31 napěťově řízeného oscilátoru 3, výstup 13 směšovače 1 je spojen se vstupem 21 pevného děliče 2 kmitočtu s konstantním dělicím poměrem, výstup 22 pevného děliče 2 kmitočtu s konstantním dělicím poměrem je spojen se vstupem 41 fázového komparátoru 4, výstup 52 proměnného děliče 5 kmitočtu jemné změny frekvence je spojen se vstupem 43 fázového komparátoru 4, jehož výstup 42 je spojen s řídícím vstupem 33 napěťově řízeného oscilátoru 3, výstup 32 napěťově řízeného oscilátoru 3 je spojen se vstupem 61 proměnného děliče 6 kmitočtu hrubé změny frekvence, jehož výstup 63 je spojen se vstupem 71 pevného děliče 7 dvěma, řídící vyhodnocovací jednotka 2000 je zapojena tak, že vstup 104 měřeného signálu je spojen s prvním vstupem 84 vyváženého směšovače 8, jehož další dva vstupy 82, 83 jsou spojeny se vzájemně inverzními výstupy 72, 73 pevného děliče 7 dvěma syntezátoru 1000, výstup 81 vyváženého směšovače 8 je spojen se vstupem 91 automaticky ovládaného zeslabovače 9, jehož výstup 93 je spojen se vstupem 105 mezifrekvenčního zesilovače 10, jehož výstup 106 je spojen se vstupem 112 detekčního obvodu 11, jehož první výstup 111 je spojen s prvním vstupem 141 číslíkového voltmetru 14 a druhý výstup 113 je spojen s druhým vstupem 155 paměti 15, výstup 142 číslíkového voltmetru 14 je spojen se vstupem 211 pro příjem základního číselného údaje centrální výpočetní jednotky 21, jejíž vstup 213 pro příjem údaje o dekadickém řádu změněného čísla je spojen s výstupem 151 paměti 15, jejíž další výstup 152 pro přenos iniciačního signálu pro provedení výpočtu je spojen se vstupem 212 centrální výpočetní jednotky 21 a řídící výstup 154 paměti 15 je spojen se vstupem 122 řídícího obvodu 12, jehož další vstup 121 je spojen s výstupem 114 detekčního obvodu 11, první řídící výstup 123 řídícího obvodu 12 je spojen se vstupem 92 automaticky ovládaného zeslabovače 9, přičemž pomocný vstup 101 prvního řídícího signálu je spojen s prvním vstupem 153 paměti 15, pomocný vstup 102 druhého řídícího signálu je spojen s druhým vstupem 143 číslíkového voltmetru 14, pomocný vstup 103 třetího řídícího signálu je spojen s jedním vstupem 133 hradla 13, jehož výstup 131 je spojen se vstupem 124 řídícího obvodu 12, druhý vstup 132 hradla 13 je spojen s výstupem 115 detekčního obvodu 11, obvody 3000 pro řízení syntezátoru 1000 jsou spojeny s řídící vyhodnocovací jednotkou 2000 tak, že na její pomocný vstup 103 třetího řídícího signálu je připojen první vstup 162 řídícího hradla 16 a na druhý výstup 113 detekčního obvodu 11 řídící vyhodnocovací jednotky 2000 je napojen druhý vstup 163 řídícího hradla 16, výstup 161 hradla 16 je spojen s prvním vstupem 184 distribučního přepínacího obvodu 18, jehož druhý vstup 186 je spojen s výstupem 191 souboru přepínačů 19 k hrubému ručnímu nastavování frekvence, a třetí vstup 183 distribučního přepínacího obvodu 18 je spojen s výstupem 171 souboru přepínačů 17 k jemnému ručnímu nastavování frekvence, čtvrtý vstup 185 je spojen s výstupem 201 přepínače 20 pro nastavování režimů automatického hrubého nastavení frekvence, automatického jemného nastavení frekvence a ručního nastavení frekvencí, obvody 3000 pro řízení syntezátoru 1000 jsou s syntezátorem 1000 propojeny tak, že výstup hrubé změny frekvence 182 distribučního přepínacího obvodu 18 je spojen se vstupem 62 proměnného děliče 6 kmitočtu hrubé změny frekvence a výstup 181 jemné změny frekvence distribučního přepínacího obvodu 18 je

spojen se vstupem 53 proměnného děliče 5 kmitočtu jemné změny frekvence.

Na obr. 2 jsou znázorněny časové průběhy řídicích signálů, přičemž řídicí signál A je na pomocném vstupu 101 prvního řídicího signálu, řídicí signál B je na pomocném vstupu 102 druhého řídicího signálu, řídicí signál C je na pomocném vstupu 103 třetího řídicího signálu. Signál C₁ je na výstupu 161 řídicího hradla 16, signál C₂ je na výstupu 131 hradla 13. U_{ss} je stejnosměrné napětí na prvním výstupu 111 detekčního obvodu 11, U₀ je prahová úroveň nastavitelná v detekčním obvodu 11.

Na obr. 3 jsou kromě signálů a veličin uvedených na obr. 2 ještě iniciační signál A₁, který je na výstupu 152 paměti 15. N₁ značí číslo na výstupu 182 hrubé změny frekvence distribučního přepínacího obvodu 18, n je číslo na výstupu 142 číslicového voltmetru 14, q je dekadický řád čísla n, který je na výstupu 151 paměti 15.

Činnost syntezátoru vyplývá z blokového schématu na obr. 1. Ve smyčce fázové regulace je vřazen směšovač 1, napěťově řízený oscilátor 3, pevný dělič 2 kmitočtu s dělicím poměrem m, fázový komparátor 4 a proměnný dělič 5 kmitočtu s dělicím poměrem /N₂ + q/. Ve stavu fázové rovnováhy je splněna podmínka

$$\frac{F_2 - F_n}{m} = \frac{F_n}{N_2 + q}, \quad /1/$$

kde F₂ je kmitočet oscilátoru 3, F_n je referenční kmitočet signálu na vstupu 100, q je celočíselná konstanta, realizovaná v proměnném děliči 5, m je dělicí poměr pevného děliče 2 a N₂ = 0, 1, 2, ..., N₂ max.

Výstupní signál z napěťově řízeného oscilátoru 3 s kmitočtem F₂ je veden do proměnného děliče 6 s dělicím poměrem /N₁ + r/ a odtud do děliče 7 dvěma. Na výstupu získáváme 2 vzájemně inverzní signály s kmitočtem

$$F_1 = \frac{F_2}{2/N_1 + r}, \quad /2/$$

kde r je celočíselná konstanta, realizovaná v proměnném děliči 6, N₁ = 0, 1, 2, ..., N₁ max

Ve vyváženém směšovači 8 s lineárním filtrem získáváme ze zesíleného vstupního signálu s kmitočtem f, přiváděného ze vstupní svorky 104, signál s rozdílovým kmitočtem /f - F₁/, který je shodný se středním kmitočtem f_m mezifrekvenčního zesilovače 10. Z rovnic /1/, /2/ odvodíme vzorec

$$f = \frac{F_n + mF_n/(N_2 + q)}{2(N_1 + r)} - f_m. \quad /3/$$

V jednom určitém fyzickém provedení analyzátoru lze použít referenčního kmitočtu F_n = 10⁷ Hz a zvolit parametry m = 8, q = 142, r = 28, N₁ max = 239, N₂ max = 127, f_m = 18,18 kHz. V distribuční přepínací jednotce 18 invertujeme čísla N₁, N₂ tak, že platí vztahy

$$\begin{aligned} N_1 &= 255 - \bar{N}_1, \\ N_2 &= 127 - \bar{N}_2. \end{aligned} \quad /4/$$

Za těchto předpokladů upravíme vzorec /3/ do tvaru

$$f = \frac{2 \cdot 10^5}{11} \frac{48 + 8H_2 + N_1/269 - N_2/}{/283 - N_1//269 - N_2/}, \quad /5/$$

kde N₁ = 0, 1, 2, ..., 239
N₂ = 0, 1, 2, ..., 127.

Centrální výpočetní jednotka 21 potom může vyhodnotit kmitočet každého jednotlivého měření na základě zadaných konstant N₁, N₂ pomocí vzorce /3/, ve zvláštním případě podle /5/, vypočítat jeho logaritmickou funkci log f a vydat pokyn periferním zařízením /souřadnicový zapisovač, tiskárna/ k zpracování výsledku každého jednotlivého měření. Podobně je také v centrální výpočetní jednotce 21 zpracován údaj n v číslicovém voltmetru 14, který je přiváděn z výstupu 142 ve vhodném číselném kódu na vstup 211 a údaj q o dekadickém řádu, odpovídajícím okamžitému nastavení zesilovače 9, který je na vstup 213 přiváděn z výstupu 151 paměti 15. Centrální výpočetní jednotka 21 obvykle provádí vyhodnocení výsledku měření na základě vztahu

$$S/f = 20 \log \frac{n - n_0}{n_m - n_0} + 20 q + R, \quad [dB], \quad /6/$$

kde n₀, n_m jsou minimální a maximální možné hodnoty údaje číslicového voltmetru 14.

q = 0, 1, 2, 3, ...

R je aditivní konstanta, zjišťovaná čas od času kalibrací spektrálního analyzátoru.

Činnost vyhodnocovací jednotky je znázorněna v časových diagramech na obr. 2. Řídicí impulsové signály A, B, C mají shodnou periodu T₀. Následují za sebou vždy po krátké časové prodlevě. Doba T₀ je volena tak, aby měření mohlo být řádně provedeno s ohledem na ustálení transienčních jevů v úzkopásmovém mezifrekvenčním zesilovači 10. Řídicí signál A je přiváděn na pomocný vstup 101 prvního řídicího signálu. V době T_A trvání impulsového signálu A se provádí záznam výsledku měření do paměti v centrální výpočetní jednotce 21. V době T_B trvání impulsového signálu B přiváděného na pomocný vstup 102 druhého řídicího signálu se provádí měření číslicovým voltmetrem 14. Na výstupu 152 paměti 15 však vznikne iniciační signál A₁ pouze v případě, že je splněna podmínka U_{ss} < U₀. Stejnosměrné napětí U_{ss} na výstupu 142 číslicového voltmetru 14 je v jistých mezích lineární funkcí spektrální složky při kmitočtu f signálu přiváděného na vstup 104. Napětí U₀ je prahovou úrovní, která je pevně nastavena v detekčním obvodu 11. Je-li splněna výše uvedená podmínka U_{ss} < U₀, vznikne na vstupu 163 hradla 16 stav "log 1" a na jeho výstupu 161 vznikne v době T_C trvání impulsového signálu C impuls C₁, který je podnětem ke změně stavu proměnného děliče 6 hrubé změny kmitočtu ze stavu /N₁ + r/ na stav /N₁ + 1 + r/. Tak tomu je v případě, že provozní režim je pomocí přepínače 20 nastaven na automatickou hrubou změnu kmitočtu. Je-li pomocí téhož přepínače 20 nastaven režim automatické jemné změny kmitočtu, dojde ke změně dělicího poměru proměnného děliče 5 jemné změny kmitočtu ze stavu /N₂ + q/ na stav /N₂ + 1 + q/. Je-li splněna podmínka U_{ss} > U₀, vznikne také na výstupu 152 paměti 15 iniciační impuls A₁, který je příkazem pro provedení výpočtu v centrální výpočetní jednotce 21 a k zpracování výsledku měření v periferních zařízeních. V opačném případě, je-li vstupní signál na vstupu 104 v oblasti středního kmitočtu velký, bude splněna podmínka U_{ss} > U₀. V tomto případě vznikne na vstupu 163 hradla 16 stav "log 0" a impulsové signály C₁ nebude ve formě impulsu

C₁ na výstup 161 hradla 16 přenesen. Kmitočet syntezátoru, určený okamžitým stavem čísel N₁, N₂, zůstane proto nezměněn. Na výstupu 123 řídicího obvodu 12 vznikne impuls C₂, který je příkazem pro provedení snížení citlivosti analyzátoru o -20 dB změnou útlumu automaticky ovládaného zeslabovače 9. Ještě krátce před tímto úkonem je na výstupu 113 detekčního obvodu 11, spojeného se vstupem 155 paměti 15 stav "log 0" a iniciační impuls A₁ na výstupu 152 paměti 15 se nevytvoří, vyhodnocení výsledku měření nebude v centrální výpočetní jednotce 21 provedeno. K vyhodnocení dojde teprve tehdy, až bude úroveň signálu na vstupu 105 mezifrekvenčního zesilovače 10 snížena automaticky ovládaným zeslabovačem 9 na tak nízkou úroveň, aby byla splněna

podmínka $U_{ss} < U_0$. Popsaný proces měření je také názorně ukázán v diagramech na obr. 3.

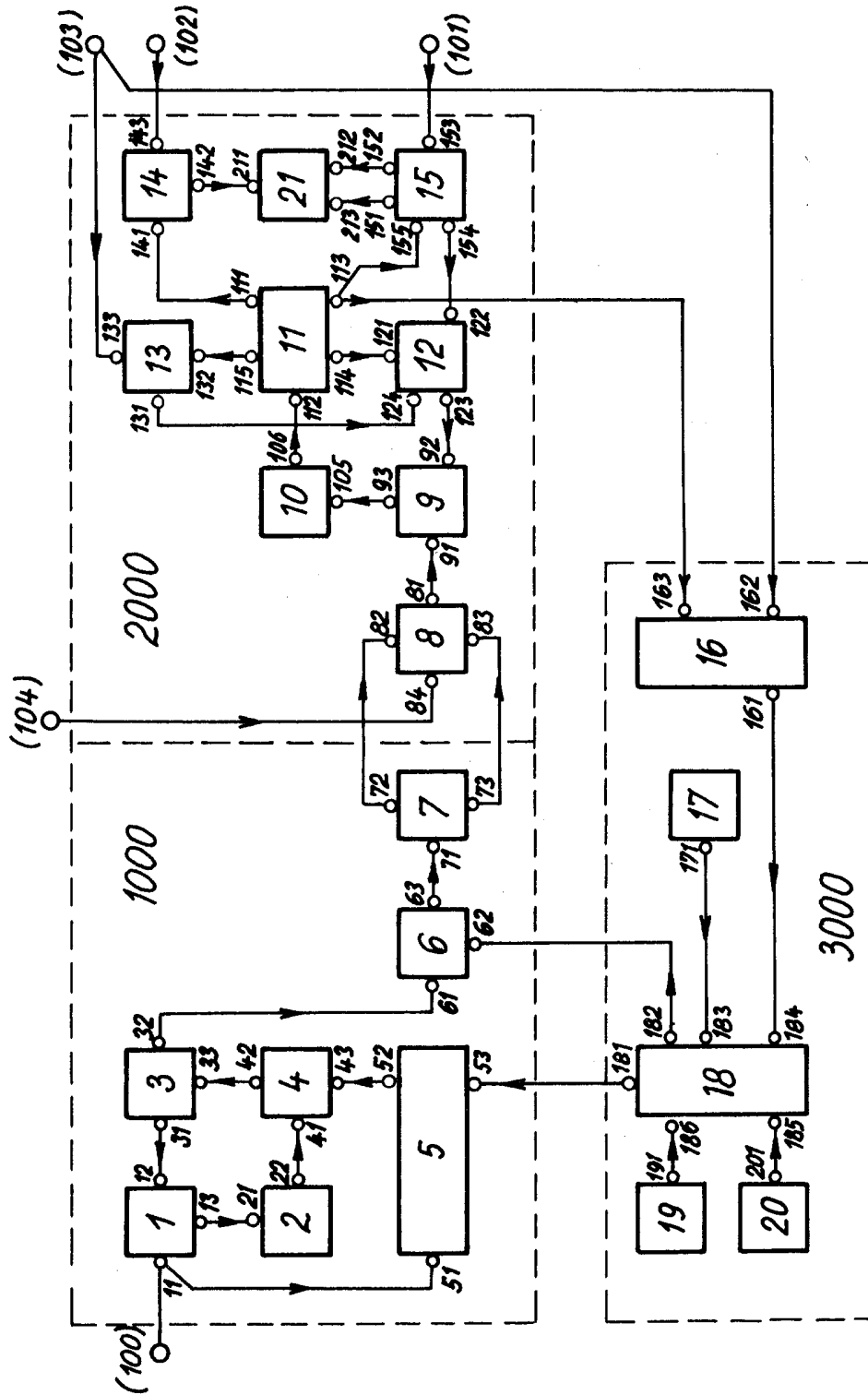
Spektrální analyzátor šumu v pásmu 10 Hz až 100 kHz může být s výhodou využit v širokém oboru měřicí techniky. Velmi dobře se hodí k měření fázového šumu oscilátorů. Hodí se také k měření výkonové spektrální hustoty šumu všech polovodičových součástek, zejména diod a tranzistorů. Podobně lze přístroj aplikovat k měření šumu optoelektronických součástek, zejména luminiscenčních diod. Analyzátor může být také s výhodou využit k určování vlastního šumu signálních generátorů, síťových zdrojů napájecího napětí a k měření funkce výkonové spektrální hustoty zdrojů nežádoucího elektromagnetického vyzařování.

P R E D M Ě T V Y N Á L E Z U

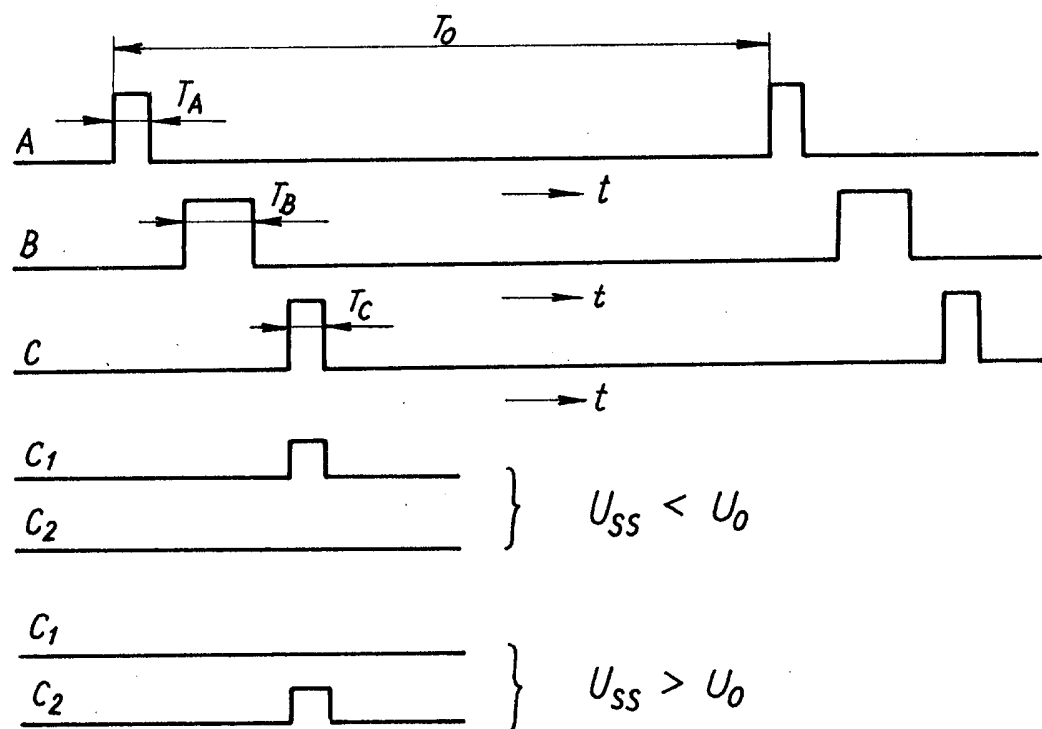
Spektrální analyzátor pro měření šumu v pásmu 10 Hz až 100 kHz obsahující syntezátor heterodynního signálu směšovače, řídicí vyhodnocovací jednotku a obvody pro řízení kmitočtu syntezátoru, vyznačený tím, že syntezátor /1000/ kmitočtu je zapojen tak, že pomocný vstup /100/ referenčního signálu je propojen se vstupem /11/ směšovače /11/ a se vstupem /51/ proměnného děliče /5/ kmitočtu jemné změny frekvence, druhý vstup /12/ směšovače /11/ je spojen s výstupem /31/ napěťově řízeného oscilátoru /3/, výstup /13/ směšovače /11/ je spojen se vstupem /21/ pevného děliče /2/ kmitočtu s konstantním dělicím poměrem, výstup /22/ pevného děliče /2/ kmitočtu s konstantním dělicím poměrem je spojen se vstupem /41/ fázového komparátoru /4/, výstup /52/ proměnného děliče /5/ kmitočtu jemné změny frekvence je spojen se vstupem /43/ fázového komparátoru /4/, jehož výstup /42/ je spojen s řídicím vstupem /33/ napěťově řízeného oscilátoru /3/, výstup /32/ napěťově řízeného oscilátoru /3/ je spojen se vstupem /61/ proměnného děliče /6/ kmitočtu hrubé změny frekvence, jehož výstup /63/ je spojen se vstupem /71/ pevného děliče /7/ dvěma, řídicí vyhodnocovací jednotka /2000/ je zapojena tak, že vstup /104/ měřeného signálu je spojen s prvním vstupem /84/ vyváženého směšovače /8/, jehož další dva vstupy /82, 83/ jsou spojeny se vzájemně inverzními výstupy /72, 73/ pevného děliče /7/ dvěma syntezátoru /1000/, výstup /81/ vyváženého směšovače /8/ je spojen se vstupem /91/ automaticky ovládaného zeslabovače /9/, jehož výstup /93/ je spojen se vstupem /105/ mezifrekvenčního zesilovače /10/, jehož výstup /106/ je spojen se vstupem /112/ detekčního obvodu /11/, jehož první výstup /111/ je spojen s prvním vstupem /141/ číslicového voltmetru /14/ a druhý výstup /113/ je spojen s druhým výstupem 155/ paměti /15/, výstup /142/ číslicového voltmetru /14/ je spojen se vstupem /211/ pro příjem základního číselného údaje centrální výpočetní jednotky /21/, jejíž vstup /213/ pro příjem údaje o dekadickém řádu změřeného čísla je spojen s vstupem /151/ paměti /15/, jejíž další výstup /152/ pro přenos iniciačního signálu pro provedení výpočtu je spojen se vstupem /212/ centrální výpočetní

jednotky /21/ a řídicí výstup /154/ paměti /15/ je spojen se vstupem /122/ řídicího obvodu /12/, jehož další vstup /121/ je spojen s výstupem /114/ detekčního obvodu /11/, první řídicí výstup /123/ řídicího obvodu /12/ je spojen se vstupem /92/ automaticky ovládaného zeslabovače /9/, přičemž pomocný vstup /101/ prvního řídicího signálu je spojen s prvním vstupem /153/ paměti /15/, pomocný vstup /102/ druhého řídicího signálu je spojen s druhým vstupem /143/ číslicového voltmetru /14/, pomocný vstup /103/ třetího řídicího signálu je spojen s jedním vstupem /133/ hradla /13/, jehož výstup /131/ je spojen se vstupem /124/ řídicího obvodu /12/, druhý vstup /132/ hradla /13/ je spojen s výstupem /115/ detekčního obvodu /11/, obvody /3000/ pro řízení syntezátoru /1000/ jsou spojeny s řídicí vyhodnocovací jednotkou /2000/ tak, že na její pomocný vstup /103/ třetího řídicího signálu je připojen první vstup /162/ řídicího hradla /16/ a na druhý výstup /113/ detekčního obvodu /11/ řídicí vyhodnocovací jednotky /2000/ je napojen druhý vstup /163/ řídicího hradla /16/, výstup /161/ hradla /16/ je spojen s prvním vstupem /184/ distribučního přepínacího obvodu /18/, jehož druhý vstup /186/ je spojen s výstupem /191/ souboru přepínačů /19/ k hrubému ručnímu nastavování frekvence, a třetí vstup /183/ distribučního přepínacího obvodu /18/ je spojen s výstupem /171/ souboru přepínačů /17/ k jemnému ručnímu nastavování frekvence, čtvrtý vstup /185/ je spojen s výstupem /201/ přepínače /20/ pro nastavování režimů automatického hrubého nastavení frekvence, automatického jemného nastavení frekvence a ručního nastavení frekvencí, obvody /3000/ pro řízení syntezátoru /1000/ jsou se syntezátorem /1000/ propojeny tak, že výstup hrubé změny frekvence /182/ distribučního přepínacího obvodu /18/ je spojen se vstupem /62/ proměnného děliče /6/ kmitočtu hrubé změny frekvence a výstup /181/ jemné změny frekvence distribučního přepínacího obvodu /18/ je spojen se vstupem /53/ proměnného děliče /5/ kmitočtu jemné změny frekvence.

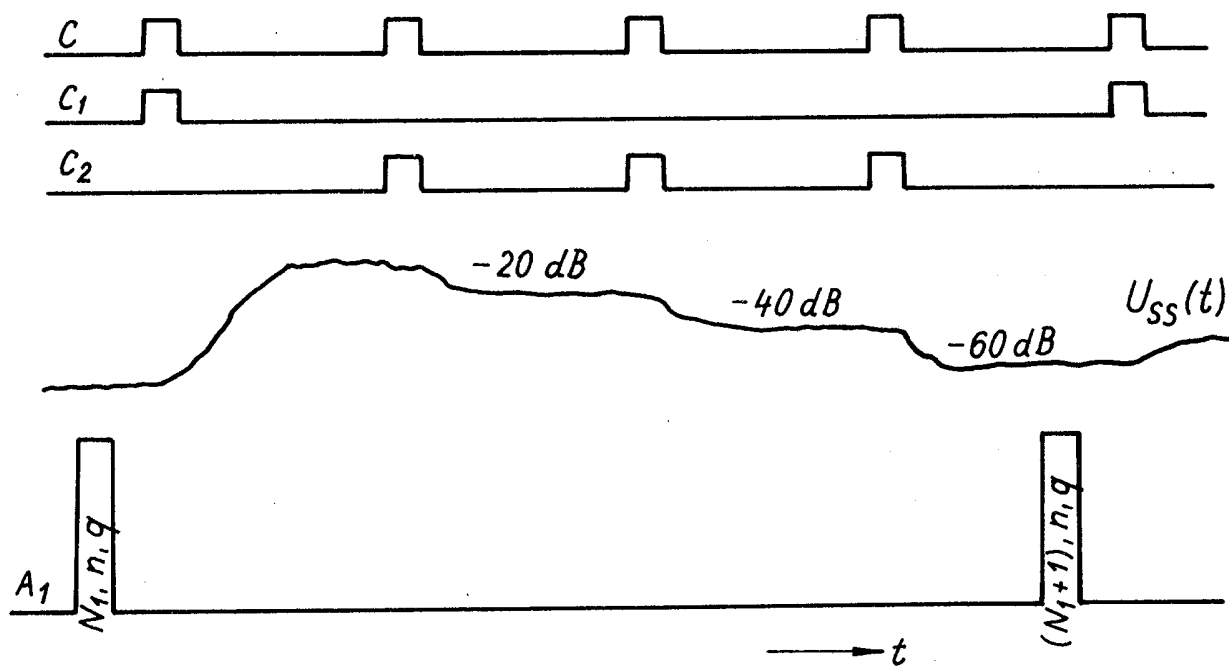
2 listy výkresů



Obr. 1



Obr. 2



Obr. 3