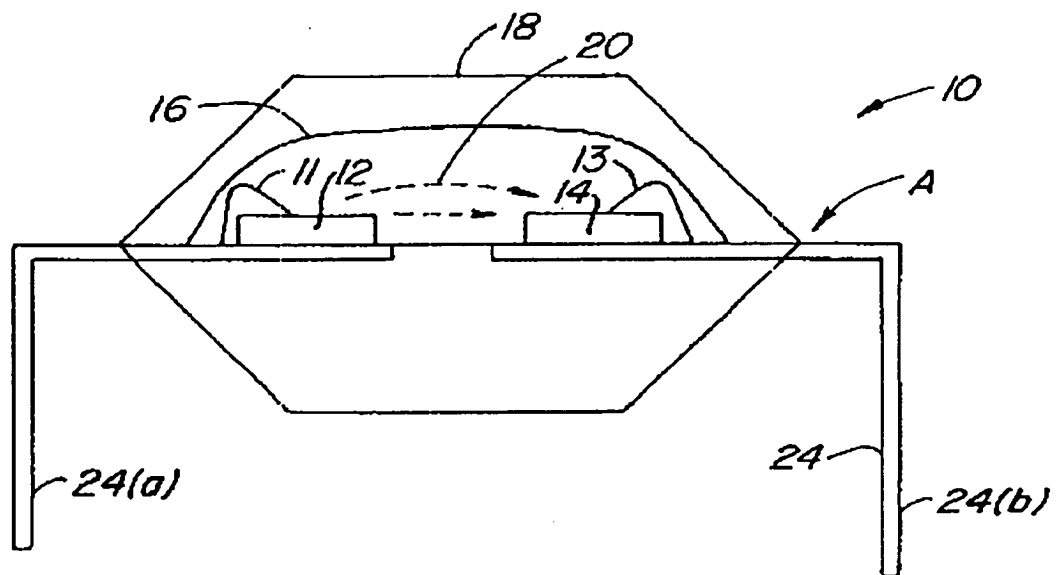
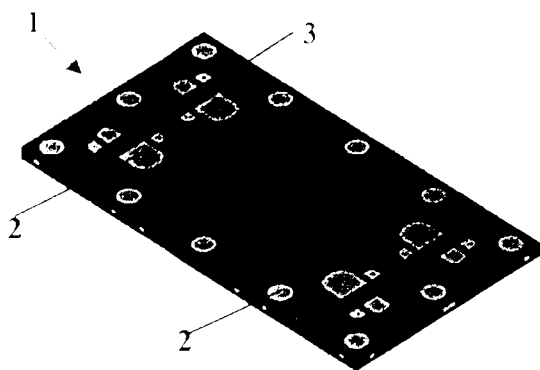
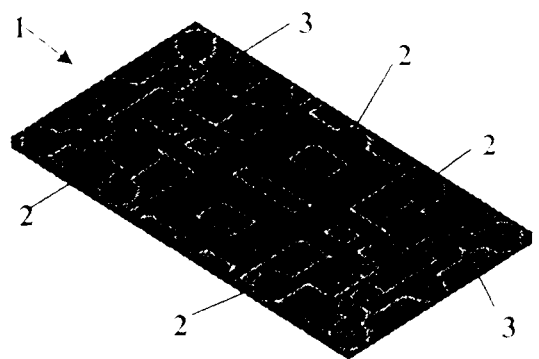




第 1 圖

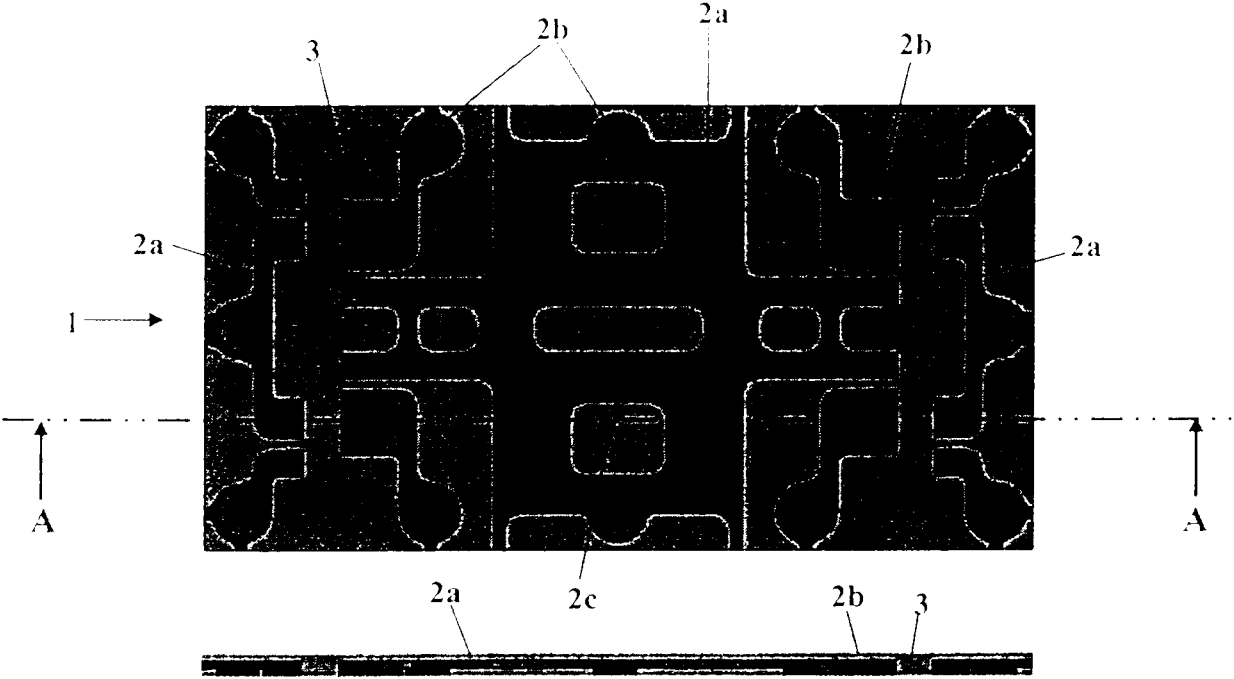


第 2 圖

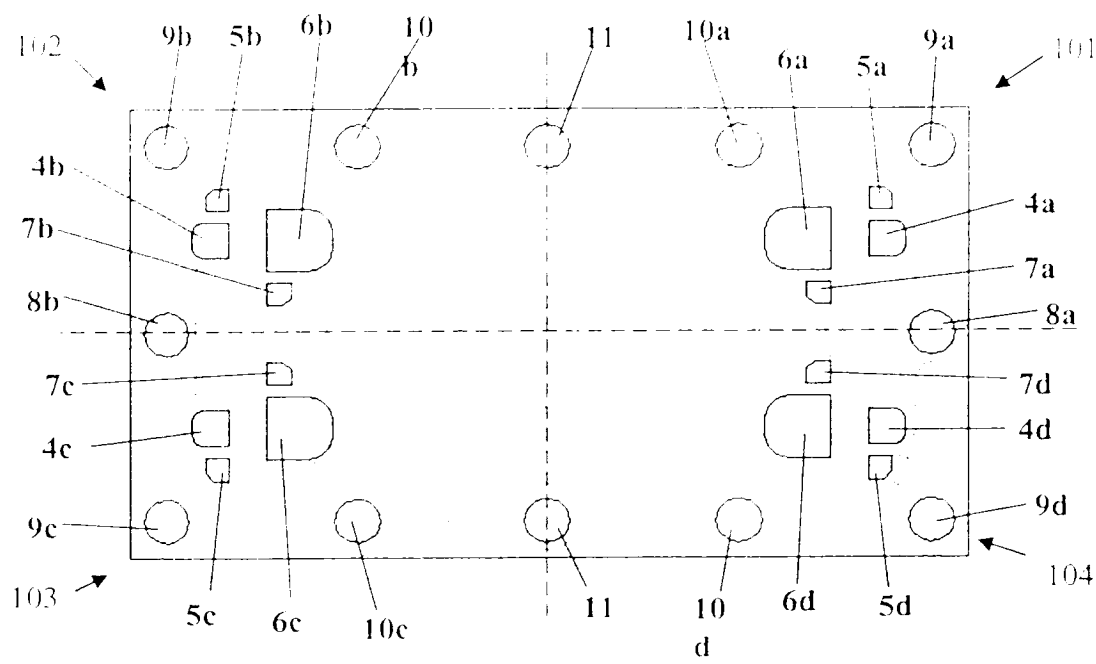


第 3 圖

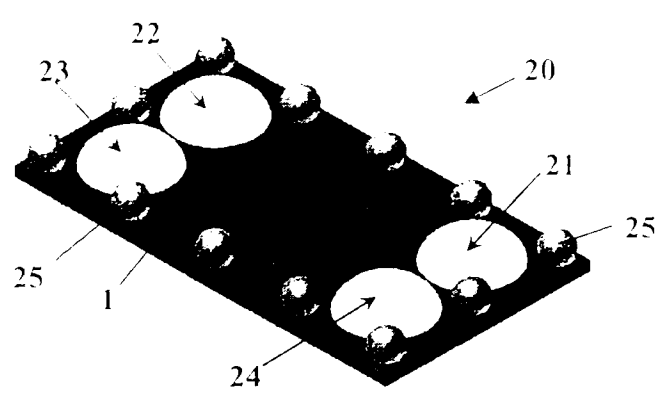
第 4 圖



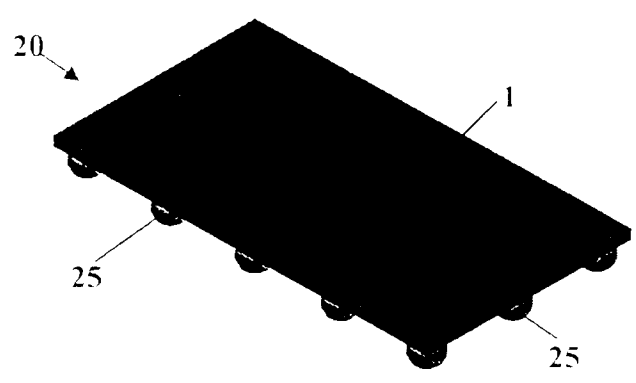
第 5 圖



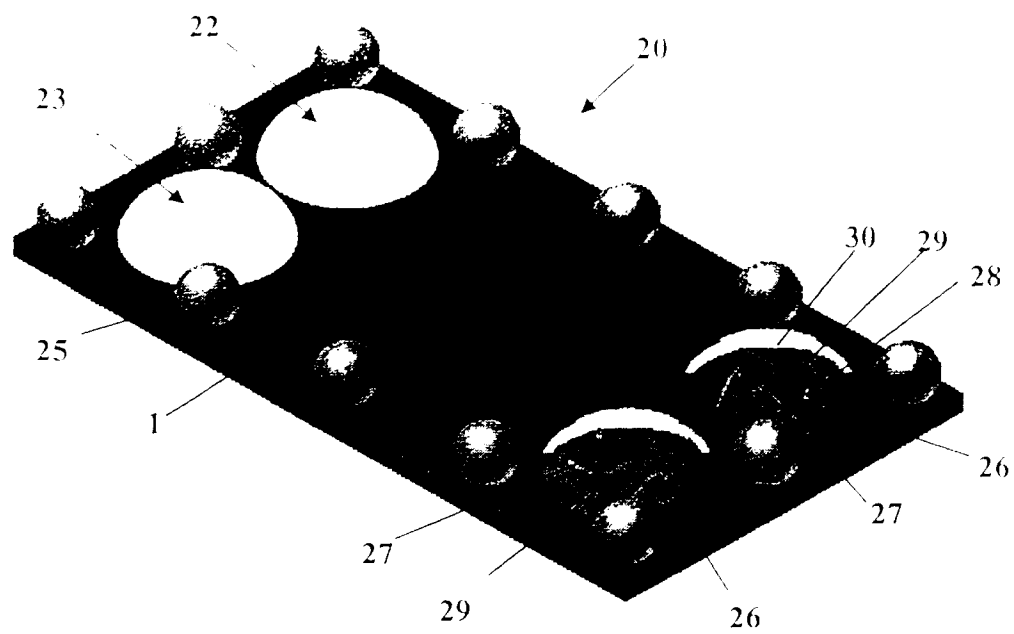
第 6 圖



第 7 圖

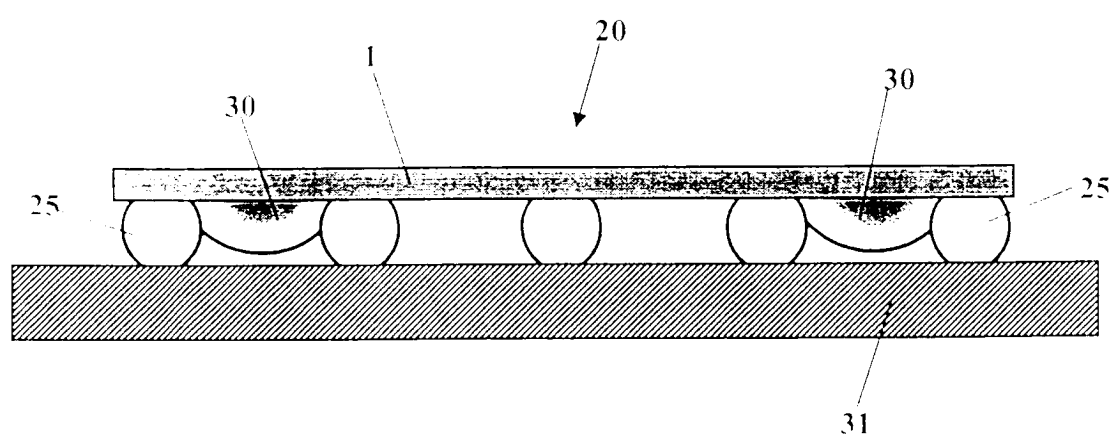
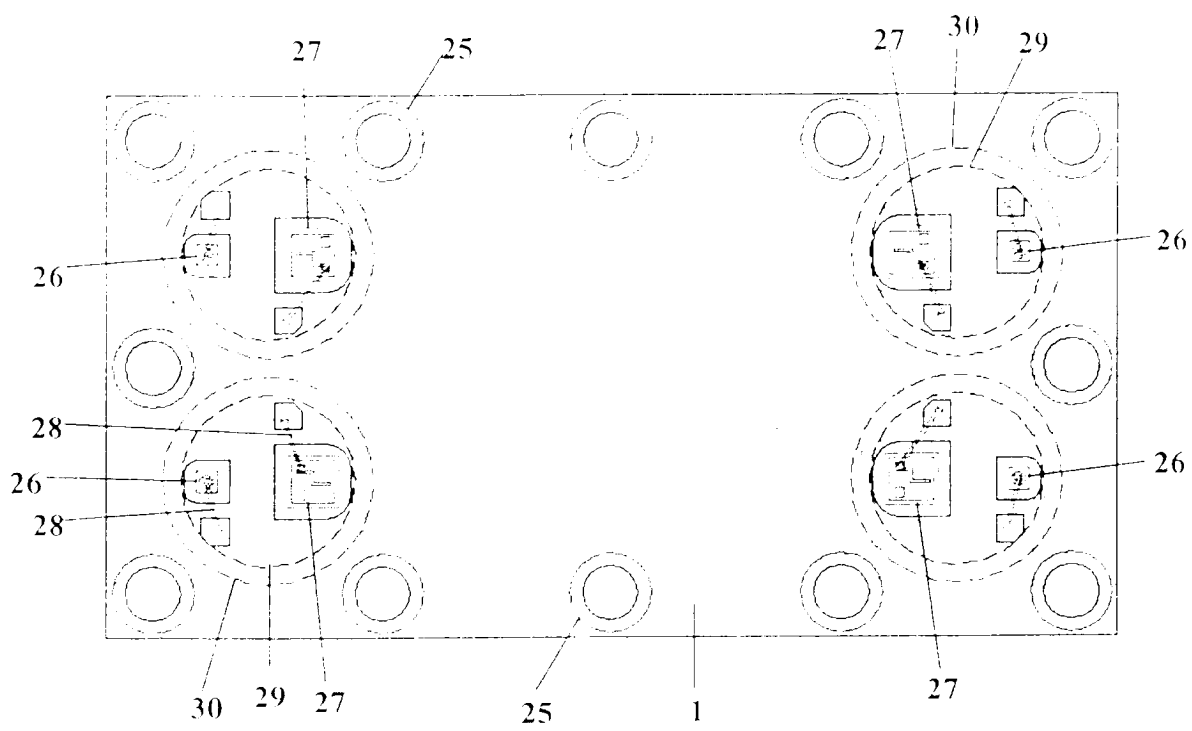


第 8 圖



第 9 圖

第 10 圖



第 11 圖

第 94105381 號
專利申請案

發明專利說明書

修正本
97.02.18

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94105381

※ 申請日期：94.2.27

※IPC 分類：H01L 33/00 (2006.01) 02.18

修正
本 年 月 日
補充 97

一、發明名稱：(中文/英文)

表面裝設之多溝槽的光耦合器/SURFACE MOUNT MULTI-CHANNEL OPTOCOUPLER

公告本

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

快捷半導體公司/FAIRCHILD SEMICONDUCTOR CORPORATION

代表人：(中文/英文)

達瓦 保羅 D./DELVA, PAUL D.

住居所或營業所地址：(中文/英文)

美國緬因州南波特蘭市賽跑山路82號

82 Running Hill Road, South Portland, ME 04106, USA

國 籍：(中文/英文)

美國/USA

三、發明人：(共 2 人)

姓 名：(中文/英文)

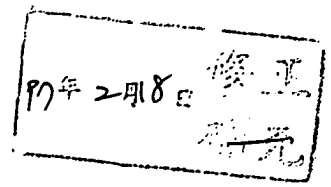
1. 昆諾尼斯 瑪莉亞克里門斯 Y./QUINONES, MARIA CLEMENS Y.

2. 約瑟 拉傑夫/JOSHI, RAJEEV

國 籍：(中文/英文)

1. 菲律賓/Philippines

2. 印度/India



四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國; 2004,04,02; 10/817,195

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

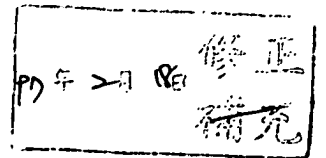
☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。



九、發明說明：

【發明所屬之技術領域】

發明領域

本發明係有關於表面裝設之多溝槽的光耦合器。

5 【先前技術】

發明背景

光耦合器會包含至少一光發射元件可經由一光傳輸介質而光耦合於一光接收元件。此等設計可容資訊由一含設該光發射元件的電路傳送至含設該光接收元件的另一電路。在該二電路之間會保持高度的電隔離。因為該資訊係以光來通過一絕緣間隙，故其傳輸是單向的。舉例而言，該光接收元件並不能改變含設該光發射元件之電路的操作。此特徵極為重要，因為例如該發射器將可使用一微處理器或邏輯閘以低電壓來驅動，而該輸出光接收元件則可為一高壓DC或AC負載電路的一部份。該光隔離亦可防止該輸入電路被比較高能的輸出電路所損壞。

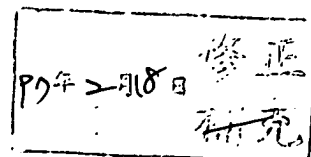
一種常見的光耦合器封裝體形式係為“二合一”封裝體或“DIP”。此封裝體係被泛用來容裝積體電路且亦用於習知的光耦合器。具有4，6，8或16支接腳的各種光耦合器DIP封裝體已普遍被製造。

第1圖示出一習知的光耦合器DIP封裝體10之截面圖。所示的光耦合器10包含一導線架24含有各引線24(a)，24(b)等(即接腳)。一光發射元件12被固裝在一引線24(a)上。一光接收元件14則固裝在另一引線24(b)上。該光接收元件14

在接收該光發射元件12所產生的光之後會產生一電信號。
該光發射元件12會經由其底面電連接於引線24(a)，並經由一導線11電連接於另一引線(未示出)。同樣地，光接收元件14會經由底部電連接於引線24(b)，並經由一導線13電連接於另一引線(未示出)。專業人士應可瞭解，該光發射元件12會與二電接點即一陽極和一陰極來操作。這些接點是由該導線11和引線24(a)來提供。同樣地，該光接收元件14會與二電接點典型為一射極和一集極來操作。該等接點係由該導線13和引線24(b)來提供。該光耦合器10更包含一光傳輸介質16。一模封材料18會包封該導線架24、光發射元件12、光接收元件14、及光傳輸介質16等。

有許多改良可實施於第1圖所示的光耦合器封裝體10。例如，該光耦合器封裝體10需要一昂貴且費時的成型製程。在該成型製程中，該模封材料18亦會包封該光耦合封裝體10的其它部份。故除了該成型製程本身之外，成型材料去除製程(即去除廢料和毛邊的程序)需被用來除去過多的模封材料，故亦會增加製成該封裝體的時間和費用。此外，用來造成不同“形式因素”(例如4，6或8接腳的封裝體)之晶粒所需的機具亦須要相當的投資。因此，若該成型製程能被省略，則製造光耦合器封裝體所需的時間和成本將可減少。

對該光耦合器封裝體10之其它的改良亦可被實施。該光耦合器封裝體10易由於因熱循環而故障。例如，該模封材料18與光傳輸介質16之熱脹性質的差異將會使它們在加



熱和冷卻時以不同的比率來膨脹和收縮。故該模封材料18與光傳輸介質16可能會分開，而造成一結構脆弱的封裝體。溫度循環亦會在導線架24出離該模封材料18之點處(例如在“A”點處)產生應力。此應力會造成一斷裂或弱化的導線架24。又，該等導線11，13有時亦會穿過該光傳輸介質16和模封材料18。該光傳輸介質16與模封材料18之熱脹性質的差異會在該等電線11，13中造成應力，而可能致使它們斷開。

又亦最好能減少習知光耦合器封裝體的高度。第1圖所示的光耦合器封裝體10會較高。例如，一典型的DIP封裝體之淨高度係約為3.5至4.0mm。最好能減少該光耦合器封裝體的高度而使其具有一較低的廓形。如此一來，將可製成較小的電子零件。

又亦期能增加上述封裝體的功能性，並減少其製造成本。

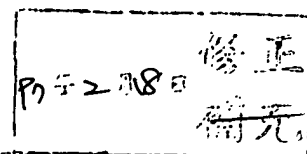
本發明之各實施例將能個別地或整體地解決這些及其它的問題。

【發明內容】

發明概要

本發明的實施例係有關光耦合器封裝體及其製造方法。

本發明之一實施例係為一光耦合器封裝體，包含：(a)一基板包含一導線架與一模封材料；(b)一光發射器；(c)一光接收器，其中該光發射器與光接收器會電連接於該導線



架；及(d)一光傳輸介質設在該光發射器與光接收器之間。

本發明之另一實施例為一種製造光耦合器封裝體的方法，包含：(a)製成一基板包含一導線架與一模封材料；(b)將一光發射器與一光接收器與一光接收器固設於該基板上；及(c)在該光發射器與光接收器之間沈積一光傳輸材料。

本發明之又另一實施例係為一種光耦合器封裝體，包含：(a)一基板；(b)至少二光發射器；(c)至少二光接收器；及(d)光傳輸介質設在相鄰的光發射器與光接收器之間，其中該等光發射器和光接收器係設在該基板上。

這些及其它的實施例會更詳細說明於後。

圖式簡單說明

第1圖示出一習知的光耦合器封裝體。

第2圖示出本發明一實施之基板的底視立體圖。

第3圖示出第4圖中之基板的內導線架結構。

第4圖示出第5圖中之基板的底視平面圖。

第5圖示出第4圖中之基板沿A-A線的側視截面圖。

第6圖為該基板的另一底視平面圖乃示出不同的光耦合器象限。

第7圖為本發明一實施例之光耦合器封裝體的底視立體圖。

第8圖為本發明一實施例之光耦合器封裝體的頂視立體圖。

第9圖為一光耦合器封裝體的底視立體圖，並示出各光發射器和光接收器。

第10圖為一光耦合器封裝體的底視平面圖，並示出各

光發射器和光接收器。

第11圖示出一光耦合器總成包含一光耦合器封裝體固設在一基板上。

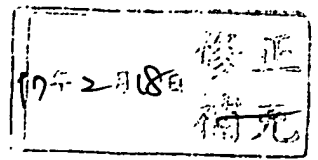
【實施方式】

5 較佳實施例之詳細說明

在本發明的實施例中，一或多個光耦合器會被設在單一基板上，該基板係由一導線架與一模封材料所製成。舉例而言，可有四個光耦合器呈一方陣佈設在單一基板上。各光耦合器可包括一光發射器(例如一發光二極體)及一光接收器(例如一光電二極體)。該光接收器與光發射器的間距可約為0.3至0.5mm。各光耦合器可用一透光接合膠來固定，並能以一不透光的高反射性環氧路基聚合物來包封。該等光耦合器的功能端子可以朝向該封裝體的周緣分組佈設，致使形成一球柵陣列的佈局。該等光接收器、光發射器及導線接墊等會被排列成能對應於該導線架的各端子。

邏輯元件例如控制晶片等亦可被設在該以導線架作基礎的基板上，且亦能被設在該光耦合器封裝體內。又，包含有MOSFET(金屬氧化物半導體場效應電晶體)的晶片，譬如設有或沒有凹溝閘極的功率MOSFET亦可被設在該基板上或在該封裝體內。該等晶片或元件可被設在該基板上，且可被電連接於例如光發射器及光接收器等構件。

在有些實施例中，該光耦合器封裝體甚薄而具有至少



二光耦合器(例如有四個)。有利的是，該單一的光耦合器封裝體相較於四個各具有一光耦合器之分開的光耦合器封裝體係能具有相同或更佳的性能。如後所述，在該封裝體中的周緣焊球佈局可形成一較簡單的基板設計，因為該等導

5 電線路的配佈已被整合於該光耦合器封裝體內。此亦可節省該板上裝設該光耦合器封裝體的空間。

第2~3圖示出一使用於該光耦合器封裝體中預成型導線架基板1。其包含一導線架2及一模封材料3。該導線架2可包含一晶粒固接區域，其中設有二或更多的晶粒，包括

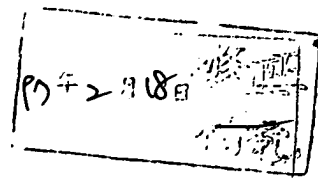
10 光接收器及光發射器等。其它的晶片譬如控制晶片等亦可被裝設在該導線架上。二或更多的引線會由該晶粒固接區域伸出而形成導線架的端子。此“導線架”可包括未經處理或已被處理(例如蝕刻)的導線架結構。在其它情況下，其它類型的基板亦可使用。

15 請參閱第4，5圖，該導線架2係為該基板1的骨幹框架。其中具有錯綜複雜的半蝕刻圖案2a、未蝕刻圖案2b、及貫孔或完全蝕刻的圖案2c等，來形成該基板1的功能接墊和固接區域(可固接該模封材料3)等。

該導線架2可包含任何適當的金屬且可具任何適當的

20 厚度。例如，一高機械強度的銅合金會較佳。該導線架2在蝕刻或未蝕刻區域可具有約0.2mm(8mils)或更小的厚度。其蝕刻方法乃為專業人士所習知。該導線架2亦可包含電鍍層例如Ni、Pd、Au或Ag等。

該基板1的模封材料3會構成該基板1的本體。其會填入



於該基板1的貫孔2c和半蝕刻區2a中。在本例中，該基板1的未蝕刻區2b並不會被該模封材料3所覆蓋。

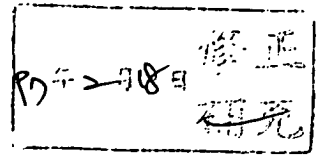
該模封材料3可包含一聚合及／或化合物材料，其可能須要或亦可無須成型後的固化程序。其亦可包含環氧樹脂、硬化劑、彈性體、無磷阻燃劑、潤滑劑、二氧化矽填料等。其中會有均衡的微粒尺寸以確保能完全填滿該導線架2的半蝕刻區域。其亦可包含足夠量的碳黑色料以提供更佳的雷射標示對比。能令該模封材料3組成材料均衡化的材料可用來防止該基板的撓曲。

在某些實施例中，該基板1會用黏帶來製造。例如，該黏帶可被貼附於該導線架2的未蝕刻墊2b上，而使該模封材料3(或成型澆道或毛邊)不會佔用該基板1的功能接墊處。而該導線架2未被貼帶的一面則會被覆設大約0.1mm模封材料，以增加該基板1的機械強度。在其它實施例中，並沒有成型材料會被覆設，即該模封材料3僅存在於該導線架2的空隙內。該基板1的厚度可依據該封裝體的機械性及物理性需求而來改變。

如圖式中所示，在該基板1內的模封材料3會界定出該等功能接墊。這些功能接墊即為該導線架2的未蝕刻區2b。

更多的基板製造細節可見於2002年8月30日申請的No. 10/233248美國專利申請案中，其內容併此附送。

請參閱第6圖，該光耦合器封裝體可被四個光耦合器 I ~ IV 分成四個象限。光耦合器 I 佔用象限 I (101)。光耦合器 II 佔用象限 II (102)。光耦合器 III 佔用象限 III (102)。光耦



合器IV佔用象限IV(104)。

請參閱第6~7圖，該基板1的功能接墊等可被標示如下：

a)光耦合器 I 21的四個內組合接墊係為陰極 I (或二極
5 體晶粒固接墊 I)4a，陽極 I (或二極體焊接墊 I)5a，集極
I (或光電晶體晶粒固接墊 I)6a，及射極 I (或光電晶體焊
接墊 I)7a；

b)光耦合器 II 22的四個內組合接墊係為陰極 II (或二極
體晶粒固接墊 II)4b，陽極 II (或二極體焊接墊 II)5b，集極
10 II (或光電晶體晶粒固接墊 II)6b，及射極 II (或光電晶體焊
接墊 II)7b；

c)光耦合器 III 23的四個內組合接墊係為陰極 III 4c，陽
極 III 5c，集極 III 6c，及射極 III 7c；

d)光耦合器 IV 24的四個內組合接墊係為陰極 IV 4d，陽
15 極 IV 5d，集極 IV 6d，及射極 IV 7d；

該基板1的未蝕刻功能墊會連接於端子接墊以供周緣
焊球固設。它們會被分群配佈來組成一具有共用端子接墊
的對稱封裝基板1。該等周緣焊球固設墊係被標示如下：

e)光耦合器 I 及 IV(4a，4d)的陰極或二極體晶粒固接墊
20 會互相短接並連接於一共用陰極端子墊8a，其係設在象限
I 和 IV 的外邊界處；

f)光耦合器 II 及 IV(4b，4c)的陰極或二極體晶粒固接墊
會互相短接並連接於一共用陰極端子墊8b，其係設在象限
II 和 III 的外邊界處；

g)全部的光耦合器之各陽極端子墊9a，9b，9c，9d係各自獨立地設在每一象限的周緣邊角處；

h)各光耦合器的集極端子墊10a，10b，10c，10d係各自獨立且相對於陽極端子墊側向地設置；

- 5 i)所有的光耦合器之射極或光電晶體焊接墊7a，7b，7c，7d等會互相短接，並朝該基板的中央水平邊緣佈線形成二對稱的周緣端子接墊11以供該等射極焊球焊接。在所有的光耦合器中，該等陽極一陰極接墊會與射極一集極接墊保持大約0.5mm間隙。此將可確保各光耦合器的高電壓
10 崩潰。

第7圖示出一光耦合器封裝體20含有四個光耦合器21，22，23，24等各具有凸拱的半圓罩，該等凸罩材料並不會接觸各焊球固接周緣端子接墊8a～b，9a～d，10a～d等(如第6圖所示)。

- 15 該光耦合器封裝體20含有多數外周緣焊球25等固接於該基板1。該等周緣焊球25會固設於端子接墊8a～b，9a～d，10a～d，11等。這些焊球25會形成該光耦合器20對印刷電路板(PCB)31(見第11圖)的中介連接機構。該等焊球25最好是為具有高熔點的無鉛合金。

- 20 如第7圖所示，在所示之例中，該光耦合器封裝體20具有12個相等間隔的周緣焊球25。該封裝體周緣焊球的佈局乃可視特定的封裝外接腳需求和晶粒狀況而來改變(依據內組合接墊互接和端子佈線的相同概念)。雖上述係以焊球為例，但其它的導電結構物例如銅柱(譬如預製或電鍍的)

亦可替代使用。該等導電結構物的高度係大於該封裝體內之光接收器和光發射器的高度，因此將可進行覆晶安裝。

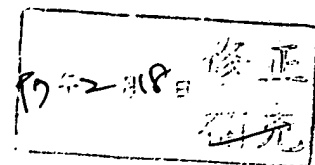
請參閱第9及10圖，LED晶粒26在有一正向電流施加於該光耦合器時將會產生光子，而令光由該晶粒26中的P-N接面射出。一高度約為9mils或更低的LED晶粒將可使用。

光電晶體晶粒27會感測該LED晶粒26發出的光，並將其轉化成電子，而在該光耦合器的輸出端造成電流。光感測是在其集極／基極接面處進行。一高度約為8mils或更低的光電晶體可被使用。

請參閱第6，9及10圖，一晶粒固接材料(未示出)會將各LED晶粒26的背面接合於指定的晶粒固接墊4a，4b，4c，4d等。同樣地，亦會將各光電晶體晶粒27的背面接合於指定的晶粒固接墊6a，6b，6c，6d等。該晶粒固接材料可為任何導電性接合材料。其例包括摻銀的環氧樹脂，及軟焊料等。在某些實施例中，一晶粒固接填料可被使用並被控制在最高約為晶粒高度的50%，俾使由該LED晶粒26側面發出的光能夠最大化。

搭接線28等會將LED晶粒26的陽極接墊連接於二極體焊接墊5a，5b，5c，5d，而完成該封裝體20之二極體構件的電路。同樣地，它們會將光電晶體晶粒27連接於指定的焊接墊7a，7b，7c，7d等。該等搭接線28可包含任何適當的延展金屬，如Au、Cu、Al，或其摻合材料，或其合金等。該搭接線圈會被要求在由基板算起大約14mils以內。

被搭接的LED晶粒和光電晶體晶粒總成會被使用一透



光的凝膠材料29來耦合在一起。該耦合膠29的透光性可使由LED 26接面射出的光充分地朝向光電晶體27的感光接面傳輸。該耦合膠29會覆蓋整個搭接晶粒總成，而形成一近乎半球形的凸體以使所發出的光能最大地傳輸。

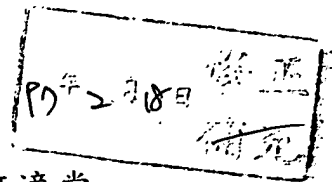
- 5 該各搭接的LED和光電晶體總成之透光半球體29會被覆蓋一白色的反射性頂罩材料30，而完成一光耦合器內封結構。該頂罩30(或光反射材料)係為一光反射性材料而可使所發出的光保留在該半球體29的範圍內。該頂罩覆層會順應於該半球體的形狀，而完全包覆該透明的耦合膠29(或透光材料)。
- 10 可藉黏接來密封該半球體。該頂罩材料30可具有大約0.2mm的最小厚度。

該光耦合器封裝體可依下列步驟來製造。

- 第一，導線架成型製程會被進行。一導線架成型製程係如前所述地使用一貼帶的導線架來進行。一片黏帶可被
- 15 貼附於一導線架的未蝕刻墊處，俾使模封材料不會佔用嗣後形成之基板的功能接墊處。該導線架的未貼帶面則會被成型覆層來增加該基板的機械強度。

- 第二，一晶粒固接製程會被進行。例如，LED和光電晶體晶粒會被使用一具有導電填料或焊料的黏劑來固設。
- 20 嗣依所用的黏劑種類而可進行或無需進行晶粒黏接固化處理。

第三，一接線製程可被進行來形成該基板中之晶粒與其對應接墊之間的導電路徑。例如，一熱聲波或超音波接線製程可在某些實施例中來進行。



第四，一半球體覆設及固化製程會被進行。任何適當的液體配佈法皆可被用來配佈該透明耦合膠，以製成透光的凸拱半球體。固化處理可能需要用來增進該耦合膠的物理特性。適當的凸覆材料包括矽基材料，其可由Dowing
5 Corning和General Electric等公司購得，但任何適當的廠家所售者亦可使用。

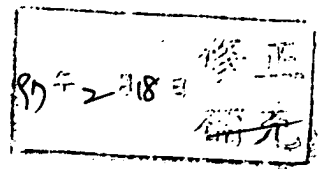
第五，一圓形頂罩覆蓋及固化製程會被進行。任何適當的液體配佈法皆可用來製成不透光的圓形頂罩。固化處理係可以或不必進行，乃取決於所用的材料種類。適當的
10 反射性塗覆材料包括具有反射性色料的環氧基塗料，該等反射性色料可例如以二氧化鈦或其它金屬氧化物材料為基礎，它們係能由Epotek及Hysol公司來購得，但其它任何適當的貨源亦可使用。

第六，一焊料沈積製程會被進行(例如圖中的焊球25
15 等)。焊球黏接、熔接、配佈、射出、噴射法等及其它的製法皆可用來將導電結構物譬如焊料固接於基板上。在其它實施例中，導電柱(如銅柱)等亦可取代地來設在基板上，或可被電鍍在基板上。

第七，一焊料重流製程會被進行(若係使用焊料)。對流
20 或傳導或輻射式焊料重流製程可被使用於某些實施例中。

第八，一分割製程會被進行。分割製程包括刃切，水刀噴切，雷射切割等等。分割製程會將所製成的基板互相分開。

第九，電測試會被進行。高電壓測試及參數測試可被



用來剔除任何具有電性瑕疵的封裝體。

第十，一封裝體標記製程會被進行。雷射或接墊標記法或其它方法可被用來提供封裝體的識別和定向。

在一封裝體製成後，其將會被翻轉並安裝於一PCB
5 上，如第11圖所示。一般的表面組合技術乃可被使用。

請注意上述各製程可被以上述順序來進行，或亦得以不同的順序來進行。

本發明並不限於上述之較佳實施例，且專業人士在本發明的精神和範圍內將可實施各種修正變化。又，本發明
10 之一或多個實施例亦可結合其它的一或多個實施例而不超出本發明的精神與範圍。

所有上述的美國暫時和非暫時專利申請案及公告案等之內容亦併此附送以供參考。它們皆不應被視為習知技術。

【圖式簡單說明】

15 第1圖示出一習知的光耦合器封裝體。

第2圖示出本發明一實施之基板的底視立體圖。

第3圖示出第4圖中之基板的內導線架結構。

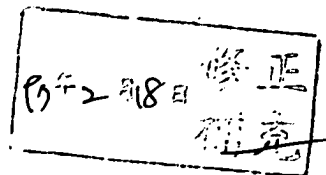
第4圖示出第5圖中之基板的底視平面圖。

第5圖示出第4圖中之基板沿A-A線的側視截面圖。

20 第6圖為該基板的另一底視平面圖乃示出不同的光耦合器象限。

第7圖為本發明一實施例之光耦合器封裝體的底視立體圖。

第8圖為本發明一實施例之光耦合器封裝體的頂視立



體圖。

第9圖為一光耦合器封裝體的底視立體圖，並示出各光發射器和光接收器。

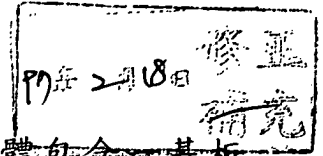
第10圖為一光耦合器封裝體的底視平面圖，並示出各光發射器和光接收器。

第11圖示出一光耦合器總模封材料包含一光耦合器封裝體固設在一基板上。

【主要元件符號說明】

1…基板	16…光傳輸介質
2…導線架	18…模封材料
2a…半蝕刻圖案	20…光耦合器封裝體
2b…未蝕刻圖案	21…光耦合器 I
2c…全蝕刻圖案	22…光耦合器 II
3…模封材料	23…光耦合器 III
4a~d…陰極 I ~IV	24…光耦合器 IV
5a~d…陽極 I ~IV	24a、b…引線
6a~d…集極 I ~IV	25…周緣焊球
7a~d…射極 I ~IV	26…LED晶粒
8a、b…共用陰極端子墊	27…光電晶體晶粒
9a~d…陽極端子墊	28…搭接線
10…光耦合器	29…耦合膠
10a~d…集極端子墊	30…頂罩
11…周緣端子接墊	31…印刷電路板
12…光發射元件	101~104…各象限
14…光接收元件	

五、中文發明摘要：



所揭係為一種光耦合器封裝體。該光耦合器封裝體包含一基板係由一導線架與一模封材料所構成，及多數的光耦合器，各光耦合器包含(i)一光發射器，(ii)一光接收器，及(iii)一透光介質設在該光發射器與光接收器之間，而該光發射器與光接收器係電連接於該導線架。

六、英文發明摘要：

An optocoupler package is disclosed. The optocoupler package includes a substrate comprising a leadframe and a molding compound, and a plurality of optocouplers, each optocoupler including (i) an optical emitter, (ii) an optical receiver, (iii) and an optically transmissive medium disposed between the optical emitter and optical receiver, where the optical

十、申請專利範圍：

1. 一種光耦合器封裝體，包含：

(a)一預成型導線架基板，其包含一導線架及一模封材料，該基板具有一第一表面，該導線架具有多個部分蝕刻、未蝕刻和完全蝕刻的圖案，以界定功能接墊，其中該模封材料在該基板的第一表面處並未覆蓋該等功能接墊；

(b)一光發射器；

(c)一光接收器，其中該光發射器和該光接收器會電耦合至該導線架；及

(d)一透光介質，其設置在該光發射器和光接收器之間，且其中該光耦合器封裝體更包含耦合至該導線架之多個導電結構物，其中該等導電結構物具有比該光接收器和該光發射器的高度更大之高度，且其中該等導電結構物係為焊料結構物。

2. 如申請專利範圍第1項之光耦合器封裝體，更包含搭接線，其等將光接收器電耦合至該導線架，以及將光發射器電耦合至該導線架。

3. 如申請專利範圍第1項之光耦合器封裝體，其中該導線架包括蝕刻部份及未蝕刻部份，且其中該等蝕刻部份會被該模封材料所覆蓋，而該等未蝕刻部份不會被該模封材料所覆蓋。

4. 如申請專利範圍第1項之光耦合器封裝體，其中該導線架包含銅。

5. 如申請專利範圍第1項之光耦合器封裝體，其中有多個光耦

合器係在該基板上。

6. 如申請專利範圍第1項之光耦合器封裝體，其中該導線架在第一第一面上包括蝕刻部份及未蝕刻部份，且其中該等蝕刻部份會被該模封材料所覆蓋，而該等未蝕刻部份不會被該模封材料所覆蓋，以及其中該模封材料會完全地覆蓋該導線架的第二面。

7. 如申請專利範圍第1項之光耦合器封裝體，更包含在該基板上之包括一MOSFET的一晶片。

8. 如申請專利範圍第1項之光耦合器封裝體，其中該等焊料結構係焊料球。

9. 如申請專利範圍第1項之光耦合器封裝體，其中該等半蝕刻、未蝕刻和完全蝕刻的圖案界定用於該模封材料之固接區域。

10. 如申請專利範圍第1項之光耦合器封裝體，其中該基材的該等未蝕刻區域未覆蓋該模封材料。

11. 一種用以形成光耦合器封裝體的方法，其包含下列步驟：

(a)形成包含一導線架及一模封材料之一預成型導線架基板，該基板具有一第一表面，該導線架具有多個部分蝕刻、未蝕刻和完全蝕刻的圖案，以界定功能接墊，其中該模封材料在該基板的第一表面處並未覆蓋該等功能接墊，且其中該導線架與該模封材料之外表面係共平面；

(b)將一光發射器與一光接收器附接於該基板上；及

(c)將一透光材料沈積於該光發射器與該光接收器之間，以形成一光耦合器封裝體，

其中該光耦合器封裝體隨後係組配來翻轉並安裝到一電路板。

12. 如申請專利範圍第11項之方法，其中該方法包含在(a)步驟之前先蝕刻該導線架。

5 13. 如申請專利範圍第11項之方法，其中該導線架包含銅。

14. 如申請專利範圍第11項之方法，更包含將線由該光發射器和光接收器附接於該導線架。

15. 如申請專利範圍第11項之方法，更包含在該透光材料上沈積一不透光材料。

10 16. 如申請專利範圍第11項之方法，更包含在該基板上附接至少四個光發射器及至少四個光接收器。

17. 如申請專利範圍第11項之方法，更包含翻轉該光耦合器封裝體並將該光耦合器封裝體安裝到一電路板。

15 18. 如申請專利範圍第11項之方法，其中該等半蝕刻、未蝕刻和完全蝕刻的圖案界定用於該模封材料之固接區域。

19. 如申請專利範圍第11項之方法，其中該基材的該等未蝕刻區域未覆蓋該模封材料。

20. 一種用以形成光耦合器封裝體的方法，其包含下列步驟：

20 (a)形成包含一導線架及一模封材料之預成型導線架一基板，該基板具有一第一表面，該導線架具有多個部分蝕刻、未蝕刻和完全蝕刻的圖案，以界定功能接墊，其中該模封材料在該基板的第一表面處並未覆蓋該等功能接墊；

(b)將一光發射器與一光接收器附接於該基板上；及

(c)將一透光材料沈積於該光發射器與光接收器之間，

以形成一光耦合器封裝體，

其中該光耦合器封裝體隨後係組配來翻轉並安裝到一電路板，且其中該方法更包含在該基板上形成多個導電結構物之步驟，其中該等導電結構物具有比該光發射器及光接收器的高度更大之高度。

21. 如申請專利範圍第20項之方法，其中該等半蝕刻、未蝕刻和完全蝕刻的圖案界定用於該模封材料之固接區域。

22. 如申請專利範圍第20項之方法，其中該基材的該等未蝕刻區域未覆蓋該模封材料。

23. 一種光耦合器封裝體，包含：

(a)一預成型導線架基板，其包含一導線架及一模封材料，該基板具有一第一表面，該導線架具有多個部分蝕刻、未蝕刻和完全蝕刻的圖案，以界定功能接墊，其中該模封材料在該基板的第一表面處並未覆蓋該等功能接墊，且其中該模封材料與該導線架之外表面係共平面；

(b)至少二光發射器；

(c)至少二光接收器；

(d)在相鄰的光發射器和光接收器之間的透光介質；及

(e)在該等透光介質上之一光反射材料；其中該等光發射器和該等光接收器係在該基板上。

24. 如申請專利範圍第23項之光耦合器封裝體，其中該導線架包括蝕刻部份。

25. 如申請專利範圍第23項之光耦合器封裝體，其中該導線架包括銅。

26. 如申請專利範圍第23項之光耦合器封裝體，更包含在該基板上之一包括一MOSFET的晶片。

27. 如申請專利範圍第23項之光耦合器封裝體，其中該等半蝕刻、未蝕刻和完全蝕刻的圖案界定用於該模封材料之固接區域。

28. 如申請專利範圍第23項之光耦合器封裝體，其中該基材的該等未蝕刻區域未覆蓋該模封材料。

29. 一種光耦合器封裝體，其包含：

(a)一預成型導線架基板，其包含一包括半蝕刻區域與未蝕刻區域之導線架及一模封材料，該基板具有一第一表面，該導線架具有多個部分蝕刻、未蝕刻和完全蝕刻的圖案，以界定功能接墊，其中該模封材料在該基板的第一表面處並未覆蓋該等功能接墊，且其中該模封材料覆蓋該等半蝕刻區域並暴露該等未蝕刻區域，該模封材料之一外表面及該等未蝕刻區域形成一平面表面；

(b)安裝在該等未蝕刻區域中的至少一些者上之一光發射器；

(c)安裝在該等未蝕刻區域中的至少一些者上之一光接收器，其中該光發射器和該光接收器會電耦合至該導線架；以及

(d)一透光介質，其設置在該光發射器和光接收器之間且係在該基板上。

30. 如申請專利範圍第29項之光耦合器封裝體，其中該導線架包括電鍍層，以及包含銅。

31. 如申請專利範圍第29項之光耦合器封裝體，其中至少兩個光發射器係在該等未蝕刻區域的至少一些者上，以及至少兩個光接收器被安裝在該等未蝕刻區域之至少一些者上。

5 32. 如申請專利範圍第29項之光耦合器封裝體，進一步包含多個焊料結構物，其被安裝在該基板的周圍上並且環繞該光接收器與該光發射器。

33. 如申請專利範圍第29項之光耦合器封裝體，其中該等半蝕刻、未蝕刻和完全蝕刻的圖案界定用於該模封材料之固接區域。

10 34. 如申請專利範圍第29項之光耦合器封裝體，其中該基材的該等未蝕刻區域未覆蓋該模封材料。

35. 一種電組件，其包含：

一光耦合器封裝體，其包含：

15 一預成型導線基板，其包含一包括蝕刻區域與未蝕刻區域之導線架及一模封材料，該基板具有一第一表面，該導線架具有多個部分蝕刻、未蝕刻和完全蝕刻的圖案，以界定功能接墊，其中該模封材料在該基板的第一表面處並未覆蓋該等功能接墊，且其中該模封材料覆蓋該等蝕刻區域並暴露該等未蝕刻區域，該模封材料之一外表面及該等未蝕刻區域形成一平面表面；

20 安裝在該等未蝕刻區域中的至少一些者上之一光發射器；

安裝在該等未蝕刻區域中的至少一些者上之一光接收器，其中該光發射器和該光接收器會電耦合至該導線

架；及

一透光介質，其設置在該光發射器和光接收器之間

且係在該基板上；以及

一印刷電路板，其中該光發射器和該光接收器係設置在

5 該基板和該印刷電路板之間。

36. 如申請專利範圍第35項之電組件，更包含多個焊料球，其係設置於該基板和該電路板之間，並且將該基板和該電路板電連接。

37. 如申請專利範圍第35項之電組件，其中該等半蝕刻、未蝕刻和完全蝕刻的圖案界定用於該模封材料之固接區域。

38. 如申請專利範圍第35項之電組件，其中該基材的該等未蝕刻區域未覆蓋該模封材料。

39. 一種用以形成光耦合器封裝體的方法，其包含下列步驟：

15 (a)形成包含一導線架及一模封材料之一預成型導線架基板，該基板具有一第一表面，該導線架具有多個部分蝕刻、未蝕刻和完全蝕刻的圖案，以界定功能接墊，其中該模封材料在該基板的第一表面處並未覆蓋該等功能接墊；

(b)將一光發射器與一光接收器附接於該基板上；及

20 (c)將一透光材料沈積於該光發射器與光接收器之間，以形成一光耦合器封裝體，

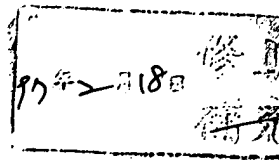
其中該光耦合器封裝體隨後係組配來翻轉並安裝到一電路板，且其中該方法更包含在該基板上形成多個導電結構物之步驟，其中該等導電結構物具有比該光接收器和該光發射器的高度更大之高度，且其中該等導電結構物係為

焊料球。

40. 如申請專利範圍第39項之方法，其中該等半蝕刻、未蝕刻和完全蝕刻的圖案界定用於該模封材料之固接區域。

41. 如申請專利範圍第39項之方法，其中該基材的該等未蝕刻區域未覆蓋該模封材料。

5



七、指定代表圖：

(一)本案指定代表圖為：第 (4) 圖。

(二)本代表圖之元件符號簡單說明：

1…基板

2a…半蝕刻圖案

2b…未蝕刻圖案

2c…全蝕刻圖案

3…模封材料

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：