

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第3600115号
(P3600115)

(45) 発行日 平成16年12月8日(2004. 12. 8)

(24) 登録日 平成16年9月24日(2004. 9. 24)

(51) Int. Cl. ⁷	F I		
H03F 1/02	H03F 1/02		
H03F 3/213	H03F 3/213		
H03F 3/24	H03F 3/24		
H03F 3/68	H03F 3/68	B	
H04B 1/04	H04B 1/04	B	

請求項の数 5 (全 20 頁)

(21) 出願番号	特願2000-103784 (P2000-103784)	(73) 特許権者	000003078
(22) 出願日	平成12年4月5日(2000. 4. 5)		株式会社東芝
(65) 公開番号	特開2001-292033 (P2001-292033A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成13年10月19日(2001. 10. 19)	(74) 代理人	100083806
審査請求日	平成15年2月24日(2003. 2. 24)		弁理士 三好 秀和
		(74) 代理人	100100712
			弁理士 岩▲崎▼ 幸邦
		(74) 代理人	100100929
			弁理士 川又 澄雄
		(74) 代理人	100108707
			弁理士 中村 友之
		(74) 代理人	100095500
			弁理士 伊藤 正和
		(74) 代理人	100101247
			弁理士 高橋 俊一

最終頁に続く

(54) 【発明の名称】 高周波回路及び通信システム

(57) 【特許請求の範囲】

【請求項1】

入出力信号について交流的に並列接続された第1の増幅器セルに並列に直流電源を供給する高出力増幅器セルブロックと、
前記入出力信号について交流的に並列接続された第2の増幅器セルに直列に前記直流電源を供給する低出力増幅器セルブロックと、
前記高出力増幅器セルブロック及び前記低出力増幅器セルブロックの入力側を接続する第1の接続手段と、
前記高出力増幅器セルブロック及び前記低出力増幅器セルブロックの出力側を接続する第2の接続手段と
を備えることを特徴とする高周波回路。

【請求項2】

前記高出力増幅器セルブロックと前記低出力セルブロックのうち何れか一つのみを増幅動作状態とし、他の増幅器セルブロックをハイインピーダンス状態とする制御部を備えることを特徴とする請求項1に記載の高周波回路。

【請求項3】

前記第1の接続手段と前記第2の接続手段は、受動素子のみで構成され、且つ前記高出力増幅器セルブロックが前記ハイインピーダンス状態にある時に、前記低出力増幅器セルブロックに対する整合状態を維持し、前記低出力増幅器セルブロックが前記ハイインピーダンス状態にある時に、前記高出力増幅器セルブロックに対する整合状態を維持することを

特徴とする請求項 2 に記載の高周波回路。

【請求項 4】

入出力信号について交流的に並列接続された第 1 の増幅器セルに並列に直流電源を供給する高出力増幅器セルブロックと、
前記入出力信号について交流的に並列接続された第 2 の増幅器セルに直列に直流電源を供給する低出力増幅器セルブロックと、
前記高出力増幅器セルブロック及び前記低出力増幅器セルブロックの入力側を接続する第 1 の接続手段と、
前記高出力増幅器セルブロック及び前記低出力増幅器セルブロックの出力側を接続する第 2 の接続手段とを有する高周波回路と、
前記高出力増幅器セルブロックと前記低出力セルブロックのうち何れか一つのみを増幅動作状態とし、他の増幅器セルブロックをハイインピーダンス状態とに制御する制御部と、
前記高周波回路から出力された信号を受け取るアンテナとを備えることを特徴とする通信システム。

10

【請求項 5】

前記高周波回路と同様の構成を有し、前記アンテナから出力された信号を受け取る他の高周波回路をさらに備えることを特徴とする請求項 4 に記載の通信システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

20

本発明は、例えば携帯電話等に備えられる、出力電力範囲の広い高効率電力増幅器の高周波回路及びこの高周波回路を備えた通信システムに関する。

【0002】

【従来の技術】

一般的に、電力増幅器において、その電力付加効率は出力電力とともに増加し、出力電力が飽和する近傍で最大値をとるため、低出力時には効率が低下する。図 1 4 (a) は、一般的な増幅器の低出力時における効率と出力電力の関係の一例である。なお、ここでの効率とは R F (高出力) 出力電力を D C (直流) 入力電力で除したものであり、バイポーラトランジスタのコレクタ効率、電界効果トランジスタのドレイン効率のことである。図 1 4 (b) には、同図 (a) の効率の逆数を対数目盛で示した。

30

【0003】

同図に示すように、出力電力が 30 d B m (d B m W、以下 d B m と略す。) 時に 72 % あった効率が、20 d B m 出力時には 21.8 %、10 d B m 出力時には 4.7 %、5 d B m 出力時には 1.5 % にまで劣化する。投入している D C 電力は R F 出力電力に対して 30 d B m 出力時に 1.4 倍、20 d B m 出力時に 4.6 倍、10 d B m 出力時は 21, 2 倍、5 d B m には 67.1 倍にまで増加する。

【0004】

このように低出力時において効率が劣化する要因を、単純理想化したトランジスタモデルを用いて説明する。図 1 5 は、交流電流における電流と電圧との関係を示すグラフである。

40

【0005】

同図に示すように、負荷線は鎖線 K B で表され、出力電圧についてはバイアス電圧を平均値とした正弦波で表され、出力電流については半波整流波 $I_{out}(t)$ で表されると仮定する。なお、この場合において図中点 B は、バイアス点に相当する。

【0006】

図 1 5 の場合は B 級動作である。R F 出力電力は、出力電力の基本波成分 V_{out} の実効値と出力電流の基本波成分 $I_1(t)$ の実効値との積で与えられる。点 R と点 B を対角とする四角形の面積の $1/2$ が R F 出力電力に相当する。

【0007】

D C 入力電力はバイアスと出力電流 $I_{out}(t)$ の平均値の積で与えられるので、図中

50

では点Dと点Bを対角とする四角形（以下、四角形DBと称す。）の面積に相当する。効率は両者の面積比で与えられる。

【0008】

図15(a)に対して(b)は、電流振幅及び電圧振幅が半減しており、RF出力電力は $1/4$ となっている。一方、直流電流はRF電流の平均値であるので、同じ割合で半減するが、直流電圧は点Bで固定であるため、四角形DBの面積は $1/2$ である。この結果、RF出力電力が $1/4$ （-6dB）となる毎に、効率は半減していく。実際にはAB級動作であったり、ニー電圧の影響で効率の劣化の割合は半減以上となる。

【0009】

従来、このような低出力時における効率の劣化を補償する手段として、図16に示す増幅回路がある。 10

【0010】

すなわち、同図(a)に示すように、従来の高周波回路では、最大出力電力の異なる複数の増幅器、AMP1（最大出力-20dBm）、AMP2（最大出力5dBm）、AMP3（最大出力30dBm）を直列に配置するとともに、後段のAMP2及びAMP3にバイパス回路75、76を設け、スイッチ回路S71、S72、S73、S74を切り換えることによって接続形態を選択して適切な電力増幅を行う。

【0011】

ところが、図16(b)に示すゲインダイアグラムからも分かるように、上述した従来の増幅回路では、出力電力が5dBm以上30dBm以下の範囲（図中B）において、AMP 20
P3の最大出力電力が30dBmで、またAMP2の最大出力電力が5dBmであるのに対し、最大で25dB小さな電力を出力する場合が生じるため、効率の劣化を招く。同様に、出力電力-20dBm以上5dBm以下の範囲（図中D）においても、前述したB程ではないが効率の劣化により消費電力の増加がある。

【0012】

また、同図(a)に示すように、各段の利得は通常25dB程度であるため、上記の手法により効率の劣化を大幅に改善することは難しい。これに対して、増幅段数をさらに細かくする方式も考えられるが、この場合には、トランジスタ1段当たりの利得に相当する10dBから15dBステップが実用的な最小単位と考えられる。

【0013】

この場合、格段の入出力インピーダンスを揃える必要があるため、通常であれば前後のトランジスタの共役整合を取ればよいところを、一旦高いインピーダンスにまで変換することにより損失の増加や回路構成の複雑化を招くことがある。 30

【0014】

そこで従来においては、任意の段の増幅器の負荷線を、出力電力に応じて最適化する方法が提案されている。図17は、従来の最適化方法を実現するための回路を模式的に示す回路図である。

【0015】

図17(a)に示す回路は、増幅器の有効なトランジスタサイズを切り替える方法であり、複数の増幅器14a及び14bを並列に接続するとともに、これらトランジスタ14a 40
及び14bの入力側と出力側それぞれに入力スイッチSi1とSi2及び出力スイッチSo1又はSo2を設け、可変整合回路13iから入力された入力信号を、スイッチSi1又はSi2、So1又はSo2で切り換えることによって、信号を適切なゲート長或いはエミッタ面積のトランジスタに入力させて増幅させ、可変整合回路13oに出力する。このとき、可変整合回路13i及び13oにより、それぞれのトランジスタサイズに好適な整合条件に整合させる。

【0016】

このような従来の増幅回路によれば、複数のトランジスタ14a及び14bを適宜切り換えて組み合わせることによって、図17(b)に示すように、低出力電力時に有効なトランジスタの数を減少させて電流を低減して最大値を変化させ、低出力時における効率を最 50

大とすることにより、不要な電力消費を低減させることができる。

【0017】

【発明が解決しようとする課題】

図17(a)に示した回路の場合、トランジスタのサイズを半減させることで最大出力電力が半減し、3 dB程度の小さな電力において効率を最大にできる。しかしながら、図16にならって24 dBの範囲を制御するには $24 \text{ dB} \div 3 \text{ dB} = 8$ となり実に 2^8 の256分割されたトランジスタセルが必要になる。

【0018】

また、図17(a)に示した回路では、負荷線の傾きがBK1からBK2に変化しても整合条件を満足させる必要があるため、整合回路も同時に変化させる必要がある。このような可変整合回路としては、図18(a)に示すような可変インダクタンス11と可変コンデンサ12を組み合わせたもの、同図(b)に示すような分布定数回路14~16をスイッチS1及びS2で接続したもの、同図(c)に示すような複数種の整合回路13a及び13bをスイッチSi11, Si12及びSo11, So12を切り換えるものがあるが、いずれも機構が複雑であり、実装面積の増大を招く原因となる。また、スイッチや可変インダクタンス、可変コンデンサは損失があるため、電力増幅器の整合回路に利用することは、効率劣化を招くため好ましくない。

【0019】

さらに、低出力時における効率の劣化を補償する手段としては、図19(a)に示す増幅回路がある。この増幅回路は、増幅器に供給する電源電圧を出力電力に応じて最適化する方法であり、図19(b)に示すように、可変電圧源9及び10によって、トランジスタ17に印加する電圧Vdcを調整してバイアス点をB2からB1に動かして負荷線をK2B2からK1B1に制御し、出力電力に応じて負荷線上の電力及び電圧の振幅を最大とするものである。この場合には、可変整合回路ではなく固定の整合回路18i及び18oによって入出力の整合を取る。

【0020】

この図19(a)に示した回路では、無段階の出力電力調整が可能となるが、同図(b)に示すように、負荷線(K1B1とK2B2)の傾きが変化しないため可変整合回路は基本的に不要であり、電源電圧を単純に半減する場合は効率最大となるRF出力電力は約6 dB低くなる。

【0021】

ところが、電力増幅器が消費する大電流を供給できる高効率の可変電圧源としては、図19(c)に示すような、抵抗LやコンデンサCを、制御回路によって制御されるスイッチQ1, Q2により適宜接続する、降圧型DC-DCコンバータがあるが、最低出力電圧が内部のレギュレータの基準電圧の関係で約1 V程度であること、低電圧出力時には可変電圧源の効率が劣化することなどの理由で、広い出力電力範囲において高い効率を維持することが難しく、また実装面積が大きいという問題がある。

【0022】

また、例えば、CDMA方式の通信では移動局と基地局の距離に応じて送信出力電力を変化させなければならない。これは、複数の移動局から電波を基地局受信機入力端で揃える必要があるためである。同様に、複数の基地局から到来する電波も移動局の受信機端で揃えることが望ましい。

【0023】

そのため、CDMA方式の通信システムでは、送信電力制御が行われ、送信電力が75 dB程度の範囲(ダイナミックレンジ)で変化する。このため、電力増幅器の電力付加効率が最大出力電力時以外にも高いことが要求される。送信電力の確率密度関数は概ね正規分布をしており、移動端末の平均的な送信電力は基地局の配置等システム的な要素により変化するが10 dBmから16 dBmである。従って0 dBm(低出力時に)から30 dBm(高出力時に)程度の範囲内で常に電力付加効率を高く維持することが必要である。

【0024】

10

20

30

40

50

そこで、本発明は、上記問題点を解決すべくなされたものであり、低出力時にも電力付加効率が劣化し難い広いダイナミックレンジの電力増幅器を、実装面積が少ない簡易な回路で実現すること、及びこのような回路を採用することにより通信システムの小型・軽量化を図ることのできる高周波回路及びこの高周波回路を備えた通信システムを提供することを、その課題とする。

【0025】

【課題を解決するための手段】

上記課題を解決するために、請求項1に係る発明は、入出力信号について交流的に並列接続された第1の増幅器セルに並列に直流電源を供給する高出力増幅器セルブロックと、前記入出力信号について交流的に並列接続された第2の増幅器セルに直列に前記直流電源を供給する低出力増幅器セルブロックと、前記高出力増幅器セルブロック及び前記低出力増幅器セルブロックの入力側を接続する第1の接続手段と、前記高出力増幅器セルブロック及び前記低出力増幅器セルブロックの出力側を接続する第2の接続手段とを備えることを特徴とする高周波回路である。

10

【0026】

請求項2に係る発明は、前記高出力増幅器セルブロックと前記低出力セルブロックのうち何れか一つのみを増幅動作状態とし、他の増幅器セルブロックをハイインピーダンス状態とする制御部を備えることを特徴とする請求項1に記載の高周波回路である。

【0027】

請求項3に係る発明は、前記第1の接続手段と前記第2の接続手段は、受動素子のみで構成され、且つ前記高出力増幅器セルブロックが前記ハイインピーダンス状態にある時に、前記低出力増幅器セルブロックに対する整合状態を維持し、前記低出力増幅器セルブロックが前記ハイインピーダンス状態にある時に、前記高出力増幅器セルブロックに対する整合状態を維持することを特徴とする請求項2に記載の高周波回路である。

20

【0028】

請求項4に係る発明は、入出力信号について交流的に並列接続された第1の増幅器セルに並列に直流電源を供給する高出力増幅器セルブロックと、前記入出力信号について交流的に並列接続された第2の増幅器セルに直列に直流電源を供給する低出力増幅器セルブロックと、前記高出力増幅器セルブロック及び前記低出力増幅器セルブロックの入力側を接続する第1の接続手段と、前記高出力増幅器セルブロック及び前記低出力増幅器セルブロックの出力側を接続する第2の接続手段とを有する高周波回路と、前記高出力増幅器セルブロックと前記低出力セルブロックのうち何れか一つのみを増幅動作状態とし、他の増幅器セルブロックをハイインピーダンス状態とに制御する制御部と、前記高周波回路から出力された信号を受け取るアンテナとを備えることを特徴とする通信システムである。

30

【0029】

請求項5に係る発明は、前記高周波回路と同様の構成を有し、前記アンテナから出力された信号を受け取る他の高周波回路をさらに備えることを特徴とする請求項4に記載の通信システムである。

【0030】

このような本発明によれば、高出力時には高出力増幅器セルブロックが駆動し、低出力時には低出力増幅器セルブロックが駆動するため、低出力時に最大効率となる低出力増幅器セルブロックが動作し、高出力の増幅器セルブロックが駆動することによる無駄な電力消費を低減することができる。また、高出力増幅器セルブロックでは、増幅器セルが交流的に並列に接続されているため、各増幅器セルにはほぼ等しい位相で且つ入力電圧とほぼ同位の電圧が印加されるため、各増幅器セル間における位相のズレが生じることなく高出力の増幅を実現することができる。一方、低出力増幅器セルブロックでは、増幅器セルブロックが交流的に直列に接続されているため、各増幅器セルにはほぼ等しい位相で且つ分配された低電圧が印加されるため、各増幅器セル間における位相のズレを生じることなく、低出力の増幅を実現することができる。

40

【0031】

50

さらに、本発明では、出力電力に応じて、増幅器セルブロックのうち何れか一つのみが増幅動作状態を取り、他の増幅器セルブロックはハイインピーダンス状態となるため、動作していないセルブロックは接続手段においてハイインピーダンスなオープン容量とみなせることとなり、動作状態にあるセルブロックには影響を与えない。

【0032】

特に、増幅器セルの電源電圧に対する直列段数を増すことで、最大効率となる出力電力を一段当たり約6 dB下げることが可能である。信号経路を切り替えるスイッチ、可変整合回路、DC-DCコンバータ等の可変電源が不要なので小型になる。

【0033】

なお、本発明において「交流的に並列接続された増幅器セル」とは、対象となるほぼ同一サイズの増幅器セルに対してほぼ同相、ほぼ等振幅で接続することを意味する。厳密には分布定数回路の立場からは、同相、等振幅での接続は難しいため、例えば、複数のセルブロックの入力側での電力の分配及び出力側での電力の合成の効率がそれぞれ50%以上であることを「交流的に並列接続された増幅器セル」と表現する。この分配及び合成の効率とは、N分岐の場合、分配及び合成回路の共通端子Tが、各分岐ポートNへの通過のSパラメータをベクトル S_{NT} とした場合、

$$(|S_{1T} + S_{2T} + S_{3T} + \dots S_{nT}|) / (|S_{1T}| + |S_{2T}| + |S_{3T}| + \dots |S_{nT}|)$$

で与えられる。

【0034】

また、本発明において「並列に直流電源を供給する」とは、各セルにほぼ同電位の電圧を与えることを意味する。厳密には回路損失による電圧降下で正確に同電位を与えることは難しいため、例えば、複数のセルブロックに対して、或いはそれぞれの内部のさらに細分化されたセルに対して、±20%以内の誤差で電圧を与えることを「並列に直流電源を供給する」という表現を用いる。

【0035】

さらに、本発明において、「直列に電流電源を供給する」とは、例えば「交流的に並列接続された増幅器セル」であるQ1、Q2において、直流電流がQ1のトランジスタセルのコレクタからQ1のエミッタを経てQ2のコレクタに入りQ2で接地される等して、Q1のコレクタに与えられた電圧がこれら複数のトランジスタセルに分割して与えられることを意味する。この例では、バイポーラトランジスタのエミッタ接地の場合について説明したが、電界効果トランジスタや、異なる接地形態においても、複数のトランジスタに分割して電圧を与えることを意味する。

【0036】

【発明の実施の形態】

〔第1実施形態〕

（全体構成）

以下に、本発明に係る高周波回路の第1実施形態について図面を参照しつつ説明する。図1は本発明の高周波回路を適用して構成された電力増幅器を模式的に示すブロック図である。

【0037】

同図に示すように、本実施形態に係る電力増幅器は、入力整合回路3iと、この入力整合回路3iからの信号を分岐させる接続手段2iと、高出力増幅器セルブロック1aと、低出力増幅器セルブロック1bと、これら高出力増幅器セルブロック1a及び低出力増幅器セルブロック1bから信号が入力される接続手段2oと、出力整合回路3oとを備えている。

【0038】

高出力増幅器セルブロック1aは、入出力信号について交流的に並列接続された増幅器セルを有しており、これらの増幅器セルに並列に直流電源を供給するものである。一方、低出力増幅器セルブロック1bは、入出力信号について交流的に並列接続された増幅器セル

10

20

30

40

50

を有しており、これらの増幅器セルに直列に直流電源を供給するものである。

【0039】

上記各増幅器セルブロック1a及び1bは、信号入力端子INa或いはINb、信号出力端子OUTa或いはOUTb、電源電圧端子Vdca或いはVdcb、制御電圧端子Vcnta或いはVcntbを有する。また、接続手段2i、2oは、本実施形態においては、受動素子、例えばコイル、コンデンサで構成されるとともに、図2に示すように、例えば伝送路からなる分岐回路を形成している。

【0040】

(増幅器セルブロックの構成)

上述した高出力増幅器セルブロック1a及び低出力増幅器セルブロック1bの構成について詳述する。図3(a)及び(b)は、高出力増幅器セルブロック1a及び低出力増幅器セルブロック1bの内部構成を示す回路図である。なお、本実施形態における増幅器セル4a、4b、4c、4dは、同じサイズのトランジスタからなる。

【0041】

図3(a)に示すように、本実施形態に係る高出力増幅器セルブロック1aは、2つの増幅器セル4a及び4bを有しており、これら増幅器セル4a、4bは、入出力信号について並列に接続されているとともに、直流電源電圧Vdcaについても並列に接続されている。また、制御電圧Vcntも増幅器セル4a、4bに並列に与えられる。

【0042】

図3(b)に示すように、本実施形態に係る低出力増幅器セルブロック1bは、2つの増幅器セル4c及び4dを有しており、これら増幅器セル4c、4dは、入出力信号について並列接続されているとともに、直流電源電圧Vdcについては直列に接続されている。また、制御電圧Vcntは増幅器セル4c、4dに並列に与えられる。

【0043】

低出力増幅器セルブロック1bにおいて増幅器セル4c及び4dは、例えばバイアスTのような交流直流分割手段5で接続されており、この交流直流分割手段5によって、増幅器セル4cの交流の接地を実現し、直流は増幅器セル4dの直流電源端子に加えられる。この結果、増幅器セル4c、4dに加わる直流電源電圧は分配されて1/2ずつになる。

【0044】

そして、本実施形態においては、高出力増幅器セルブロック1aの増幅器セル4a、4bと、低出力セルブロック1bの増幅器セル4c、4dとの数が同じであるため、入出力インピーダンスは理想的には等しくなる。従って、共通の入出力整合回路3i及び3oを使うことで負荷線の傾きを同じにすることができる。この場合、高出力増幅器セルブロック1aと、低出力増幅器セルブロック1bとでは電源電圧が1/2で、負荷線が同じであるから最大電流も1/2になり、最大出力電力を1/4(-6dB)にすることができる。

【0045】

本実施形態では、図19(b)でバイアス電圧B1がバイアス電圧B2の1/2になった状態と等しい。例えば、最大出力電力30dBmの電力増幅器を構成する場合、高出力電力増幅器の最大出力電力を30dBmに設定すると、低出力電力増幅器の最大出力電力は電源電圧1/2により24dBm程度となる。

【0046】

出力電力が24dBm以上では、高出力増幅器セルブロック1aを動作させて、低出力増幅器1bは非動作状態とする。図14で説明しているように、最大出力電力30dBmより出力電力が低下するのに伴い効率は低下する。

【0047】

出力電力が低出力増幅器セルブロックの最大出力電力である約24dBmでは、効率が35.4%にまで低下しているが、高出力増幅器セルブロック1bを非動作状態として低出力増幅器ブロック1bを動作状態とすることで再び効率が72%に回復し、さらなる出力電力の低下に伴い効率はほぼ35%まで低下していく。増幅器セルブロックを複数も受けることにより、さらに低出力時でも再び効率をほぼ72%まで回復させることができるの

10

20

30

40

50

で、図 1 4 (a) の特性は約 6 d B 間隔の鋸歯状になる。

【 0 0 4 8 】

図 4 は、図 3 に示した増幅器セルブロックの等価回路図である。図 4 (a) は高出力増幅器セルブロック 1 a、図 4 (b) は低出力増幅器セルブロック 1 b を表している。同図において、C 1、C 2 は直流阻止容量、L 1、L 2 は R F チョーク、R 1 は安定化抵抗、Q 1、Q 2 はバイポーラトランジスタである。なお、Q 1、Q 2 が電界効果トランジスタであっても本発明の効果は得られる。

【 0 0 4 9 】

図 4 (b) 中の C 3 は Q 1 と Q 2 のコレクタを直流的に分割するための直流阻止容量である。また、この実施形態では交流直流分割手段 5 として、C 4、L 4 からなるフィルタを用いている。すなわち、C 4 により Q 1 の信号周波数における交流的な接地を実現している。

10

【 0 0 5 0 】

なお、本実施形態において「交流的に並列接続された増幅器セル」とは、対象となるほぼ同一サイズの増幅器セルに対してほぼ同相、ほぼ等振幅で接続することを意味する。厳密には分布定数回路の立場からは、同相、等振幅での接続は難しいため、例えば、図 3 におけるセルブロック 4 a と 4 b、4 c と 4 d、図 4 の Q 1 と Q 2 に対して或いは、それぞれの内部のさらに細分化されたセルに対して、入力側での電力の分配及び出力側での電力の合成の効率がそれぞれ 5 0 % 以上であることを「交流的に並列接続された増幅器セル」と表現する。この分配及び合成の効率とは、N 分岐の場合、分配及び合成回路の共通端子 T が、各分岐ポート N への通過の S パラメータをベクトル $S_{N\ T}$ とした場合、

20

$$\left(| S_{1\ T} + S_{2\ T} + S_{3\ T} + \cdots S_{n\ T} | \right) / \left(| S_{1\ T} | + | S_{2\ T} | + | S_{3\ T} | + \cdots | S_{n\ T} | \right)$$

で与えられる。

【 0 0 5 1 】

また、本実施形態において「並列に直流電源を供給する」とは、各セルにほぼ同電位の電圧を与えることを意味する。厳密には回路損失による電圧降下で正確に同電位を与えることは難しいため、例えば、図 3 におけるセルブロック 4 a ~ 4 c に対して、或いはそれぞれの内部のさらに細分化されたセルに対して、 $\pm 2 0 \%$ 以内の誤差で電圧を与えることを「並列に直流電源を供給する」という表現を用いる。

30

【 0 0 5 2 】

さらに、本実施形態において、「直列に電流電源を供給する」とは、例えば図 4 (b) に示すように、「交流的に並列接続された増幅器セル」である Q 1、Q 2 において、直流電流が Q 1 のトランジスタセルのコレクタから Q 1 のエミッタを経て Q 2 のコレクタに入り Q 2 で接地される等して、Q 1 のコレクタに与えられた電圧がこれら複数のトランジスタセルに分割して与えられることを意味する。この例では、バイポーラトランジスタのエミッタ接地の場合について説明したが、電界効果トランジスタや、異なる接地形態においても、複数のトランジスタに分割して電圧を与えることを意味する。

【 0 0 5 3 】

(動作及び作用)

40

そして、上述した構成を有する本実施形態に係る電力増幅器は、以下のように動作する。

【 0 0 5 4 】

まず、入力端子 I N より入力された信号は、入力整合回路 3 i と接続手段 2 i を経て高出力増幅器セルブロック 1 a および低出力セルブロック 1 b に入力される。高出力増幅器セルブロック 1 a および低出力増幅器セルブロック 1 b の出力信号は接続手段 2 o と出力整合回路 3 o を経て端子 O U T から出力される。

【 0 0 5 5 】

このとき、本実施形態に係る高周波回路では、出力すべき電力に応じて増幅器セルブロック 1 a 又は 1 b が選択され、V c n t 電圧により増幅動作状態とハイインピーダンスの非動作状態に切り替えられる。増幅動作状態を取るのは常に 1 つの増幅器セルブロックのみ

50

である。例えば、図2に示しているように、高出力増幅器セルブロック1aが増幅動作状態にあり、低出力増幅器セルブロック1bがハイインピーダンス状態となる。

【0056】

ハイインピーダンス状態にある低出力増幅器セルブロック1bの入力および出力インピーダンスは容量の C_i 、 C_o で表すことができる。オープン容量に並列に入る抵抗成分は高出力セルブロック1aの出力インピーダンスに対して十分に大きく損失にはならないためここでは無視した。高出力増幅器セルブロック1aの出力ノード6aから見た負荷インピーダンスは、分岐点ノード6cの先に出力整合回路3oとオープン容量 C_o 付きスタブの並列接続となる。但し、オープン容量 C_o 付きスタブのインピーダンスが短絡条件を満たさないように6a、6c間および6b、6c間のノード間距離を選ぶ必要がある。動作しないトランジスタをハイインピーダンス状態にすることで、スイッチを使わずに増幅器セルブロックを選択できる。

10

【0057】

[第2実施形態]

次いで、本発明の第2実施形態について説明する。上述した第1実施形態では、図1乃至図4に示したように、増幅器セルブロックが2つの場合について説明したが、本発明は、これに限定されるものではない。例えば、上述した第1実施形態では2段であった低出力増幅器セルブロックの直流電源に対する直列段数を、4段、8段と増すことができる。図5に3つのセルブロックを用いて、12dB以上のダイナミックレンジが得られる例を示す。

20

【0058】

同図に示すように、本実施形態に係る電力増幅器は、入力整合回路3iと、この入力整合回路3iからの信号を分岐させる接続手段2i'と、高出力増幅器セルブロック1cと、中出力増幅器セルブロック1dと、低出力増幅器セルブロック1eと、これら高出力増幅器セルブロック1c乃至低出力増幅器セルブロック1eから信号が入力される接続手段2o'と、出力整合回路3oとを備えている。

【0059】

詳述すると、図6(a)に示すように、本実施形態に係る高出力増幅器セルブロック1cは、4つの増幅器セル4e~4hを有しており、これら増幅器セル4e~4hは、入出力信号について並列に接続されているとともに、直流電源電圧 $V_{d c c}$ についても並列に接続されている。また、制御電圧 $V_{c n t c}$ も増幅器セル4e~4hに並列に与えられる。

30

【0060】

また、図6(b)に示すように、本実施形態に係る中出力増幅器セルブロック1bは、4つの増幅器セル4i及び4lを有しており、これら増幅器セル4i~4lは、入出力信号について並列接続されている。また、直流電源電圧 $V_{d c d}$ については増幅器セル4iと4j、及び増幅器セル4kと4lが2つ一組になって直列に接続され、各組の1段目の増幅器セル4iと4kは並列に接続されている。また、制御電圧 $V_{c n t d}$ は増幅器セル4i~4lに並列に与えられる。

【0061】

この中出力増幅器セルブロック1dにおける増幅器セル4iと4j、4kと4lは、例えばバイアスTのような交流直流分割手段5で接続されており、この交流直流分割手段5によって、増幅器セル4i、4kについての交流の接地を実現し、直流は各2段目の増幅器セル4j又は4lの直流電源端子に加えられる。この結果、各増幅器セル4i~4lに加わる直流電源電圧は分配されて1/2ずつになる。

40

【0062】

さらに、図6(c)に示すように、本実施形態に係る低出力増幅器セルブロック1eは、4つの増幅器セル4m~4pを有しており、これら増幅器セル4m~4pは入出力信号について並列接続されているとともに、直流電源電圧 $V_{d c e}$ については直列に接続されている。また、制御電圧 $V_{c n t e}$ は増幅器セル4m~4pに並列に与えられる。

【0063】

50

この低出力増幅器セルブロック 1 e における増幅器セル 4 m ~ 4 p は、例えばバイアス T のような交流直流分割手段 5 を介して直列に接続されており、この交流直流分割手段 5 によって、増幅器セル 4 m ~ 4 o についての交流の接地を実現し、直流は各増幅器セル 4 n ~ 4 p の直流電源端子に加えられる。この結果、増幅器セル 4 m ~ 4 p に加わる直流電源電圧は分配されて $1/4$ ずつになる。

【0064】

このような本実施形態に係る電力増幅器によれば、3つの増幅器セルブロック 1 c ~ 1 e を接続することによって上述した第 1 実施形態の場合に比べてダイナミックレンジを広くとることができる。なお、増幅器セルブロックの直電源に対する直列段数をさらに多段とすることにより、容易にダイナミックレンジを広げることができる。例えば、4つの増幅器セルブロックを用いて各セルブロックを 8 分割された増幅器セルで構成し、最大で 8 段 ($1/8$) の直流電流の分割を行えば、18 dB 以上のダイナミックレンジが与えられる。

10

【0065】

[第 3 実施形態]

次いで、本発明の第 3 の実施形態について説明する。上述した第 1 実施形態では、図 4 に示したように、直流電源電圧 V_{dc} は L 2 を介して導入しており、直流阻止容量 C 2 により出力端子へ直流が流れるのを防いでいる。本実施形態では、図 7 に示すように、第 2 の接続手段 2 o として直流を流せる回路用いることにより、直流電源電圧 V_{dc} をノード 6 c 側から与える。

20

【0066】

詳述すると、本実施形態に係る高出力用増幅器セルブロック 1 a' は、第 1 の接続手段 2 i から入力される信号を、直流阻止容量 C 1 H を介して、バイポーラトランジスタ Q 1 H, Q 2 H に並列に入力させる構造とするとともに、制御電圧 V_{cnt1} を、安定化抵抗 R 1 H 及び RF チョーク L 1 H を介してバイポーラトランジスタ Q 1 H, Q 2 H に並列に入力させる。 V_{dc} は、L 2 を介して第 2 の接続手段 2 o 側からバイポーラトランジスタ Q 1 H, Q 2 H に並列に入力させる。

【0067】

一方、低出力増幅器セルブロック 1 b' は、第 1 の接続手段 2 i から入力される信号を、直流阻止容量 C 1 L を介して、バイポーラトランジスタ Q 1 L, Q 2 L に並列に入力させる構造とするとともに、制御電圧 V_{cnt2} を、安定化抵抗 R 1 L 及び RF チョーク L 1 L を介してバイポーラトランジスタ Q 1 L, Q 2 L に並列に入力させる。

30

【0068】

この低出力増幅器セルブロック 1 b' は、 V_{dc} は、L 2 を介して第 2 の接続手段 2 o 側からバイポーラトランジスタ Q 1 H, Q 2 H に交流的に直列に入力させる。すなわち、直流阻止容量 C 3 及び RF チョーク L により、直流のみがバイポーラトランジスタ Q 1 H から Q 2 H に流れるようにする。また、デカップリング容量 C 3 により交流の接地を実現している。

【0069】

そして、図 7 に示すように、図 4 (a) に示した高出力セルブロック 1 a 及び図 4 (b) に示した低出力セルブロック 1 b から C 2 と L 2 を取り除き、第 2 の接続手段 2 o のノード 6 c より、L 2 を介して共通の電源端子 V_{dc} で直電源を与えている。なお、C 2 は整合回路 3 o への直流カットである。

40

【0070】

このような第 3 実施形態によれば、直流電源電圧 V_{dc} は、ノード 6 c 側から供給されるため、上述した第 1 実施形態における L 2, C 2 (図 4 参照) は不要にすることができ、回路面積の縮小化を図ることができる。

【0071】

なお、この実施形態の変更例としては、L 2, C 2 を図 7 に示した位置には置かずに、例えば出力整合回路 3 o 内のオープンスタブから直流電源圧を供給するようにすることもで

50

きる。

【0072】

[第4実施形態]

次いで、本発明の第4実施形態について説明する。上述した第1実施形態乃至第3実施形態で説明した電力増幅器において、増幅器セルブロックが増えた場合、制御信号Vcntの本数が増える問題が生じるが、以下のような手段により解決することができる。

【0073】

上述した第3実施形態と同様の手法により、Vcnt1、Vcnt2の2つの制御線を共通化して第1の接続手段側から供給することも可能である。図8にその一例を示す。

【0074】

詳述すると、同図に示すように、本実施形態に係る高出力増幅器セルブロック1a”は、第1の接続手段2iから入力される信号を、直流阻止容量C5Hを介して、バイポーラトランジスタQ1H、Q2Hに並列に入力させる構造とするとともに、制御電圧Vcntも第1の接続手段2i側からバイアス回路BCHに入力する。このバイアス回路BCHは制御電圧Vcntに応じて制御信号Vcnt1を発生させるものであり、このバイアス回路BCHで発生されたVcnt1は、バイポーラトランジスタQ1H、Q2Hに並列に入力される。なお、Vdcは、上移した第3実施形態と同様の構成により、第2の接続手段2o側からバイポーラトランジスタQ1H、Q2Hに並列に入力させる。

【0075】

一方、低出力増幅器セルブロック1b”は、第1の接続手段2iから入力される信号を、直流阻止容量C1Lを介して、バイポーラトランジスタQ1L、Q2Lに並列に入力させる構造とするとともに、制御電圧Vcnt2も第1の接続手段2i側からバイアス回路BCLに入力する。このバイアス回路BCLは制御電圧Vcntに応じて制御信号Vcnt2を発生させるものであり、このバイアス回路BCLで発生されたVcnt2は、バイポーラトランジスタQ1L、Q2Lに並列に入力される。

【0076】

この低出力増幅器セルブロック1b”においてVdcは、第2の接続手段2o側からバイポーラトランジスタQ1H、Q2Hに交流的に直列に入力される。すなわち、直流阻止容量C3及びRFチョークLにより、直流のみがバイポーラトランジスタQ1HからQ2Hに流れるようにする。また、デカップリング容量C3により交流の接地を実現している。

【0077】

そして、このような本実施形態に係る電力増幅器では、バイアス回路BCH及びBCLにより、共通化された制御電圧Vcntの電圧に応じてVcnt1及びVcnt2が発生される。BCH及びBCLにて発生された制御電圧Vcnt1及びVcnt2は、高周波チョークインダクタL6H及びL6Lを介してトランジスタQ1H及びQ2H、Q1L、Q2Lに供給される。

【0078】

本実施形態に係る電力増幅器によれば、制御信号Vcntを各増幅器セルブロックについて共通のものとすることによって、増幅器セルブロックの数が増幅した場合であっても、制御信号用の配線量を低減することができ、回路の縮小化を図ることができる。

【0079】

なお、複数本の制御信号Vcntを2進数化或いは多進数化して制御線の本数を削減し、各増幅器セルブロックのバイアス回路にてデコードして制御信号を各々生成することもできる。

【0080】

[第5実施形態]

次いで、本発明の第5実施形態について説明する。図9乃至図11は、第5実施形態に係る電力増幅器を示す説明図である。

【0081】

上述した第1実施形態乃至第4実施形態で説明した電力増幅器において、増幅器セルブ

10

20

30

40

50

ックは、図9（a）に示すように、個別の半導体チップに搭載することができる。すなわち、高出力増幅器セルブロック1a及び低出力増幅器セルブロック1bをそれぞれ独立した半導体チップで形成し、基板GND上に搭載する。この場合、第1及び第2の接続手段2i、2oとは、ボンディングワイヤで接続し、制御電圧Vcnt1及びVcnt2も基板GND外部からボンディングワイヤで導入する。

【0082】

また、同図（b）に示すように、複数の増幅器セルブロックを同一の半導体チップ上に搭載するようにしてもよい。すなわち、高出力増幅器セルブロック1a及び低出力増幅器セルブロック1bを同一の半導体チップで形成し、基板GND上に搭載する。この場合においても、第1及び第2の接続手段2i、2oとは、ボンディングワイヤで接続し、制御電圧Vcnt1及びVcnt2も基板GND外部からボンディングワイヤで導入する。同一のチップに搭載する場合には、接地電極を広くとれるので、接地インダクタンスを低減することができる。

10

【0083】

さらに、複数の増幅器セルブロックを同一の半導体チップ上に搭載した場合には、同図（c）に示すように、接続手段2i及び2oのT分岐の一部をチップ上に組み込むようにすることもできる。

【0084】

また、異なる増幅器セルブロックの増幅器セル同士をインターリーブに配置することができる。すなわち、図10（a）に示すように、チップ上に高出力増幅器セルブロック1aと、低出力増幅器セルブロック1bとを千鳥状に配置したり、同図（b）に示すように、高出力増幅器セルブロック1aと、低出力増幅器セルブロック1bとを交互に配列してもよい。

20

【0085】

本発明においては、高出力増幅器セルブロック1aと低出力増幅器セルブロック1bとは、常にいずれか一方のみが動作するため、発熱するセルブロックが分散配置されることとなり、異なる出力の増幅器セルブロック同士であれば近接して配置しても発熱源が密集することがないことから、発熱対策、接地インダクタンス対策のために素子を間引く必要がなく、チップ面積の増加を最小限に留めることができる。

【0086】

なお、上述した同一チップ上への配置は、図10（a）や図11（a）及び（b）に示すように、チップの形状に応じて複数列に配置してもよい。

30

【0087】

〔第6実施形態〕

次いで、本発明の第6実施形態について説明する。図12は、本実施形態に係る電力増幅器の説明図である。

【0088】

上述した第1～第5実施形態においては、各増幅器セルブロックのトランジスタサイズを揃え、インピーダンスを同じにして、さらに入出力の接続手段において対称系を取り扱ってきた。これは、本発明の動作原理が図19（b）に示すように、バイアス電圧により負荷線を平行移動させようとするものだからである。

40

【0089】

しかし、実際には、負荷線は直線ではなく、またニー電圧の影響により、必ずしもソースとロードのインピーダンスを固定した負荷線の平行移動が最適とは限らない。このような場合に、増幅器セルブロック毎にソース及びロードのインピーダンスを微調整する必要がある。例を幾つか示す。

【0090】

第1が、図12（a）に示すように、入出力の接続手段2i及び2oを、上下（高出力増幅器セルブロック1aと低出力増幅器セルブロック1bとについて）非対称にする方法である。パターンの太さや長さを変えたり、ボンディングワイヤ長や本数、間隔などを変更

50

したり、チップ部品を装荷することで、インピーダンスの微調整を行うことができる。

【0091】

第2は、増幅器セルブロック毎にトランジスタサイズを変更する方法である。例えば、図12(b)に示すように、高出力増幅器セルブロック1aの数を低出力増幅器セルブロック1bの数より多くすることにより、高出力増幅器セルブロックのトランジスタサイズを低出力増幅器セルブロックより大きくし、インピーダンスの調整を実現する。

【0092】

第3が、チップ上におけるセル配置位置により整合回路までの距離を変化させて、インピーダンスを調整するものである。例えば、図12(c)や図11(b)に示すように、高出力増幅器セルブロック1aを第1の接続手段2i側に偏らせて配置し、低出力増幅器セルブロック1bを第2の接続手段2o側に偏らせて配置する。

10

【0093】

[第7実施形態]

次いで、本発明の第7実施形態について説明する。本発明の電力増幅器は、無線システムの送受信増幅器に適用できる。

【0094】

即ち、同図(a)に示すように、本実施形態に係る無線システムは、電波信号を送受信するアンテナ101及び102と、これらアンテナ101や102を切り換え接続するアンテナ共用器／切り換え器103と、上述した各実施形態における増幅回路を内蔵した送信用増幅器104及び受信用増幅器105と、これらの送受信増幅器104及び105に

20

対して変調又は復調された信号を入出力する変調器106及び復調器108と、送受周波数を生成し、またベースバンド信号処理部109との同期処理を行うシンセ部(シンセサイザ)107とを有する無線部100を備えている。

【0095】

また、本実施形態に係る無線システムは、無線部100から入出力される信号を変換処理するベースバンド信号処理部109と、このベースバンド信号処理部109に対して外部からの信号を入出力する入出力部110を有しており、これら無線部100、ベースバンド信号処理部109、及び入出力部110は、電源112から供給される電源電圧により駆動するとともに、制御部111によりその動作が制御される。なお、入出力部110は、外部からの音声や入力操作を受けるインターフェースとしてマイク110a、キー110dを有しており、また外部への出力インターフェースとしてスピーカ110bや表示部110c、パイプ110eを有している。

30

【0096】

そして、このような無線システムによれば、マイク110aやキー操作110d等の入出力部110により入力された音声や操作信号は、制御部111の制御によりベースバンド信号処理部109で信号処理され、変調器106を介して送信用増幅器104に輸入される。この送信用増幅器104では、上述した各実施形態に係る増幅処理によって増幅され、アンテナ共用器／切り替え器103を介して、アンテナ101や102より送信される。

【0097】

40

なお、アンテナ101や102で受信された電波は、制御部111の制御によりアンテナ共用器／切り替え器103を介して受信用増幅器105により増幅され、復調器108、ベースバンド信号処理部109により制御信号に変換され、入出力部110のスピーカ110bや表示部110c、パイプ110eの動作を制御する。この場合の受信用増幅器105においても上述した各実施形態に係る電力増幅器を採用してもよい。

【0098】

また、本発明は図13(b)に示すような、移動体通信システムの基地局についても採用することができる。

【0099】

即ち、同図(b)に示すように、本実施形態に係る移動体通信システムは、電波信号を送

50

受信するアンテナ201及び202と、これらアンテナ201や202を切り換え接続するアンテナ共用器／切り換え器203と、上述した各実施形態における増幅回路を内蔵した送信用増幅器204及び受信用増幅器205と、これらの送受信増幅器204及び205に対して変調又は復調された信号を入出力する変復調器206とを有する無線部200を1以上備えている。

【0100】

また、本実施形態に係る移動体通信システムは、無線部200から入出力される信号を処理するベースバンド信号処理部207と、このベースバンド信号処理部207に対して外部からの信号を入出力する伝送路接続部208を有しており、これら無線部200、ベースバンド信号処理部207、及び伝送路接続部208は、電源210から供給される電源電圧により駆動するとともに、制御部209によりその動作が制御される。

10

【0101】

そして、このような移動体通信システムでは、外部から入力された信号は、伝送路接続部208を通じてベースバンド信号処理部207に入力され、このベースバンド信号処理部207において信号処理され、変調器206を介して送信用増幅器204に入力される。この送信用増幅器204では、上述した各実施形態に係る増幅処理によって増幅され、アンテナ共用器／切り替え器203を介して、アンテナ201や202より送信される。

【0102】

なお、アンテナ201や202で受信された電波は、アンテナ共用器／切り替え器203を介して受信用増幅器205により増幅され、変復調器206、ベースバンド信号処理部207により制御信号に変換され、伝送路接続部208を通じて外部に出力される。

20

【0103】

このように本発明の電力増幅器は、特に出力電力範囲の広い電力増幅器を必要とするシステムに好適である。例えば、上述したような移動局との通信や、或いは固定局同士であっても電波伝播の環境が変化しやすい場合に有効である。また、携帯電話などの移動体通信システム、とりわけ広いダイナミックレンジを必要とするCDMA方式によるシステムでは有効である。

【0104】

【発明の効果】

本発明によれば、本発明によれば、広い出力電力範囲にわたって高効率動作が可能な電力増幅器を、スイッチ、可変整合回路、DC-DCコンバータ等の可変電圧源を用いずに実現することができる。本発明に必要な回路はMMICに搭載可能であるため、消費電力にシビアな携帯電話用の電力増幅器などに応用することができる。この結果、電話機の連続通話時間を2倍以上に延長する効果が期待できる。

30

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る電力増幅器の結線を説明するブロック図である。

【図2】本発明の第1実施形態の動作状態を説明するブロック図である。

【図3】本発明の第1実施形態に係る高出力増幅器セルブロック及び低出力増幅器セルブロックを示すブロック図である。

【図4】本発明の第1実施形態に係る増幅器セルブロックの等価回路図である。

40

【図5】本発明の第2実施形態に係る電力増幅器のブロック図である。

【図6】本発明の第2実施形態に係る高出力増幅器セルブロック、中出力増幅器セルブロック、及び低出力増幅器セルブロックを示すブロック図である。

【図7】本発明の第3実施形態に係る電力増幅器の等価回路図である。

【図8】本発明の第4実施形態に係る電力増幅器の等価回路図である。

【図9】本発明の第5実施形態に係る電力増幅器のレイアウト図である。

【図10】本発明の第5実施形態に係る電力増幅器のレイアウト図である。

【図11】本発明の第5実施形態に係る電力増幅器のレイアウト図である。

【図12】本発明の第6実施形態に係る電力増幅器のレイアウト図である。

【図13】本発明の第7実施形態に係る通信システムのブロック図である。

50

【図 1 4】電力増幅器の R F 出力電力と効率の関係を説明するグラフである。

【図 1 5】電力増幅器の低出力時における効率の低下を説明する原理図である。

【図 16】従来の増幅回路の説明図である。

【図 17】従来の増幅回路の説明図である。

【図 18】従来の増幅回路の説明図である。

【図 19】従来の増幅回路の説明図である。

【符号の説明】

1 a ~ 1 e 増幅器セルブロック

2 i , 2 i ' , 2 i " 第 1 の接続手段

20, 20', 20'' 第2の接続手段

3 i 入力整合回路

30 出力整合回路

4 a ~ 4 l 増幅器セル

5 交流直流分離手段

6 a, 6 b, 6 c 第2の接続手段の中のノード

1 0 1, 1 0 2, 2 0 1, 2 0 2 アンテナ

1 0 0, 2 0 0 通信部

1 0 4, 2 0 4 送信用增幅器

1 0 5, 2 0 5 受信用增幅器

1 1 0 入出力部

1 1 1, 2 0 9 制御部

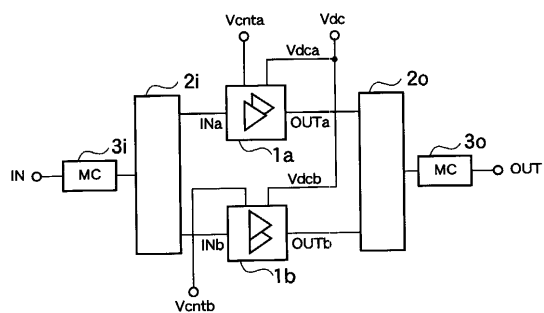
207 ベースバンド信号処理部

208 伝送路接続部

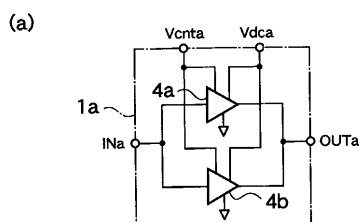
10

20

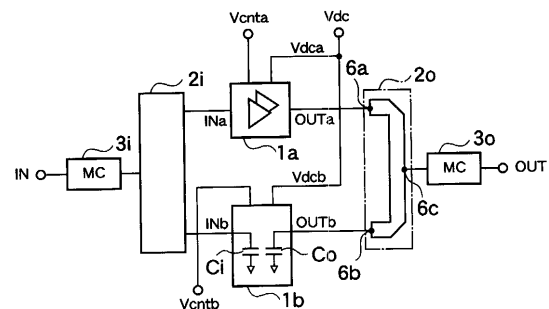
【图 1】



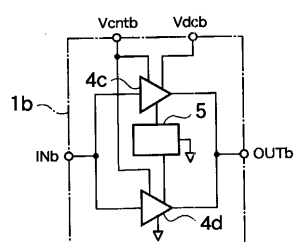
【图 3】



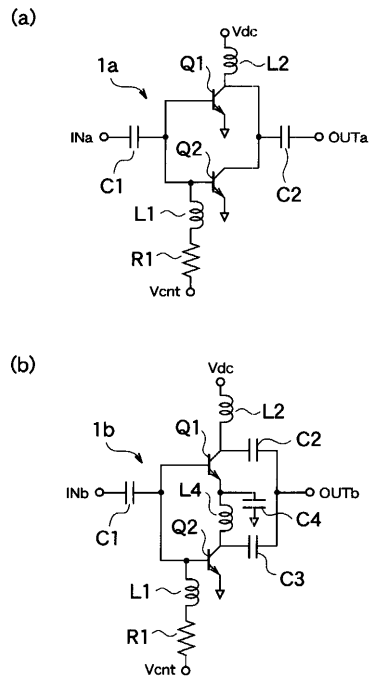
【図 2】



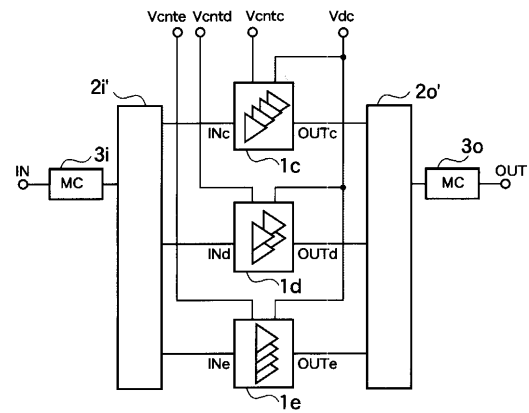
(b)



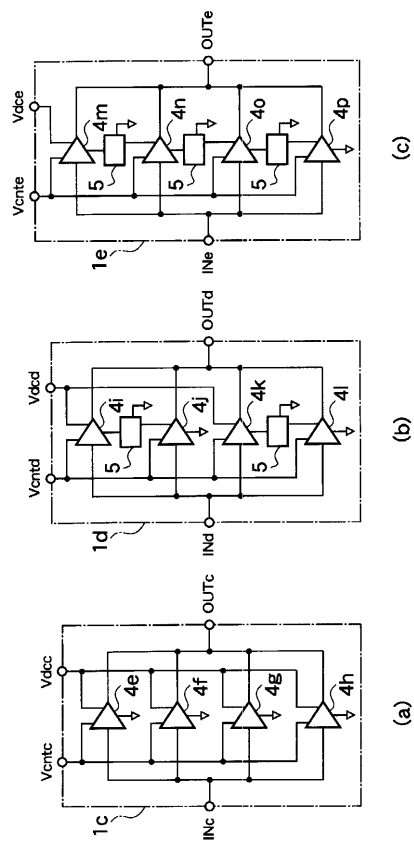
【図 4】



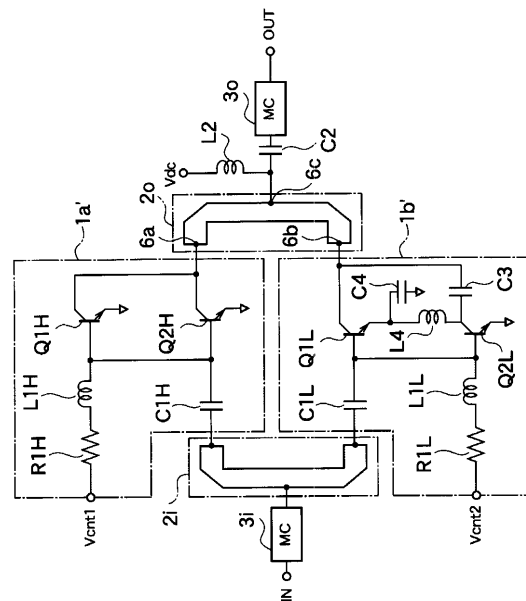
【図 5】



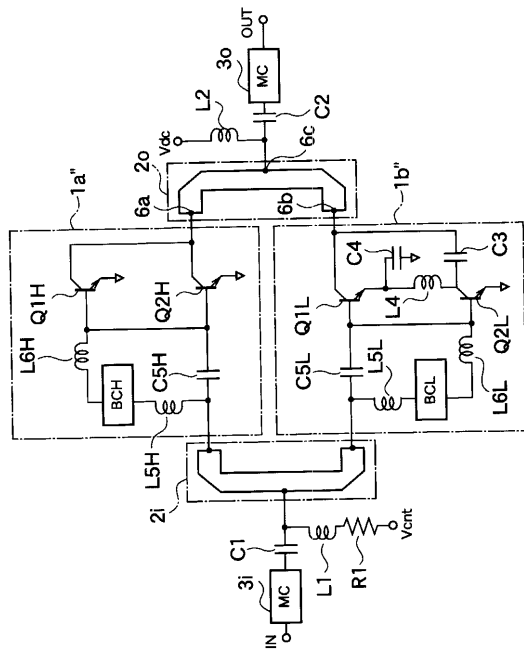
【図 6】



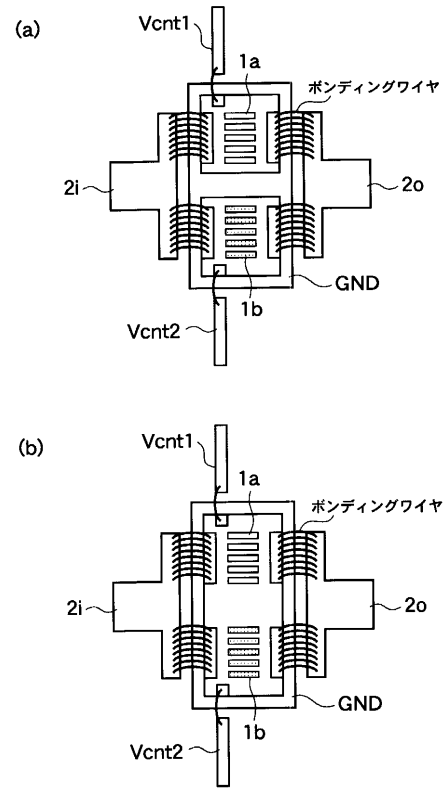
【図 7】



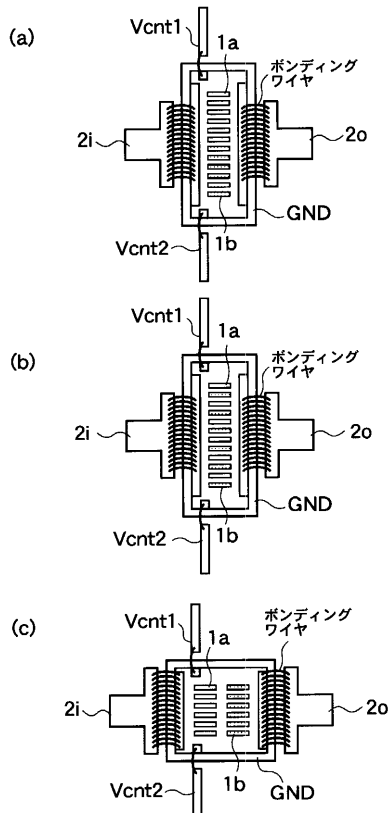
【図 8】



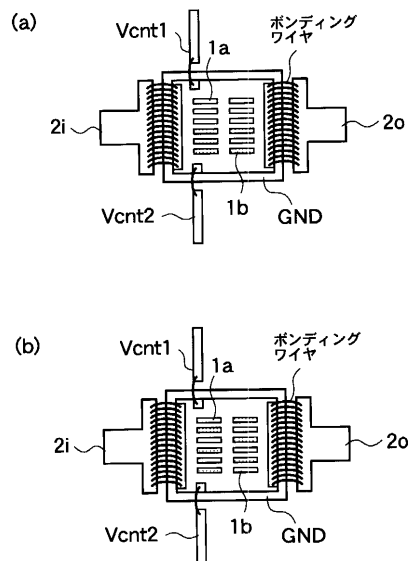
【図 9】



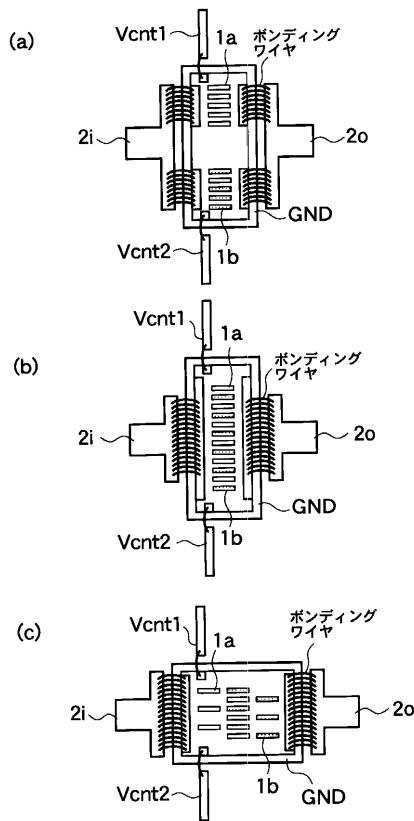
【図 10】



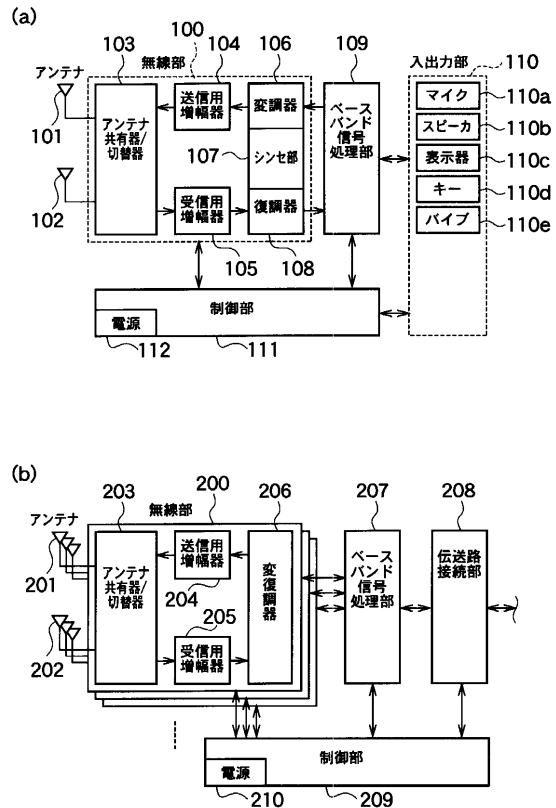
【図 11】



【図 1 2】

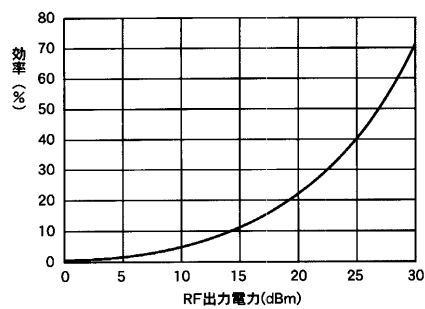


【図 1 3】

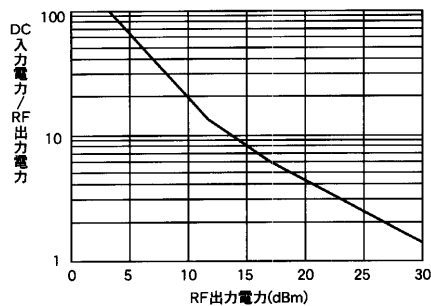


【図 1 4】

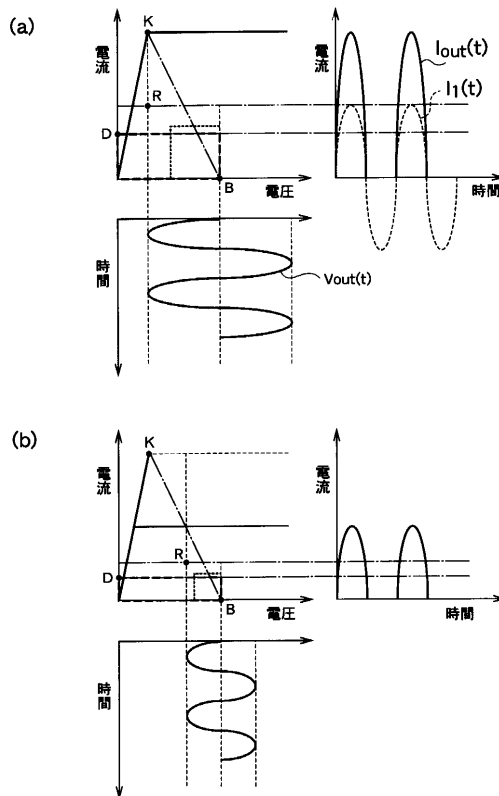
(a) 低出力時における効率の劣化



(b) RF出力電力に対するDC入力電力

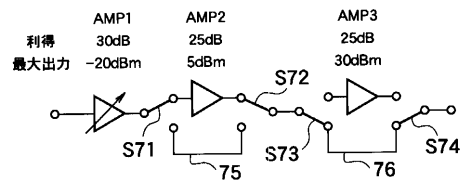


【図 1 5】

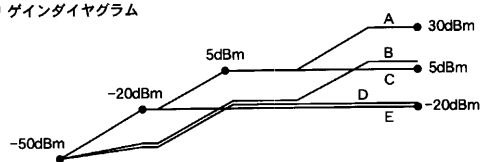


【図 16】

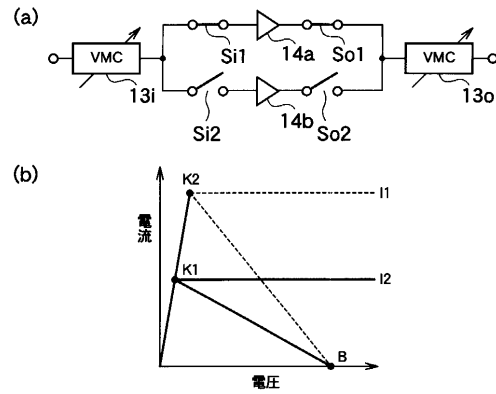
(a) 接続図



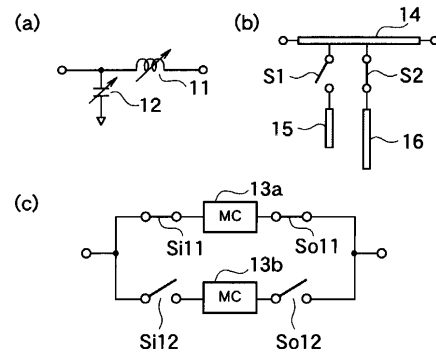
(b) ゲインダイアグラム



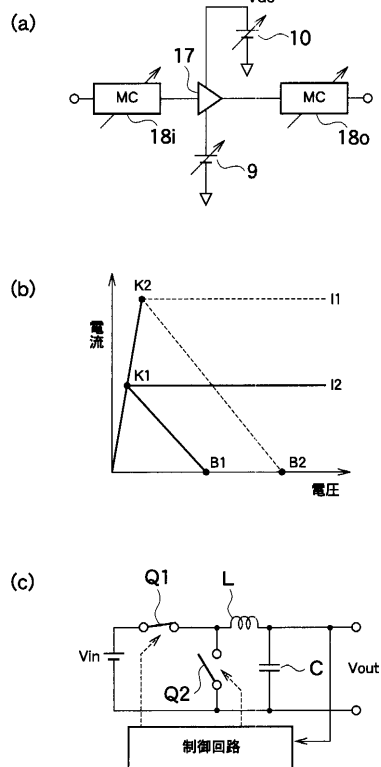
【図 17】



【図 18】



【図 19】



フロントページの続き

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 山口 恵一

神奈川県川崎市幸区小向東芝町1 株式会社東芝 研究開発センター内

審査官 佐藤 敬介

(56)参考文献 特開平07-336168 (JP, A)

特開平04-145713 (JP, A)

特開平03-104408 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H03F 1/00-3/72

H04B 1/04