



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0083888  
(43) 공개일자 2016년07월12일

(51) 국제특허분류(Int. Cl.)  
G01R 33/00 (2006.01) G01R 15/20 (2006.01)  
G01R 33/07 (2006.01)  
(52) CPC특허분류  
G01R 33/0017 (2013.01)  
G01R 15/202 (2013.01)  
(21) 출원번호 10-2016-7014458  
(22) 출원일자(국제) 2014년11월06일  
심사청구일자 없음  
(85) 번역문제출일자 2016년05월31일  
(86) 국제출원번호 PCT/EP2014/073856  
(87) 국제공개번호 WO 2015/067675  
국제공개일자 2015년05월14일  
(30) 우선권주장  
1319627.4 2013년11월06일 영국(GB)

(71) 출원인  
멜렉시스 테크놀로지스 엔브이  
벨기에, 베-3980 테셀로, 트란스포르스트라트 1  
(72) 발명자  
라만, 조안  
벨기에, 베-9910 크네세라레, 그로엔에비베이스 21  
롬보우츠, 피에테르  
벨기에, 베-9030 마리아케르케, 빌레모트란 14  
(74) 대리인  
강명구

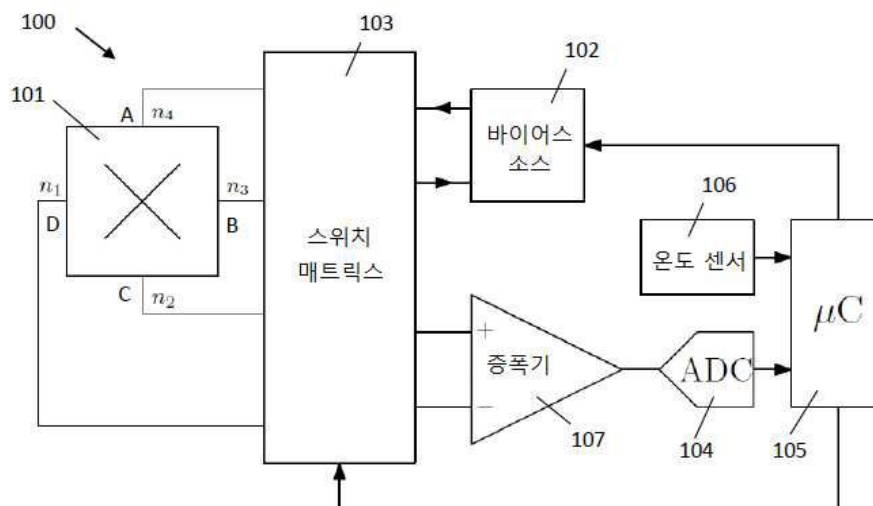
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 홀 요소 자체를 이용한 오프셋 결정의 홀 센서 판독 시스템

(57) 요약

도핑된 반도체 물질로 제조된 플레이트-형상 센서 요소를 가진 적어도 하나의 홀 요소(101)를 포함하는 홀 센서(100)의 오프셋 보상을 제공하는 방법은, 홀 요소 자체에 대한 측정을 이용하는 단계를 포함한다. 상기 방법은 자기장에 실질적으로 의존하는 적어도 하나의 홀 요소로부터의 제 1 판독 신호( $V_H$ )를 획득하는 단계와, 자기장에 실질적으로 독립적인 적어도 하나의 홀 요소로부터의 제 2 판독 신호( $V_P$ )를 획득하는 단계와, 상기 제 1 판독 신호( $V_H$ )에 대한 오프셋( $V_O$ )의 예측치( $\hat{V}_O$ )를 획득하기 위해 상기 제 2 판독 신호( $V_P$ )를 이용하는 단계를 포함한다.

대표도 - 도3



(52) CPC특허분류

*G01R 33/0029* (2013.01)

*G01R 33/0082* (2013.01)

*G01R 33/075* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

자기장 측정을 위한 홀 센서의 오프셋 결정 방법에 있어서,

상기 홀 센서는 도핑된 반도체 물질로 제조된 플레이트-형상 센서 요소를 가진 적어도 하나의 홀 요소를 포함하고, 상기 홀 센서는 교정 과정(calibration procedure)으로부터 획득되는 교정 데이터를 비휘발성 형태로 저장하는 온-칩 저장 수단을 더 포함하는 반도체 칩에 내장되며, 상기 방법은,

i) 결정될 오프셋( $V_0$ )을 포함하는 측정될 자기장에 실질적으로 의존하는 결과를 도출하는 제 1 기술을 이용함으로써 상기 적어도 하나의 홀 요소로부터 제 1 판독 신호( $V_H$ )를 획득하는 단계와,

ii) 자기장에 실질적으로 독립적인 그러나 상기 오프셋( $V_0$ )에 상관되는, 결과를 도출하는 제 2 기술을 이용함으로써 상기 적어도 하나의 홀 요소로부터 제 2 판독 신호( $V_P$ )를 획득하는 단계와,

iii)  $\hat{V}_0 = a + b V_P$ 로 표현되는, 제 2 판독 신호( $V_P$ )의 선형 함수로 제 1 판독 신호( $V_H$ )에 대한 오프셋( $V_0$ )의 예측치( $\hat{V}_0$ )를 획득하기 위해 제 2 판독 신호( $V_P$ )를 이용하는 단계 - a 및 b는 상기 온-칩 저장 수단에 저장되는 교정 데이터에 기초한 선형 함수의 파라미터임 - 를 포함하는

오프셋 결정 방법.

#### 청구항 2

제 1 항에 있어서, 상기 오프셋 예측치( $\hat{V}_0$ )의 파라미터 a 및 b가

온도 의존적인

오프셋 결정 방법.

#### 청구항 3

제 1 항 또는 제 2 항에 있어서,

제 2 판독 신호( $V_P$ )의 함수로 오프셋 예측치( $\hat{V}_0$ )를 표현하는 선형 함수의 파라미터 a 및 b 중 적어도 하나는 교정 과정을 이용하여 최적화되는

오프셋 결정 방법.

#### 청구항 4

제 3 항에 있어서,

상기 교정 과정은,

제 1 세트의 온도로부터 선택되는 알려진 온도(T)에서 알려진 자기장을 갖는 환경에 홀 센서를 배치하는 단계와,

상기 제 1 세트의 온도의 각각의 온도(T)에 대하여, 제 1 기준 신호( $V_{0ref}(T)$ )로 상기 제 1 기술을 이용함으로써 획득되는 상기 제 1 판독 신호( $V_H$ )와, 제 2 기준 신호( $V_{Pref}(T)$ )로 상기 제 2 기술을 이용함으로써 획득되는 제 2 판독 신호( $V_P$ )를 레코딩하는 단계를 포함하는

오프셋 결정 방법.

## 청구항 5

제 4 항에 있어서,

교정 과정을 이용하여 파라미터  $b$ 를 결정하는 단계를 더 포함하며, 이는,

제 2 세트의 온도로부터 선택되는 알려진 온도에서 알려진 자기장을 갖는 환경에 홀 센서를 배치하는 단계와,

제 3 기준 신호( $V_{0sec}(T)$ )로 상기 제 1 기술을 이용함으로써 획득되는 제 1 판독 신호( $V_H$ )와, 제 4 기준 신호( $V_{Psec}(T)$ )로 상기 제 2 기술을 이용함으로써 획득되는 제 2 판독 신호( $V_P$ )를 상기 제 2 세트의 온도의 각각의 온도에 대하여 레코딩하는 단계와,

직접 측정이 가능하지 않은 온도에서 결정될 필요가 있을 때 기준 신호들이 보간된다는 가정과 함께, ( $V_{0sec} - V_{0ref}$ ) 및 ( $V_{Psec} - V_{Pref}$ ) 간의 스케일 팩터로 레코딩된 기준 신호로부터 파라미터  $b$ 를 결정하는 단계를 포함하는 오프셋 결정 방법.

## 청구항 6

제 4 항 또는 제 5 항에 있어서,

상기 오프셋 예측치( $\hat{V}_O$ )는 측정된 제 2 판독 신호( $V_P$ )로부터 그리고 레코딩된 기준 신호로부터 다음과 같이 결정되는

$$\hat{V}_O = V_{Oref}(T) + b \cdot (V_P - V_{Pref}(T))$$

오프셋 결정 방법.

## 청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

단계 ii)의 적어도 하나의 홀 요소로부터 제 2 판독 신호( $V_P$ )를 획득하는 단계는, 자기장 성분이 소거되도록 적어도 2개의 홀-형 측정치를 가진 판독 신호들의 선형 조합을 취하는 단계를 포함하는

오프셋 결정 방법.

## 청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

단계 ii)의 적어도 하나의 홀 요소로부터 제 2 판독 신호( $V_P$ )를 획득하는 단계는, 개별 홀 요소들의 자기장 성분이 서로 소거되도록 적어도 2개의 이웃하는 홀 요소들을 포함하는 구조의 판독을 포함하는

오프셋 결정 방법.

## 청구항 9

제 8 항에 있어서,

단계 ii)의 적어도 하나의 홀 요소로부터 제 2 판독 신호( $V_P$ )를 획득하는 단계는, 복수의 이웃하는 홀 요소에 대한 기하학적 스피닝 측정으로부터 획득되는 측정 신호들의 평균화를 포함하는

오프셋 결정 방법.

## 청구항 10

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

적어도 하나의 홀 요소는 적어도 4개의 노드를 포함하고, 단계 ii)의 적어도 하나의 홀 요소로부터 제 2 판독 신호( $V_P$ )를 획득하는 단계는, 플레이트-형상 센서 요소의 에지를 따름으로써 형성되는 순서로 노드들을 살필 때

동일 기능을 가진 노드들이 연이어 나타나도록 홀 요소의 반데포-형 측정 셋업으로 측정 신호들을 획득하는 단계들을 포함하고, 상기 제 2 판독 신호( $V_p$ )는 적어도 하나의 홀 요소에 대한 2개의 반데포-형 측정을 차분(differencing)함으로써 획득되는

오프셋 결정 방법.

#### 청구항 11

제 10 항에 있어서,

2개의 반데포-형 측정을 차분하는 단계는 순차적으로 획득되는 2개의 반데포 측정을 차분하는 단계를 포함하는 오프셋 결정 방법.

#### 청구항 12

제 10 항에 있어서,

2개의 반데포-형 측정을 차분하는 단계는, 적어도 2개의 홀 플레이트의 상호연결에 대한 단일 측정을 수행함으로써 획득되는

오프셋 결정 방법.

#### 청구항 13

제 10 항 내지 제 12 항 중 어느 한 항에 있어서,

단계 ii)의 적어도 하나의 홀 요소로부터 제 2 판독 신호( $V_p$ )를 획득하는 단계는, 적어도 하나의 홀 요소에 대한 복수의 반데포-형 측정들의 선형 조합을 취하는 단계를 포함하는

오프셋 결정 방법.

#### 청구항 14

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

단계 ii)의 적어도 하나의 홀 요소로부터 제 2 판독 신호( $V_p$ )를 획득하는 단계는, 자기 성분이 소거되도록, 또는 적어도 하나의 반데포-형 측정을 포함하도록, 또는, 자기 성분이 소거되고 적어도 하나의 반데포-형 측정을 포함하도록, 적어도 2개의 홀-형 측정을 갖는 판독 신호들의 선형 조합을 취하는 단계를 포함하는

오프셋 결정 방법.

#### 청구항 15

제 1 항 내지 제 14 항 중 어느 한 항에 있어서,

실제 온도( $T_a$ )를 측정하고 오프셋 예측에 상기 실제 온도( $T_a$ )를 이용하는 단계를 더 포함하는

오프셋 결정 방법.

#### 청구항 16

제 1 항 내지 제 15 항 중 어느 한 항에 있어서,

iv) 오프셋( $V_o$ ) 보상을 위해 제 1 판독 신호( $V_H$ )로부터 오프셋 예측치( $\hat{V}_o$ )를 제거하는 단계를 더 포함하는

오프셋 결정 방법.

#### 청구항 17

홀 센서(100)를 포함하는 반도체 칩에 있어서, 상기 홀 센서(100)는,

적어도 하나의 홀 요소(101) - 각각의 홀 요소(101)는 도핑된 반도체 물질로 제조된 플레이트-형상 센서 요소를

가짐 - 와,

교정 과정으로부터 획득되는 교정 데이터를 비휘발성 형태로 저장하는 온-칩 저장 수단과,

결정된 오프셋( $V_0$ )을 갖고 자기장에 실질적으로 의존하는 결과를 도출하는 제 1 기술을 이용하여 적어도 하나의 홀 요소(101)로부터 제 1 판독 신호( $V_H$ )를 획득하기 위한 센서 수단(107, 105)과,

자기장에 실질적으로 독립적이면서 상기 오프셋( $V_0$ )에 상관되는 결과를 도출하는 제 2 기술을 이용하여 적어도 하나의 홀 요소(101)로부터 제 2 판독 신호( $V_P$ )를 획득하기 위한 센서 수단(107, 105)과,

$\hat{V}_0 = a + b V_P$ 로 표현되는, 제 2 판독 신호( $V_P$ )의 선형 함수로 제 1 판독 신호( $V_H$ )에 대한 오프셋( $V_0$ )의 예측치( $\hat{V}_0$ )를 획득하기 위한 수단 - a 및 b는 상기 온-칩 저장 수단에 저장되는 교정 데이터에 기초한 선형 함수의 파라미터임 - 과,

예측 신호( $\hat{V}_0$ )에 기초하여 상기 제 1 판독 신호( $V_H$ )에 대한 오프셋( $V_0$ )을 보상하기 위한 수단을 포함하는 반도체 칩.

#### 청구항 18

제 17 항에 있어서,

오프셋( $V_0$ ) 보상 수단은 제 1 판독 신호( $V_H$ )에 대한 오프셋을 보상하기 위한 제어가능 소스를 포함하고, 상기 소스의 제어는 측정되는 제 2 판독 신호( $V_P$ )에 기초하는

반도체 칩.

#### 청구항 19

제 17 항에 있어서,

오프셋 보상 수단은 제 2 판독 신호( $V_P$ )를 이용함으로써 제 1 판독 신호( $V_H$ )에 대한 오프셋( $V_0$ )의 예측치( $\hat{V}_0$ )를 획득하도록 배열되는 컨트롤러(105)를 포함하는

반도체 칩.

#### 청구항 20

제 19 항에 있어서,

상기 컨트롤러(105)는  $\hat{V}_0 = a + b V_P$ 로 표현되는, 제 2 판독 신호( $V_P$ )의 선형 함수로 제 1 판독 신호( $V_H$ )에 대한 오프셋( $V_0$ )의 예측치( $\hat{V}_0$ )를 결정하도록 구성되며, a 및 b는 선형 함수의 파라미터인

반도체 칩.

#### 청구항 21

제 20 항에 있어서,

저장 수단은 파라미터 값(a, b)을 저장하기 위한 비휘발성 메모리이고, 컨트롤러(105)는 비휘발성 메모리로부터 불러들여지는, 교정 과정 중 최적화되는 파라미터 a 또는 b 중 적어도 하나를 이용하도록 구성되는

반도체 칩.

#### 청구항 22

제 17 항 내지 제 21 항 중 어느 한 항에 있어서,

적어도 하나의 홀 요소는 제 1 접촉부에 연결되는 적어도 하나의 제 1 노드와, 제 2 접촉부에 연결되는 적어도 하나의 제 2 노드와, 제 3 접촉부에 연결되는 적어도 하나의 제 3 노드와, 제 4 접촉부에 연결되는 적어도 하나의 제 4 노드를 포함하며, 2개의 접촉부의 세트가 하나의 접촉부 쌍을 형성하고,

상기 홀 센서(100)는 서로 다른 적어도 2개의 측정 셋업으로 적어도 하나의 홀 요소(101)를 작동시키도록 배열되는 스위칭 매트릭스(103)를 더 포함하고, 상기 접촉부 쌍의 서로 다른 조합이 서로 다른 측정 결과를 제공하는

반도체 칩.

### 청구항 23

제 22 항에 있어서,

상기 센서는 단일 홀 요소로부터 서로 다른 측정 셋업의 판독 신호를 순차적으로 결정하도록 구성되는

반도체 칩.

### 청구항 24

제 22 항에 있어서,

상기 센서는 복수의 홀 요소로부터 서로 다른 측정 셋업의 판독 신호들을 동시에 결정하도록 구성되는

반도체 칩.

### 청구항 25

제 17 항 내지 제 24 항 중 어느 한 항에 있어서,

실제 온도( $T_a$ )를 측정하기 위한 온도 측정 수단(106)을 더 포함하며,

상기 제 1 판독 신호( $V_H$ )에 대한 오프셋 보상 수단은, 보상 중 실제 온도( $T_a$ )를 이용하도록 구성되는

반도체 칩.

## 발명의 설명

## 기술 분야

[0001] 본 발명은 홀 센서 판독치의 오프셋 결정 방법 및 장치에 관한 것으로서, 상기 오프셋은 온도, 온도 구배, (패키지-유도) 기계적 응력, 도핑 농도의 불균질성, 및 기하학적 오차에 기인한다. 특히, 본 발명은 홀 플레이트 자체에 대한 측정치를 이용함으로써, 홀 플레이트를 포함하는 센서의 오프셋 보상 방법 및 장치에 관련된다.

## 배경 기술

[0002] 홀 요소는 자기장의 기결정된 성분에 비례하는 전기 출력 신호를 제공하도록 홀 효과에 기초한 자기장 센서다. 기본 홀 소자는 적어도 4개의 전기 접촉부를 구비한 전도 물질로 구성된다. 홀 효과를 이용하기 위해, 소자를 통해 전류가 흘러야 한다. 기본 전류 I는 접촉부 중 2개를 통해 공급되고, 이는 전류 접촉부로 불릴 것이다. 감지 접촉부라고 불리는 2개의 다른 접촉부는 등전위선 상에 통상적으로 배치되어, 자기장 부재시 감지 접촉부 사이의 전압차를 0으로 만든다. 수평 홀 요소를 이용한 자기장 성분  $B_z$  측정 원리가 도 1에 도시된다. 홀 판독을 위해, 전류 접촉부 A, C 및 감지 접촉부 B, D가 서로 교번된다. 전류 I가 전류 접촉부 A, C에 인가되고 평면-외 자기장  $B_z$ 가 소자에 인가되면, 인가된 자기장  $B_z$ 에 비례하는 홀 전압  $V_H$ 가 감지 접촉부 B, D 사이에 나타날 것이다; 다시 말해서,  $V_H = V_B - V_D$ .

[0003] 홀 센서는 홀 요소 또는 홀 요소들의 클러스터와, 홀 요소를 작동시키기 위한, 그리고 홀 요소의 출력 신호를 평가하기 위한, 전자 회로를 포함한다. 홀 센서는 반도체 칩에 내장된 집적 회로로 제조된다. 반도체 칩이 하우징에 패키징된다. 홀 요소는 프로세스-관련 및 기하구조-관련 변화로부터 발생하는 오프셋을 가진다. 오프셋은 복수의 홀 요소들을 병렬로 (클러스터) 연결함으로써, 및/또는 알려진 스피닝 전류 방법을 이용하여 작동함으로써, 효과적으로 최소화될 수 있다. 이는 수많은 특허 문서, 예를 들어, WO 0118556, EP 548391, 및 DE 4302342

를 통해 알려져 있다.

[0004] 홀 요소는 가령, CMOS 기술로, 반도체 소자에 쉽게 집적될 수 있고, 이는 고급 온-칩 판독 회로와 조합될 수 있음을 의미한다. 다른 (가령, 판독) 소자와 함께 집적되는 홀 소자의 영향은, 홀 요소가 기관 및 기타 구성요소로부터 전기적으로 분리될 필요가 있다는 점이다. 집적 기술에서, 이는 리버스-바이어스 PN 정선을 이용함으로써 실현될 수 있다.

[0005] 도 2에서, 여기가 이루어지는 선(도 1의 접촉부 A 및 C를 통하는 선)을 따라 잘려진, 일체형 수평 홀 플레이트의 단면이 도시된다. 예를 들자면, p-형 기관을 이용한 CMOS 프로세스가 도시되어 있다. 그 후 실제 홀 플레이트는 n-웰의 n-형 물질로 구성된다. 본 예에서, p-형 커버층(상부 실드(shield))가 상부에 도시되며, 이는 다양한 이유들 중 하나 이상을 위해 종종 제공된다(차폐 개선, 소자 노이즈 감소, 등). 도 2에서, 기관 및 상부 실드 모두 접지부(0V)에 연결된다. 홀 판독 중, 전류 I가 플레이트를 통해 흘러야 한다. 이를 위해, 노드 A 및 노드 C는 서로 다른 전압에 놓여야 한다. 예를 들자면, 인가 바이어스 방법이 노드 A에서 3.0V, 노드 C에서 1.0V로 여기서 가정된다. PN-정선 이론으로부터 잘 알려져 있듯이, p-형 물질과 n-형 물질 간의 임의의 전이에서 공핍 영역이 형성된다. PN-정선이 항상 리버스-바이어스되도록 바이어스가 이루어진다. 리버스-바이어스 전이는 플레이트를 전기적으로 분리시킨다. 분리된 공핍 영역은 홀 플레이트 내로 p-형 기관 및 p-형 커버 근처로 연장되고(도 2의 그레이 영역), 적은 개수의 자유 전하 운반자를 가진다(즉, 이 영역들이 거의 완벽한 아이솔레이터로 간주될 수 있다). 그 결과, 홀 플레이트의 유효 두께가 감소한다. 공핍 구역의 실제 크기는 PN-정선에 걸쳐 로컬 (리버스) 전압과 비-선형으로 변화한다. 이러한 리버스-전압은 플레이트에 걸쳐 변화하고, 전류가 들어오는 노드에서 최대이고(고전위에서 노드 A), 전류가 나가는 노드에서 최소다(저전위에서 노드 C). 그 결과, 고전압측에서의 플레이트 두께(도 2의 d1)가 저전압측에서의 플레이트 두께(도 2의 d2)보다 작고, 이는 A로부터 C 방향으로 플레이트 두께의 불균일성을 의미한다. 다시 말해서, 홀 플레이트의 두께가 일정하지 않고, 플레이트에 걸쳐 변화한다. 불행하게도, 전류 바이어싱을 이용할 때, (노드 A와 C 사이에서) 효과적으로 인가되는 전압은 온도에 크게 의존할 뿐 아니라, 압전 능력-효과 및 심지어 홀 효과 자체도 전압에 영향을 미친다(즉, 전압이 도 2의 X-방향으로도 변화한다). 이 효과들이 플레이트의 두께를 변화시키기 때문에, 자기 센서의 감도 및 선형성에 영향을 미친다.

[0006] 홀 센서의 중요한 특성은 (자기) 감도다. 이상적인 경우에, 감도는 일정 값이고, 측정되는 홀 전압은 온도, 응력, 등에 독립적인, 자기장 강도의 선형 함수다. 그러나 실제로는, 이것이 완전한 사실이 아니다. 하지만, (예를 들어, 홀-기반 선형 전류 센서에서와 같은) 많은 응용예에서, 감도의 절대 정확도가 중요하다. 이는 온도, 응력, 등과 같은 환경적 조건과의 교차-감도가 감소해야만 하고, 또는, 적어도 이를 보상할 가능성이 있어야 함을 의미한다. 추가적으로, 홀 전압에 대한 감도의 종속성 - 홀 전압은 인가 자기장에 의존 - 은, 센서 특성이 자기장의 비선형 함수가 됨을 의미한다.

[0007] 하우징에 패키징된 홀 요소를 포함하는 반도체 칩은 온도 및 습도와 같은 환경적 영향에 좌우되는 기계적 응력을 받는다. 기계적 응력 변화는 홀 요소의 오프셋 변화를 야기하고, 압전-홀 효과로 인해 홀 요소들의 감도 변화 역시 야기한다. 감도 변화를 보상하기 위해, 기계적 응력을 검출하는 응력 센서를 이용하고, 압전-홀 효과에 의해 야기되는 홀 요소 감도 변화를 보상하기 위해 그 출력 신호를 이용하는 것이 예를 들어, DE 10154495, DE 10154498, DE 102004003853, DE 102008051949 호로부터 알려져 있다.

## 발명의 내용

### 해결하려는 과제

[0008] 홀 요소의 오프셋을 결정하고, 선택적으로, 보상하기 위한 실용적 방법 및 디바이스를 제공하는 것이 본 발명의 실시예의 목적이다.

[0009] 이 목적은 본 발명의 실시예에 따른 방법 및 디바이스에 의해 실현된다.

### 과제의 해결 수단

[0010] 일 형태에서, 본 발명은 도핑된 반도체 물질로 제조된 플레이트-형상 센서 요소를 가진 적어도 하나의 홀 요소를 포함하는 홀 센서에서의 오프셋 결정 방법을 제공하며, 상기 방법은 홀 요소 자체에 대한 측정을 이용한다. 이 방법은 자기장에 실질적으로 의존하는 적어도 하나의 홀 요소로부터의 제 1 판독 신호를 획득하는 단계와, 자기장에 실질적으로 독립적인 적어도 하나의 홀 요소로부터의 제 2 판독 신호를 획득하는 단계와, 제 1 판독 신호에 대한 오프셋의 예측치를 얻기 위해 제 2 판독 신호를 이용하는 단계를 포함한다. 따라서, 그 후 오프셋



의 획득된 예측치는, 후속하여, 제 1 판독 신호로부터 오프셋 예측치를 제거함으로써, 제 1 판독 신호에 대한 오프셋 보상을 제공하는데 사용될 수 있다.

[0011] 본 발명의 범주에서 "자기장에 실질적으로 의존하는"은, 자기장이 측정 결과에 대해 영향을 가짐을 의미한다. 본 발명의 범주에서 "자기장에 실질적으로 독립적인"은 자기장이 측정 결과에 영향이 없음을 의미한다. 후자는 알려지지 않은 자기장이 존재할 수 있으나 제 2 판독 신호 획득을 위한 측정 중, 존재할 필요는 없다는 것을 암시한다.

[0012] 다른 형태에서, 본 발명은 오프셋 보상 기능을 가진 홀 센서를 제공한다. 홀 센서는 적어도 하나의 홀 요소 - 각각의 홀 요소는 도핑된 반도체 물질로 제조된 플레이트-형상 센서 요소를 가짐 - 와, 자기장에 실질적으로 의존하는(자기장이 측정 결과에 영향을 미침) 적어도 하나의 홀 요소로부터 제 1 판독 신호를 획득하기 위한 센서 수단과, 자기장에 실질적으로 독립적인(자기장이 측정 결과에 영향을 미치지 않음) 적어도 하나의 홀 요소로부터 제 2 판독 신호를 획득하기 위한 센서 수단과, 적어도 하나의 홀 요소 자체에 대한 측정으로부터 획득되는 제 2 판독 신호를 이용함으로써 제 1 판독 신호에 대한 오프셋을 보상하기 위한 수단을 포함한다. 본 발명의 실시예에서, 오프셋 보상 수단은 대응하는 아날로그 신호 처리에 의해 아날로그 방식으로 구현될 수 있다. 본 발명의 대안의 실시예에서, 오프셋 보상 수단은, 적절히 프로그래밍된 컴퓨팅 수단을 이용함으로써 디지털 방식으로 구현될 수 있다. 다른 대안의 실시예에서, 조합된 아날로그-디지털 구현이 가능하다.

[0013] 또 다른 형태에서, 본 발명은 적어도 하나의 홀 요소를 포함하는 홀 센서와 함께 사용하기 위한 컨트롤러를 제공한다. 컨트롤러는 자기장에 실질적으로 의존하는(자기장이 측정 결과에 영향을 미침) 적어도 하나의 홀 요소로부터 제 1 판독 신호를 획득하도록 구성되고, 자기장에 실질적으로 독립적인(자기장이 측정 결과에 영향을 미치지 않음) 적어도 하나의 홀 요소로부터 제 2 판독 신호를 획득하도록 구성되며, 제 1 판독 신호에 대한 오프셋의 예측치를 획득하기 위해 제 2 판독 신호를 이용하도록 구성된다.

[0014] 본 발명은 홀 센서와 관련된 컴퓨팅 디바이스 상에서 실행될 때, 본 발명의 실시예에 따른 방법의 기능을 제공하는 컴퓨터 프로그램 프로덕트를 또한 포함한다. 이러한 컴퓨터 프로그램 프로덕트는 프로그래머블 프로세서에 의한 실행을 위해 기계-판독가능 코드를 지닌 캐리어 매체에 유형으로 포함될 수 있다. 따라서 본 발명은 컴퓨팅 수단 상에서 실행될 때, 앞서 설명된 방법을 실행하기 위한 명령어를 제공하는 컴퓨터 프로그램 프로덕트를 지닌 캐리어 매체에 관련된다. "캐리어 매체"라는 용어는 실행을 위한 명령어를 프로세서에 제공함에 참가하는 임의의 매체를 의미한다. 이러한 매체는 비휘발성 매체 및 전송 매체를 포함하는, 그러나 이에 제한되지 않는, 많은 형태를 취할 수 있다. 비휘발성 매체는 예를 들어, 광학 디스크 또는 자기 디스크, 가령, 대용량 스토리지의 일부분인 저장 장치를 포함한다.

[0015] 발명의 특정 신호 형태는 첨부된 독립항 및 종속항에서 제시된다. 적절하다면, 그리고, 단지 청구항에 명시적으로 제시된 것만이 아니라, 종속항으로부터의 특징들이 독립항의 특징들과 조합될 수 있고, 다른 종속항의 특징들과도 조합될 수 있다.

[0016] 발명과, 선행 기술에 비추어 실현된 장점을 요약하기 위한 용도로, 발명의 소정의 목적 및 장점이 앞서 설명된 바 있다. 물론, 모든 이러한 목적 또는 장점이 발명의 특정 실시예에 따라 반드시 실현될 수 있는 것은 아니다. 따라서, 예를 들어, 발명이 여기서 설명 또는 암시되는 다른 목적 또는 장점을 반드시 실현할 필요없이, 여기서 설명되는 일 장점 또는 여러 장점들을 실현 또는 최적화시키는 방식으로 포함 또는 실시될 수 있음을 당업자가 이해할 것이다.

[0017] 발명의 위 형태 및 다른 형태들이 이후 설명되는 실시예를 참조하여 명백해질 것이다.

### 도면의 간단한 설명

[0018] 도 1은 자기장 성분의 강도를 나타내는 홀-전압을 측정하는 알려진 방식을 보여주며, 여기 소스가 2개의 접촉부에 인가되고, 출력이 2개의 다른 접촉부에 걸쳐 감지된다.

도 2는 대각선 AC를 따라, 도 1에 따른 일체형 수평 홀 플레이트의 단면도다. 정선-분리 홀 소자에서의 공핍층 변화는 불균일한 그리고 전압-의존적인 플레이트 두께 변화를 야기한다.

도 3은 본 발명의 실시예에 따른 홀 자기 센서의 유연한 구조를 도시한다.

도 4는 4개의 홀-형 측정치의 개관을 제시한다.

도 5는 자기 성분을 취소시키도록 상호연결된 홀-형 측정치를 갖는 2개의 홀 요소의 예를 도시한다. 도면의 상

부는 2개의 홀 플레이트의 직렬-직렬 연결을 도시하고, 도면의 하부는 2개의 홀 플레이트의 병렬-병렬 연결을 도시한다.

도 6은 8개의 "반데포"(Van der Pauw)-형 측정치의 개관을 도시한다.

도 7은 2개의 "반데포"-형 측정치의 차이를 직접 측정할 수 있도록, 각각의 플레이트가 "반데포"-형 구조로 작동되는, 2개의 플레이트의 감지 노드들의 상호연결을 도시한다. 여기 노드는 병렬로 놓일 수 있다.

도 8은 2개의 "반데포"-형 측정치의 차이와 홀-형 측정의 오프셋 간의 관계를 도시한다.

### 발명을 실시하기 위한 구체적인 내용

- [0019] 본 발명은 도면을 참조하여 특정 실시예와 관련하여 설명되지만, 발명은 이에 제한되지 않고 청구범위에 의해서만 제한된다.
- [0020] 상세한 설명 및 청구범위에서 제 1, 제 2, 등의 용어는 유사한 요소들 간을 구분하기 위해 사용되며, 시간상, 공간상, 순위 형태로, 또는 그외 다른 방식으로, 꼭 순서를 설명하기 위해 사용되는 것이 아니다. 이와 같이 사용되는 용어들은 적절한 상황 하에 상호교환가능하고, 여기서 설명되는 발명의 실시예는 여기서 설명 또는 예시되는 다른 시퀀스로 작동할 수 있다.
- [0021] 상세한 설명 및 청구범위에서 위, 아래, 등과 같은 용어는 설명 용도로 사용되며, 꼭 상대적 위치를 설명하는 것은 아니다. 이렇게 사용되는 용어는 적절한 상황 하에 상호교환가능하고, 여기서 설명되는 발명의 실시예는 여기서 설명 또는 예시되는 다른 배향으로 작동할 수 있다.
- [0022] 청구범위에서 사용되는 "포함하는"이라는 용어는 이후 나열되는 수단에 제한되는 것으로 해석되어서는 안되며, 다른 요소 또는 단계들을 배제하지 않는다. 따라서, 거명되는 특징, 정수, 단계, 또는 구성요소들의 존재를 명시할 뿐 아니라, 하나 이상의 다른 특징, 정수, 단계, 또는 구성요소들의 존재 또는 추가를 배제하지 않는다. 따라서, "수단 A 및 수단 B를 포함하는 디바이스"라는 표현의 범위는 구성요소 A 및 B 만으로 구성되는 디바이스로 제한되어서는 안된다. 본 발명과 관련하여, 디바이스의 관련 구성요소들만이 A 및 B임을 의미한다.
- [0023] 본 명세서 전체를 통해, "일 실시예" 또는 "하나의 실시예"는 실시예와 연계하여 설명되는 특정 특징, 구조, 또는 특성이 본 발명의 적어도 하나의 실시예에 포함됨을 의미한다. 따라서, 본 명세서 전체 내 다양한 부분에서 "하나의 실시예에서" 또는 "일 실시예에서"라는 표현의 등장은 모두 동일한 실시예를 언급하는 것이 아니지만, 그럴 수도 있다. 더욱이, 특정 특징, 구조, 또는 특성이, 하나 이상의 실시예에서, 당 업자에게 명백하다면, 임의의 적절한 방식으로 조합될 수 있다.
- [0024] 마찬가지로, 발명의 예시적 실시예의 설명에서, 다양한 신규적 형태들 중 하나 이상의 이해를 돕기 위해 그리고 발명을 나열하기 위한 용도로, 발명의 다양한 특징들이 단일 실시예, 도면, 또는 설명에서 함께 그룹화될 수 있다. 그러나, 이러한 개시 방법은 청구되는 발명이 각각의 청구항에서 명시적으로 언급되는 것보다 많은 특징들을 요한다는 의도를 반영하는 것으로 이해되어서는 안된다. 대신, 다음의 청구항이 반영하듯이, 신규적 형태는 선행하는 단일 개시 실시예의 모든 특징들보다 적은 특징들에 있다. 따라서, 상세한 설명에 이어지는 청구범위는 이러한 상세한 설명에 명시적으로 포함되며, 각각의 청구항은 본 발명의 별도의 실시예로 자체적으로 성립된다.
- [0025] 더욱이, 여기서 설명되는 일부 실시예가 다른 실시예에 포함된 일부 특징들을 포함하면서 일부 다른 특징들을 포함하지 않지만, 서로 다른 실시예들의 특징들의 조합은 발명의 범위 내에 있는 것을 의미하며 서로 다른 실시예를 형성하는 것을 의미한다. 예를 들어, 다음의 청구범위에서, 청구되는 실시예들 중 어느 것도 임의의 조합으로 사용될 수 있다.
- [0026] 본 발명의 범주에서 "홀 센서"를 언급할 때, 자기장 또는 전류 측정시 홀 효과를 이용하는 센서를 참조한다. 주 전류 방향에 수직인 자기장에 놓인 홀 센서를 통해 전류가 흐를 때, 자기장 및 전류의 적(product)에 실질적으로 비례하는 전압(홀 전압)이 생성된다. 전류 및 홀 센서 성질이 알려져 있을 경우, 주 전류 방향에 수직인 자기장 성분, 측정된 홀 전압으로부터 결정될 수 있다.
- [0027] 본 문서에서, "홀 플레이트" 및 "홀 요소"는 동의어다. 이들은 홀 효과를 제공하도록 전류가 통과하는 홀 센서의 일부분을 형성하는 전도성 또는 반도체성 물질 조각을 의미한다.
- [0028] "수평 홀 요소"는 칩에 집적된 홀 요소로서, 전류선이 칩 표면에 평행하고, 칩 표면에 수직인 자기장에 민감하

다.

- [0029] "수직 홀 요소"는 칩에 집적된 홀 요소로서, 홀 플레이트의 역할을 하는 디바이스 영역이 칩에 수직이고, 칩 표면에 평행한 자기장에 민감하다.
- [0030] 본 발명에서 "플레이트 두께"를 언급할 때, 홀 플레이트의 전도성 부분의 두께를 의미한다. 예를 들어 도 1의 수평 홀 플레이트에서, 이는 공핍층 간의 (칩 표면에 수직인) 수직 거리를 의미한다. 상부 실드(top shield)가 없는 실시예에서, 플레이트 두께는 칩 표면과 공핍층 간의 거리일 것이다. 도 16의 수직 홀 플레이트의 예의 경우, 이는 y-방향으로 측정되는 공핍층 간의 거리를 의미한다.
- [0031] 본 발명에서 "실드"를 언급할 때, 플레이트 자체와는 반대 유형인, 플레이트를 직접 둘러싸는, 모든 물질을 의미한다. 예를 들어 도 2의 홀 플레이트에서, 실드는 기판과 함께 플레이트 상부의 p-형 커버다.
- [0032] 본 발명에서 "노드" 또는 "전기 노드"는 단일 전압 전위를 가진 전기 회로의 일부분(가령, 상호연결부)을 의미한다.
- [0033] 본 발명에서 "접촉부"는 홀 요소에 대한 전기적 연결이 제공되는 물리적 위치를 의미한다. 전기 노드가 하나 이상의 접촉부에 연결될 수 있다. 수평 홀 플레이트용으로 주어진 예에서, 각각의 노드는 정확히 하나의 접촉부에 연결된다. 수직 홀 플레이트용으로 주어진 예에서, 일부 노드들이 2개(이상)의 접촉부에 연결될 수 있다.
- [0034] "반데포-형 측정"은 4개의 노드를 가진, 도핑된 반도체 물질로 제조되는 플레이트-형상 디바이스에서의 측정을 의미하며, 각각의 노드는 적어도 하나의 접촉부와 연결된다. 4개의 노드는 2개의 접촉부 쌍으로 나누어지며, 그 중 하나의 접촉부 쌍은 여기용으로 사용되고, 다른 하나의 접촉부 쌍은 측정용으로 사용된다. 여기 접촉부에 전류가 인가되고, 측정 접촉부로부터 전압이 측정된다. 플레이트-형상 센서 요소의 에지를 따름으로써 규정되는 순서로 노드들을 살펴볼 때, 동일 기능 - 여기 기능 또는 감지 기능 - 을 가진 노드들이 연이어 나타나도록 셋업이 이루어진다. 접촉부가, 따라서, 관련 노드가, 플레이트-형상 센서 요소의 에지에 위치할 때, 그 순서가 명확히 규정되고, 연이은 노드들은 특정 방향으로 플레이트-형상 센서 요소의 에지를 따를 때 서로 인접한 노드다. 노드들이 플레이트-형상 센서 요소의 에지 상에 위치하지 않을 때, 그 순서가 결정될 필요가 있다. 이는 모든 접촉부가 플레이트의 에지 상에 위치할 때까지 플레이트-형상 센서 요소의 영역을 축소시킴으로써 이루어질 수 있고, 이는 다시 이와 같이 규정된 플레이트의 "새 에지"를 따를 때 그 순서를 결정할 수 있게 한다.
- [0035] 특정 실시예에서, 여기 접촉부 및 측정 접촉부는 여기 접촉부의 중심점들을 상호연결하는 선분이 측정 접촉부의 중심점들을 상호연결하는 선분과 교차하지 않도록 플레이트-형상 요소 상에서 선택된다.
- [0036] 다음의 상세한 설명에서, 달리 언급되지 않을 경우, 실시예들은 플레이트-형상 요소들의 특정 예로 홀 요소 관련하여 언급되었다. 그러나 이는 본 발명을 제한하고자 함이 아니다.
- [0037] 일체형 홀 플레이트는 저항 비대칭성으로 인해 중요한 오프셋을 나타낸다. 이러한 비대칭성은 온도 구배, 외부적인 또는 내재적인 기계적 응력 분포로 인한 압전 저항 변화, 도핑 농도의 불균질성, 및 기하학적 불완전성(가령, 확산 부족, 마스크 오정렬, 등으로 인한)으로부터 나타난다. 또한, 플레이트 내 전압-의존적 저항 변화를 야기하는 정션 전계 효과가 오프셋에 영향을 미친다.
- [0038] 수평 홀 플레이트의 경우, 결과적인 "순수 오프셋"(raw offset), 즉, 자기장에 실질적으로 독립적인, 적어도 하나의 홀 요소로부터 신호  $V_H$ 를 획득할 때 나타나는 오프셋(자기장은 측정 결과에 대해 영향을 갖지 않음)이 수십 mT 만큼의 양으로 보고되며, 이는 수 mV 수준의 순수 오프셋 전압을 통상적으로 야기한다. 일체형 수직 홀 요소의 경우에, 순수 오프셋은 통상적으로 상당히 크다.
- [0039] 저항 비대칭성 다음으로, Seebeck 효과로 인한 전류- 및 전압-독립적 오프셋 전압이 또한 보고된다. 그러나, 이러한 효과들은 10배 정도 작은 값으로 수치화된다. 이들은 자기장에 실질적으로 의존하는, 적어도 하나의 홀 요소로부터 관측 신호  $V_H$ 를 얻도록, 서로의 초핑된 버전(chopped versions)인 2개의 측정치를 평균화함으로써(즉, 바이어싱 방향을 역전시키고 감지를 역전시킴으로써) 또한 제거될 수 있다. Seebeck 효과의 원인이 온도 차이에 있기 때문에, 이 효과는 홀 플레이트 내 그리고 근처의 불균등 분포된 열 발생을 피함으로써 또한 감소될 수 있다.
- [0040] 오프셋에 대항하기 위한, 이에 제한되지 않는, 본 발명의 중요한 기술은 "스피닝 전류법"(spinning current method)이다. 이 방법에서, 바이어스 전류의 서로 다른(종종 직교하는) 방향들에 대해 획득되는 관측 신호들이 시간에 걸쳐 평균화된다. 원칙적으로, (저항 비대칭성으로 인한 오프셋 제거를 위해) 2개의 측정치로 충분하다.

이러한 최소 상황은 "투-페이즈 스피닝"(two-phase spinning)으로 불릴 것이다. 많은 경우에, 판독 수치가 투-페이즈 스피닝 측정치의 초평된 변형을 이용함으로써 더 변경되어, 결과적으로 포-페이즈 스피닝이 된다. 포-페이즈 스피닝(four-phase spinning)은 Seebeck-관련 오프셋이 존재할 때 투-페이즈 스피닝에 비해 유한한 장점을 가지며, 왜냐하면, 이들이 기본적으로 거부되기 때문이다. 다음 내용에서, "잔류 오프셋"이라는 용어는 서로 다른 스피닝 전류 판독치의 평균화 후 유지되는 오프셋 - 즉, 자기장에 실질적으로 의존하는 홀 요소로부터의 신호  $V_H$ 를 획득할 때 나타나는 오프셋 - 에 대해 사용될 것이다.

[0041] 소정의 조건 하에서, 투-페이즈 스피닝은 저항 비대칭성으로 인한 오프셋의 완벽한 소거를 이미 제공할 수 있다고 알려져 있다. 충분한 조건은 (i) 바이어스를 위해 이상적 전류 소스 이용과, (ii) 로딩없이(즉, 전류없음) 홀 요소의 출력 전압 감지와, (iii) 홀 소자는 완벽하게 선형으로 거동해야함이다. 후자는 tsp서 요소의 4개의 노드에서 전압과 전류 간의 관계가 선형임을 의미한다. 그 주장은 대체로 일반적인 상호성 원칙에 기초하여, 더 밀접한 검사에 따라, 비대칭 홀 소자에 또한 적용됨을 확인할 수 있다.

[0042] 홀 플레이트의 비선형성은 잔류 오프셋의 원인이 된다. 실제 일체형 홀 요소에서, 소정의 비선형 거동이 항상 존재한다. 이러한 일체형 홀 플레이트는 pn-정선에 의해 주변 환경으로부터 분리된다. 전압-의존적 공핍 효과로 인해, 플레이트의 두께가 전압과 함께 변화한다. 통상적으로 홀 소자의 자기 감도가 (i) 낮게 도핑된 물질과, (ii) 충분히 큰 바이어스 전압을 이용함으로써 최대화되기 때문에, 공핍 효과는 통상적으로 고감도를 목표로 하는 홀-기반 자기 센서에 관련되게 된다.

[0043] 앞서 설명된 스피닝 전류법에 밀접하게 관련된 기술은 2개(이상)의 개별 홀 플레이트의 판독 신호를 직접 조합하는 것이다. 개별 홀 플레이트들은 서로 다른 방향으로 바이어스 전류를 가진다. 이는 종종 "공간 애버리징"(spatial averaging) 또는 "직교 결합"(orthogonal coupling)으로 불리지만, 본 발명의 범주에서 "기하학적 스피닝"(geometric spinning)이란 용어가 사용될 것이다. 기하학적 스피닝은 통상적으로 2개의 이웃하는 홀 소자들이 높게 상관된 순수 오프셋을 갖는 점에 의존한다. 이는 기본적으로, 다이 내 전체 응력과 같이, 이러한 순수 오프셋의 지배적 소스가 상당히 유사하기 때문이다. 그러나, "기하학적 스피닝"은 일반적으로 시간-도메인 스피닝에 비해 높은 잔류 오프셋을 가질 것이다. 이는 오프셋-야기 소스(가령, 응력 및 온도 차)가 개별 플레이트들에 대해 완전히 동일하지 않기 때문이다. 소자들은 또한 정적인 미스매치를 내재적으로 가진다. 따라서, 잔류 오프셋을 최소로 감소시키기 위해, 기하학적 스피닝이 대부분의 경우에 시간-도메인 스피닝과 조합된다.

[0044] 오프셋 및 그 장기 드리프트가 중요한 파라미터인, 홀 센서의 여러 응용예들이 존재한다. 예를 들어, 지구의 작은 자기장 측정에 의존하는 전자 나침반의 경우에,  $2\mu T$ 의 잔류 오프셋은 나침반 판독치에서  $4^\circ$ 의 에러로 변환된다. 앞서 언급한 바와 같이, 잔류 오프셋이 정적인 값일 경우, 원칙적으로 제거될 수 있으나, 이는 교정을 위한 소정의 추가 비용을 야기한다. 그러나, 이러한 교정을 유효하게 유지시키기 위해, 센서는 낮은 장기 오프셋 드리프트를 가져야만 하며, 이는 대부분의 경우에 패키지-유도 응력의 드리프트로 인해 어렵다. 홀 센서의 다른 응용에는, 종종 입력 전류의 제로-크로싱을 정확하게 검출할 필요가 있는, 비접촉 전류 감지다. 또한 여기서, 최소 장기 드리프트를 가진 낮은 오프셋이 중요하다.

[0045] 위 언급된 오프셋은 전자 판독의 오프셋과 관련하여 여러 시스템에서 지배적이다. 당 업계의 해법은 100nV를 보고하며, 이는 전형적인 순수 오프셋보다 적어도 1000배 이상이다.

[0046] 정적인(즉, 시간에 따라 변하지 않을 것으로 예상되는) 것으로 고려될 수 있는 두가지 오프셋 요인 - 즉, 도핑 농도의 불균질성과, 기하학적 불완전성 - 이 존재한다. 이들은 교정 관점으로부터 가장 덜 어려운 카테고리이며, 왜냐하면, 그 효과가 원-타임 교정에 의해 원칙적으로 제거될 수 있기 때문이다. 정적인 에러는 다른 정적이지 않은 효과와 여전히 상호작용할 수 있다(가령, 전압-의존적 공핍층 변조).

[0047] 정적이지 않은 나머지 오프셋은 대략 두가지 분류 - (즉, 홀 요소 및 전자 판독 회로를 기진 다이 내의) 내부적 분류와, (즉, 패키지 및 연장된 환경으로 인한) 외부적 분류로 나누어질 수 있다. 패키지가 외부적으로 가해지는 온도 구배에 놓일 경우, 이는 다이 내의, 따라서, 또한, 홀 플레이트에 걸친, 온도 구배로 변환될 것으로 가정될 수 있다. 원칙적으로, 이러한 온도 구배는 홀 요소 주위로 이격된 4개의 온도 센서와 같이, 복수의 온-칩 온도 센서를 이용함으로써 검출될 수 있다. 따라서, 직접적인 열 흐름을 통해 센서 상에 가해지는 외부 열 조건의 영향은, 꽤 쉽게 결정될 수 있다. 많은 경우에, 플레이트 근처의 단 하나의 온도-측정만이 수행되며, 패키징된 홀 센서에 걸쳐 강한 열 구배를 피하기 위해 고객의 책임으로 남는다.

[0048] 가령, 다양한 구성요소의 주울 열로 인한, 내부적(온-칩) 열원이 이제 고려된다. 이러한 내부 열원의 결과로, 다이 내의 온도가 환경에 의해 가해지는 주변 레벨보다 (약간) 높게 상승할 것이다. 조심스런 시스템 설계 및



잘 고려된 레이아웃을 통해, 홀 요소 및 판독 전자 수단 근처의 온도 구배를 가능한 피해야만 한다. 이는 불필요한 온-칩 열 생성 회피와, 등온선에 홀 요소 및 민감 전자 수단의 배치와, 임의의 열원으로부터 가능한 멀리 이들의 제거를 포함한다.

- [0049] 피할 수 없는 중요한 열원은 가령, 바이어스 전류로 인한, 홀 요소 내에서 직접 발생하는 주울 발열이다. 여기서, (가령, 스피닝할 때) 측정 시퀀스는 임의의 홀 요소 내의 불균일한 주울 발열을 피하도록 최적화될 수 있다. 그러나, 특히 복수의 밀접-이격 홀 요소들이 사용될 때, 가령, 기하학적 스피닝의 경우에, 시간-평균화된 온도는 여전히 플레이트에 걸쳐 소정의 작은 변화를 보여줄 수 있다.
- [0050] 온도는 플레이트의 저항을 큰 정도로 결정한다. 또한, 홀 플레이트의 바이어스에 사용되는 전류 레벨은 (가령, 자기장 감도의 온도 종속성을 보상하는 용도로, 가끔 명시적으로) 종종 온도 의존적이다. 따라서, 일반적으로 플레이트 내에서 생성되는 주울 열은 온도-의존적이다. 그 결과, 온도 구배 크기는 (평균) 온도에 좌우되어, 온도-의존적 오프셋을 갖게 된다. 또한, 집적 회로가 서로 다른 열팽창계수를 가진 금속 및 실리콘-기반 물질로 제조되기 때문에, 온도-의존적 내부 응력이 다이 내에 존재한다. 압전-저항 메커니즘 때문에, 이러한 응력은 온도-의존 오프셋으로 또한 변환된다.
- [0051] 지금까지 세부화된 다양한 오프셋-생성 메커니즘은 온도(그리고 외부 환경에 의해 가해지는 열 구배 가능성)에만 의존하며, 따라서, 온도에 재현가능한 방식으로 의존하는 오프셋을 야기시킨다. 이는 정선 전계 효과와 관련하여 또한 적용되며, 이는 전압-의존성에 더하여, 또한 온도에 의해 덜 영향받는다(가령, 정선의 내재적 전위가 온도에 따라 변하기 때문임). 또한, 가령, 스피닝으로 인한, 동적 효과와, 판독 전자 수단이, 각각의 온도에 대해 재현가능한 방식으로 수행될 것으로 종종 가정된다. 따라서, 앞서 설명한 오프셋-원인으로부터만 나타나는 잔류 오프셋의 일부분과, 신호 체인 종료시의 오프셋도, 온도가 알려져 있을 때 재현가능한 것으로 기대된다.
- [0052] 많은 이 분야의 홀 시스템들은 온-칩 온도 센서, 보상 회로, 및 생산 중 획득되는 교정 데이터를 저장하기 위한 저장 수단을, 이러한 재현가능한 온도-의존적 오프셋을 보상하기 위한 용도로, 가진다. 생산-시간 교정의 전형적인 예로서, 홀 센서가 모든 외부 자기장을 제거하기 위한 용도로 제로-가우스 챔버 내에 놓인다. 그 후, 센서 출력과 같은 판독값이 (잔류) 오프셋의 척도로 사용될 수 있다. 이는 서로 다른 온도와 같은 서로 다른 환경 조건에 대해 반복될 수 있고, 그 결과는 칩 내의 교정 데이터 형태 하에 저장될 수 있다. 작동 중, 저장된 교정 데이터를 이용하여 (잔류) 오프셋에 반작용할 수 있다. 이는 다수의 방식으로 이루어질 수 있다. 예를 들어, 디지털 출력을 갖는 홀-기반 센서의 경우에, 디지털 센서 판독으로부터 저장된(잔류) 오프셋을 뺄으로써 보상이 실현될 수 있다. 많은 다른 기법들이, 이용될 수 있다 - 가령, (홀 센서, 프론트-엔드 판독 증폭기, 중간 이득 스테이지, 등에서) 신호 체인 내 소정의 장소에서(가령, 홀 센서, 프론트-엔드 판독 증폭기, 중간 이득 스테이지, 등에서) DAC를 이용하여 오프셋 교정 신호를 주입할 수 있다.
- [0053] 불행하게도, 일부 오프셋 소스는 온도의 함수로 부분적으로만 재현가능하다. 중요한 예는 예를 들어, 패키지-유도 응력으로 인한 오프셋이다. 다이 상에서 패키지에 의해 가해지는 힘은 온도에 크게 의존하고(즉, 상당히 큰 재현가능 효과가 있음), 또한 패키지에 의해 흡수되는 습도의 크기에도 의존한다. 습도가 측정되지 않기 때문에, 다이 내의 전체 응력이 (부분적으로) 예측불가능한 방식으로 변화하고, 이는 압전-저항 효과를 통해 예측 불가능한 오프셋-성분으로 변환된다. 문헌에서, 반도체(가령, 실리콘) 다이 상의 패키지에 의해 야기되는 응력은 오프셋 및 오프셋 드리프트의 주 소스로 식별된다.
- [0054] 본 발명은 응력으로 인한 오프셋을 감지하기 위해 홀 요소 자체의 이용과, 이러한 오프셋 신호를 이용한 응력-의존적 오프셋 성분 보상에 관련된다.
- [0055] 본 발명은 (잔류) 오프셋의 응력 보상 용도로 홀 요소에 직접 오프셋-관련 신호를 측정하기 위한 측정 수단을 구비한 방법 및 장치를 개시한다. 알려지지 않은 빠르게 변화하는 자기장이 존재할 때에도 그리고 서로 다른 페이지 간에 홀 요소의 자기 감도에 미스매칭이 있을 때에도, 오프셋-관련 신호가 어떻게 측정될 수 있는지가 개시된다. 이 방법은 효과적인 보상을 위한 보상 기법 및 생산-시간 교정 과정을 또한 개시한다.
- [0056] 본 발명의 실시예에 따른 홀 센서(100)가 도 3에 도시되며, 상기 홀 센서는, 도핑된 반도체 물질로 제조되는 플레이트-형상 센서 요소와, 제 1 여기 접촉부에 연결되는 적어도 하나의 제 1 여기 노드와, 제 2 여기 접촉부에 연결되는 적어도 하나의 제 2 여기 노드와, 제 1 감지 접촉부에 연결되는 적어도 하나의 제 1 감지 노드와, 제 2 감지 접촉부에 연결되는 적어도 하나의 제 2 감지 노드를 포함하는 적어도 하나의 홀 요소(101)를 포함한다. 플레이트-형상 센서 요소는 기판 또는 웰 내에 매립되어, 제 1 pn-정선을 이용하여 기판 또는 웰로부터 분리될 수 있고, 기판 또는 웰은 제 1 고정 전압에 연결가능하다. 홀 센서(100)는 센서 노드에서 적어도 하나의 홀 요

소(101)에 대한 측정을 수행할 수 있는 전자 측정 디바이스와, 여기 노드에서 적어도 하나의 홀 요소(101)에 전류를 공급하기 위한 하나 이상의 바이어스 소스(102)를 더 포함한다. 홀 센서(100)는 적어도 하나의 홀 요소(101)의 다양한 노드로 측정 전자 수단 및 바이어스 소스(102)를 스위칭하기 위한 스위치를 더 포함한다.

[0057] 특정 실시예에서, 홀 센서(100)는 아날로그-디지털 컨버터(ADC)(104), 및 컨트롤러(105)를 위한 전자 회로들을 포함한다. ADC(104)는 홀 요소(101)에 대해 수행되는 측정을 디지털 형태로 변환하는데 사용되고, 홀 요소(101)에 대해 이루어지는 다양한 측정을 컨트롤러(105)에 가용하게 한다. 컨트롤러(105)는 컴퓨팅 디바이스, 가령, 마이크로프로세서를 포함할 수 있고, 이것이 예를 들어, 마이크로컨트롤러일 수 있다. 특히, 프로그래머블 어레이 로직(PAL), 프로그래머블 로직 어레이(PLA), 프로그래머블 게이트 어레이(PGA), 특히 필드 프로그래머블 게이트 어레이(FPGA)와 같은 프로그래머블 디지털 로직 디바이스를 포함할 수 있다. 컨트롤러(105) 및/또는 ADC(104)는 홀 요소(101)를 지닌 동일 다이 상에 함께 집적될 수 있다. 컨트롤러(105)는 스위치(103)의 상태를 제어하기 위한 수단을 구비할 수 있다.

[0058] 본 발명의 실시예에 따른 홀 센서(100)는 온도 센서(106)를 더 포함할 수 있고, 상기 온도 센서는 홀 요소(101)에 가까운 온도를 측정하는 것이 바람직하다.

[0059] 본 발명의 실시예에 따른 홀 센서(100)는 적어도 하나의 홀 요소(101)로부터 제 1 판독 신호  $V_H$ 를 획득하기 위한 수단을 구비하며, 상기 제 1 판독 신호  $V_H$ 는 자기장에 실질적으로 의존한다. 이후, 이러한 제 1 판독 신호  $V_H$ 가 어떻게 획득될 수 있는지에 관한 일부 예가 제공되지만, 본 발명은 이에 제한되지 않는다.

[0060] 홀 센서(100)는 바이어스 전류를 소싱하는 홀 요소의 제 1 여기 노드에 연결하기 위한 적어도 하나의 노드와, 바이어스 전류를 싱킹하는 홀 요소의 제 2 여기 노드에 연결하기 위한 다른 노드를 가진 바이어스 소스를 구비한다(도 3 참조). 홀 요소(101)의 제 1 여기 노드는 공급 전압에, 또는, 이러한 소싱 노드에 전류를 전달하는 전류 소스에, 연결될 수 있다. 제 2 여기 노드는 다른 고정 전압 레벨, 가령, 접지부에 내부적으로 연결될 수 있고, 또는, 전류 소스 싱킹 전류, 가령, 접지부에 연결될 수 있다. 여기는 전류-모드일 수 있고, 전압-모드일 수도 있다. 일부 실시예에서, 여기 전류를 측정하기 위한 수단이 제공된다. 임의의 특정 순간에서 홀 요소(101)의 노드 A, B, C, D 중 어느 것이 여기 노드로 기능하는지, 그리고, 어느 것이 감지 노드로 기능하는 지는 해당 순간에 스위치(103)의 구조 및 측정 셋업에 달려있다.

[0061] 홀 센서(100)는 2개의 노드, 즉, 플러스 노드 및 마이너스 모드를 가진 측정 디바이스(107)를 구비할 수 있고, 차동 측정을 수행할 수 있다. 이러한 측정은 전압-모드로 실현되는 것이 바람직하지만, 대안으로서, 전류 모드로 수행될 수도 있다.

[0062] 이후 설명되는 모든 측정에서, 측정되는 전압은 측정 저항을 획득하도록, 바이어스 소스(102)를 이용하여 인가되는 전류에 의해 나누어질 수 있다.

[0063] 전압 측면에서 이후 정형화되는 결과는 저항, 전도성, 또는 다른 파생 양 측면에서 등가의 형태를 갖는다.

[0064] 자기장에 실질적으로 의존하는 홀 요소(101)로부터의 제 1 판독 신호를 획득하는 단계는, 예를 들어, 도 4에 도시되는 홀-형 측정들 중 임의의 측정의 수행을 포함할 수 있다. 도 4는 4개의 전기 노드(각각은 홀 요소(101) 상의 일 접촉부에 대응하며 연결됨)를 포함하는 수평 홀 요소에 대해 이루어지는 측정을 도시한다. 측정은, 역시 적어도 4개의 전자 노드를 또한 가진, 수직 홀 소자에 마찬가지로 동일하게 적용될 수 있다(그러나 여기서 일 노드는 홀 요소(101) 상에 하나보다 많은 접촉부를 포함할 수 있음).

[0065] 두 접촉부 사이에 그려진 화살표는 이러한 접촉부들을 전류 접촉부로 식별하며, 전류는 화살표의 꼬리에서 홀 요소(101)에 들어가고, 화살표의 머리에 의해 가리켜지는 접촉부를 떠난다. 따라서 화살표는 플레이트 내의 전류 흐름 방향을 개략적으로 표시한다. 도 3에 도시되는 구조에서, 스위치는 그 후 바이어스 소스의 소싱 노드가 홀 플레이트 노드(여기에서 전류가 홀 요소(101)에 들어감)에 연결되고, 바이어스 소스의 싱킹 노드가 홀 플레이트 노드(여기에서 전류가 홀 요소(101)를 떠남)에 연결되도록 작동된다.

[0066] 도시되는 각각의 구조에서, 2개의 나머지 접촉부가 감지 접촉부다. 감지 접촉부들 간에 전압차가 측정되며, 이는 플러스 부호로 표시되는 접촉부에서의 전압과, 마이너스 부호로 표시된 접촉부의 전압의 차이이다. 도 3에 도시되는 구조에서, 스위치(103)는 측정 디바이스(107)의 플러스 노드가 플러스 부호로 표시된 홀 플레이트 노드에 연결되고, 측정 디바이스(107)의 마이너스 노드가 마이너스 부호로 표시된 홀 플레이트 노드에 연결되도록 작동된다.

[0067] 홀-형 측정은 홀 요소(101)의 에지를 따름으로써 형성되는 순서로 노드들을 살필 때, 2개의 연이은 노드들이 서

로 다른 기능을 갖도록 하는 것을 추가의 특징으로 한다 - 즉, 감지용으로 사용되는 홀 요소 노드가 전류 공급용 홀 요소 노드와 교번된다. 접촉부, 따라서, 관련 노드들이 플레이트-형상 센서 요소의 에지에 위치할 때, 그 순서가 명확히 규정되며, 연이은 노드들은 특정 방향으로 플레이트-형상 센서 요소의 에지에 이어질 때 서로 인접한 노드다. 노드들이 특정-형상 센서 요소의 에지 상에 위치하지 않을 때, 그 순서가 결정될 필요가 있다. 이는 플레이트의 에지 상에 모든 접촉부가 위치할 때까지 플레이트 영역을 감소시킴으로써 이루어질 수 있고, 이는 다시 플레이트의 "새 에지"에 이어질 때 그 순서를 결정할 수 있게 한다.

[0068] 도 4에 도시되는 구조에 따른 4개의 홀-형 판독 신호가  $V_{h,1}$ ,  $V_{h,2}$ , ...,  $V_{h,4}$ 로 표시된다. 이러한 측정치들은  $V_H$ 에 대해 사용될 수 있다. 이러한 홀-형 측정치 각각은 관련된 오프셋  $V_{oi}$ 를 가지며, 이는 자기장 부재시(즉,  $B=0$ ) 획득되는 측정 결과다:

$$[0069] \quad V_{o1} = V_{h1}|_{B=0} \quad V_{o2} = V_{h2}|_{B=0} \quad V_{o3} = V_{h3}|_{B=0} \quad V_{o4} = V_{h4}|_{B=0}$$

[0070] 자기장 B에 실질적으로 의존하는 홀 요소(101)로부터의 판독 신호를 획득하는 단계는, 서로 다른 홀-형 측정치들의 평균화를 포함할 수 있다. 이러한 평균화는 투-페이즈 스피닝 및 포-페이즈 스피닝의 경우에서와 같이, 순차적으로 획득되는 홀-형 측정치들을 수반할 수 있다. 대안으로서 또는 이와 조합하여, 이러한 평균화는 기하학적 스피닝의 경우와 같이 적어도 2개의 홀 플레이트의 상호연결에 대해 이루어지는 홀-형 측정치들을 또한 수반할 수 있다.

[0071] 본 발명의 실시예에서,  $V_H$  신호는 단일 홀 요소의 포-페이즈 스피닝에 의해 획득될 수 있다. 그 후  $V_H$ 는 4개의 홀-형 판독치( $V_{h,1}$ ,  $V_{h,2}$ , ...,  $V_{h,4}$ )의 평균에 대응한다:

$$[0072] \quad V_H = \frac{V_{h,1} + V_{h,2} + V_{h,3} + V_{h,4}}{4} \quad (1)$$

[0073] 제 1 판독 신호  $V_H$ 는 2개의 성분으로 분해될 수 있다:

$$[0074] \quad V_H = V_O + S \cdot B \quad (2)$$

[0075] 첫번째 항( $V_O$ )은 오프셋에 대응하고, 두번째 항  $S \cdot B$ 는 자기 성분이다( $S$ 는 자기 감도를 표시).

[0076] 본 발명의 실시예에 따른 홀 센서(100)는, 자기장 B에 실질적으로 독립적인, 그리고, 제 1 판독 신호  $V_H$ 에 대한 오프셋  $V_O$ 의 예측에 사용되는, 적어도 하나의 홀 요소(101)로부터의 제 2 판독 신호  $V_P$ 를 획득하기 위한 수단을 또한 구비한다. 이후, 일부 예는 이러한 제 2 판독 신호  $V_P$ 가 어떻게 획득될 수 있는지의 일부 예가 제공되지만, 발명은 이에 제한되지 않는다.

[0077] 홀-형 측정치들은 자기장 B에 의존하기 때문에 제 2 판독 신호  $V_P$ 로 직접 사용될 수 없다. 그러나, 적어도 2개의 홀-형 측정치들과 선형 조합을 이용함으로써, 자기장으로 인한 성분이 소거될 수 있다. 한 예로서, 2개의 홀-형 측정치들 간의 차이가 다음과 같이 나타날 수 있다:

$$[0078] \quad V_P = \frac{V_{h,i} - V_{h,j}}{2}$$

[0079] 이때,  $i, j \in \{1, 2, 3, 4\}$  이고,  $i \neq j$  이다. 오프셋 및 자기 성분으로 분할함으로써, 그리고 자기 감도 및 자기장이 두 상황에서 동일하다고 가정함으로써, 다음의 결과를 얻을 수 있다:

$$[0080] \quad \begin{cases} V_{h,i} = V_{o,i} + S \cdot B \\ V_{h,j} = V_{o,j} + S \cdot B \end{cases} \Rightarrow V_P = \frac{V_{h,i} - V_{h,j}}{2} = \frac{V_{o,i} - V_{o,j}}{2}$$

[0081] 따라서, 이러한 조건 하에서,  $V_P$ 는 자기장에 실질적으로 독립적이고, 홀-형 측정 중 나타나는 오프셋에 명확하게 관련된다. 자기 감도가 정확히 동일하지 않지만 일정하게 유지되기 때문에,  $V_{h,i}$  및  $V_{h,j}$ 의 약간 다른 선형 조합을 이용하여 자기 성분을 소거시킬 수 있다. 이는 감도 비를 결정하기 위해 교정 측정을 요구할 것이라고 예상된다.

[0082] 홀-형 측정의 선형 조합의 두번째 예는 다음에 따라 모두 4개의 홀-형 판독치를 조합함으로써 획득된다:

$$V_P = \frac{V_{h,1} - V_{h,2} + V_{h,3} - V_{h,4}}{4} \quad (3)$$

[0084] 동일한 자기장이 개별 측정 중 존재한다고 다시 가정하고, 자기 감도가 동일하다고 가정하면, 수식 (3)이 자기장 B에 실질적으로 독립적이고 다음과 같이 주어짐을 쉽게 도출할 수 있다:

$$V_P = \frac{V_{o,1} - V_{o,2} + V_{o,3} - V_{o,4}}{4} = V_{raw} \quad (4)$$

[0086] 이는 평균 순수 오프셋  $V_{raw}$ 에 대응한다.

[0087] 적어도 2개의 (밀접하게 이격된) 홀 플레이트들이 사용될 경우, "홀-측정치의 교변 기하학적 스피닝"(altered geometric spinning of Hall-Measurements)라 불리는 기술이 적용될 수 있다. 이러한 경우에, 홀 플레이트는 자기 성분들을 소거시키는 방식으로 상호연결된다. 이는 각각의 홀 플레이트의 2개의 노드들을 전기적으로 연결하는 스위치를 제공함으로써 실현된다. 도 5의 상부는 하나의 홀-형 구조에 하나씩 2개의 홀 플레이트의 제 1 예를 제공하며, 여기 및 감지 모두가 직렬로 놓인다. 도 5의 하부는 하나의 홀-형 구조에 하나씩 2개의 홀 플레이트의 두번째 예를 제공하며, 여기 및 감지 모두가 병렬로 배치된다. 가령, 감지 신호의 직렬 연결과 여기의 병렬 연결과 같은, 조합이 또한 이루어질 수 있다. "홀-측정치의 교변 기하학적 스피닝"의 장점은 자기 성분이 시간 상의 동일 순간에 외부 장에 대응한다는 점이다. 그 후 자기장 성분의 소거는 개별 홀 요소들 간의 감도의 우수한 정합에 주로 의존한다.

[0088] 본 발명의 실시예에 따르면, 자기장에 실질적으로 독립적인 홀 요소(101)로부터의 제 2 판독 신호를 획득하는 단계는, 도 6에 도시되는 "반데포"(van der Pauw)-형(VDP) 측정들 중 임의의 측정의 수행을 포함할 수 있다. 도면은 4개의 전기 노드(각각은 홀 요소 상의 하나의 접촉부에 대응함)를 포함하는 수평 홀 요소(101) 상에서 이루어지는 측정을 도시한다. 측정은 역시 적어도 4개의 전기 노드를 갖는 수직 홀 디바이스에 동등하게 적용될 수 있다(하지만 이 경우 일 노드가 홀 요소 상의 하나보다 많은 접촉부를 포함할 수 있다).

[0089] 2개의 접촉부 사이에 그려진 화살표는 이러한 접촉부들을 전류 접촉부로 식별하고, 화살표의 꼬리부에서 전류가 홀 요소에 들어오고, 화살표 머리에 의해 가리켜지는 접촉부에서 전류가 빠져나간다. 따라서 화살표는 플레이트 내 전류 흐름 방향을 개략적으로 표시한다. 도 3에 도시되는 본 발명의 실시예에 따른 예시적 디바이스에서, 그 후 스위치(103)는, 바이어스 소스(102)의 소싱 노드가 (전류가 홀 요소(101)로 들어가는) 홀 플레이트 노드에 연결되고, 바이어스 소스(102)의 싱킹 노드가 (전류가 홀 요소(101)를 떠나는) 홀 플레이트 노드에 연결되도록, 작동된다.

[0090] 도시되는 각각의 구조에서, 2개의 나머지 접촉부는 감지 접촉부다. 감지 접촉부들 사이에서 전압차가 측정되는데, 이는 플러스 부호로 표시되는 접촉부에서의 전압과 마이너스 부호로 표시되는 접촉부의 전압의 차이이다. 도 3에서, 스위치(103)는, 측정 디바이스(107)의 플러스 노드가 플러스 부호로 표시된 홀 플레이트 노드에 연결되고, 측정 디바이스(107)의 마이너스 노드가 마이너스 부호로 표시된 홀 플레이트 노드에 연결되도록 작동된다.

[0091] VDP-형 측정은 플레이트-형상 센서 요소의 에지를 따름으로써 형성되는 순서로 노드들을 살필 때, 동일 기능 - 이 기능은 여기 또는 감지를 위한 기능임 - 을 가진 노드들이 연이어 나타나는 것을 추가의 특징으로 한다. 접촉부가, 따라서, 관련 노드가, 플레이트-형상 센서 요소의 에지에 위치할 때, 그 순서가 명확히 규정되고, 연이은 노드들은 특정 방향으로 플레이트-형상 센서 요소의 에지를 따를 때 서로에 인접한 노드다. 노드들이 플레이트-형상 센서 요소의 에지 상에 위치하지 않을 때, 그 순서가 결정될 필요가 있다. 이는 모든 접촉부들이 플레이트의 에지 상에 위치할 때까지 플레이트-형상 센서 요소의 영역을 축소시킴으로써 실현될 수 있고, 이는 다시



플레이트의 "새 에지"에 이어질 때 그 순서를 결정할 수 있게 한다. 제 2 판독 신호  $V_P$ 를 도출하기 위한 "반데포"-형 측정을 이용할 때의 장점은 이들이 자기장 존재에 실질적으로 무감하다는 점이다. 그 이유는 홀 효과가 동일한 방식으로 두 감지 접촉부 모두의 전위를 변화시키기 때문이며, 이는 이러한 VDP 측정 중 측정되는 전압차에 거의 영향이 없음을 의미한다. 따라서, VDP-형 측정 수행에 걸리는 시간 역시 자기장이 일정하게 유지되어야 하는 요건에 의해 구속되지 않는다.

[0092] 본 발명의 특정 실시예에서, 홀 요소(101)로부터 제 2 판독 신호  $V_P$ 를 획득하는 단계 - 제 2 판독 신호  $V_P$ 는 자기장 B에 실질적으로 독립적임 - 는, 2개의 "반데포"-형 측정치의 차를 취하는 단계를 포함할 수 있다. 이 차이는 순차적으로 획득되는 "반데포"-형 측정치를 수반할 수 있다. 대안으로서, 이러한 차이는 적어도 2개의 홀 플레이트(101)의 상호연결에 대해 단일 측정을 수행함으로써 획득될 수 있고, 각각의 개별 홀 요소(101)는 "반데포"-형 구조에 있다. 한 예가 도 7에 제공된다.

[0093] 본 발명의 실시예에서, 홀 요소(101)로부터 제 2 판독 신호  $V_P$ 를 획득하는 단계 - 상기 제 2 판독 신호  $V_P$ 는 자기장 B에 실질적으로 독립적임 - 는 앞서 설명된 가능성들 중 임의의 것을 통해 획득되는 판독 신호  $V_P$ 들의 평균화를 포함할 수 있다. 이는 멀티-페이즈 스피닝과 유사한 동일 타입의 구조에 대한 평균화를 포함한다.

[0094] 본 발명의 실시예에서, 자기장에 실질적으로 독립적인 홀 요소(101)로부터의 제 2 판독 신호  $V_P$  획득 단계는, 다음의 수식에 따른 8개의 VDP 측정들의 선형 조합이 결정을 포함할 수 있다:

$$V_P = V_{vdp,raw} = \frac{V_{v2} - V_{v1} + V_{v4} - V_{v3} + V_{v6} - V_{v5} + V_{v8} - V_{v7}}{4} \quad (5)$$

[0096] 또는

$$V_P = V_{vdp,res} = \frac{V_{v1} - V_{v5} + V_{v2} - V_{v6} + V_{v3} - V_{v7} + V_{v4} - V_{v8}}{4} \quad (6)$$

[0098] 우리는 수식 (2)에 따라 자기 성분 B에 관한 항 및 오프셋  $V_0$ 에서 분해될 수 있는 제 1 판독 신호  $V_H$ 가 이제 가능하다. 시스템이  $V_0$ 를 추정할 수 있을 경우, 오프셋-보상 판독치를 획득할 수 있다.

[0099] 본 발명의 실시예에 따른 홀 센서(100)에는 제 2 판독 신호  $V_P$ 로부터  $V_0$ 의 추정치  $\hat{V}_O$ 를 결정하기 위한 수단이 제공된다. 이를 이용하여, 오프셋-보상 신호가 도출될 수 있다:

$$V_{H,comp} = V_H - \hat{V}_O \quad (7)$$

[0101] 이는 자기장 결정에 또한 사용될 수 있다. 수식 (7)에 따라 오프셋-보상 신호를 획득할 가능성이 많다. 도 3에 도시되는 것과 같은 유연한 구조의 경우, 이는 디지털 감산으로 컨트롤러(105)에 의해 구현될 수 있다. 동일한 효과가 다른 방식으로, 가령, 당 업자가 쉽게 이해할 수 있듯이, 프론트-엔드에서 보상 신호를 주입함으로써, 실현될 수 있다. 오프셋 보상 신호를 수행하기 위한 신호의 예측이 발명의 일부분인 상황에서, 오프셋 보상 신호 획득을 위한 이러한 신호 인가는 당 업자의 통상의 지식 내에 있다.

[0102] **VDP 측정으로부터 홀-형 오프셋 예측**

[0103] 선형 홀 요소의 이상화된 경우에, 홀-형 판독의 오프셋들 간에 유도될 수 있는 소정의 수학적 관계가 존재하며, VDP 측정치들의 차이가 가능한 제 2 판독 신호  $V_P$ 로 사용하기 위해 제안된다. 특히, 약한 비선형 플레이트의 경우에,  $V_H$ 의 오프셋 보상을 위해 우수한 예측기(predictors)가 유도될 수 있다.

[0104] 2개의 "반데포 측정" 및 오프셋 측정이 선형 관계임이, 등방성 물질에 대한 L. J. van der Pauw, "A method of measuring specific resistivity and Hall effect of discs of arbitrary shape," Philips Research Reports, vol. 13, no. 1, 1958, 또는 이방성 물질에 대한 R. T. H. Shibata, "A potential problem for point contacts on a two-dimensional anisotropic medium with an arbitrary resistivity tensor," J. Appl.

Phys., vol. 66, no. 10, November 1989로부터 유도될 수 있다. 따라서, 획득되는 증거는 이러한 공개본에서 암묵적으로 제시되는 부가 조건에 여전히 좌우된다 - 가령, 물질이 구조를 통해 균일한 성질을 가진다고 가정된다.

[0105] 발명자는 불균일 물질에 대해 동일한 관계가 유효하게 유지됨을 유도하였다. 이러한 유도는 플레이트의 에지에 위치하지 않는 접촉부와, 연장된 접촉부를 갖는 홀 플레이트에 대해 또한 유효하다. 윤곽이 이후 제시된다.

[0106] 제로 자기장에서, 선형 홀 플레이트가 4개의 노드에서 전압 및 전류를 관계시키는 저항-매트릭스에 의해 설명된다. 일반적인 비대칭 홀 플레이트는 제로 자기장에서 6개의 독립적인 파라미터를 갖고, 이는 "Limits of Offset Cancellation by the Principle of Spinning Current Hall Probe", Proceedings of IEEE Sensors, Oct. 2004, pp.1117-1120에 소개되어 있고, 본 발명에서 참고자료로 포함된다. 직관적 연산을 이용하여, 홀-기반 측정 중 오프셋 수식이 (6개의 독립 파라미터의 함수로) 얻어졌다. 전류-바이어스로,  $V_{o1} = -V_{o2} = V_{o3} = -V_{o4}$  이 발견되며, 이는 상호성 원칙 이용으로부터 예상되는 것과 일치한다. 유사한 연산에 의해, (전류 바이어스 및 동일 전류를 이용하여) VDP 측정 수식이 유도될 수 있다. 그 후  $V_{v1} = V_{v3} = V_{v5} = V_{v7} \stackrel{\text{def}}{=} V_{v,odd}$  및  $V_{v2} = V_{v4} = V_{v6} = V_{v8} \stackrel{\text{def}}{=} V_{v,even}$  가 직접 성립될 수 있다.  $V_{o1} = -V_{o2} = V_{o3} = -V_{o4} = V_{v,even} - V_{v,odd}$  가 유도되었다.

[0107] 따라서, 선형 홀 요소(101)의 경우, 이븐-페이즈(even-phase) VDP-형 측정 중 임의의 값과, odd-페이즈(odd-phase) VDP-형 측정 중 임의의 값 간의 차이는 홀 측정의 순수 오프셋과 동일하다(엑스트라 마이너스 부호를 가질 가능성이 있음). 한 예로서, 도 8에 도시되는 수직 홀 플레이트에 대한 측정을 참조한다.

[0108] 유도되는 수식은 선형 물질용으로만 이론적으로 적용된다. 이들은 비선형 홀 요소의 경우에 대략 유효하게 유지되며, 이는 소정의 전압-의존적 비선형성을 통상적으로 나타낸다. 발명자는 VDP-기반 오프셋 예측의 여러가지 값들의 평균화에 의해, 홀-형 판독 중 발생하는 평균 오프셋에 대한 추정치를 얻을 수 있다는 것을 발견하였다. 예를 들어, 수식 (5)는 수식 (3)으로부터 약간 벗어나며, 전압-의존적 비선형성이 존재할 때에도 수식 (5)가 수식 (3)으로부터 약간 벗어난다는 점이 입증된 바 있다. 수식 (5) 이용의 장점은, 각각의 개별 VDP 측정이 자기장에 실질적으로 독립적임에 반해 수식 (3)은 자기 성분의 소거를 필요로한다는 점이다. 수식 (1)의  $V_H$ 와 연관된 잔류 오프셋과 수식 (6) 간에 우수한 상관도를 예측하기 위한 이론적 주장이 또한 존재한다.

[0109] 
$$V_O = V_H|_{B=0} = \frac{V_{o,1} + V_{o,2} + V_{o,3} + V_{o,4}}{4} \quad (8)$$

[0110] 따라서, 수식 (6)은 수식 (8)에 의해 규정되는 포-페이즈 스핀닝 후 잔류 오프셋  $V_0$ 의 더욱 직접적인 추정을 제공하는 오프셋-관련 신호를 제공할 수 있다.

# [0111] 선형 예측

[0112] 일부 경우에, 제 2 판독 신호  $V_P$ 는 교정 수행없이, 제 1 판독 신호  $V_H$ 에 대한 오프셋  $V_0$ 를 예측하는데 직접 사용될 수 있다. 예를 들어, 단일 홀-형 측정의 수행을 고려할 때(가령,  $V_H=V_{H1}$ ), 그리고  $V_P = V_{v2} - V_{v1}$  및  $\hat{V}_O = V_P$ 를 이용할 때. 위 관계에 기초하여, 이로부터 홀 요소가 선형일 경우 완벽한 보상을 제공할 것임을 알 수 있다.

[0113] 위 추정 규칙  $\hat{V}_O = V_P$ 는 선형 추정기의 한 예로서, 다음의 일반적 형태를 가진다:

[0114] 
$$\hat{V}_O = a + b \cdot V_P \quad (9)$$

[0115] 추정 법칙은 오프셋  $V_0$ 와 예측  $V_P$  신호 간에 잘 알려진 상관 관계가 존재할 때 유리하게 이용될 수 있다. 오프셋

-관련 신호가 동일 세트의 원인에 의해 모두 영향받기 때문에, 이러한 상관관계가 기대될 수 있다. 이러한 상관관계는 홀 디바이스에 대해 수행되는 특성화 측정으로부터 결정될 수 있다. 그러나,  $V_0$  및  $V_P$ 의 크기가 크게 다를 수 있다. 이는 예를 들어,  $V_P$ 가 수식 (3)에 의해 규정되는 평균 순수 오프셋이거나 수식 (5)에 의해 주어지는 VDP-기반 예측인 경우이고,  $V_0$ 는 포-페이즈 스피닝 후 수식 (14)에 의해 주어지는 잔류 오프셋이다. 이러한 경우, 작은 팩터  $b$ 가 추정 규칙에 필요하다.

[0116] 오프셋의 추정은 오프셋 예측의 파라미터  $a$  및  $b$ 를 온도-의존적으로 만듦으로써 추가적으로 개선될 수 있다.

[0117] **교정을 통한 예측 최적화**

[0118] 수식 (9)에 의해 규정된 선형 예측기의 성능을 개선시키기 위해, 파라미터  $a$  및/또는  $b$ 가 교정을 이용하여 각각의 개별 홀 센서(100)에 대해 최적화될 수 있다.

[0119] 오프셋  $V_0$ 가 온도에만 의존하고 재현가능할 경우, 알려진 자기장, 바람직한 경우 제로 자기장에서, 교정-측정 중 결정될 수 있다. 이는 그 후 수식 (9)에서  $a$ -항으로 취급될 수 있고, 이는 오프셋을 완벽하게 보상할 것이다.  $b$ -항은 필요없을 것이고,  $V_P$ 를 얻기 위해 측정을 할 필요도 없다. 그러나, 오프셋 드리프트를 논의할 때 앞서 언급한 바와 같이, 일부 오프셋 소스는 온도의 함수로 부분적으로만 재현가능하고, 그러나 예를 들어, 패키지-유도 응력에 또한 좌우된다. 본 발명의 실시예에 따른 교정 기법은 발생하는 이와같이 부분적으로 재현불가능한 효과를 보상하기 위한 수단을 제공한다.

[0120] 평면형 폴 플레이트 내의 오프셋은 통상적으로,  $\sigma$ 로 표시되는 하나의 특정 응력 성분에만 주로 의존한다. 예를 들어, <101> 플랫폼을 따라 정렬되는 (100) 웨이퍼 상의 스퀘어 수평 홀 요소는 평면-내 차동 응력  $\sigma = \sigma_D = \sigma_{xx} - \sigma_{yy}$ 에 민감하고, 반면 이러한 오프셋은 평면-내 등방성 응력  $\sigma_I = \sigma_{xx} + \sigma_{yy}$ 에 직접 영향받지 않고, 평면-내 전단 응력  $\sigma_{xy}$ 에 의해서도 영향받지 않는다.

[0121] 실제 오프셋  $V_0$  및 오프셋-예측 신호  $V_P$ 에서 알려지지 않은 응력의 영향이 이제 분리될 수 있다. 작은 효과가 예상될 수 있기 때문에, 선형 근사가 사용될 수 있다:

$$V_O = V_{O,rep}(T) + \alpha(T) \sigma \quad (10)$$

$$V_P = V_{P,rep}(T) + \beta(T) \sigma \quad (11)$$

[0124] 여기서,  $V_{O,rep}(T)$  및  $V_{P,rep}(T)$ 는 (항상 온도와 동일한 방식으로 변하는) 재현가능 성분을 나타내고,  $\alpha(T)$  및  $\beta(T)$ 는 사용되는 물질에 좌우되는, 온도-의존적 응력-의존성을 가질 수 있다.

[0125] **기준 신호 획득을 위한 교정 과정**

[0126] 이제 오프셋 보상을 위해 홀 센서의 작동 중 사용될 2개의 기준 곡선( $V_{Oref}(T)$  및  $V_{Pref}(T)$ )을 결정하기 위한 제 1 생산-시간 교정 과정이 설명된다.

[0127] 센서 시스템은 이 설명 단락의 종료시 표에 설명되는 상태들 중 하나와 같은, 기준 상태에 놓인다. 한 예로서, 센서 시스템은 최종 패키징된 형태로 놓일 수 있다. 센서 시스템은  $n = 1 \dots N$ 에 대하여 다수의 온도  $T_n$ 에 놓인다. 자기장은 알려져있다고 가정하고, 바람직한 경우 자기장이 0이다. 각각의 온도  $T_n$ 에서, 시스템은 제 1 판독 신호  $V_{Href,n}$ 의 측정치를 제공하고, 이로부터 알려진 자기장에 대응하는 자기 성분을 빼서 (잔류) 오프셋  $V_{Oref,n}$ 을 얻을 수 있고, 시스템은 제 2 판독 신호  $V_{Pref,n}$ 의 측정치를 제공한다. 자기장이 0으로 알려진 경우에(가령, 제로-가우스 챔버에 센서를 배치함으로써), 제 1 판독 신호가 (잔류) 오프셋  $V_{Oref,n}$ 에 직접 대응한다. 온도  $T_n$ 에 대한 측정치는 온-칩 온도 센서로부터 또는 외부 장비에 의해 측정될 수 있다. 획득되는 측정치  $V_{Href,n}$  (또는 가능하다면  $V_{Oref,n}$ ) 및  $V_{Pref,n}$ 은 가령, 피팅을 통해, 또는 표-기반 보간을 이용하여, 보간 형태로 변환될 수 있고, 2개의 기준 곡선:  $V_{Oref}(T)$  및  $V_{Pref}(T)$ 을 제시한다.

[0128] 위 교정 단계 중, 알려지지 않은 온도-의존적 응력 레벨  $\sigma = \sigma_{ref}(T)$ 가 존재한다. 따라서, 2개의 기준 신호가 대

략 다음과 같이 주어진다:

$$V_{Oref}(T) \approx V_{O,rep}(T) + \alpha(T) \sigma_{ref}(T) \quad (12)$$

$$V_{Pref}(T) \approx V_{P,rep}(T) + \beta(T) \sigma_{ref}(T) \quad (13)$$

다른 물리적 효과가 오프셋에 부분적으로 예측불가능한 결과를 야기하는 경우에, 동일한 교정 과정이 사용될 수 있다.

#### 기준 신호를 이용한 온-칩 보상

본 발명의 실시예에서, 홀 센서 시스템은 다음을 이용하여 수식 (9) 타입의 선형 오프셋 예측기를 구현한다:

$$a(T) = V_{Oref}(T) - b(T)V_{Pref}(T)$$

이러한 예측기는 또한 다음과 같이 표현될 수 있다:

$$\hat{V}_O = V_{Oref}(T) + b \cdot (V_P - V_{Pref}(T))$$

여기서, 기준 신호  $V_{Oref}(T)$  및  $V_{Pref}(T)$ 는 교정 과정 중 결정되는 값과 실질적으로 동일하다. 신호  $V_P$ 는 제 2 판독 신호이고, 이는 온도  $T$ 의 명시적으로 알지 못하면서도 측정될 수 있으나, 통상적으로 홀 요소의 온도  $T$ 에 의존한다. 작동 중, 자기장은 통상적으로 0이 아니지만, 이는 자기장에 실질적으로 독립적인 것으로 가정되는 제 2 판독 신호  $V_P$ 에 거의 영향을 미치지 않는다. 기준 신호  $V_{Oref}(T)$  및  $V_{Pref}(T)$ 는 소정의 비휘발성 형태로, 가령, EPROM 메모리를 이용하여, 칩 상에 저장되는 교정 데이터에 기초하여, 명시적으로 아날로그 신호로, 가령, 전압 또는 전류 또는 펄스-폭으로 생성될 수 있다.

기준 신호 또는 이러한 신호들의 조합을 명시적으로 생성하기 위한 용도로, 서로 다른 온도 의존성을 가질 수 있는 소스들을 조합하는 회로가 사용될 수 있다. 그 후 비휘발성 정보를 이용하여, 이러한 소스들이 어떻게 조합되어 기준 신호 또는 기준 신호들의 조합을 생성하는 지를 규정할 수 있다. 온-칩 소스는 홀 요소들의 온도  $T$ 와 실질적으로 동일한 온도를 갖도록 홀 요소에 충분히 가깝게 놓인다. 이러한 기법에 따라, 온도를 명시적으로 측정함없이 기준 신호  $V_{Oref}(T)$  및  $V_{Pref}(T)$ 를 생성할 수 있다.

다른 실시예에서, 칩 상에 저장되는 비휘발성 교정 데이터는 표-기반 값들, 또는, 보간 함수들의 저장된 계수로 구성될 수 있다. 작동 중, 실제 온도  $T_a$ 가 측정될 수 있다. 이와 같이 측정된 실제 온도  $T_a$ 에 기초하여, 표 및/또는 보간 함수를 이용하여 기준 신호를 결정할 수 있다. 이는 가령, 도 3에 도시되는 실시예에서와 같이 컨트롤러(105)를 이용하여, 연산을 통해 실현될 수 있다.

대안으로서, 기준 신호  $V_{Oref}(T)$ 는 당 업자에게 알려진 형태들 중 임의의 형태로 구현될 수 있는 일상의 온도-의존적 오프셋-보상에 대응하는 것으로 간주될 수 있다. 용어  $b \cdot (V_P - V_{Pref}(T))$ 는 패키지로 인한 응력과 같이, 덜 재현가능한 효과의 더 작은 보상으로 종종 간주될 수 있다. 이러한 추가적인 항목의 보상은 이미 알려진 온-칩 오프셋-보상법을 적응시킴으로써 종종 구현될 수 있다.

수식 (14)의  $b$ -팩터는 일정할 수도 있고, 온도에 의존할 수도 있다. 두번째 항에 대응하는 신호는 아날로그 방식으로 생성될 수 있고,  $b$ -팩터는 회로의 이득으로 구현된다. 다른 가능성은 가령 전압으로 아날로그 신호  $1/b(T)$ 를 명시적으로 발생시켜서, 신호  $V_P - V_{Pref}$ 를 디지털 도메인으로 변환하는 아날로그-디지털 컨버터 내 기준 신호로 이를 이용하는 것이다. 또 다른 가능성은 ADC용으로 고정 기준 전압을 이용하고, 디지털 도메인에서 이득 팩터  $b$ 를 구현하는 것이다.

#### 제 2 교정을 통한 예측 최적화

수식 (14)의 오프셋-예측기의  $b$ -팩터는 추가적인 교정 측정을 통해 추가로 최적화될 수 있다. 이는 제 2 생산-시간 교정 과정을 거침으로써 이루어질 수 있다.

제 2 생산-시간 교정 중, 센서 시스템은 제 2 상태에 놓이고, 제 2 상태는 예를 들어, 서로 다른 응력 레벨  $\sigma =$

$\sigma_{sec}(T)$ 가 발생하는 점을 특징으로 한다. 본 설명의 종료부의 표에 예가 제공된다. 센서 시스템은  $m = 1 \dots M$ 에 대하여 다수의 온도  $T_m$ 에서 다시 놓이며, 이 온도는 기준 교정 중 사용되는 온도와 같을 수도 있고 다를 수도 있다. 기준 교정 중과 유사한 측정이 이루어져서, 제 2 세트의 보간 곡선  $V_{Osec}(T)$  및  $V_{Psec}(T)$ 을 도출한다. 다음의 신호가 획득된다:

$$V_{Osec}(T) \approx V_{O,rep}(T) + \alpha(T) \sigma_{sec}(T) \quad (15)$$

$$V_{Psec}(T) \approx V_{P,rep}(T) + \beta(T) \sigma_{sec}(T) \quad (16)$$

온도-의존적 최적 스케일 팩터  $b$ 는 다음과 같이 유도될 수 있다:

$$b(T) \stackrel{\text{def}}{=} \frac{V_{Osec}(T) - V_{Oref}(T)}{V_{Psec}(T) - V_{Pref}(T)} \quad (17)$$

공통 세트의 온도  $T_n$ 이 사용된 경우에,  $b(T)$ 가 다음과 한 세트의 값( $T_n$ ,  $b_n$ )의 보간으로부터 또한 발견될 수 있다:

$$b_n \stackrel{\text{def}}{=} \frac{V_{Osec,n} - V_{Oref,n}}{V_{Psec,n} - V_{Pref,n}}$$

$b(T)$ 의 정의를 이제 수식 (12), 수식 (13), 수식 (15), 및 수식 (16)과 조합함으로써 다음의 결과를 얻을 수 있다.

$$b(T) \approx \frac{\alpha(T)}{\beta(T)} \quad (18)$$

이 경우  $\sigma_{sec}(T) - \sigma_{sec}(T) - \sigma_{ref}(T)$ 가 너무 작지 않다고 가정한다.  $\sigma$ 가 응력을 나타낼 때, 이는 2차 교정 중 응력이 기준 교정 중 응력과 충분히 달라야 함을 의미한다. 수식 (18)을 이용하여, 수식(14)의 선형 예측기가 동일 응력 레벨  $\sigma = \sigma_{ref}$ 가 나타날 때 기준 교정에서 측정되는 오프셋을 정확하게 재현함을 보여주는 것은 쉬운 편이다 - 즉,  $\hat{V}_O = V_{Oref}$  다. 이와 동시에, 수식 (14)의 선형 예측기는 동일한 응력-레벨  $\sigma = \sigma_{sec}$ 가 나타날 때 2차 교정에서 측정되는 오프셋을 정확하게 재현한다.

이중 교정 기법은 매우 일반적이며, 많은 흥미로운 특별한 경우들을 포함한다. 이주 일부는 다음 표에서 요약될 수 있다.

**표 1**

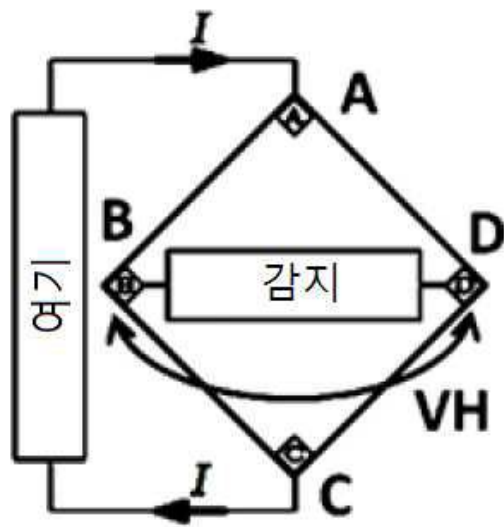
기법	기준	보조
1	웨이퍼-레벨	패키징
2	패키징	웨이퍼-레벨
3	건식 패키지	습한 패키지
4	패키징	패키지 상에 추가 힘

물론 보조 교정 - 가령, 웨이퍼-레벨 상에서의 측정을 수반할 때 - 은, 기준 교정 - 가령, 패키징된 디바이스 상의 측정을 수반할 때 - 에 실제로 선행할 수 있다.

발명은 개시되는 실시예에 제한되지 않는다.

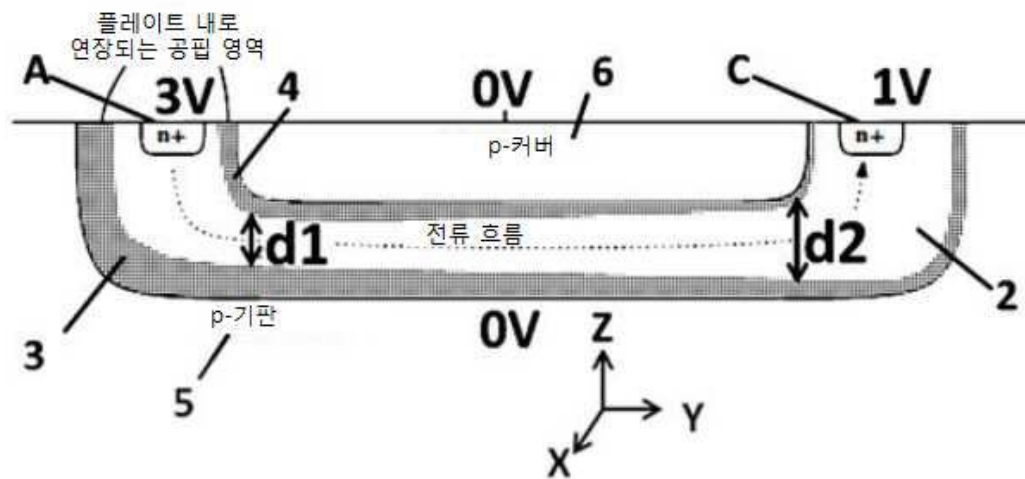
도면

도면1



(종래 기술)

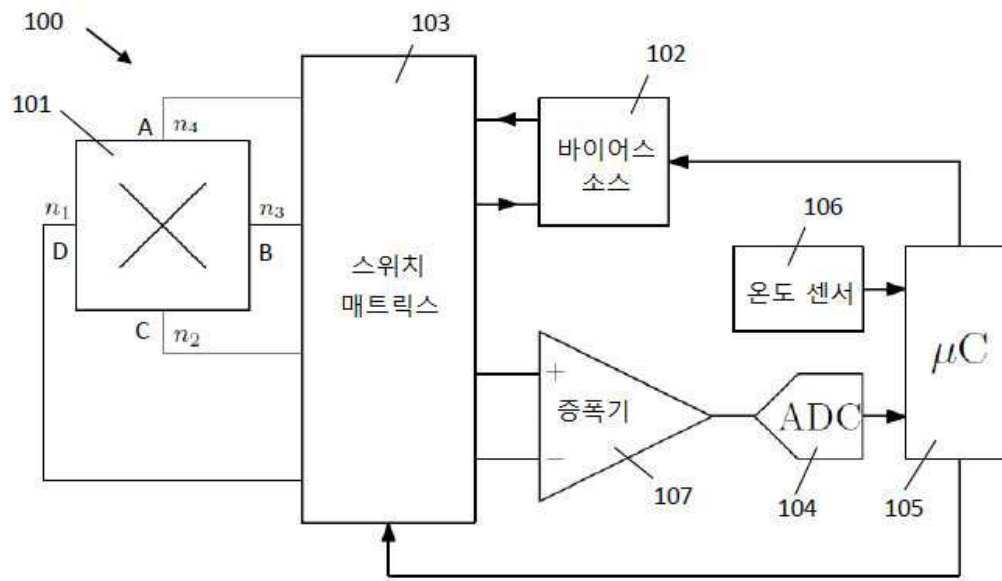
도면2



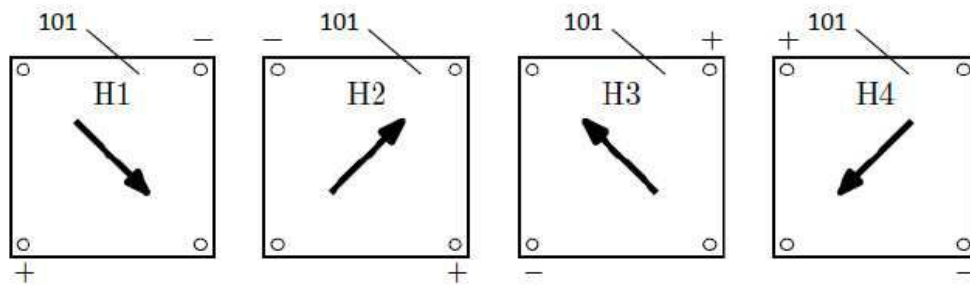
(종래 기술)



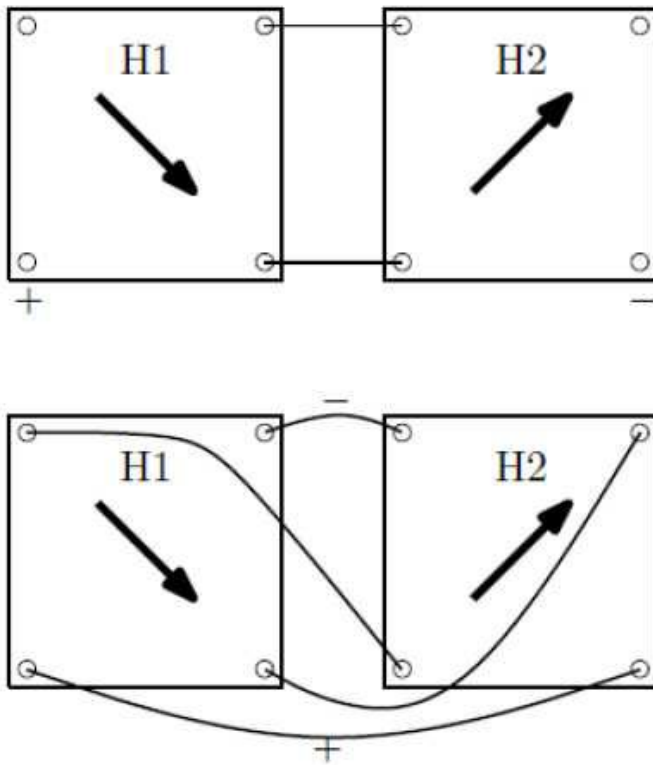
도면3



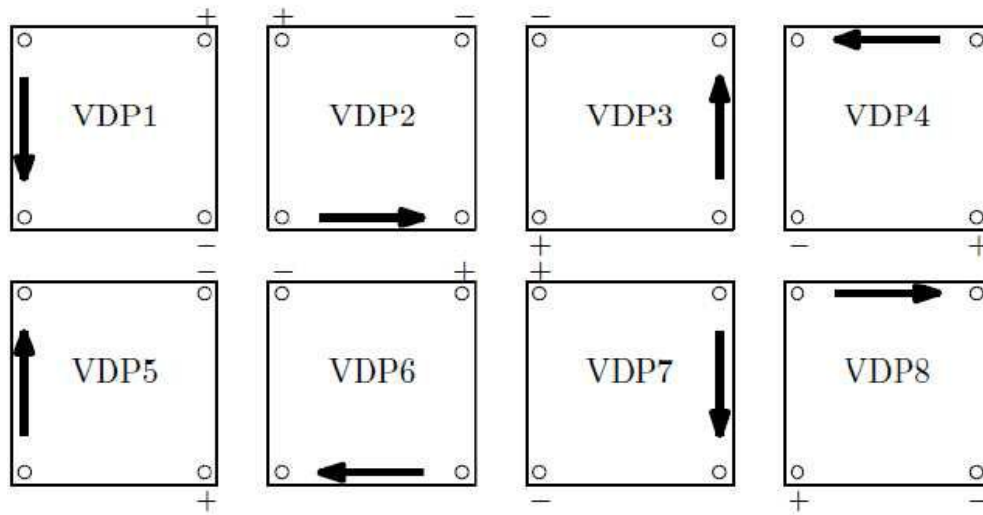
도면4



도면5

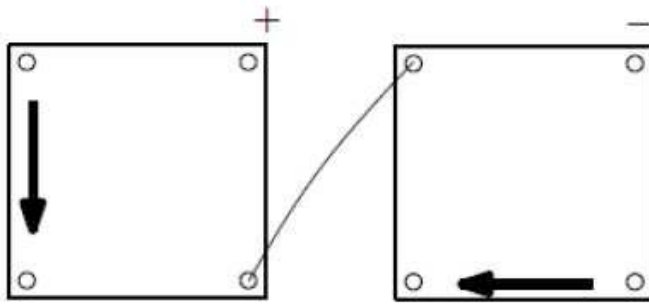


도면6





도면7



도면8

