(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
H03H 11/12
H03B 5/36

(45) 공고일자 2001년09월03일
(11) 등록번호 10-0299740
(24) 등록일자 2001년06월12일

(21) 출원번호 10-1997-0069057
(22) 출원일자 1997년12월16일

(65) 공개번호 특1998-0064159
(43) 공개일자 1998년10월07일

(30) 우선권주장 96-335636 1996년12월16일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지

(72) 발명자 야마모토 다케시
일본 가나가와켄 요코하마시 이소고쿠 신스기타쵸 8,가부시기가이샤 도시바 멀티미디어 엔지니어링 연구소 내

(74) 대리인 나영환
이상섭

심사관 : 나용수

(54) 필터회로

요약

본 발명에 따른 전차동 회로에서, 트랜스컨덕터 Gm1+, Gm1-, Gm2+, Gm2- 및 고정 이득 증폭기 GA의 모든 입력 및 출력은 완전 차동 신호이다. 피드백 루프 소자의 수는, 통상적인 필터 구성에서는 사용되지 않는 1의 이득을 갖는 고정 이득 증폭기를 추가함으로써 홀수가 되며, 그에 따라 구성의 각 소자는 동상 신호를 반전하며, 피드백 루프가 동상 전압에 대해 부피드백 때문에, 동작점은 DC 피드백 회로를 필요로하지 않고 결정될 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예를 설명하는 회로 구성을 나타내는 도면이다.

도 2는 본 발명의 필터 회로에 사용된 트랜스컨덕터를 나타내는 도면이다.

도 3은 본 발명의 필터 회로에 사용된 고정 이득 증폭기를 나타내는 도면이다.

도 4는 본 발명의 제2 실시예를 설명하는 회로 구성을 나타내는 도면이다.

도 5는 본 발명의 제3 실시예를 설명하는 회로 구성을 나타내는 도면이다.

도 6은 종래의 2차 바이쿼드(biquad)형 전차동(fully differential) 필터 회로 구성을 나타내는 도면이다.

도 7은 도 6내에서 전차동 필터의 구성을 설명하는 회로를 나타내는 도면이다.

< 도면의 주요 부분에 대한 부호의 설명 >

Gm1+, Gm1-, Gm2+, Gm2- : 트랜스컨덕터

C1, C2 : 적분 커패시터

I1, I2, I3, I4 : 전류원

M1, M2 : 차동 MOS 트랜지스터

GA : 고정 이득 증폭기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 MOS 집적 회로(IC)내의 아날로그 신호 처리를 행하는 경우에 기본 회로로 사용되는 필터 회로에 관한 것이다.

최근에는 디지털 장치의 증가와 디지털 신호 처리 기술이 진보함에 따라, 디지털 신호 처리에 적용되는 CMOS 집적 회로는 반도체 시장의 큰 부분을 차지한다.

그러나, 비디오와 오디오 신호가 아날로그 입/출력을 갖기 때문에, 이들 신호는 아날로그 처리에 의해 더 쉽게 처리가 가능하게 되었다. 비디오와 오디오 신호를 디지털방식으로 처리될지라도, A/D 와 D/A 변환 또는 그 전후의 필터 처리 및 클럭-발생 발진기등에서 아날로그 회로가 필요하다. 종래에는, 바이폴라 기술이 아날로그 회로에 적절한 것으로 간주되었지만, CMOS 기술은 아날로그 스위치, 샘플 홀더등과 같은 몇 개의 회로를 제외하고는 부적절한 것으로 간주되었다.

그러나, 바이폴라와 BiCMOS 처리는 다소 고가이지만, CMOS내의 디지털/아날로그 혼재에 의한 1칩화하는 요구가 강하고, CMOS 회로로써 아날로그 신호 처리를 행하기 위한 개발이 증가되고 있다.

아날로그 신호 처리에서 사용 빈도가 높고, 전체 성능에 큰 영향을 미치는 중요한 기능으로서 " 액티브 필터" 가 있다. 종래에는, CMOS 아날로그에서의 액티브 필터라면, SCF(switched capacity filter) 또는 샘플 데이터 필터 등의 이산 시간 처리에 의한 필터가 중심이 되어왔다. 이러한 필터들이 클럭에 의해 정확하게 주파수 특성이 결정되고, 제조 공정에서 발생하는 캐패시터의 변화에 대해 거의 영향을 받지 않기 때문에, 정밀도가 높은 장점을 갖는 반면에 다음과 같은

단점을 갖는 다.

1. " 에일리어싱(aliasing)" 이 존재하기 때문에, 연속-시간 필터는 전과 후에 필요하다.

2. 연산 증폭기와 샘플-앤-홀드(S/H) 회로에 사용된 주파수보다 몇 배의 주파수 대역을 필요로 하기 때문에, 필터는 비디오 대역보다 더 높은 주파수에 사용될 수 없다.

3. 회로 규모가 크고 경제적이지 않다. 그래서, 높은 주파수를 사용할수 있는 간단하고 저가의 필터를 만들어 내는 것은 불가능하다. 이 문제는 필터가 이산 -시간 필터라는 사실로부터 얻어진 것이기 때문에 해결하기가 쉽지 않다. 최근에는, 고성능 연속-시간 CMOS 필터를 개발하기 위해 시도하고 있다. 가장 보편적인 연속-시간 필터는 트랜스컨덕터(Gm) 회로와 캐패시터를 각각 포함하는 두 개의 적분 회로로 구성된 " 바이쿼드 회로" 로, 이것은 2차 필터를 다단-접속해서 소망의 필터 특성을 얻는 다. 바이폴라 기술에서, 저항과 " 트랜지스터의 게인(gain) 셀 구조" 를 사용해서 트랜스컨덕터(전압-전류 변환 특성)를 선형화하고 있다. 그러나, CMOS 에서 사용된 상기 방법은 소자(Gm)(트랜스컨덕턴스)가 작고, 큰 사이즈의 많은 소자가 필요하기 때문에, 매우 비경제적이다. 그러므로, 소스에 직결한 차동 트랜지스터로써 전압 대 전류 변환해서 트랜지스터의 성능을 얻는 다.

그러나, MOS 트랜지스터에서, 게이트-소스 전압 대 드레인 전류는 2승 특성이고, 캐패시터 전류 대 전압의 적분 특성은 선형이며, 적분 회로의 출력이 하나로 출력되면, 2차 왜곡이 발생한다. 그래서, 전차동 입력과 출력 신호를 사용하여 2차 왜곡을 제거하는 것이 필요하다. 이러한 전차동 처리에서, 일반적으로 출력 DC 전압이 결정될수 없기 때문에, DC 동작점을 결정하기 위해 바이어스 회로가 추가되어야만 한다. 일반적으로, 출력 DC 전압을 검출해서, 트랜스컨덕터 입력의 바이어스에 DC 귀환 기술이 인가된다. 이 방법을 DC 귀환(또는 동상(common)-모드 귀환등)이라한다.

도 6은 DC 귀환을 구비한 전차동형 바이쿼드 회로의 종래의 예를 도시한다. 이 회로는 2단의 적분 회로로 구성되고, 각 단은 공동 출력 단자를 공유하는 두 개의 트랜스컨덕턴스와 상기 출력 단자에 접속된 캐패시터로 구성된다. 하위 트랜스컨덕터(Gm1+, Gm2+)는 단일 구성으로 + 입력에 대응하고, 상위 트랜스컨덕터(Gm1-, Gm2-)는 단일 구성으로 - 입력(귀환 입력)에 대응한다.

2단의 적분 회로를 종속 접속해서 저역 필터 등을 형성한다. 각 적분 회로마다에 DC 귀환(1, 2)의 출력을 모니터링함으로써 각 단의 출력 단자의 바이어스 전류를 제어하는 것에 의해, 출력 DC 전압이 설정된 전압으로 된다. 신호 입력 위치와 출력 신호 인출 위치를 변경함으로써, LPF이외에도 BPF 및 HPF 등의 다른 필터를 만들 수 있다.

도 7은 CMOS 회로를 사용하여 얻은 도 6의 필터를 구성하는 단에서 적분 회로의 구체적인 예를 도시한다. 소스와 결합한 차동 트랜스컨덕터쌍은 트랜스컨덕턴스를 발생시키기 위해 사용된다. M1, M2 및 I1을 구비하는 차동 회로는 트랜스컨덕터(Gm1+, Gm2+)에 대응하며, M3, M4 및 I2를 구비하는 차동 회로는 트랜스컨덕터(Gm1-, Gm2-)에 대응한다. 출력점에서 전류 출력을 합산한다. GND에서 결합하는 두 개의 전류원(I3, I4)으로써 바이어스함으로써 출력을 차동적으로 인출한다. 차동 입력 바이어스 전류(I1, I2)에 대하여, 이들 전류원(I3, I4)은 각각 (I1 + I2)/2 로 정확해야 한다. 이 관계가 조금이라도 빗나가게 되면, 각 단의 출력 단자의 DC 임피던스가 매우 높아지기 때문에, 상하의 전류원 사이의 불균형은 출력 DC 전압이 크게 빗나가게 되어, 불안정하게 만든다.

" DC 귀환" 은 이 문제를 해소하기위해 설계된 회로이며 임의의 전압으로 출력 DC 전위를 고정함으로써 안정되게 된다. 저항 단자중 하나는 도 7의 출력 단자에 접속된다. 나머지 단자는 서로 접속되고, 목표 전압(Vref)과 연산 증폭기에 의해 비교된다. 모든 출력 신호는 전차동하고, 두 개의 저항이 동일한 값을 가질 때, 출력 신호의 DC 전위는 중심점으로

부터 인출될 수 있고 Vref와 비교된다. DC 전위가 Vref보다 높으면, 전류원으로부터의 전류는 증가되고, 출력의 동상 전압은 낮아진다. 반대로, DC 전위가 Vref보다 낮으면, 전류원으로부터의 전류는 감소되고, 출력의 동상 전압을 증가시킨다.

그래서, 출력 신호의 동상 전압이 Vref로 동일하도록 전류를 제어한다. 회로는 필터를 구성하는 각 단의 차동 출력의 DC 전압이 Vref로 동일하도록 바이어스되지만, 회로 소자수가 증가한다. 연산 증폭기 자체가 다수의 소자를 필요로 할 뿐만 아니라 중심점 전압을 검출하는 저항이 고 임피던스 적분 회로 출력 단자에 영향을 미치지 않도록 도시된 바와 같은 버퍼를 설치해야 한다. 더욱이, DC 귀환 회로는 각 집적 회로에 필요하기 때문에, 필터 전체에서는 상당한 점유 면적을 점유하게 된다.

발명이 이루고자 하는 기술적 과제

도 7에 도시된 회로에서, 예를 들어, 좌측 점선내의 집적 회로의 기본적인 부분은 4개의 MOS 트랜지스터와 4개의 전류원과 1개의 캐패시터를 포함하는 것으로 대략 10~15개의 소자를 필요로 한다. 대조적으로, 바이어스를 셋팅하기 위한 DC 귀환 회로는 20~30개의 소자를 가지므로써, 영역의 3분의 2를 차지한다. 필터가 상기 소자를 어셈블링함으로써 간단히 구성되기 때문에, 필터 전체에도 그대로 DC 귀환이 3분의 2를 차지하게 된다. DC 귀환의 필요성으로 인해, 전차동 필터에 대한 가격의 증가를 초래하여 저가의 필터를 생산하는 것에 방해가 되었다.

본 발명의 목적은 DC 귀환 회로를 필요로 하지 않는 전차동 필터 회로를 제공하는 것이다.

발명의 구성 및 작용

본 발명의 하나의 특징은 제1 회로 블록과 제2 회로 블록을 포함하는 필터 회로를 제공하고, 상기 제1 회로 블록은 제1 차동 전압 입력과 차동 전류 출력을 가지며, 제1 차동 전압 입력의 동상 전압이 출력에서 반전되고, 상기 제2 회로 블럭은 제2 차동 전압 입력과 차동 전압 출력을 가지며, 제2 차동 전압 입력의 동상 전압이 출력에서 반전되며, 제1 과 제2 회로 블록은 귀환 루프의 구성 요소중 하나를 형성하고, 제1 과 제2 회로 블록으로 형성된 구성 요소의 전체 갯수는 1을 포함하는 홀수이고 캐패시터는 차동 전류 출력에 접속된다.

필터 회로에서, 적어도 다수의 트랜스컨덕터, 캐패시터와 전류원이 사용되고 설정된 이들의 결합이 서로 접속된다. 구성 요소는 제1 회로 블록과 제2 회로 블록으로 제한되지 않는다. 전형적으로, 트랜스컨덕터는 OTA (0perational Transconductance Amplifier)로 불리운다. 명세서에서, " 입력" 은 " 입력 단자쌍" 을 의미하고, " 출력" 은 " 출력 단자쌍" 을 의미한다.

필터 회로의 제1 특징에 따라, 상기 제1 회로 블록은 제1 차동 전압 입력용의 소정의 트랜스컨덕턴스를 갖고 제1 차동 전압 입력의 동상 전압용의 높은 부이득을 갖는 트랜스컨덕터이고, 제2 회로 블록은 제2 차동 전압 입력용의 소정의 이득을 갖고 제2 차동 전압 입력의 동상 전압용의 소정의 이득과 동일한 레벨에서 부이득을 갖는 증폭기이다.

상기 필터 회로에 따라서, 트랜스컨덕터는 제1 필드 효과 트랜지스터쌍을 갖고, 동상 고정-전압 단자에 제1 트랜지스터의 소스쌍을 접속하며, 제1 트랜지스터의 게이트쌍은 트랜스컨덕터의 입력 단자로서 사용되고, 제1 트랜지스터의 드레인쌍은 전류원에 접속되고 출력 단자로서 이용되며, 증폭기는 입력측 제2 트랜지스터쌍과 출력측 제2 트랜지스터쌍을 갖는 두 쌍의 제2 필드 효과 트랜지스터를 갖고, 입력측 제2 트랜지스터의 소스쌍은 동상 고정-전압 단자에 접속되며, 입력측 제2 트랜지스터의 게이트쌍은 입력 단자로서 사용되며, 입력측 제2 트랜지스터의 드레인쌍은 출력측 제2 트

랜지스터의 소스쌍에 각기 접속되고, 출력측 제2 트랜지스터의 게이트쌍과 드레인쌍은 적어도 하나의 동상 고정된 전압 단자에 접속된다.

상기 필터 회로에 따라서, 필터 주파수 특성은 모든 전류원을 일정한 상호 전류비로써 제어함에 의해 비례적으로 조절된다.

본 발명의 제2 특징은, 제1 차동 전압 입력과 차동 전류 출력을 갖고 제1 차동 전압 입력용의 소정의 트랜스컨덕턴스 및 제1 차동 전압 입력의 동상 전압용의 부의 고이득을 갖는 트랜스컨덕터와, 제2 차동 전압 입력과 차동 전압 출력을 가지며 제2 차동 전압 입력용의 소정의 이득을 갖고 제2 차동 전압 입력의 동상 전압용의 소정의 이득과 동일한 레벨에서 부이득을 갖는 증폭기와, 트랜스컨덕터의 제1 차동 전압 출력에 접속되는 전류원과, 트랜스컨덕터의 제1 차동 전압 출력에 접속되는 캐패시터를 구비하며, 트랜스컨덕터와 증폭기는 노드쌍, 트랜스컨덕터 또는 증폭기의 입력 및 출력 단자, 및 상기 노드쌍을 순환하는 귀환 루프를 형성하고, 귀환 루프를 통과하는 트랜스컨덕터와 증폭기의 총 갯수는 1을 포함하는 홀수이다.

필터 회로의 제2 특징에 따라, 하나의 트랜스컨덕터와 짝수의 증폭기가 귀환 루프내에 제공된다.

필터 회로의 제2 특징에 따라, 두 개의 트랜스컨덕터와 홀수의 증폭기는 귀환 루프내에 제공된다.

대안적으로, 세 개의 캐패시터는 두 개의 트랜스컨덕터에 접속되고, 세 개의 캐패시터중의 하나는 트랜스컨덕터중의 하나의 차동 전류 출력에 접속되고 세 개의 캐패시터중의 두 개는 고정 전압 단자와 트랜스컨덕터의 차동 전류 출력사이에 접속된다.

본 발명의 제3 특징은 제1 내지 제4 트랜스컨덕터 및 증폭기를 포함하는 필터 회로를 제공하고, 상기 트랜스컨덕터 각각은 차동 전압 입력과 차동 전류 출력을 가지며 차동 전압 입력용의 소정의 트랜스컨덕턴스 및 차동 전압 입력의 동상 전압용의 부의 고이득을 가지며, 상기 증폭기는 차동 전압 입력과 차동 전압 출력을 갖고 차동 전압 입력용의 소정의 이득 및 차동 전압 입력의 동상 전압용의 소정의 이득과 동일한 레벨에서 부 이득을 가지며, 제1 트랜스컨덕터의 차동 전류 출력은 제1 노드쌍을 통해서 제2 트랜스컨덕터의 차동 전류 출력에 접속되고, 노드는 증폭기의 차동 전압 입력에 접속되고, 각 노드는 캐패시터와 전류원에 접속되고, 제3 트랜스컨덕터의 차동 전류 출력은 제2 노드쌍을 통해서 제4 트랜스컨덕터의 차동 전류 출력에 접속되고, 각 노드는 캐패시터와 전류원에 접속되고, 노드는 제2 와 제4 트랜스컨덕터의 차동 전압 입력에 접속되어 제3 과 제4 트랜스컨덕터의 차동 전류 출력을 반전하고, 증폭기의 차동 전압 출력은 제3 트랜스컨덕터의 차동 전압 입력에 접속되고, 제1 트랜스컨덕터의 차동 전압 입력은 필터 입력으로서 사용된다.

대안적으로, 증폭기의 차동 전압 입력은 제4 트랜스컨덕터의 차동 전압 입력에 접속되고, 증폭기의 차동 전압 출력은 제2 트랜스컨덕터의 차동 입력 전압에 접속되며, 제1 트랜스컨덕터의 차동 전류 출력은 제3 트랜스컨덕터의 차동 입력 전압에 접속된다.

본 발명의 제4 특징은 제1 내지 제3 트랜스컨덕터 및 증폭기를 포함하는 필터 회로를 제공하고, 상기 각 트랜스컨덕터는 차동 전압 입력과 차동 전류 출력을 가지며 차동 전압 입력용의 소정의 트랜스컨덕턴스 및 차동 전압 입력의 동상 전압용의 부의 고 이득을 가지며, 상기 증폭기는 차동 전압 출력과 차동 전압 입력을 갖고 차동 전압 입력용의 소정의 이득 및 차동 전압 입력의 동상 전압용의 소정의 이득과 동일한 레벨에서 부의 이득을 갖고, 제1 트랜스컨덕터의 차동 전류 출력은 제1 노드쌍을 통해서 제1 전류원쌍과 캐패시터쌍에 접속되고, 노드는 증폭기의 차동 전압 입력에 접속되고, 제2 트랜스컨덕터의 차동 전류 출력은 제2 노드쌍을 통해서 제3 트랜스컨덕터의 차동 전류 출력에 접속되고, 노드는 제1 과 제3 트랜스컨덕터의 차동 전압 입력에 접속되어 제2 와 제3 트랜스컨덕터의 차동 전류 출력을 반전시키고, 캐패시터는 제2 노드쌍사이에서 접속되며, 제2 전류원쌍은 노드에 접속되고, 증폭기의 차동 전압 출력은 제2 트랜스컨덕터

의 차동 전압 입력에 접속되고, 캐패시터쌍은 필터 입력으로 사용된다.

대안적으로, 증폭기의 차동 전압 입력은 제3 트랜스컨덕터의 차동 전압 입력에 접속되고, 증폭기의 차동 전압 출력은 제1 트랜스컨덕터의 차동 전압 입력에 접속되며, 제1 트랜스컨덕터의 차동 전류 출력은 제2 트랜스컨덕터의 차동 전압 입력에 접속된다.

본 발명의 제5 특징은 제1 내지 제3 트랜스컨덕터 및 증폭기를 포함하는 필터 회로를 제공하고, 상기 각 트랜스컨덕터는 차동 전압 입력과 차동 전류 출력을 가지며 차동 전압 입력용의 소정의 트랜스컨덕턴스 및 차동 전압 입력의 동상 전압용의 부의 고이득을 갖고, 상기 증폭기는 차동 전압 출력과 차동 전압 입력을 갖고 차동 전압 입력용의 소정의 이득 및 차동 전압 입력의 동상 전압용의 소정의 이득과 동일한 레벨에서 부 이득을 갖고, 제1 트랜스컨덕터의 차동 전류 출력은 제1 노드쌍을 통해 캐패시터와 제1 전류원쌍에 접속되고, 노드는 증폭기의 차동 전압 입력에 접속되고, 제2 트랜스컨덕터의 차동 전류 출력은 제2 노드쌍을 통해서 제3 트랜스컨덕터의 차동 전류 출력에 접속되고, 노드는 제1 과 제3 트랜스컨덕터의 차동 전압 입력에 접속되어 제2 와 제3 트랜스컨덕터의 차동 전류 출력을 반전시키고, 캐패시터쌍과 제2 전류원쌍은 노드에 결합되고, 증폭기의 차동 전압 출력은 제2 트랜스컨덕터의 차동 전압 입력에 접속되고, 캐패시터쌍은 필터 회로로서 사용된다.

대안적으로, 증폭기의 차동 전압 입력은 제3 트랜스컨덕터의 차동 전압 입력에 접속되고, 증폭기의 차동 전압 출력은 제1 트랜스컨덕터의 차동 전압 입력에 접속되고, 제1 트랜스컨덕터의 차동 전류 출력은 제2 트랜스컨덕터의 차동 전압 입력에 접속된다.

본 발명의 제6 특징은 상술한 필터 회로의 결합을 포함하는 고차의 필터 회로를 제공하는 것이다.

이하, 본 발명의 바람직한 실시예가 도면을 참조하여 설명된다.

도 1은 본 발명의 제1 실시예를 나타내는 회로 구성도이다. 이 실시예에서, 저역 필터(LPF)는 2쌍의 트랜스컨덕터 Gm1+(제1), Gm1-(제2)와 Gm2+(제3), Gm2-(제4), 이득 증폭기(GA) 및 적분 커패시터로 이루어져 있다.

입력 Vin은 트랜스컨덕터 Gm1+의 정입력 및 부입력에 접속한다. 트랜스컨덕터 Gm1+의 정출력은 트랜스컨덕터 Gm1-의 정입력 및, 1의 이득 계수 K를 갖는 고정 이득 증폭기 GA의 정입력에 접속하며, 병렬 접속된 적분 커패시터 C1 및 전류원 I1을 통해 기준 전위점에 접속한다. 트랜스컨덕터 Gm1+의 부출력은 트랜스컨덕터 Gm1-의 부출력 및 고정 이득 증폭기 GA의 부입력에 접속하며, 병렬로 접속된 적분 커패시터 C1 및 전류원 I2를 통해 기준 전위점에 접속한다. 고정 이득 증폭기 GA의 정출력은 트랜스컨덕터 Gm2+의 정입력에 접속한다. 고정 이득 증폭기 GA의 부출력은 트랜스컨덕터 Gm2+의 부입력에 접속한다. 트랜스컨덕터 Gm2+의 정출력은 트랜스컨덕터 Gm2-의 정출력에 접속하며, 전류원 I3을 통해 기준 전위점에 접속한다. 트랜스컨덕터 Gm2+의 부출력은 트랜스컨덕터 Gm2-의 부출력에 접속하며, 전류원 I4를 통해 기준 전위점에 접속한다. 트랜스컨덕터 Gm2+의 정출력 및 부출력은 적분 커패시터 C2의 양 단자 및 출력 Vout에 접속한다. 트랜스컨덕터 Gm2+의 정출력은 트랜스컨덕터 Gm1- 및 Gm2- 모두의 부출력에 접속한다. 트랜스컨덕터 Gm2+의 부출력은 트랜스컨덕터 Gm1- 및 Gm2- 모두의 정입력에 접속한다.

트랜스컨덕터의 정입력 및 부입력을 차동 전압 입력이라고 하고, 트랜스컨덕터의 정출력 및 부출력을 차동 전류 출력이라고 한다. 증폭기의 정입력 및 부입력은 차동 전압 입력이라 하고, 증폭기의 정출력 및 부출력을 차동 전압 출력이라고 한다.

이 구성의 특징은, 첫번째로 트랜스컨덕터 Gm1+, Gm1-, Gm2+ 및 Gm2-와, 고정 이득 증폭기 GA의 모든 입력 및 출력이 완전 차동 신호인 전차동 회로인 점이며, 두번째는, 귀환 루프 상의 이들 구성요소의 갯수가 3인 점이다. 본래의 필터 형성에 무관한 1배의 고정 이득 증폭기 GA를 삽입함으로써 구성 요소의 개수를 홀수로 증가시킨다.

따라서, 회로의 각 구성요소는 차후 설명하는 바와 같이, 동상 전압을 반전하기 때문에, 이 귀환 루프는 동상 전압에 대한 부귀환을 갖는다. 그러므로, 동작점은 전용 DC 귀환(동상 모드 귀환) 회로를 필요로 하지 않고 결정될 수 있다.

각 단은 2개의 트랜스컨덕터 및 그 출력 단자에 접속된 적분 캐패시터로 구성된다. 트랜스컨덕터 Gm1+ 및 Gm2+는 단일 구성으로 + 입력에 해당하며, 트랜스컨덕터 Gm1-, Gm2-는 단일 구성으로 - 입력(귀환 입력)에 해당한다. 각 트랜스컨덕터의 gm 값은 다음과 같다.

Gm1+, Gm1- : gm1

Gm2+, Gm2- : gm2

회로의 입력과 출력 사이의 전달 함수는 다음 수학식 1에 의해 정해진다.

수학식 1

$$\frac{Vo}{VI} = \frac{(gm1gm2)/(C1C2)}{S+\{(gm2)/(C2)\}\ S+(gm1gm2)/(C1C2)}$$

이 수학식 1에 따라, 본 실시예의 회로에서, 전달 함수의 제로점은 무한대 주파수에서 2중으로 존재하기 때문에 2차 LPF 특성으로 된다.

도 1의 트랜스컨덕터 Gm1+, Gm1-, Gm2+ 및 Gm2- 는 도 2에 도시된 구성을 갖는다. 다시 말해, 각 트랜스컨덕터 Gm1+, Gm1-, Gm2+, Gm2-는 소스를 직접 전원에 접속한 소스를 갖는 소스 결합된 차동 MOS 트랜지스터 M1, M2로 구성되고, 게이트에는 전단의 차동 신호를 입력한다. 이들 2개의 트랜스컨덕터의 드레인 단자는 동일한 극성으로 서로 접속되며, 적분 커패시터는 차동 출력 단자로서 기능하는 정출력 및 부출력 단자에 접속된다. 이들 단자는 전류원에 의해 바이어스된다.

이 회로의 동작을 조사하기 위해, 차동 MOS 트랜지스터 M1과 M2에 의한 전압-전류 변환 특성을 계산한다. 여기에서, 모든 입력 신호는 완전 차동 신호라고 전제하고, 양 트랜지스터는 동일한 특성을 가지며 포화 모드 영역에서 바이어스됨을 가정한다. 출력 저항과 기판 바이어스 효과를 무시하면, 양 트랜지스터의 드레인 전류는 다음 수학식 2 및 수학식 3과 같이 정의될 수 있다.

수학식 2

$M1 : I1 = (k1/2)\ (VGS1 - Vth1)^2$

수학식 3

$M2 : I2 = (k1/2)\ (VGS2 - Vth1)^2$

여기에서, $k = \mu CoxW/L = \mu(\varepsilon ox/tox)\ W/L$, μ = 디바이스의 전자 이동도, εox = 게이트 산화막의 유전율, tox = 게이트 산화막 두께, 웨이퍼 W는 게이트폭, L은 게이트 길이이다.

차동 MOS 트랜지스터 M1 과 M2의 드레인 전류의 전류차를 출력하면, 출력 I1-I2 는 수학식 2 및 3에 따라 다음과 같이 결정될 수 있다.

$I1 - I2 = (k1/2)\ (VGS1 + VGS2 - 2Vth1)\ (VGS1 - VGS2)$

$= (k1/2)\ (VGS1 + VGS2 - 2Vth1)\ Vin$

Vb가 전원 전압에 해당하는 입력 신호 DC 전압을 나타내면, 입력 신호는 완전 차동 신호이고, 차동 MOS 트랜지스터 M1 및 M2의 소스 단자가 전원에 고정되어 접속되기 때문에, VGS1 + VGS2 = 2Vb 이다.

그러므로,

I1 - I2 = k1 (VB - Vth1) Vin

따라서, 차동 입력 전압으로부터 차동 출력 전압 까지의 트랜스컨덕턴스 Gm은 수학식 4에 의해 정의될 수 있다.

수학식 4

Gm = Iout / Vin = (I1 - I2) / Vin

= k1 (VB - Vth1)

수학식 4는 입력 신호 Vin에 관련된 항을 포함하지 않으며 2차 왜곡의 원인으로 될 수 있는 " Vin^2 " 의 항도 포함하지 않는다. 만일 구성요소 쌍이 완전하게 일치되면(M1 = M2), Gm은 구성요소의 W/L 비에로 이상적으로 결정된다. 그러므로, 출력을 차동적으로 인출하는 한, 트랜스컨덕턴스는 고정되고, 입력에 영향을 받지 않는다. 게다가, Vth1에서의 편차는 입력 바이어스 전압 Vb를 제어함으로써 조정될 수 있다. 또한, 수학식 4는, Gm 값이 Vb에 따라 적극적으로 변화될 수 있음을 나타낸다.

소스 접지된 전차동형의 이러한 트랜스컨덕터는 CMOS 아날로그 회로에서 발생할 수 있는 2차 왜곡의 문제를 해결하고, 높은 선형성의 트랜스컨덕턴스를 생성한다. 게다가, 전류원이 차동 소스 접속점에 설치될 필요가 없기 때문에, 그 전압분만큼 전원 전압으로서 유효하게 사용할 수 있어, 전압 감소의 장점을 얻는다.

도 2는 PMOS를 차동 트랜지스터로 사용한 예를 나타내지만, 전원과 GND를 역으로해서 NMOS를 차동 트랜지스터로 사용되어도 정확히 동일한 적분 회로가 형성될 수 있으며, 동일한 효과가 획득된다.

도 3은 도 1의 고정 이득 증폭기 GA가 K=1로 세트된 실제 회로를 나타낸다. 다시 말해, MOS 트랜지스터 M3 및 M4는 도 2의 트랜스컨덕터와 동일한 트랜지스터쌍인 차동 트랜지스터 M1,M2의 부하로서 제공된다. 전단의 차동 신호는 MOS 트랜지스터 M1 및 M2의 게이트에 입력된다. 여기에서, 차동 MOS 트랜지스터 M1, M2의 전압-전류 변환 특성은 상기 계산에서와 동일한 전제 조건으로 계산되면, M1 및 M2는 수학식 2 및 3에서 각각 결정된 것과 동일한 동작 특성을 갖는 것을 발견한다. 유사하게, M3 및 M4의 동작 특성(드레인 전압)은 다음 수학식 5 및 6에 의해 정의될 수 있다.

수학식 5

M3 : I1 = (k2/2) (VGS3 - Vth2) ^{2}

수학식 6

M4 : I2 = (K2/2) (VGS4 - Vth2) ^{2}

수학식 2, 3, 5 및 6을 연립하여 해결하면, 차동 입력 전압에서 차동 출력 전압으로의 이득이 다음 수학식 7과 같이 결정될 수 있다.

수학식 7

$$Vout/Vin = (VGS3-VGS4)/(VGS1-VGS2$$

$$= /\sqrt{(k1/k2)}$$

수학식 7은, 소자의 쌍이 완전하게 일치될때(M1 = M2, M3 = M4), 이득이 이상적으로는 소자의 물리적 형상 W/L 비로부터 용이하게 결정될 수 있음을 나타내며, 원리적으로 차동 신호에 대해서는, 왜곡 없이 고정된 이득을 갖는 증폭기로 된다. 한편, 동상 신호를 고려하면, 소스 접지된 증폭기인데, 이득은 차동 신호에 대한 이득과 대략 동일한 이득을 가지지만 위상은 반전한다. 차동 신호에 대해서는, 다음단으로의 접속은 증폭기의 위상 극성을 결정하여 부위상을 출력하고, 동상 신호에 대해서는 증폭기는 항상 위상 반전된다. 도 1에 도시된 회로에서, 동상 신호는 이 증폭기 후에 반전된다.

도 2에 도시된 트랜스컨덕터의 소스는 직접 접지된다. 소스를 바이어스를 위해, 전류원에 접속하여 바이어스하고 있지 않기 때문에, 입력 신호의 동상 전압을 제거할 수 없다. 실제로, 이 특성을 역이용하면, 도 1의 필터 회로에 나타난 것과 같은 전용의 DC 귀환 회로에 대한 필요성이 제거된다.

MOS 트랜지스터 M1 및 M2를 포함하는 차동 회로는 그 소스가 전원에 의해 고정되어 있기 때문에 입력과 출력간에 동상 전압에 대해서 높은 이득을 갖는다. 다시 말해, 입력 게이트 전압이 모두 증가한다면, 출력 드레인 전압은 상당히 감소한다. 역으로, 입력 게이트 전압이 모두 감소한다면, 출력 드레인 전압은 상당히 증가한다. 게다가, 도 3에 도시된 고정 이득 증폭기는 상술된 것과 같이, 동상 전압에 대하여 반전 이득을 갖는다.

도 1 회로의 동상 전압의 전달이 계산된다. 이 회로는 경로, Gm2+ Gm1- 1 Gm2+를 따라 리턴하는 귀환 루프를 갖는다. 이 루프의 동상 전압의 전달을 고려하면, 이 구성의 구성요소가 리턴하기 전에 총 3번 반전하기 때문에, 이 루프는 부 귀환을 갖는 다. 다시 말해, 이 구성의 각 구성요소의 출력 전압은 GND측의 바이어스 전류원의 전류값에 따라 결정된 전압으로 안정화된다. 예컨대, 각 트랜스컨덕터를 형성하는 MOS 트랜지스터의 형상이 모두 동일하고, 트랜스컨덕터를 바이어스하는 GND측의 바이어스 전류값이 모두 동일하면, 각 단의 출력 전압은 모두 동일하다. I1 및 I2는 각 전류원의 전류값의 절반이고, 이들 전압은 이들 전류값을 수학식 2 및 3에 대입함으로써 결정된 VGS 값과 동일하다. 그러나, 이 수렴 전압은 미리 예측되어 이 수렴 전압에 근접한 동상 전압이 입력 Vin으로서 설정되어야 한다. 각 전계 효과 트랜지스터는 드레인측의 전류원에 의해 결정된 전류값으로 자기 바이어스하기 때문에, 전용의 DC 귀환 회로를 구비할 필요가 없다.

그러므로, 본 실시예에서 필터 회로의 소자의 수를 상당히 감소시킬 수 있어서 저가의 CMOS 필터를 얻는 다. 상기 예에서는 2단으로 구성된 필터 회로를 설명하였지만, 귀환 루프 상의 고정 이득 증폭기의 수를 조절함으로써, 동상 전압의 전달을 반드시 부피드백으로 할 수 있다.

그러므로, 도 2에 도시된 트랜스컨덕터를 도 3의 고정 이득 증폭기와 조합함으로써, 소정의 특성을 갖는 저가이고 규모가 작은 필터가 전용 DC 귀환 회로를 필요로 하지 않고 생성될 수 있다.

이러한 형태의 동상 귀환 루프에는 전압 발진의 문제가 발생하기 쉽다. 도 1의 " Gm2+ Gm1- 1 Gm2+" 루프가 2개의 고이득단 Gm2+ 및 Gm1-를 가지기 때문에, 고주파수 위상 지연으로부터 발생된 발진을 방지하는데 위상 보상이 필수적이다. 도 1에서, 이는, Gm1 출력단자 커패시터 C1을 2부분으로 분할하고, 이 각 부분을 대응하는 GND에 접속함으로써 달성된다. 여기에서, 2C1가 트랜스컨덕터 Gm1의 출력 단자에서 동상 전압과 관련된 커패시티브 부하를 가지지만, 트랜스컨덕터 Gm2의 출력 단자에서는 동상 전압과 관련된 커패시티브 부하는 없다.

그러므로, 동상의 귀환 루프에는 Gm1 및 2C1에서 1개의 저주파수의 폴(pole)을 만드는 위상 보상이 실현될 수 있다. 커패시터는 필터 특성을 결정하고, 또한 동상 귀환 루프에 대해 위상 보상을 제공하기 때문에, 이 방법은 매우 경제적인 장점을 갖는다.

게다가, 각 단의 출력 단자를 바이어스하는 모든 전류원의 전류값이 비례하면, 각 트랜스컨덕터를 형성하는 MOS 트랜지스터의 VGS가 동시에 변화한다. 이것은 수학식 4에서 VB의 변화를 의미하고, 각 트랜스컨덕터의 Gm으로 하여금 상기 설명된 것과 같이 비례적으로 제어될 수 있도록 한다. 그것에 의해, 필터 특성을 주파수축 상에서 시프트될 수 있으며, 특히 IC 제조 공정에서의 변경에 의한 시정수 변화를 조정하는데 특히 효과적이다.

다음, 본 발명의 제2 실시예는 도 4에 도시된 회로 구성을 참조하여 설명된다. 제2 실시예는 도 1에 나타난 제1 실시예와 다른 구성을 가지는데, 트랜스컨덕터 Gm1+가 제거되고 기준 전압점에 접속된 커패시터 C1 및 C2가 입력 Vin에 접속되어 있는 것이 다른 구성이며, 트랜스컨덕터 Gm1-(제1), Gm2+(제2) 및 Gm2-(제3)는 남는 다.

이 경우에, 입력에서 출력까지의 DC 전달은 없으며, 필터는 대역 통과 필터(BPF)로 되는 것을 용이하게 추측할 수 있다. 제1 실시예에서와 같이, 동상 전달 루프는 도 1에 나타난 것과 정확하게 동일하기 때문에, 안정적인 자기 바이어스는 동상 전압 귀환 루프에 의해 유사하게 생성되며, 전용의 DC 귀환 회로를 필요로 하지 않는다. 그러나, 이 제2 실시예에서, 도 1과 비교하면, 트랜스컨덕터 Gm1+를 제거한 부분만큼 전류원 I1 및 I2의 전류값은 적어도 좋다.

도 5는 본 발명의 제3 실시예에 따른 회로 구성을 나타낸다. 제3 실시예는, 입력이 커패시터 C1,C2를 통해 출력 Vout에 접속되고, 커패시터 C1의 양 단자가 고정 이득 증폭기 GA의 입력 단자 사이에 접속된다는 점에서 도 4에 도시된 실시예와 다르다. 트랜스컨덕터 Gm-1(제1), Gm2+(제2), 및 Gm2-(제3)는 남는 다.

신호가 이 구성에 입력되면, 전달 계수의 영점이 0 주파수에서 2중으로 존재하므로, 회로에서 고역 필터(HPF)의 효과가 나타난다. 동상 전달 루프가 도 4의 것과 모두 동일하기 때문에, 안정적인 자기 바이어스는 동상 전압 귀환 루프에 의해 유사하게 생성되며, 전용의 DC 귀환 회로를 필요로 하지 않는다.

발명의 효과

실시예 1 내지 3에 나타난 본 발명에 따라, 본 발명에 따른 필터 회로의 제3 형태 또는 대안적인 형태의 주요 특성을 종속 접속함으로써 소정의 고차 필터 회로를 생성할 수 있다. 또한, 본 발명에 의해 제공되는 소규모 및 저가 필터의 장점을 이용한다.

본 발명의 바람직한 실시예가 설명되었어도, 다양한 변형이 만들어질 수 있음이 이해되며, 첨부된 청구범위는 본 발명의 실제 사상 및 범위 내에서 모든 변형을 가능하게 한다.

(57) 청구의 범위

청구항 1.

2개의 입력단 및 2개의 출력단을 각기 갖는 제1 회로 블록들과;

상기 각 출력단에 접속된 전류원과;

상기 출력단에 접속된 캐패시터와;

2개의 입력단 및 2개의 출력단을 각기 갖는 제2 회로 블록과;

상기 제1 회로 블록의 출력단을 상기 제1 회로 블록 또는 상기 제2 회로 블록의 입력단에 접속하는 제1 배선단과;

상기 제2 회로 블록의 출력단을 상기 제1 회로 블록의 입력단에 접속하는 제2 배선단과;

상기 제1 및 2 회로 블록의 적어도 하나의 입력단에 결합된 입력 단자와;

상기 제1 회로 블록들의 적어도 하나의 출력단에 결합된 출력 단자를 구비하고,

상기 제1 회로 블록들에서 2개의 입력단의 전압차는 2개의 출력단의 정/부 전류차로 변환되고 2개의 입력단의 평균 전압이 부의 고이득을 갖는 2개의 출력단의 평균 전압으로 변환되고,

상기 제2 회로 블록에서 2개의 입력단의 전압차는 2개의 출력단의 부/정 전압차로 각기 변환되고 2개의 입력단의 평균 전압이 2개의 출력단의 부의 평균 전압으로 변환되고,

상기 제1 및 2배선단에 의해 접속된 상기 제1 및 2 회로 블록은 신호 흐름을 따라 루프를 형성하고, 상기 루프는 하나의 제2 회로 블록 및 짝수의 제1 회로 블록들을 포함하는 것을 특징으로 하는 필터 회로.

청구항 2.

입력 단자쌍 및 출력 단자쌍을 가지며, 동상 고정-전압 단자에 접속되는 소스, 상기 입력 단자로서 사용하는 게이트, 및 전류원에 접속되며 상기 출력 단자로서 사용하는 드레인을 갖는 제1 전계 효과 트랜지스터쌍을 구비하는 트랜스컨덕터와;

상기 트랜스컨덕터의 출력 단자에 접속되고, 하나의 캐패시터를 각 출력 단자에 접속되게 되는 캐패시터쌍과;

입력 단자쌍 및 출력 단자쌍을 갖는 증폭기와;

상기 트랜스컨덕터 또는 상기 증폭기의 입력 단자에 결합된 입력 단자와;

상기 트랜스컨덕터의 출력 단자에 결합된 출력 단자를 구비하고,

상기 증폭기는 입력측 트랜지스터쌍 및 출력측의 제2 전계 효과 트랜지스터쌍을 구비하고, 상기 입력측 트랜지스터는 트랜스컨덕터의 상기 제1 전계 효과 트랜지스터와 같은 형태의 트랜지스터이고, 출력측 트랜지스터의 게이트 및 드레인이 적어도 하나의 동상 고정 전압 단자에 각기 접속되고,

상기 트랜스컨덕터 및 상기 증폭기는 각기 복수의 구성 요소를 갖는 것중 하나이고, 상기 구성 요소가 배선단에 의해 반복 귀환 경로를 형성하고, 상기 반복 귀환 경로가 짝수의 구성 요소를 포함하는 것을 특징으로 하는 필터 회로.

청구항 3.

제2항에 있어서, 상기 제1 및 2 트랜지스터와 관련된 전류비를 일정하게 하는 방법으로 전류원을 제어함에 의해 필터의 주파수 특성을 비례 조정하는 것을 특징으로 하는 필터 회로.

청구항 4.

입력 단자쌍 및 출력 단자쌍, 차동-모드 입력 전압용의 설정된 트랜스컨덕턴스 및 동상-모드 입력 전압에 대한 고 반전(inversion gain) 이득을 갖는 트랜스컨덕터와;

입력 단자쌍 및 출력 단자쌍, 차동-모드 입력 전압에 대한 미리 정해진 이득 및 동상-모드 입력 전압의 차동 이득에 비교될 수 있는 반전 이득을 갖는 증폭기와;

상기 트랜스컨덕터의 각 출력 단자에 접속된 전류원과;

상기 트랜스컨덕터의 각 출력 단자에 접속되고, 상기 전류원과 병렬 접속되는 캐패시터와;

상기 트랜스컨덕터 또는 상기 증폭기의 입력 단자에 결합된 입력 단자와;

상기 트랜스컨덕터의 출력 단자에 결합된 출력 단자를 포함하고,

상기 트랜스컨덕터 및 상기 증폭기는 각기 복수의 구성 요소중 하나이고, 상기 구성 요소는 순환 귀환 경로를 형성하고, 상기 순환 귀환 경로는 홀수의 구성 요소를 포함하는 것을 특징으로 하는 필터 회로.

청구항 5.

제4항에 있어서, 상기 순환 귀환 경로는 짝수의 트랜스컨덕터 및 하나의 증폭기를 포함하는 것을 특징으로 하는 필터 회로.

청구항 6.

제4항에 있어서, 상기 순환 귀환 경로는 2개의 트랜스컨덕터 및 홀수의 증폭기를 포함하는 것을 특징으로 하는 필터 회로.

청구항 7.

제6항에 있어서, 3개의 커패시터가 2개의 트랜스컨덕터에 접속되고, 3개의 커패시터 중 1개는 트랜스컨덕터 중 하나의 출력 단자 양단에 접속되고 3개의 커패시터 중 2개는 고정 전압 단자와 나머지 트랜스컨덕터의 출력 단자 사이에 접속되는 것을 특징으로 하는 필터 회로.

청구항 8.

입력 단자쌍 및 출력 단자쌍을 가지며, 동상 고정-전압 단자에 접속되는 소스, 상기 입력 단자로서 사용하는 게이트, 및 전류원에 접속되며 상기 출력 단자로서 사용하는 드레인을 갖는 제1 전계 효과 트랜지스터쌍을 각기 구비하는 제1, 2, 3 및 4 트랜스컨덕터와;

입력 단자쌍 및 출력 단자쌍을 갖는 증폭기를 구비하며,

상기 증폭기는 입력측 트랜지스터쌍 및 출력측의 제2 전계 효과 트랜지스터쌍을 구비하고, 상기 입력측 트랜지스터는 상기 트랜스컨덕터의 상기 제1 전계 효과 트랜지스터와 같은 형태의 트랜지스터이고, 상기 제2 전계 효과 트랜지스터의 게이트 및 드레인이 적어도 하나의 동상 고정 전압 단자에 각기 접속되고,

상기 제1 트랜스컨덕터의 출력 단자쌍이 제1 노드쌍을 통해 제2 트랜스컨덕터의 출력 단자쌍에 접속되고, 상기 노드는 증폭기의 입력 단자쌍에 접속되고, 상기 노드쌍의 각 노드가 제1 캐패시터 및 제1 전류원에 접속되고;

상기 제3 트랜스컨덕터의 출력 단자쌍은 제2 노드쌍을 통해 제4 트랜스컨덕터의 출력 단자쌍에 접속되고, 제2 노드쌍의 각 노드가 제2 캐패시터 및 제2 전류원에 접속되고, 제2 노드쌍은 제2 및 4 트랜스컨덕터의 입력 단자쌍에 교차-결합된 구성으로 접속되고, 제3 및 4 트랜스컨덕터의 정출력 단자는 제2 및 4 트랜스컨덕터의 부입력 단자에 접속되고, 상기 제3 및 4 트랜스컨덕터의 부출력 단자는 상기 제2 및 4 트랜스컨덕터의 정입력 단자에 접속되고;

상기 증폭기의 출력 단자쌍이 제3 트랜스컨덕터의 입력 단자쌍에 접속되고;

제1 트랜스컨덕터의 입력 단자쌍이 필터 입력 단자로서 사용되고, 제3 트랜스컨덕터의 출력 단자쌍이 필터 출력 단자로서 사용되는 것을 특징으로 하는 필터 회로.

청구항 9.

제8항에 있어서, 각 트랜스컨덕터의 입력 단자쌍의 전압차가 그 출력 단자쌍의 부/정 전류차로 변환되고 각 트랜스컨덕터의 입력 단자쌍의 평균 전압이 부의 고이득을 갖는 그 출력 단자쌍의 평균 전압으로 변환되고;

증폭기의 입력 단자쌍의 전압차가 그 출력 단자쌍의 부/정 전압차로 변환되고 입력 단자쌍의 평균 전압이 그 출력 단자쌍의 부의 평균 전압으로 변환되는 것을 특징으로 하는 필터 회로.

청구항 10.

제8항에 있어서, 상기 제1, 2, 3 및 4 트랜스컨덕터는 차동-모드 입력 전압에 대해 미리 정해진 트랜스컨덕턴스 및 동상-모드 입력 전압에 대한 고 반전 이득을 갖고,

상기 증폭기는 차동-모드 입력 전압에 대해 미리 정해진 이득 및 동상-모드 입력 전압에 대해 미리 정해진 이득에 비교할만한 반전 이득을 갖는 것을 특징으로 하는 필터 회로.

청구항 11.

입력 단자쌍 및 출력 단자쌍을 가지며, 동상 고정-전압 단자에 접속되는 소스, 상기 입력 단자로서 사용하는 게이트, 및 전류원에 접속되며 상기 출력 단자로서 사용하는 드레인을 갖는 제1 전계 효과 트랜지스터쌍을 각기 구비하는 제1, 2, 및 3 트랜스컨덕터와;

입력 단자쌍 및 출력 단자쌍을 갖는 증폭기를 구비하며,

상기 증폭기는 입력측 트랜지스터쌍 및 출력측의 제2 전계 효과 트랜지스터쌍을 구비하고, 상기 입력측 트랜지스터는 상기 트랜스컨덕터의 상기 제1 전계 효과 트랜지스터와 같은 형태의 트랜지스터이고, 상기 제2 전계 효과 트랜지스터의 게이트 및 드레인이 적어도 하나의 동상 고정 전압 단자에 각기 접속되고,

상기 제1 트랜스컨덕터의 출력 단자쌍이 제1 노드쌍을 통해 캐패시터쌍 및 전류원쌍에 접속되고, 상기 노드는 증폭기의 입력 단자쌍에 접속되고,

상기 제2 트랜스컨덕터의 출력 단자쌍은 제2 노드쌍을 통해 제3 트랜스컨덕터의 출력 단자쌍에 접속되고, 제2 노드쌍의 각 노드가 캐패시터 및 전류원에 접속되고 제1 및 3 트랜스컨덕터의 입력 단자쌍에 교차-결합된 구성으로 접속되고, 제2 및 3 트랜스컨덕터의 정출력 단자는 제1 및 3 트랜스컨덕터의 부입력 단자에 접속되고, 상기 제2 및 3 트랜스컨덕터의 부출력 단자는 상기 제1 및 3 트랜스컨덕터의 정입력 단자에 접속되고;

상기 증폭기의 출력 단자쌍이 제2 트랜스컨덕터의 입력 단자쌍에 접속되고;

캐패시터쌍이 필터 입력 단자로서 사용되고, 제2 트랜스컨덕터의 출력 단자쌍이 필터 출력 단자로서 사용되는 것을 특징으로 하는 필터 회로.

청구항 12.

제11항에 있어서, 각 트랜스컨덕터의 입력 단자쌍의 전압차가 그 출력 단자쌍의 부/정 전류차로 변환되고 각 트랜스컨덕터의 입력 단자쌍의 평균 전압이 부의 고이득을 갖는 그 출력 단자쌍의 평균 전압으로 변환되고;

증폭기의 입력 단자쌍의 전압차가 그 출력 단자쌍의 부/정 전압차로 변환되고 입력 단자쌍의 평균 전압이 그 출력 단자쌍의 부의 평균 전압으로 변환되는 것을 특징으로 하는 필터 회로.

청구항 13.

제11항에 있어서, 상기 제1, 2 및 3 트랜스컨덕터는 차동-모드 입력 전압에 대해 미리 정해진 트랜스컨덕턴스 및 동상-모드 입력 전압에 대한 고 반전 이득을 갖고;

상기 증폭기는 차동-모드 입력 전압에 대해 미리 정해진 이득 및 동상-모드 입력 전압에 대해 미리 정해진 이득에 비교할만한 반전 이득을 갖는 것을 특징으로 하는 필터 회로.

청구항 14.

입력 단자쌍 및 출력 단자쌍을 가지며, 동상 고정-전압 단자에 접속되는 소스, 상기 입력 단자로서 사용하는 게이트, 및 전류원에 접속되며 상기 출력 단자로서 사용하는 드레인을 갖는 제1 전계 효과 트랜지스터쌍을 각기 구비하는 제1, 2, 및 3 트랜스컨덕터와;

입력 단자쌍 및 출력 단자쌍을 갖는 증폭기를 구비하며,

상기 증폭기는 입력측 트랜지스터쌍 및 출력측의 제2 전계 효과 트랜지스터쌍을 구비하고, 상기 입력측 트랜지스터는 상기 트랜스컨덕터의 상기 제1 전계 효과 트랜지스터와 같은 형태의 트랜지스터이고, 상기 제2 전계 효과 트랜지스터의 게이트 및 드레인이 적어도 하나의 동상 고정 전압 단자에 각기 접속되고,

상기 제1 트랜스컨덕터의 출력 단자쌍이 제1 노드쌍을 통해 캐패시터 및 제1 전류원쌍에 접속되고, 상기 노드는 증폭기의 입력 단자쌍에 접속되고,

상기 제2 트랜스컨덕터의 출력 단자쌍은 제2 노드쌍을 통해 제3 트랜스컨덕터의 출력 단자쌍에 접속되고, 제2 노드쌍의 각 노드가 캐패시터쌍 및 제2 전류원쌍에 접속되고 제2 노드쌍은 제1 및 3 트랜스컨덕터의 입력 단자쌍에 교차-결합된 구성으로 접속되고, 제2 및 3 트랜스컨덕터의 정출력 단자는 제1 및 3 트랜스컨덕터의 부입력 단자에 접속되고, 상기 제2 및 3 트랜스컨덕터의 부출력 단자는 상기 제1 및 3 트랜스컨덕터의 정입력 단자에 접속되고;

상기 증폭기의 출력 단자쌍이 제2 트랜스컨덕터의 입력 단자쌍에 접속되고;

캐패시터쌍이 필터 입력 단자로서 사용되고, 제2 트랜스컨덕터의 출력 단자쌍이 필터 출력 단자로서 사용되는 것을 특징으로 하는 필터 회로.

청구항 15.

제14항에 있어서, 각 트랜스컨덕터의 입력 단자쌍의 전압차가 그 출력 단자쌍의 부/정 전류차로 변환되고 각 트랜스컨덕터의 입력 단자쌍의 평균 전압이 부의 고이득을 갖는 그 출력 단자쌍의 평균 전압으로 변환되고;

증폭기의 입력 단자쌍의 전압차가 그 출력 단자쌍의 부/정 전압차로 변환되고 입력 단자쌍의 평균 전압이 그 출력 단자쌍의 부의 평균 전압으로 변환되는 것을 특징으로 하는 필터 회로.

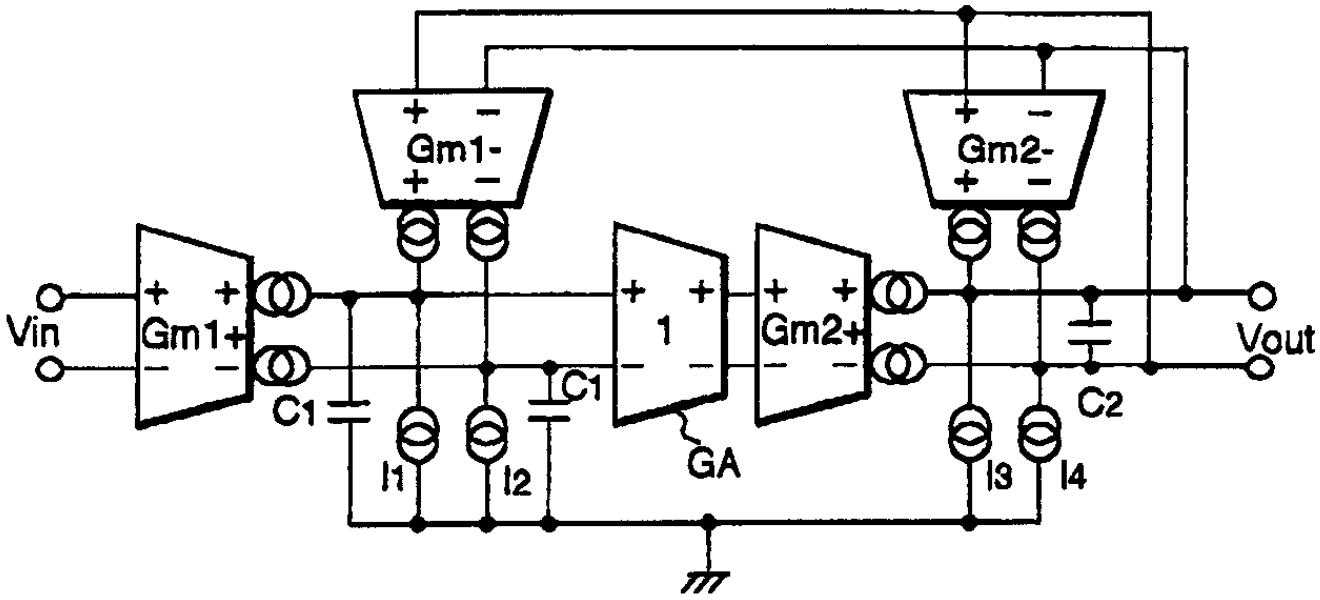
청구항 16.

제14항에 있어서, 상기 제1, 2 및 3 트랜스컨덕터는 차동-모드 입력 전압용의 설정된 트랜스컨덕턴스 및 동상-모드 입력 전압용의 고 반전 이득을 갖고,

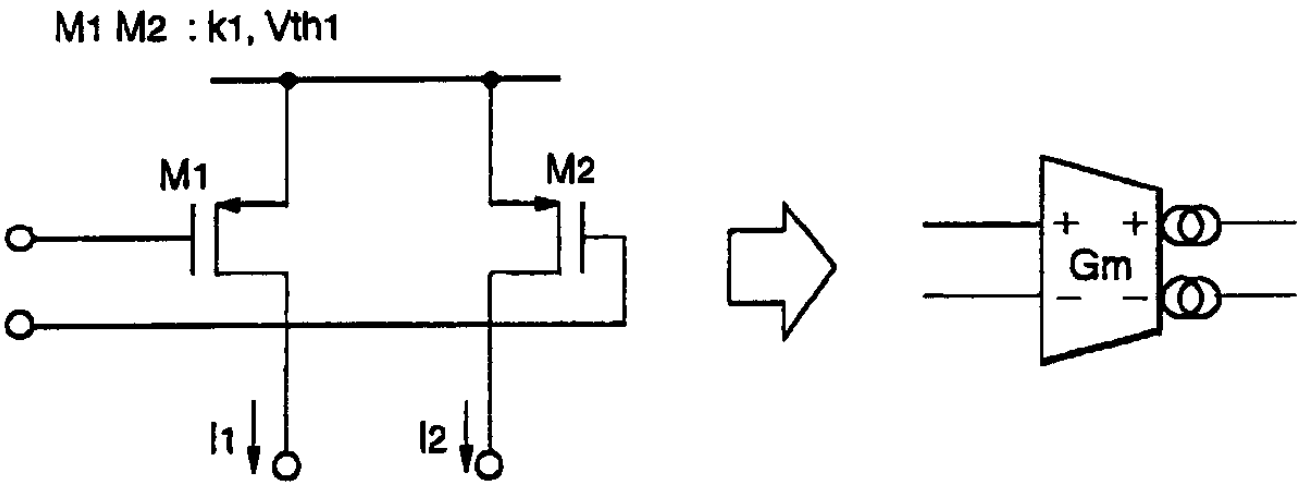
상기 증폭기는 차동-모드 입력 전압에 대해 미리 정해진 이득 및 동상-모드 입력 전압에 대해 미리 정해진 이득에 비교할만한 반전 이득을 갖는 것을 특징으로 하는 필터 회로.

도면

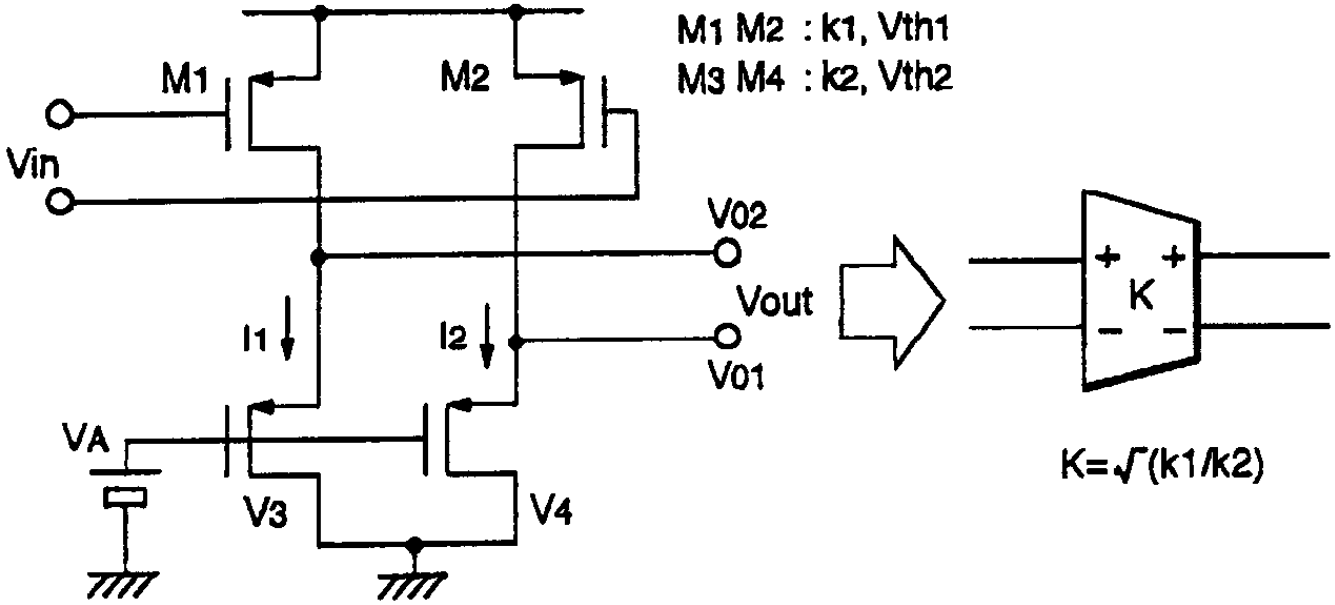
도면 1


Gm1-
Gm2-
Vin
Gm1+
C1
I1
I2
C1
1
GA
Gm2+
I3
I4
C2
Vout

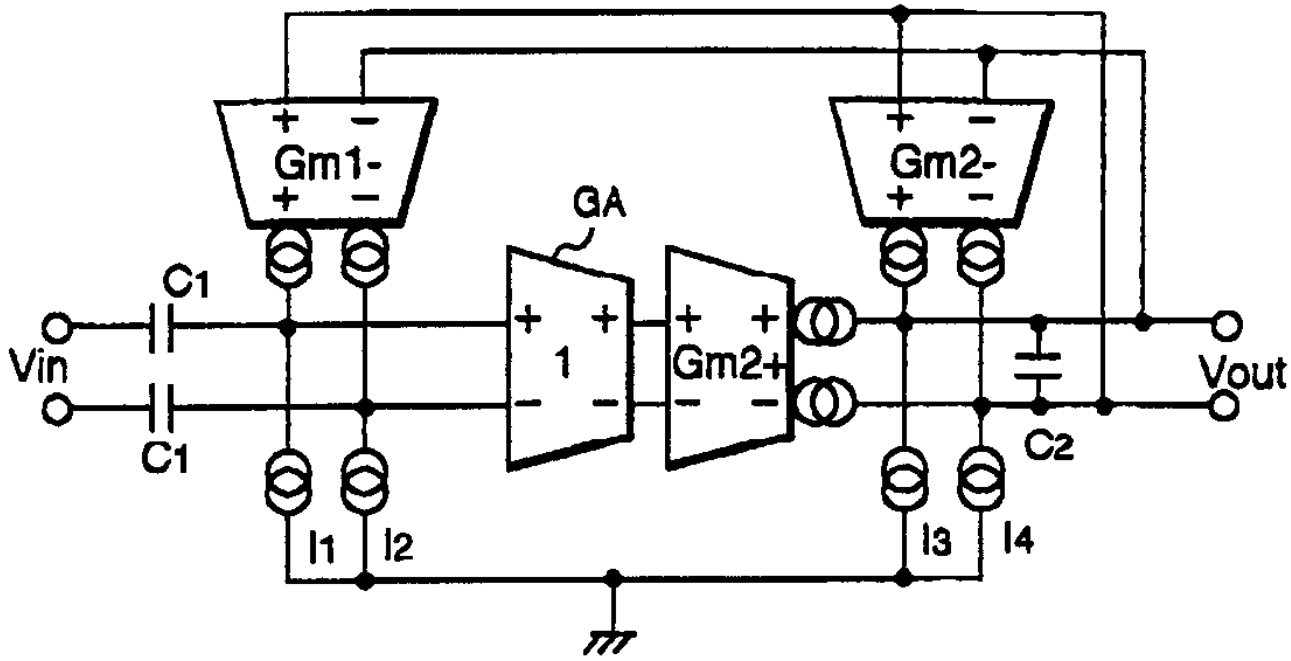
도면 2


M1 M2 : k1, Vth1
M1
M2
I1
I2
Gm

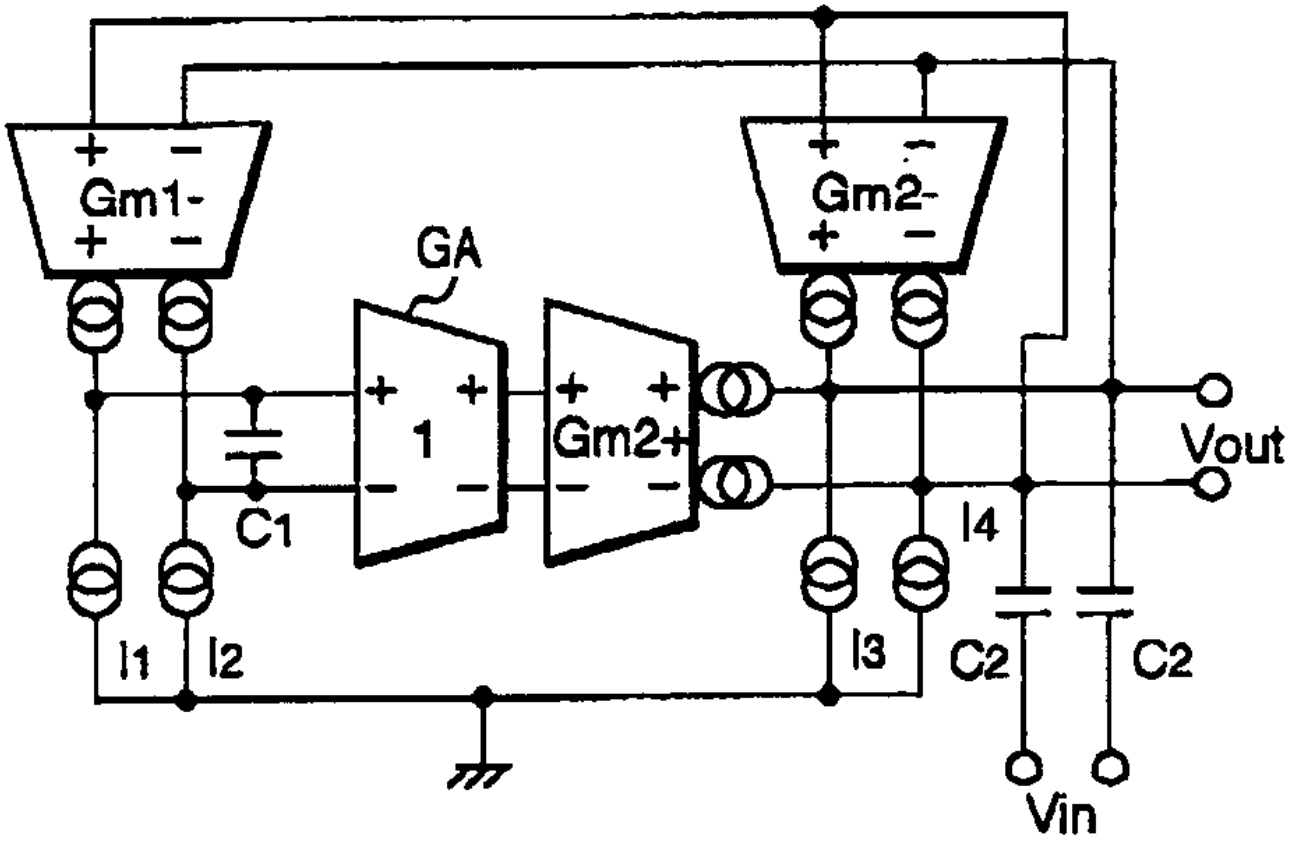
도면 3


M1 M2 : k1, Vth1
M3 M4 : k2, Vth2
M1
M2
Vin
V02
Vout
V01
I1
I2
VA
V3
V4
K
K=√(k1/k2)

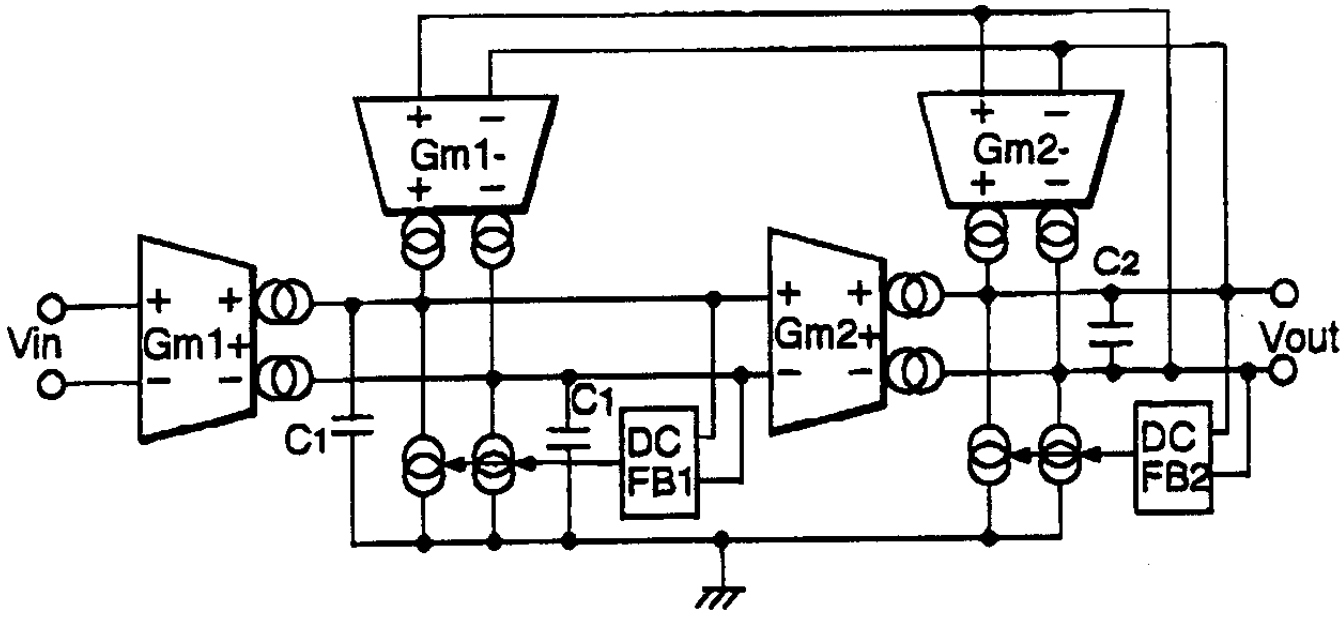
도면 4


Gm1-
Gm2-
GA
C1
Vin
C1
1
Gm2+
Vout
C2
I1
I2
I3
I4

도면 5


Gm1-
GA
Gm2-
1
Gm2+
Vout
C1
I4
I1
I2
I3
C2
C2
Vin

도면 6


Gm1-
Gm2-
Vin
Gm1+
Gm2+
C2
Vout
C1
C1
DC
FB1
DC
FB2

도면 7

