

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年4月6日(06.04.2023)



(10) 国際公開番号

WO 2023/054602 A1

(51) 国際特許分類:
H10B 10/00 (2023.01) H01L 21/822 (2006.01)
H01L 21/82 (2006.01) H01L 27/04 (2006.01)

(21) 国際出願番号: PCT/JP2022/036488

(22) 国際出願日: 2022年9月29日(29.09.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
63/261,847 2021年9月30日(30.09.2021) US

(71) 出願人:株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).

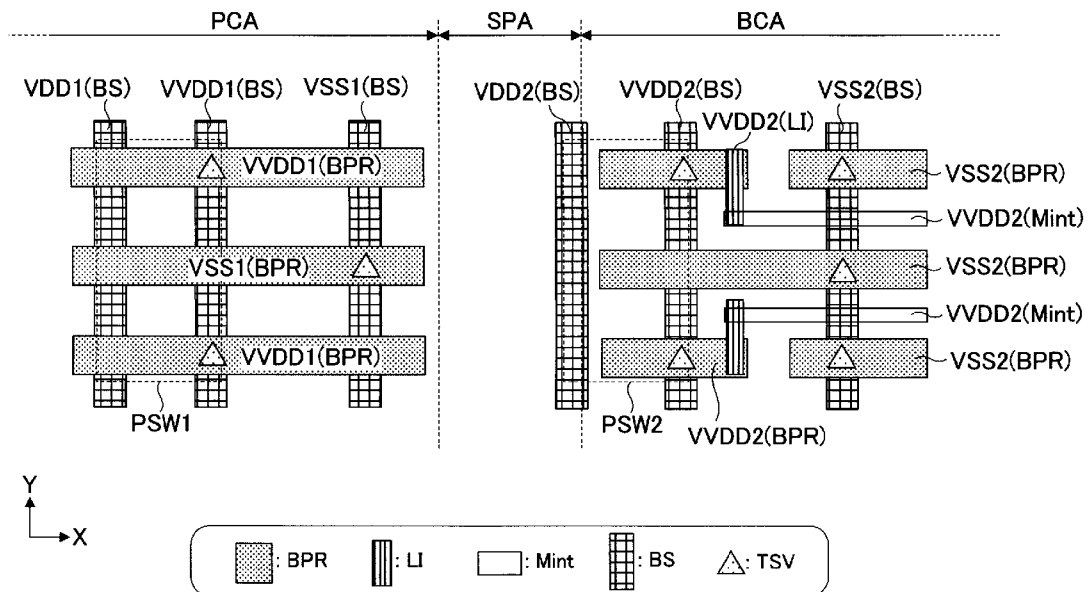
(72) 発明者: 岡本 淳 (OKAMOTO, Atsushi); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP). ワン ウェンゼン(WANG, Wenzhen); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP). 武野 紘宜 (TAKENO, Hirotaka); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).

(74) 代理人: 伊東 忠重, 外(ITO, Tadashige et al.); 〒1000005 東京都千代田区丸の内二丁目1番1号 丸の内 M Y P L A Z A (明治安田生命ビル) 16階 Tokyo (JP).

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図3]



(57) Abstract: This semiconductor device comprises: a first and a second power supply lines and a first and a second ground lines provided on a first surface of a substrate; and a third and a fourth power supply lines provided on a second surface of the substrate. The second power supply line and the third power supply line are connected through a via provided in the substrate. The semiconductor device comprises a first and a second regions disposed across a third region, and a power supply switch circuit including a switch transistor disposed between the third and fourth power supply lines. Thus,

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

the power supply switch can be appropriately disposed by utilizing a wiring layer in which wiring for a power supply wiring network on the back surface of the substrate is provided.

(57) 要約: 半導体装置は、基板の第1面に設けられた第1および第2の電源線と第1および第2の接地線と、基板の第2面に設けられた第3および第4の電源線とを有する。第2の電源線と第3の電源線とは基板に設けられたビアを介して接続される。半導体装置は、第3の領域を挟んで配置された第1および第2の領域と、第3および第4の電源線の間接続されたスイッチトランジスタを有する電源スイッチ回路とを有する。これにより、基板の裏面の電源配線網の配線が設けられる配線層を使用して電源スイッチを適切に配置することができる。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

[0002] 本出願は、2021年9月30日出願の米国仮出願第63／261,847号に基づく優先権を主張し、前記出願に記載された全ての記載内容を援用するものである。

背景技術

[0003] S R A M (Static Random Access Memory) において、ビットセル領域と周辺回路領域とで電源配線の配置が異なる場合に、平面視でビットセル領域と周辺回路領域との間隔を確保するために分離領域が設けられる場合がある。半導体基板に電源配線を埋め込んだB P R (Buried Power Rail) という技術が知られている。内部回路の仮想電源線への電源電圧の供給と遮断とを切り替えるために、電源線と仮想電源線との間に電源スイッチ回路を設ける技術が知られている。半導体基板の裏面に電源配線網を設け、半導体基板の裏面と表面とを貫通するビアを介して電源電圧を供給するB S - P D N (Backside-Power Delivery Network) という技術が知られている。電源電圧の供給と遮断とを切り替えるトランジスタを配線層に設ける技術が知られている。

先行技術文献

特許文献

[0004] 特許文献1：米国特許第10446224号明細書

特許文献2：米国特許第8670265号明細書

特許文献3：米国特許出願公開第2020／0135718号明細書

特許文献4：米国特許出願公開第2018／0151494号明細書

特許文献5：米国特許第2005／0212018号明細書

特許文献6：米国特許第10170413号明細書

特許文献7：国際公開第2021／070366号

特許文献8：国際公開第2021／070367号

特許文献9：国際公開第2021／079511号

特許文献10：国際公開第2021／111604号

発明の概要

発明が解決しようとする課題

[0005] BS-PDNの配線が設けられる配線層を使用してトランジスタを形成する場合に、電源スイッチ回路をどのように配置するかの詳細な技術検討がなされていない。

[0006] 本発明は、上記の点に鑑みてなされたもので、基板の裏面の電源配線網の配線が設けられる配線層を使用して半導体装置に電源スイッチを適切に配置することを目的とする。

課題を解決するための手段

[0007] 本発明の一態様では、半導体装置は、第1面と、前記第1面と対向する第2面を有する基板と、前記第1面に設けられた第1の電源線と、前記第1面に設けられた第1の接地線と、前記第1の電源線と前記第1の接地線とを有する第1の領域と、前記第1面に設けられた第2の電源線と、前記第1面に設けられた第2の接地線と、前記第2面に設けられた第3の電源線と、前記第2面に設けられた第4の電源線と、前記第2の電源線と前記第3の電源線とを電氣的に接続し、前記基板に設けられたビアと、前記第2の電源線と、前記第2の接地線とを有する第2の領域と、平面視で前記第1の領域と前記第2の領域との間に位置する第3の領域と、前記第3の電源線と前記第4の電源線との間に電氣的に接続された第1のスイッチトランジスタを前記基板の前記第2面側に有する第1の電源スイッチ回路と、を有する。

発明の効果

[0008] 開示の技術によれば、基板の裏面の電源配線網の配線が設けられる配線層を使用して半導体装置に電源スイッチを適切に配置することができる。

図面の簡単な説明

[0009] [図1]第1の実施形態における半導体装置のレイアウトの概要を示す平面図である。

[図2]図1のビットセル領域に配置される電源スイッチ回路の概要を示す回路ブロック図である。

[図3]図1の電源スイッチ回路が配置される領域の電源配線のレイアウトの一例を示す平面図である。

[図4A]図3の電源スイッチ回路P SW1のスイッチトランジスタの断面の一例を示す断面図である。

[図4B]図3の電源スイッチ回路P SW1のスイッチトランジスタの断面の別の例を示す断面図である。

[図4C]図3の電源スイッチ回路P SW1のスイッチトランジスタの断面の別の例を示す断面図である。

[図4D]図3の電源スイッチ回路P SW1のスイッチトランジスタの断面のさらなる別の例を示す断面図である。

[図5]図1のビットセル領域に配置されるビットセルの一例を示す図である。

[図6]図1のビットセル領域に配置されるビットセルの別の例を示す図である。

[図7]分離領域およびビットセル領域に跨いで配置される電源スイッチ回路の一例を示す平面図である。

[図8]図7のY1-Y1'線に沿う断面を示す断面図である。

[図9]図7のX1-X1'線に沿う断面を示す断面図である。

[図10]図7のビットセル領域に配置される電源スイッチ回路の変形例を示す平面図である。

[図11]第2の実施形態における半導体装置において分離領域およびビットセル領域に跨いで配置される電源スイッチ回路の一例を示す平面図である。

[図12]図11の電源スイッチ回路の変形例を示す平面図である。

発明を実施するための形態

[0010] 以下、図面を用いて実施形態を説明する。以下では、信号を示す符号は、

信号値、信号線または信号端子を示す符号としても使用される場合がある。
電源を示す符号は、電源電圧、電源電圧が供給される電源線または電源端子を示す符号としても使用される場合がある。

[0011] (第1の実施形態)

図1は、第1の実施形態における半導体装置のレイアウトの概要を示す平面図である。図1に示す半導体装置100は、例えば、SRAMである。半導体装置100は、ビットセル領域BCAと、ビットセル領域BCAの周囲に配置される周辺回路領域PCAおよびデコーダ領域DECAとを有する。周辺回路領域PCAおよびデコーダ領域DECAは、第1の領域の一例である。ビットセル領域BCAは、第2の領域の一例である。

[0012] 例えば、周辺回路領域PCAおよびビットセル領域BCAは、X方向に並んで配置され、デコーダ領域DECAおよびビットセル領域BCAは、Y方向に並んで配置される。X方向は、第1の方向の一例である。Y方向は、第1の方向と異なる第2の方向の一例である。平面視で、ビットセル領域BCA、周辺回路領域PCAおよびデコーダ領域DECAの間には、分離領域SPAが配置される。分離領域SPAは、第3の領域の一例である。

[0013] 例えば、ビットセル領域BCA、周辺回路領域PCAおよびデコーダ領域DECAには、それぞれ異なる電源電圧が供給される。例えば、ビットセル領域BCA、周辺回路領域PCAおよびデコーダ領域DECAには、X方向に延在し、Y方向に並んで配置される複数の電源線が配置される。なお、ビットセル領域BCA、周辺回路領域PCAおよびデコーダ領域DECAの電源線の位置および配置間隔は、それぞれ異なってもよい。

[0014] また、周辺回路領域PCAおよびデコーダ領域DECAには、半導体装置100の半導体基板SUBの裏面BS(図4(A))に、所定数の電源スイッチ回路PSW1がそれぞれ設けられる。ビットセル領域BCAには、半導体基板SUBの裏面BSに所定数の電源スイッチ回路PSW2が設けられる。なお、電源スイッチ回路PSW1、PSW2の一方または両方は、分離領域SPAにおいて半導体基板SUBの裏面BSに配置されてもよい。半導体

基板SUBの裏面BSは、半導体基板SUBの表面に対向する第2面の一例である。電源スイッチ回路PSW1は、第2の電源スイッチ回路の一例である。電源スイッチ回路PSW2は、第1の電源スイッチ回路の一例である。以下では、電源スイッチ回路PSW1、PSW2を区別なく示す場合、電源スイッチ回路PSWとも称される。

[0015] 図2は、図1のビットセル領域BCAに配置される電源スイッチ回路PSW2の概要を示す回路ブロック図である。なお、周辺回路領域PCAおよびデコーダ領域DECAに配置される電源スイッチ回路PSW1も図2と同様の回路構成を有する。ビットセル領域BCAは、複数のビットセルBC（すなわち、メモリセル）を有する。各ビットセルBCは、電氣的に仮想電源線VVDDおよび接地線VSSに接続され、仮想電源線VVDDから電力の供給を受けて動作する。

[0016] 電源スイッチ回路PSW2は、スイッチトランジスタSWTと制御回路CNTLとを有する。スイッチトランジスタSWTは、例えば、pチャネルトランジスタであり、制御回路CNTLからのスイッチ制御信号SWCNTをゲートで受けて動作する。電源スイッチ回路PSW2のスイッチトランジスタSWTは、第1のスイッチトランジスタの一例である。電源スイッチ回路PSW1のスイッチトランジスタSWTは、第2のスイッチトランジスタの一例である。なお、図2では、簡単化のため、1つのスイッチトランジスタSWTを示すが、電源線VDDと仮想電源線VVDDとの間には、複数のスイッチトランジスタSWTが配置されてもよい。

[0017] スwitchトランジスタSWTがオンしている間、電源線VDDと仮想電源線VVDDとが電氣的に接続され、電源電圧VDDが仮想電源線VVDDに供給される。スイッチトランジスタSWTがオフしている間、電源線VDDと仮想電源線VVDDとの電氣的な接続が遮断され、仮想電源線VVDDは、フローティング状態に設定される。

[0018] 制御回路CNTLは、例えば、バッファ回路である。制御回路CNTLは、SRAMを動作させる場合、電源線VDDから仮想電源線VVDDに電源

電圧を供給するためにスイッチ制御信号SWCNTをロウレベルに設定する。制御回路CNTLは、SRAMの動作を停止する場合、電源線VDDから仮想電源線VVDDへの電源電圧の供給を停止するためにスイッチ制御信号SWCNTをハイレベルに設定する。

[0019] 図3は、図1の電源スイッチ回路PSW1、PSW2が配置される領域の電源配線のレイアウトの一例を示す平面図である。図3は、周辺回路領域PCAとビットセル領域BCAとが分離領域SPAを挟んで配置される領域の拡大図である。

[0020] 図3に示す例では、Mint層の配線およびBPRは、それぞれX方向に延在して設けられ、ローカル配線L1および半導体基板SUBの裏面BSの配線は、それぞれY方向に延在して設けられる。例えば、Mint層は、半導体基板SUBの表面側に設けられる。ローカル配線L1は、半導体基板SUBとMint層との間に設けられる。半導体基板SUBの表面は、第1面の一例である。

[0021] 以下では、周辺回路領域PCAおよびデコーダ領域DECAに配線される電源線、仮想電源線および接地線は、それぞれ符号VDD1、VVDD1、VSS1で示す。ビットセル領域BCAに配線される電源線、仮想電源線および接地線は、それぞれ符号VDD2、VVDD2、VSS2で示す。なお、周辺回路領域PCAまたはビットセル領域BCAに配線される電源線または接地線が分離領域SPA側に配置される場合がある。

[0022] 周辺回路領域PCAおよびデコーダ領域DECAに配置される回路は、仮想電源線VVDD1と接地線VSS1とに電氣的に接続される。ビットセル領域BCAに配置されるビットセルは、仮想電源線VVDD2と接地線VSS2とに電氣的に接続される。図3に示す例では、電源スイッチ回路PSW1は、電源線VDD1と仮想電源線VVDD1と接地線VSS1とに電氣的に接続され、電源スイッチ回路PSW2は、電源線VDD2と仮想電源線VVDD2と接地線VSS2とに電氣的に接続される。

[0023] 周辺回路領域PCAには、BPRとして設けられた接地線VSS1（BPR

R) および仮想電源線 $VDD1$ (BPR) と、裏面 BS に設けられた接地線 $VSS1$ (BS)、電源線 $VDD1$ (BS) および仮想電源線 $VDD1$ (BS) が配置される。接地線 $VSS1$ (BPR)、 $VSS1$ (BS) は、TSV を介して互いに接続される。仮想電源線 $VDD1$ (BPR)、 $VDD1$ (BS) は、TSV を介して互いに接続される。

[0024] 周辺回路領域 PCA において、半導体基板 SUB の裏面 BS には、電源線 $VDD1$ (BS) および仮想電源線 $VDD1$ (BS) に電氣的に接続されたスイッチトランジスタ (図示せず) を有する電源スイッチ回路 PSW1 が設けられる。電源スイッチ回路 PSW1 は、周辺回路領域 PCA に設けられる図示しない素子および回路に電源電圧 $VDD1$ を供給する。

[0025] ビットセル領域 BCA には、BPR として設けられた接地線 $VSS2$ (BPR) および仮想電源線 $VDD2$ (BPR) と、裏面 BS に設けられた接地線 VSS (BS) および仮想電源線 $VDD2$ (BS) が配置されている。接地線 $VSS2$ (BPR)、 $VSS2$ (BS) は、TSV を介して互いに接続される。仮想電源線 $VDD2$ (BPR)、 $VDD2$ (BS) は、TSV を介して互いに接続される。仮想電源線 $VDD2$ (BPR) は、ローカル配線 L1 の仮想電源線 $VDD2$ を介して Mint 層の仮想電源線 $VDD2$ (Mint) に接続される。仮想電源線 $VDD2$ (Mint) は、第1の配線の一例である。

[0026] 分離領域 SPA には、裏面 BS に設けられた電源線 $VDD2$ (BS) が配置される。ビットセル領域 BCA において、半導体基板 SUB の裏面 BS には、電源線 $VDD2$ (BS) および仮想電源線 $VDD2$ (BS) に電氣的に接続されたスイッチトランジスタ (図示せず) を有する電源スイッチ回路 PSW2 が設けられる。電源スイッチ回路 PSW2 は、ビットセル領域 BCA に設けられるビットセル BC (図5または図6) に電源電圧 $VDD2$ を供給する。

[0027] なお、図3で示した電源スイッチ回路 PSW1 の電源線 $VDD1$ (BS) および電源スイッチ回路 PSW2 の電源線 $VDD2$ (BS) には、同じ電源

電圧が供給されてもよく、それぞれ異なる電源電圧が供給されもよい。電源線VDD1(BS)、VDD2(BS)に同じ電源電圧が供給される場合、電源線VDD1(BS)、VDD2(BS)は電氣的に互いに接続されてもよい。例えば、電源線VDD1(BS)、仮想電源線VVDD1(BS)、接地線VSS1(BS)、電源線VDD2(BS)、仮想電源線VVDD2(BS)および接地線VSS2(BS)は、BS-PDNとして設けられてもよい。

[0028] 仮想電源線VVDD1(BPR)は、第1の電源線の一例である。仮想電源線VVDD2(BPR)は、第2の電源線の一例である。仮想電源線VVDD2(BS)は、第3の電源線の一例である。電源線VDD2(BS)は、第4の電源線の一例である。仮想電源線VVDD1(BS)は、第5の電源線の一例である。電源線VDD1(BS)は、第6の電源線の一例である。接地線VSS1(BPR)は、第1の接地線の一例である。接地線VSS2(BPR)は、第2の接地線の一例である。接地線VSS1(BS)は、第3の接地線の一例である。接地線VSS2(BS)は、第4の接地線の一例である。

[0029] 図4Aは、図3の電源スイッチ回路PSW1のスイッチトランジスタSWTを含む領域の断面の一例を示す断面図である。図4Aでは、半導体基板SUBおよび半導体基板SUBの裏面BS側の構造のみが示され、半導体基板SUBの表面側に設けられるトランジスタおよび配線等は、図示が省略される。なお、図3の電源スイッチ回路PSW2のスイッチトランジスタSWTを含む領域の断面構造も図4Aと同様である。

[0030] スイッチトランジスタSWTは、互いに積層された半導体層SEMLとゲート絶縁膜GINSとゲート電極GTとを有する。ゲート電極GTを挟んで半導体層SEMLの一方には、電源線VDD1(BS)が接続される。ゲート電極GTを挟んで半導体層SEMLの他方には、仮想電源線VVDD1(BS)が接続される。スイッチトランジスタSWTは、ゲート電極GTに入力された制御信号によってオンまたはオフし、オン時に電源線VDD1から

仮想電源線V V D D 1に電源電圧を供給する。

[0031] なお、図4 Aに示すように、電源線V D D 1および仮想電源線V V D D 1の一方または両方は、スイッチトランジスタS W Tよりも下側の配線層に設けられる配線に接続されてもよい。この場合、上側の配線層の配線と下側の配線層の配線とは、絶縁膜I N Sを開口して設けられるビアV I A (B S)を介して互いに接続される。

[0032] また、図4 Aでは、半導体基板S U Bの裏面B Sに2層の配線層が設けられるが、3層以上の配線層が設けられてもよい。この場合、互いに積層する2つの配線層の配線は、絶縁膜I N Sを開口して設けられるビアV I A (B S)を介して接続されてもよい。

[0033] 図4 Bは、図3の電源スイッチ回路P S W 1のスイッチトランジスタの断面の別の例を示す断面図である。図4 Bにおいても、半導体基板S U Bおよび半導体基板S U Bの裏面B S側の構造のみが示され、半導体基板S U Bの表面側に設けられるトランジスタおよび配線等は、図示が省略される。なお、図3の電源スイッチ回路P S W 2のスイッチトランジスタS W Tを含む領域の断面構造も図4 Bと同様である。

[0034] 図4 Bは、半導体層S E M Lが電源線V D D 1 (B S)と仮想電源線V V D D 1 (B S)と同じ層に設けられ、半導体層S E M Lの裏面B Sにゲート絶縁膜G I N Sおよびゲート電極G Tが設けられる。電源線V D D 1 (B S)と仮想電源線V V D D 1 (B S)は、それぞれ半導体層S E M Lに接続する。半導体層S E M L、ゲート絶縁膜G I N Sおよびゲート電極G Tは、裏面B Sに向けて順次に設けられる。その他の構造は、図4 Aと同様である。例えば、ゲート電極G Tは図4 Bの奥行方向に延在し、裏面B Sに設けられる配線に接続される。

[0035] 図4 Cは、図3の電源スイッチ回路P S W 1のスイッチトランジスタの断面の別の例を示す断面図である。図4 Cにおいても、半導体基板S U Bおよび半導体基板S U Bの裏面B S側の構造のみが示され、半導体基板S U Bの表面側に設けられるトランジスタおよび配線等は、図示が省略される。なお

、図3の電源スイッチ回路PSW2のスイッチトランジスタSWTを含む領域の断面構造も図4Cと同様である。図4Cは、スイッチトランジスタSWTが、半導体基板SUBに最も近い最上層ではなく2層目に設けられることを除き、図4Aと同様の構造を有する。

[0036] 図4Dは、図3の電源スイッチ回路PSW1のスイッチトランジスタSWTの断面のさらなる別の例を示す断面図である。図4Dにおいても、半導体基板SUBおよび半導体基板SUBの裏面BS側の構造のみが示され、半導体基板SUBの表面側に設けられるトランジスタおよび配線等は、図示が省略される。なお、図3の電源スイッチ回路PSW2のスイッチトランジスタSWTを含む領域の断面構造も図4Dと同様である。

[0037] 図4Dは、裏面BSから半導体層SEML、ゲート絶縁膜GINSおよびゲート電極GTが順次に設けられ、半導体層SEMLの一方がTSVを介して半導体基板SUBの表面側に接続される点を除き、図4Aと同様の構造を有する。

[0038] 半導体層SEMLの一方は、TSVを介して半導体基板SUBの表面側に設けられる仮想電源線VVD1に接続される。半導体層SEMLの他方は、スイッチトランジスタSWTよりも下側の配線層に設けられる電源線VVD1(BS)にビアVIA(BS)を介して接続される。

[0039] なお、図4Aから図4Dに示す半導体層SEMLは、グラフェンやカーボンナノチューブを使用して設けられてもよい。また、図4Aから図4DのスイッチトランジスタSWTは、薄膜トランジスタ(TFT; Thin Film Transistor)であってもよい。

[0040] 図5は、図1のビットセル領域BCAに配置されるビットセルBCの一例を示す図である。配線のレイアウトを分かりやすくするため、図5(A)にMint層の配線およびMint層に接続されるビアのレイアウトが示され、図5(B)にMint層より下(半導体基板側)の層の配線、ゲート、フィンおよびビアのレイアウトが示される。また、図5(C)にビットセルBCの回路が示される。図5(A)および図5(B)に示すレイアウトは、平

面視で互いに重なって位置する。

- [0041] 四角で示すビアVIA1は、Mint層の配線と各ゲートとを接続する。丸印で示すビアVIA2は、Mint層の配線とローカル配線L1とを接続する。菱形で示すビアVIA3は、ローカル配線L1とBPRの配線とを接続する。ローカル配線L1とフィンFINとは、平面視で重なる位置で接続される。
- [0042] 図5(B)に示す矩形の破線は、pチャネルトランジスタP1、P2、nチャネルトランジスタN1、N2および転送トランジスタT1、T2を示す。転送トランジスタT1、T2は、nチャネルトランジスタである。図5(A)から図5(C)に示す符号Q、QBは、ビットセルBCの相補の記憶ノードを示す。記憶ノードQは、転送トランジスタT1を介してビット線BLに接続される。記憶ノードQBは、転送トランジスタT2を介してビット線BLBに接続される。
- [0043] Mint層に設けられた2つワードラインWLは、それぞれビアVIA1を介して転送トランジスタT1、T2のゲートGT4、GT1に接続される。Mint層に設けられた仮想電源線VDD2は、ビアVIA2を介してローカル配線L12、L17に接続される。ローカル配線L12は、pチャネルトランジスタP1のソースに接続される。ローカル配線L17は、pチャネルトランジスタP2のソースに接続される。
- [0044] Mint層に設けられた配線Qは、ビアVIA2を介してローカル配線L15およびフィンFIN3、FIN4に接続され、ビアVIA1を介してゲートGT3に接続される。フィンFIN3は、pチャネルトランジスタP1のソース、ドレインとして機能し、フィンFIN4は、転送トランジスタT1およびnチャネルトランジスタN1のソース、ドレインとして機能する。
- [0045] Mint層に設けられた配線QBは、ビアVIA2を介してローカル配線L14およびフィンFIN2、FIN1に接続され、ビアVIA1を介してゲートGT2に接続される。フィンFIN2は、pチャネルトランジスタP2のソース、ドレインとして機能し、フィンFIN1は、転送トランジスタ

T 2 および n チャネルトランジスタ N 2 のソース、ドレインとして機能する。

[0046] M i n t 層に設けられたビット線 B L B は、ビア V I A 2 を介してローカル配線 L I 1 およびフィン F I N 1 に接続される。M i n t 層に設けられたビット線 B L はビア V I A 2 を介してローカル配線 L I 8 およびフィン F I N 4 に接続される。図 6 (B) の Y 方向の両側に配置される 2 つの B P R の接地線 V S S 2 は、ビア V I A 3 を介してそれぞれローカル配線 L I 3、L I 6 に接続される。ローカル配線 L I 3 は、n チャネルトランジスタ N 1 のソースに接続される。ローカル配線 L I 6 は、n チャネルトランジスタ N 2 のソースに接続される。

[0047] 図 6 は、図 1 のビットセル領域 B C A に配置されるビットセル B C の別の例を示す図である。図 5 と同様の要素については、同じ符号または同じパターンを付し、詳細な説明は省略する。図 6 は、仮想電源線 V V D D 2 が B P R に設けられる点を除き、図 5 と同様のレイアウトを有する。

[0048] さらに、ローカル配線 L I 2、L I 7 の仮想電源線 V V D D 2 は、ビア V I A 3 を介して B P R の仮想電源線 V V D D 2 に接続される。B P R の仮想電源線 V V D D 2 は、2 つの B P R の接地線 V S S 2 の間に配置され、2 つの B P R の接地線 V S S 2 と同様に、X 方向に延在している。

[0049] 図 7 は、分離領域 S P A およびビットセル領域 B C A に跨いで配置される電源スイッチ回路 P S W 2 の一例を示す平面図である。図 2 に示した電源スイッチ回路 P S W 2 のスイッチトランジスタ S W T は、分離領域 S P A に設けられる。例えば、ビットセル領域 B C A には、図 5 に示したビットセル B C が配置される。なお、ビットセル領域 B C A におけるビットセル領域 B C の配線およびビアの一部は図示が省略される。

[0050] スイッチトランジスタ S W T 2 の半導体層 S E M L (図 4 A から図 4 D) において、ゲート電極 G T を挟んだ一方は、半導体基板 S U B の裏面 B S の電源線 V D D 2 (B S) に接続される。また、スイッチトランジスタ S W T 2 の半導体層 S E M L において、ゲート電極 G T を挟んだ他方は、裏面 B S

の仮想電源線V V D D 2 (B S) に接続される。なお、図7において、ゲート電極G T に接続される配線は省略される。

[0051] 裏面B Sの仮想電源線V V D D 2 (B S) は、T S Vおよび仮想電源線V V D D 2 (B P R)などを介して、M i n t層の仮想電源線V V D D 2 (M i n t)に接続される。なお、電源スイッチ回路P S W 2がビットセル領域B C A内に配置される場合、仮想電源線V V D D 2 (B P R)および接地線V S S 2 (B P R)が、裏面B Sに設けられるスイッチトランジスタP S W 2上に延在されてもよい。なお、ビットセル領域B C Aの複数の接地線V S S (B P R)は、裏面B Sの接地線V S S 2 (B S)およびT S Vを介して互いに接続されてもよい。

[0052] 図8は、図7のY 1 - Y 1'線に沿う断面を示す断面図である。半導体基板S U Bの裏面B Sの仮想電源線V V D D 2 (B S)は、電源スイッチ回路P S W 2のスイッチトランジスタS W Tの半導体層S E M LにビアV I A (B S)を介して接続される。また、仮想電源線V V D D 2 (B S)は、T S Vを介してB P Rの仮想電源線V V D D 2 (B P R)に接続される。

[0053] 図9は、図7のX 1 - X 1'線に沿う断面を示す断面図である。スイッチトランジスタS W T 2は、図4 Aと同様に、互いに積層された半導体層S E M Lとゲート絶縁膜G I N Sとゲート電極G Tとを有する。

[0054] 電源スイッチ回路P S W 2のスイッチトランジスタS W Tの半導体層S E M Lにおいて、ゲート電極G Tを挟んだ一方は、半導体基板S U Bの裏面B Sの仮想電源線V V D D 2 (B S)に接続される。半導体層S E M Lにおいて、ゲート電極G Tを挟んだ他方は、半導体基板S U Bの裏面B Sの電源線V D D 2 (B S)に接続される。

[0055] なお、裏面B Sの仮想電源線V V D D 2 (B S)に接続されるT S Vは、M i n t層の仮想電源線V V D D 2 (M i n t)まで貫通して接続されてもよい。また、T S Vは、B P Rの配線まで貫通して接続するものと、M i n t層の配線まで貫通して接続するものとが混在してもよい。

[0056] 図10は、図7のビットセル領域B C Aに配置される電源スイッチ回路P

SW2の変形例を示す平面図である。図7と同様の要素については、同じ符号を付し、詳細な説明は省略する。

[0057] 図10では、スイッチトランジスタSWTの半導体層SEMLおよびゲート電極GTは省略される。図10は、電源スイッチ回路PSW2のスイッチトランジスタSWTおよび半導体基板SUBの裏面BSの電源線VDD2(BS)が、ビットセルBCと重なる位置に配置される点を除き、図7のレイアウトと同様である。

[0058] なお、スイッチトランジスタSWTは、仮想電源線VVDD2(BS)とともにビットセル領域BCAと重なる位置に配置されてもよい。また、ビットセル領域BCAの複数の接地線VSS(BPR)は、TSVを介して裏面BSの共通の接地線VSS2(BS)に接続されてもよい。

[0059] 以上、この実施形態では、半導体基板SUBの裏面BSに設けられる配線層を使用して、電源スイッチ回路PSW(または、PSW1、PSW2)を適切に配置することができる。例えば、電源スイッチ回路PSWをビットセル領域BCAまたは分離領域SPAに配置することができる。あるいは、電源スイッチ回路PSW1、PSW2を周辺回路領域PCAとビットセル領域BCAとのそれぞれに配置することができる。

[0060] そして、裏面BSに設けられた電源スイッチ回路PSWから周辺回路領域PCA、デコーダ領域DECAおよびビットセル領域BCAの仮想電源線VVDDに電源電圧を供給することができる。すなわち、裏面BSに設けられた電源スイッチ回路PSWからSRAMに電源電圧を供給することができる。

[0061] (第2の実施形態)

図11は、第2の実施形態における半導体装置において分離領域SPAおよびビットセル領域BCAに跨いで配置される電源スイッチ回路PSW2の一例を示す平面図である。上述した実施形態と同様の要素については、同じ符号を付し、詳細な説明は省略する。図11は、ビットセル領域BCAの仮想電源線VVDD2がBPRを使用して設けられている点を除き、図7と同

様である。

[0062] なお、図10に示したように、電源スイッチ回路PSW2のスイッチトランジスタSWTおよび半導体基板SUBの裏面BSの電源線VDD2(BS)が、ビットセルBCと重なる位置に配置されてもよい。また、電源スイッチ回路PSW2がビットセル領域BCA内に配置される場合、仮想電源線VVDD2(BPR)および接地線VSS2(BPR)がスイッチトランジスタSWT上に延在して設けられてもよい。さらに、ビットセル領域BCAの複数の接地線VSS(BPR)は、TSVを介して裏面BSの共通の接地線VSS2(BS)に接続されてもよい。

[0063] 図12は、図11の電源スイッチ回路PSW2の変形例を示す平面図である。図11と同様の要素については、同じ符号を付し、詳細な説明は省略する。図12では、電源スイッチ回路PSW2に接続される電源線VDD2(BS)は、TSVを介して半導体基板SUBの表面に設けられる電源線VDD2(BPR)に接続される。電源線VDD2(BPR)は、第7の電源線の一例である。

[0064] 電源線VDD2(BS)を電源線VDD2(BPR)に接続するTSVは、例えば、ビットセル領域BCAに配置される。これにより、分離領域SPAにBPRの配線が配置されることを抑止することができる。Y方向に延在する電源線VDD2(BS)とX方向に延在する電源線VDD2(BS)との交点に示す五角形は、半導体基板SUBの裏面BSにおいて互いに異なる配線層を接続するビアVIA(BS)である。

[0065] なお、電源線VDD2(BS)および仮想電源線VVDD2(BS)の一方または両方は、裏面BSの複数の配線層に設けられた配線によりメッシュ状に配置されてもよい。この場合、複数の配線層の配線は、ビアVIA(BS)を介して互いに接続される。また、ビットセル領域BCAの複数の接地線VSS2(BPR)は、TSVを介して裏面BSの共通の接地線VSS2(BS)に接続されてもよい。

[0066] 図12で説明されるレイアウト構成は、上述した他の実施形態に適用され

てもよく、電源スイッチ回路P SW 1に設けられる電源線V D D 1 (P SW 1) または仮想電源線V V D D 1 (P SW 1) に適用されてもよい。なお、電源スイッチ回路P SW 1に適用される場合、半導体基板S U Bの裏面B Sの電源線V D D 1 (B S) と表面の電源線V D D 1 (B P R) を接続するT S Vは、周辺回路領域P C Aに配置される。

[0067] 以上、この実施形態においても上述した実施形態と同様の効果を得ることができる。例えば、半導体基板S U Bの裏面B Sに設けられる配線層を使用して、電源スイッチ回路P SW 2を適切に配置することができる。例えば、電源スイッチ回路P SW 2をビットセル領域B C Aまたは分離領域S P Aに配置することができる。

[0068] 以上、各実施形態に基づき本発明の説明を行ってきたが、上記実施形態に示した要件に本発明が限定されるものではない。これらの点に関しては、本発明の主旨をそこなわない範囲で変更することができ、その応用形態に応じて適切に定めることができる。

符号の説明

- [0069] 1 0 0 半導体装置
- BCA ビットセル領域
- BL、BLB ビット線
- BS 裏面
- CNTL 制御回路
- DECA デコーダ領域
- FIN1-FIN4 フィン
- GINS ゲート絶縁膜
- GT、GT1-GT4 ゲート
- INS 絶縁膜
- LI1-LI8 ローカル配線
- N1、N2 nチャネルトランジスタ
- P、P1、P2 pチャネルトランジスタ

P C A 周辺回路領域
P S W、P S W 1、P S W 2 電源スイッチ回路
Q、Q B 記憶ノード
S P A 分離領域
S E M L 半導体層
S U B 半導体基板
S W C N T スイッチ制御信号
S W T スイッチトランジスタ
T 1、T 2 転送トランジスタ
V D D、V D D 1、V D D 2 電源線
V I A、V I A 1、V I A 2、V I A 3 ビア
V S S、V S S 1、V S S 2 接地線
V V D D、V V D D 1、V V D D 2 仮想電源線
W L ワード線

請求の範囲

- [請求項1] 第1面と、前記第1面と対向する第2面を有する基板と、
前記第1面に設けられた第1の電源線と、
前記第1面に設けられた第1の接地線と、
前記第1の電源線と前記第1の接地線とを有する第1の領域と、
前記第1面に設けられた第2の電源線と、
前記第1面に設けられた第2の接地線と、
前記第2面に設けられた第3の電源線と、
前記第2面に設けられた第4の電源線と、
前記第2の電源線と前記第3の電源線とを電氣的に接続し、前記基板に設けられたビアと、
前記第2の電源線と、前記第2の接地線とを有する第2の領域と、
平面視で前記第1の領域と前記第2の領域との間に位置する第3の領域と、
前記第3の電源線と前記第4の電源線との間に電氣的に接続された第1のスイッチトランジスタを前記基板の前記第2面側に有する第1の電源スイッチ回路と、
を有する半導体装置。
- [請求項2] 前記第2の電源線に接続された第1の配線を有する
請求項1に記載の半導体装置。
- [請求項3] 前記第2の電源線は、前記第2の領域において第1の方向に延在する
請求項1に記載の半導体装置。
- [請求項4] 前記第1の電源スイッチ回路は、平面視で前記第2の領域に設けられる
請求項1ないし請求項3のいずれか1項に記載の半導体装置。
- [請求項5] 前記第1の電源スイッチ回路は、平面視で前記第3の領域に設けられる

請求項 1 ないし請求項 3 のいずれか 1 項に記載の半導体装置。

[請求項6]

前記第 2 面に設けられた第 5 の電源線と、

前記第 2 面に設けられた第 6 の電源線と、

前記基板に設けられ、前記第 5 の電源線を前記第 1 面に設けられた前記第 1 の電源線に接続するビアと、

前記第 5 の電源線と前記第 6 の電源線との間に電氣的に接続された第 2 のスイッチトランジスタを前記基板の前記第 2 面側に有し、平面視で前記第 1 の領域に設けられた第 2 の電源スイッチ回路と、を有する

請求項 1 ないし請求項 3 のいずれか 1 項に記載の半導体装置。

[請求項7]

前記第 1 の接地線および前記第 2 の接地線は、第 1 の方向に延在し、前記第 1 の方向と異なる第 2 の方向に間隔を置いて配置され、

複数の前記第 1 の接地線の前記第 2 の方向の配置間隔は、複数の前記第 2 の接地線の前記第 2 の方向の配置間隔と異なる

請求項 1 ないし請求項 3 のいずれか 1 項に記載の半導体装置。

[請求項8]

前記第 2 面に設けられた第 3 の接地線と、

前記第 2 面に設けられた第 4 の接地線と、

前記基板に設けられ、前記第 3 の接地線を前記第 1 面に設けられた前記第 1 の接地線に接続するビアと、

前記基板に設けられ、前記第 4 の接地線を前記第 1 面に設けられた前記第 2 の接地線に接続するビアと、を有する

請求項 1 ないし請求項 3 のいずれか 1 項に記載の半導体装置。

[請求項9]

前記第 1 面に設けられた第 7 の電源線を有し、

前記第 4 の電源線は、前記基板に設けられるビアを介して前記第 7 の電源線に接続される

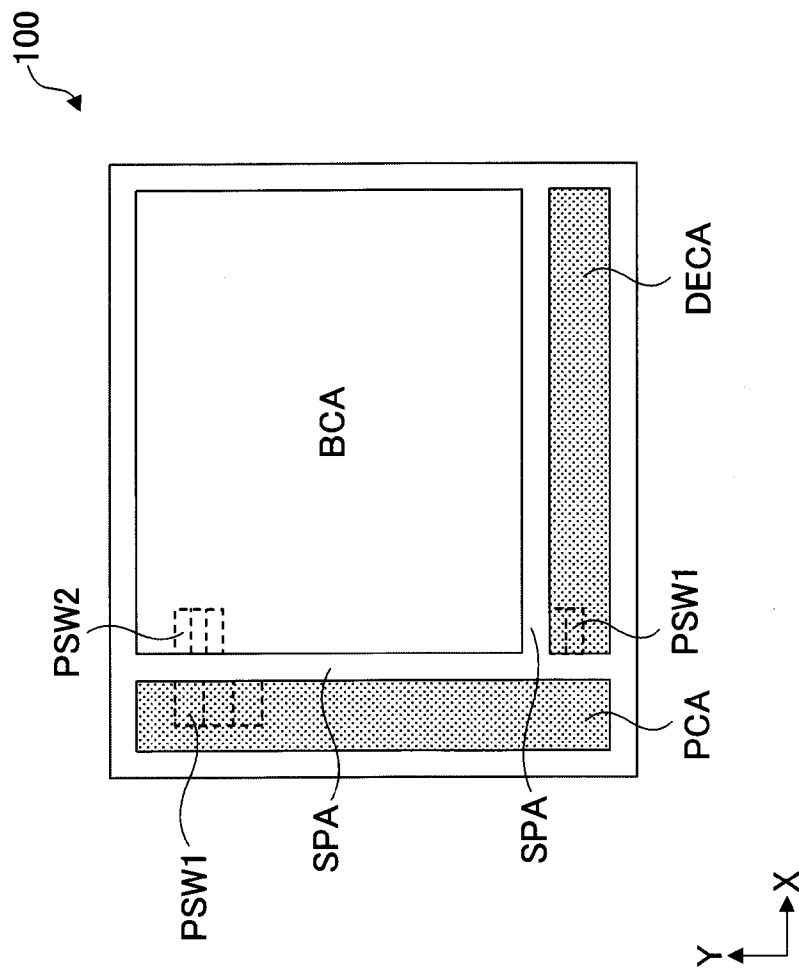
請求項 1 ないし請求項 3 のいずれか 1 項に記載の半導体装置。

[請求項10]

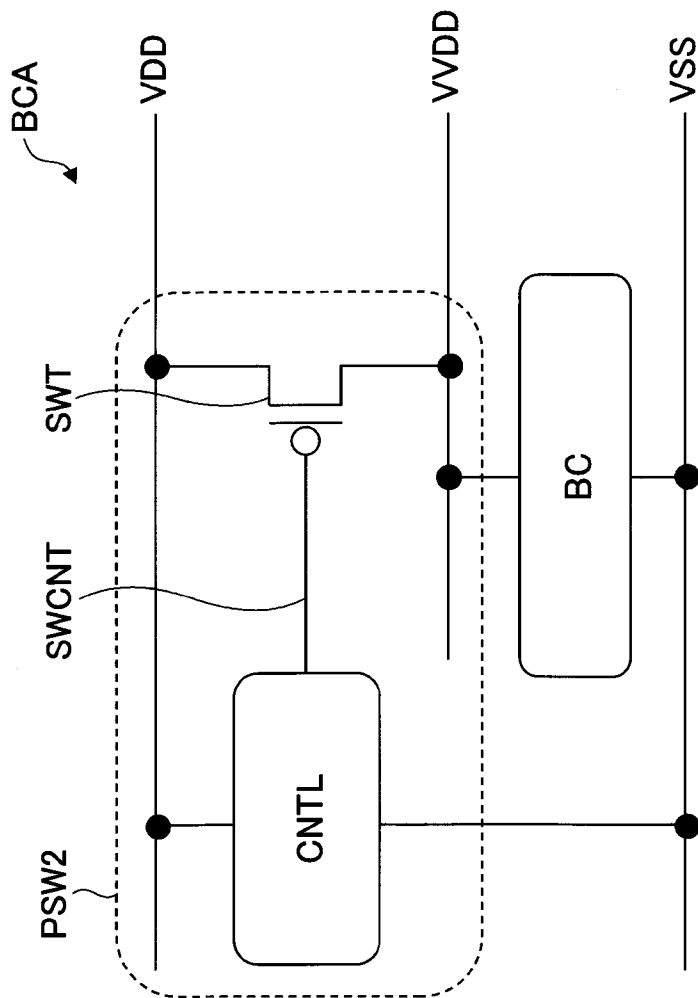
前記第 6 の電源線と前記第 4 の電源線とは、電氣的に互いに接続される

請求項 6 に記載の半導体装置。

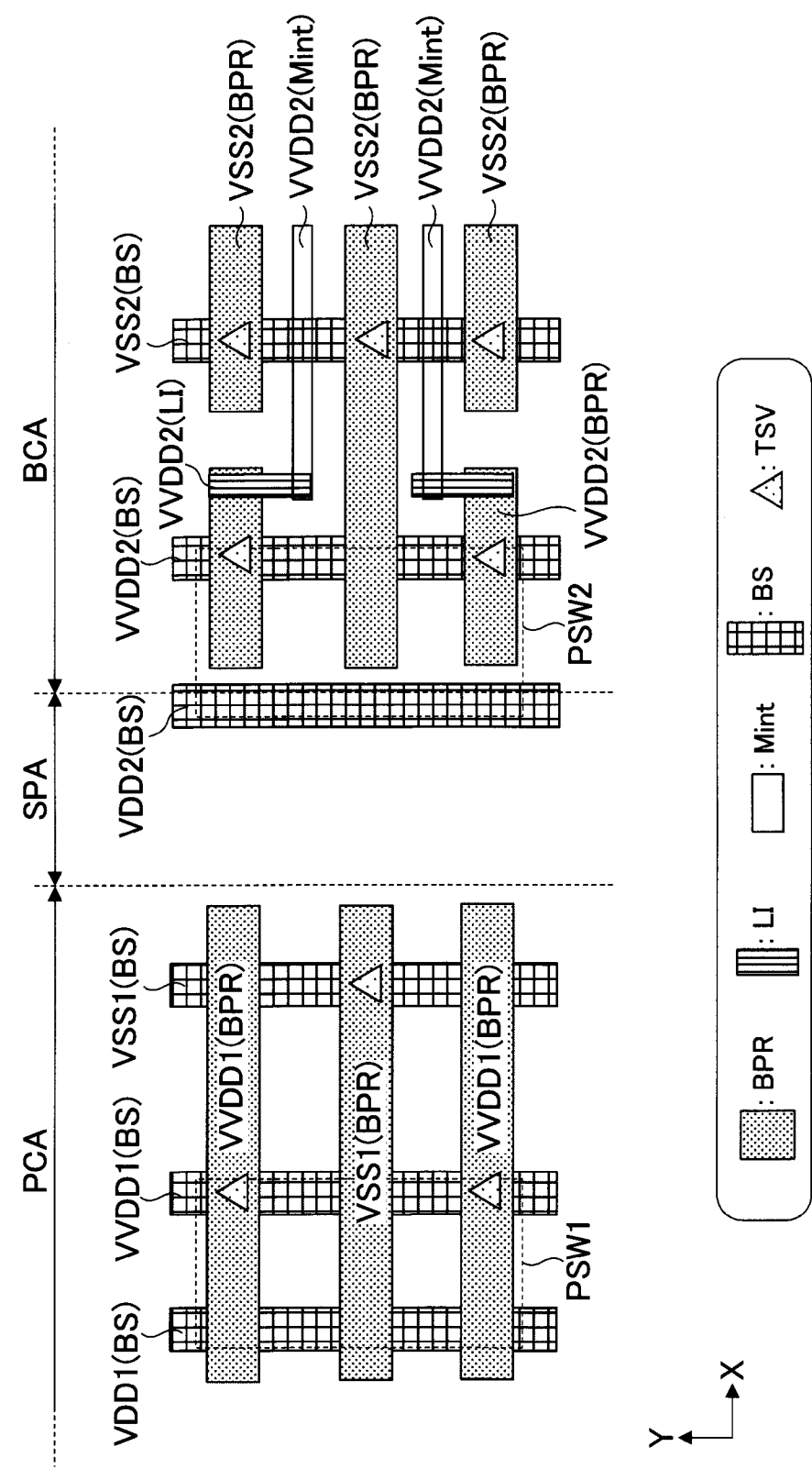
[図1]



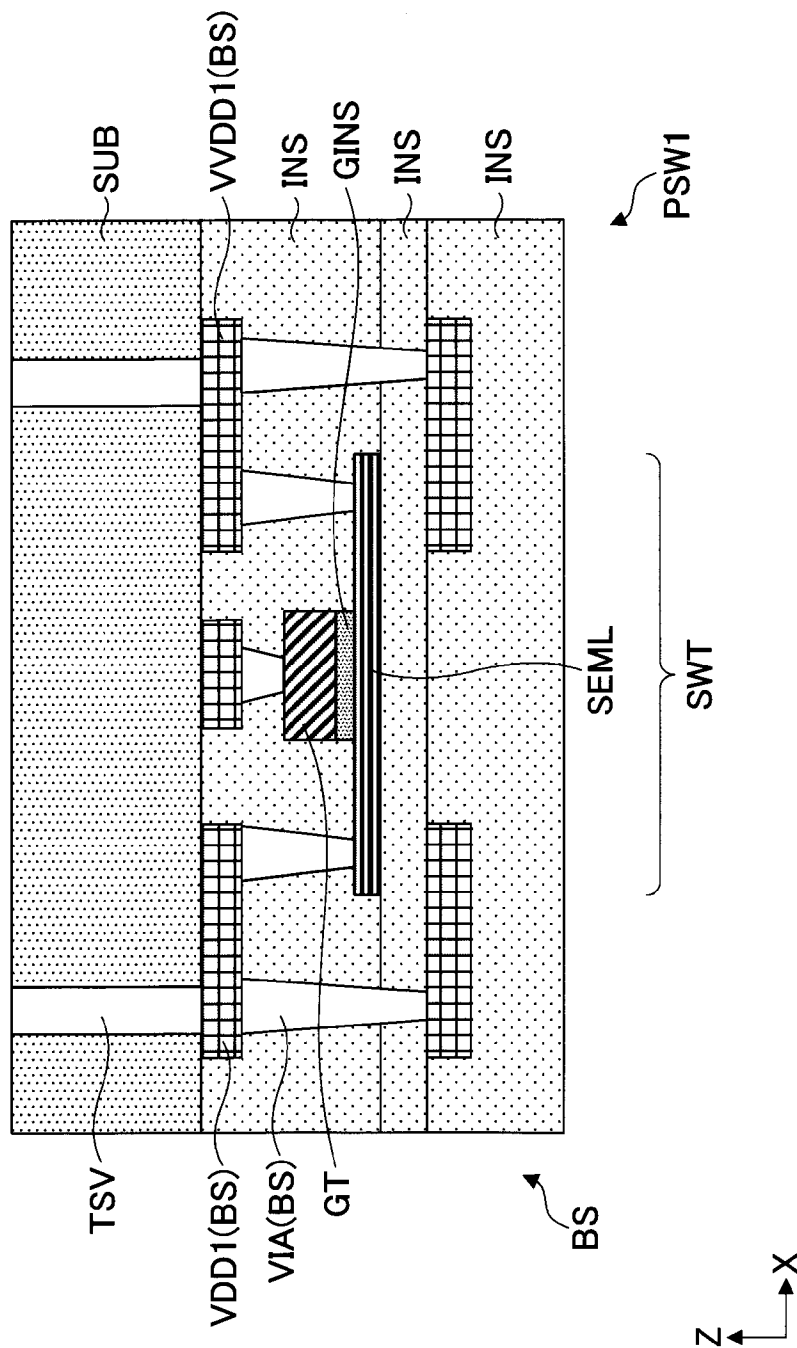
[図2]



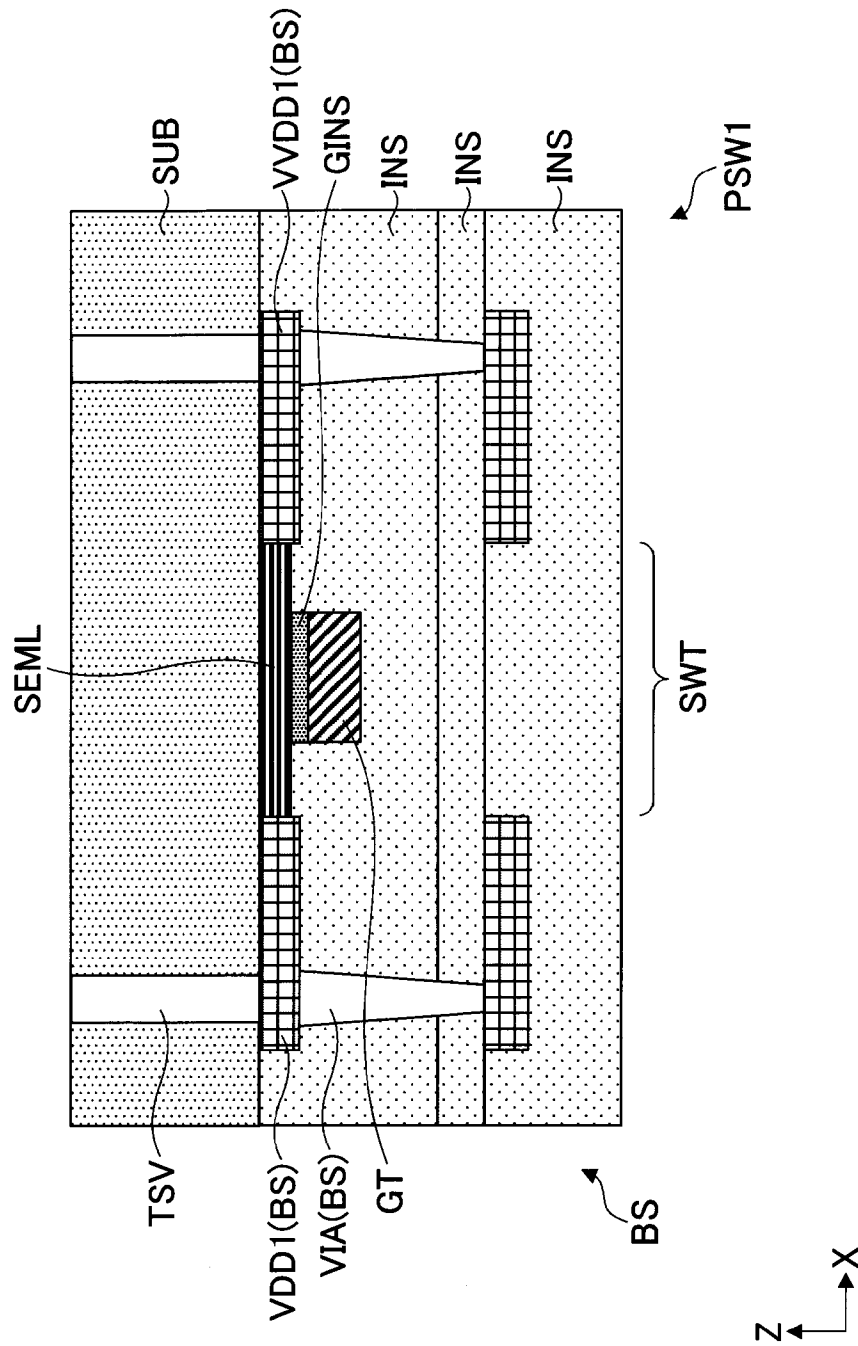
[図3]



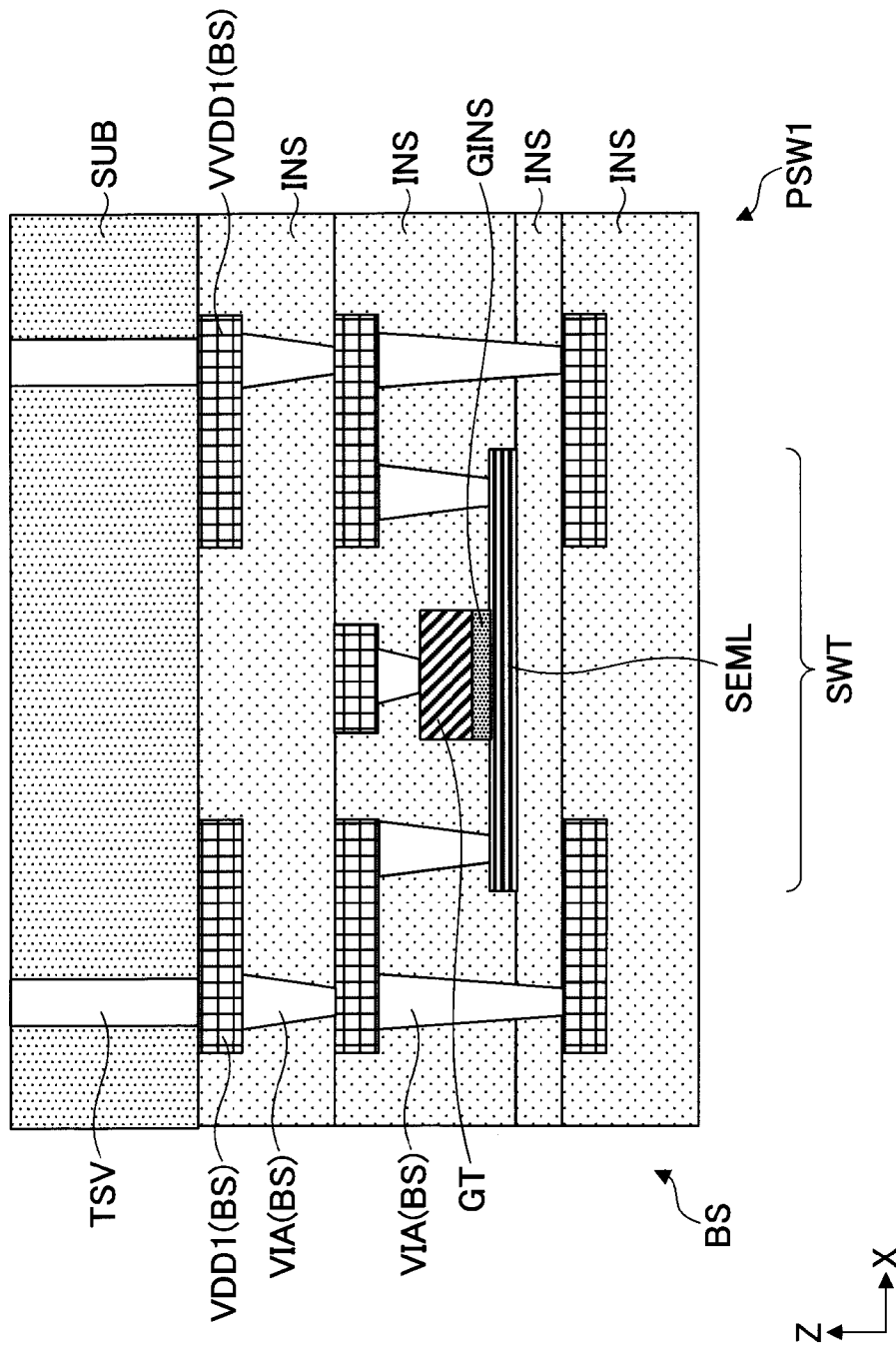
[図4A]



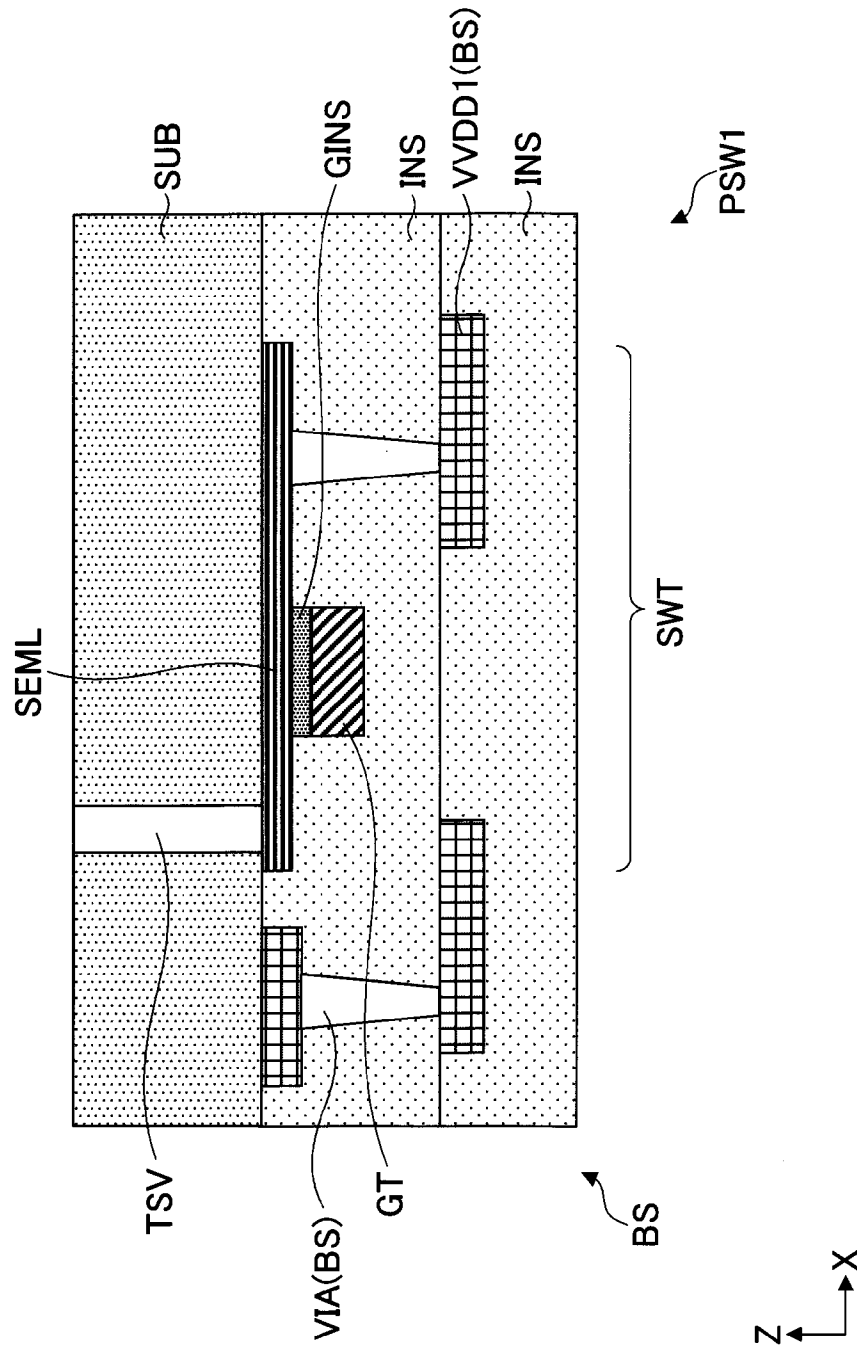
[図4B]



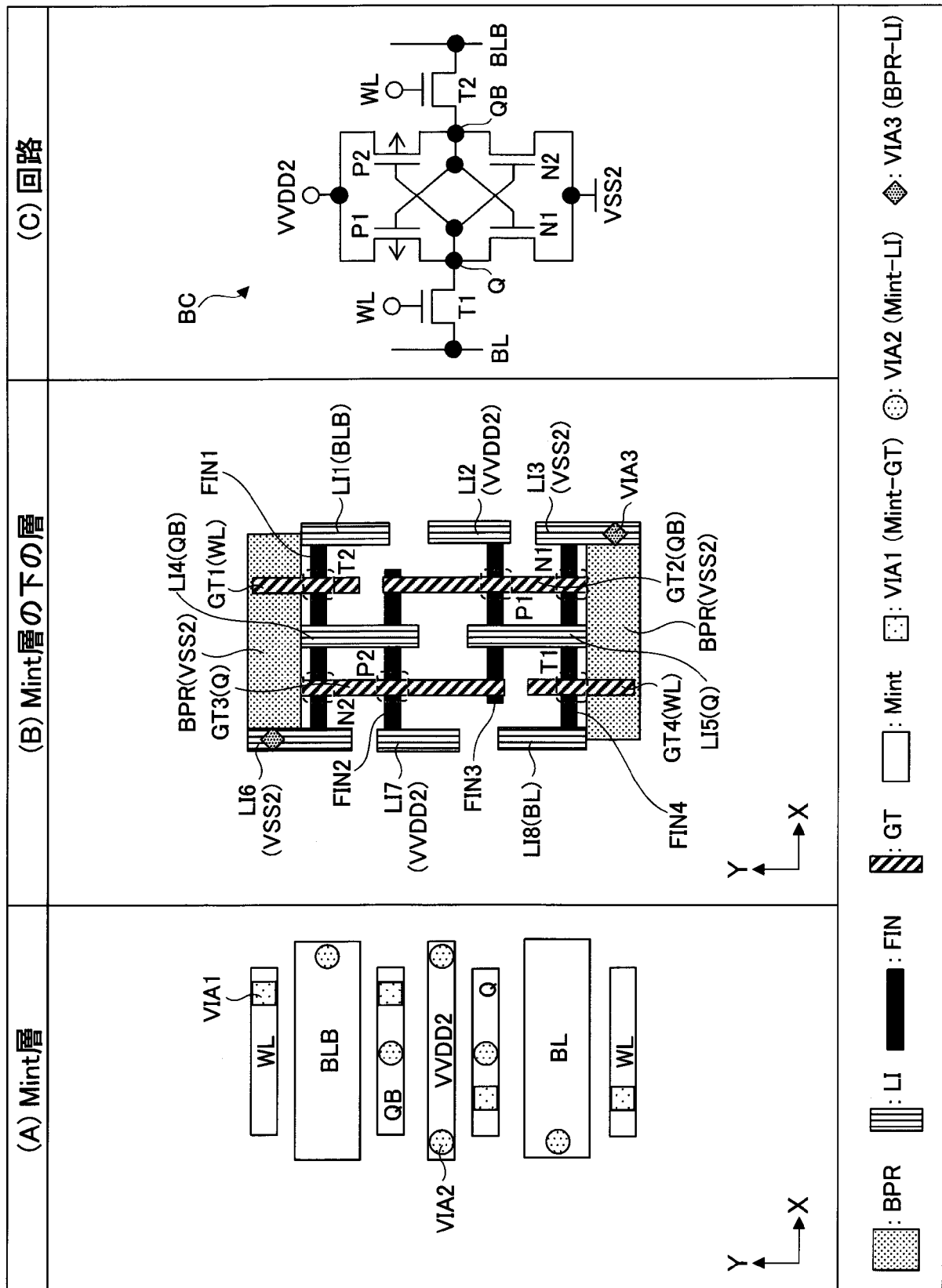
[図4C]



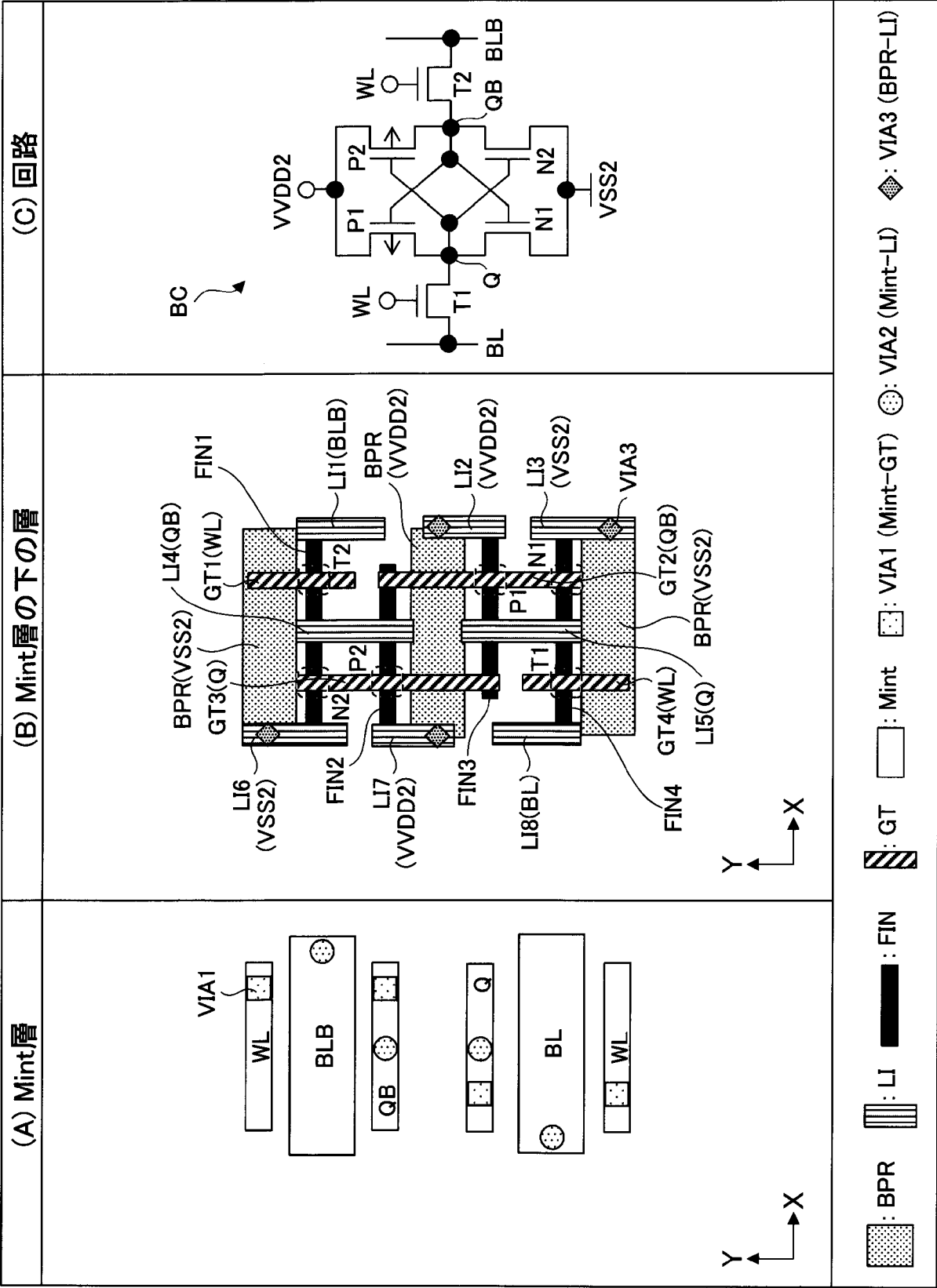
[図4D]



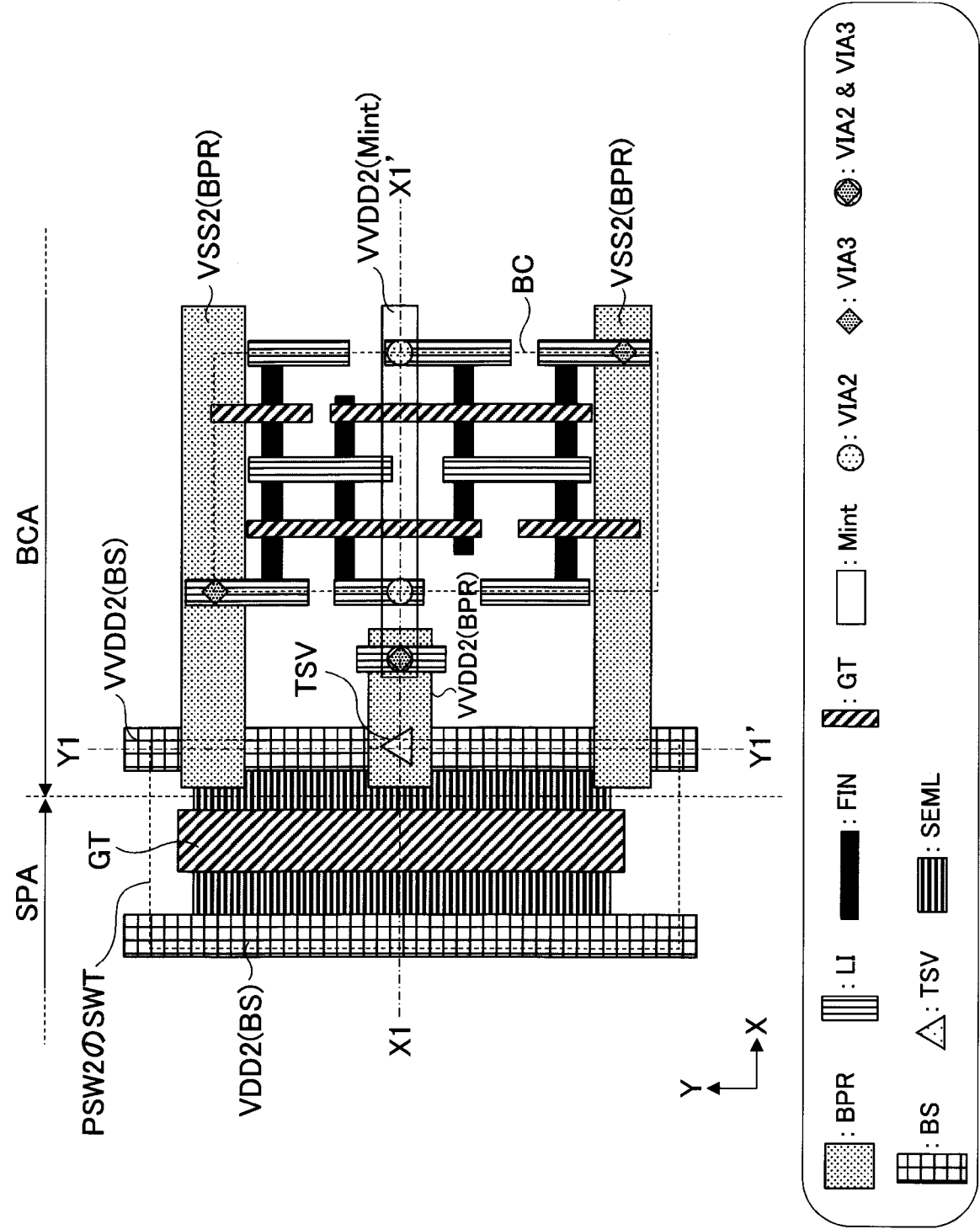
[図5]



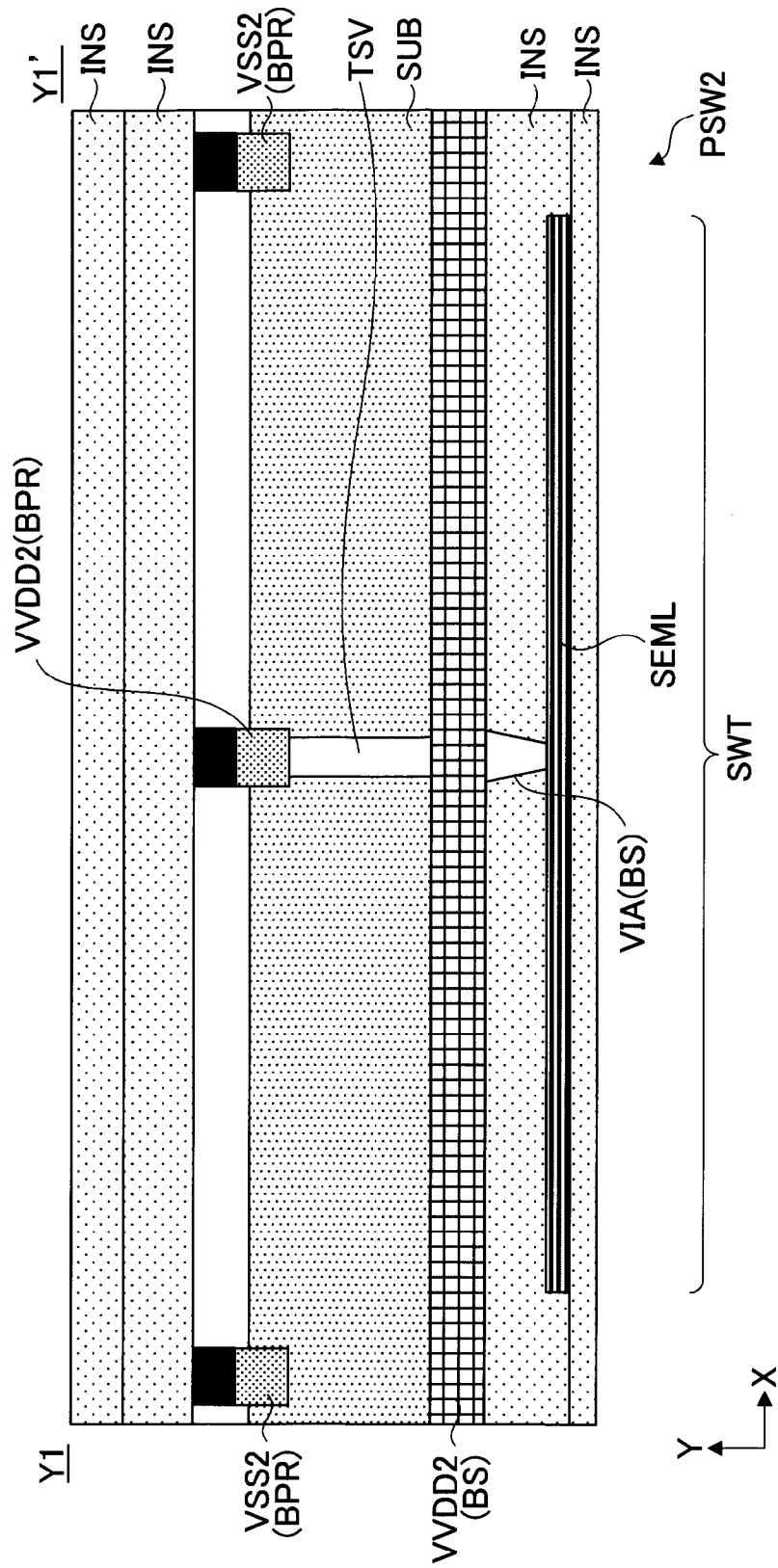
[図6]



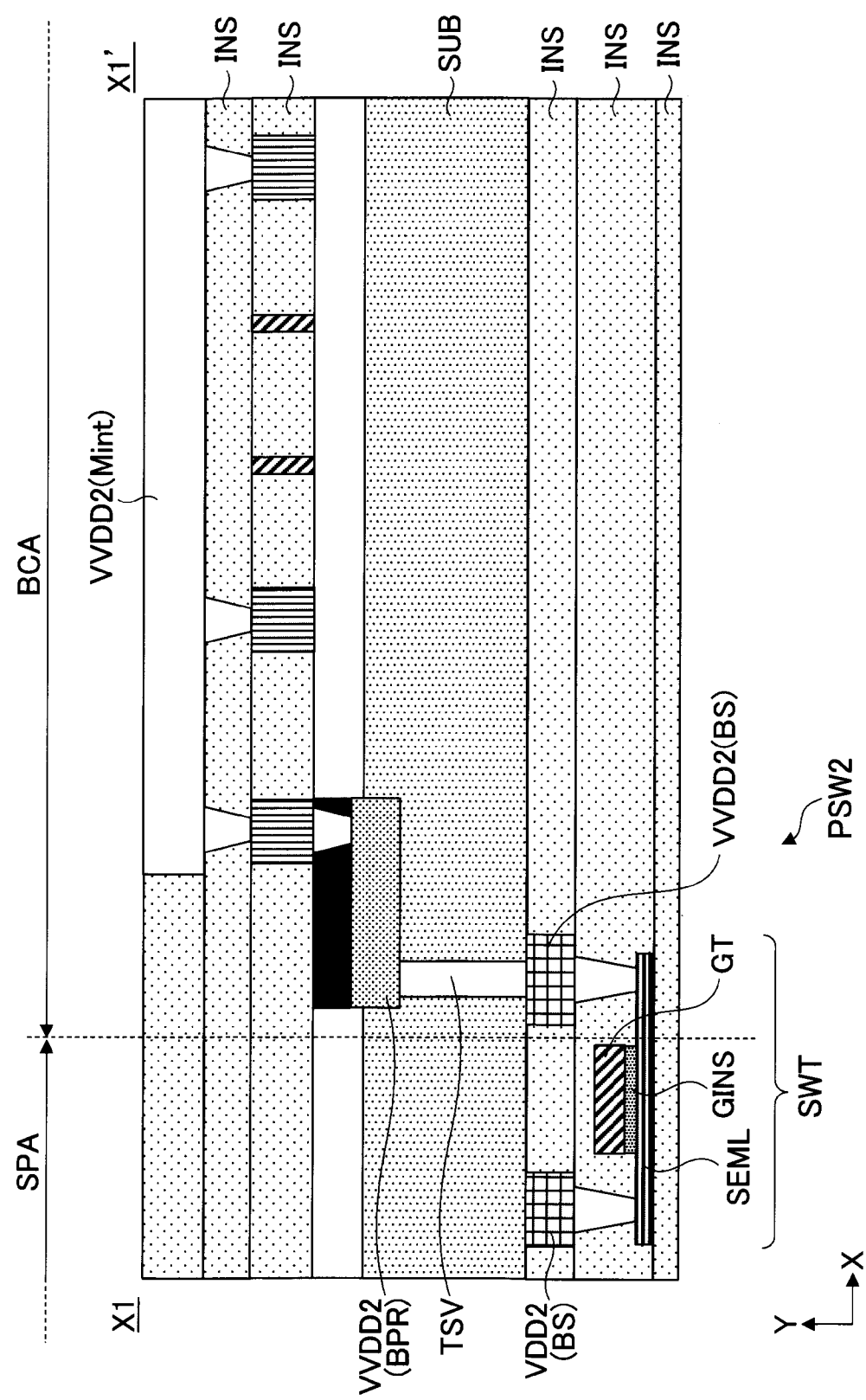
[図7]



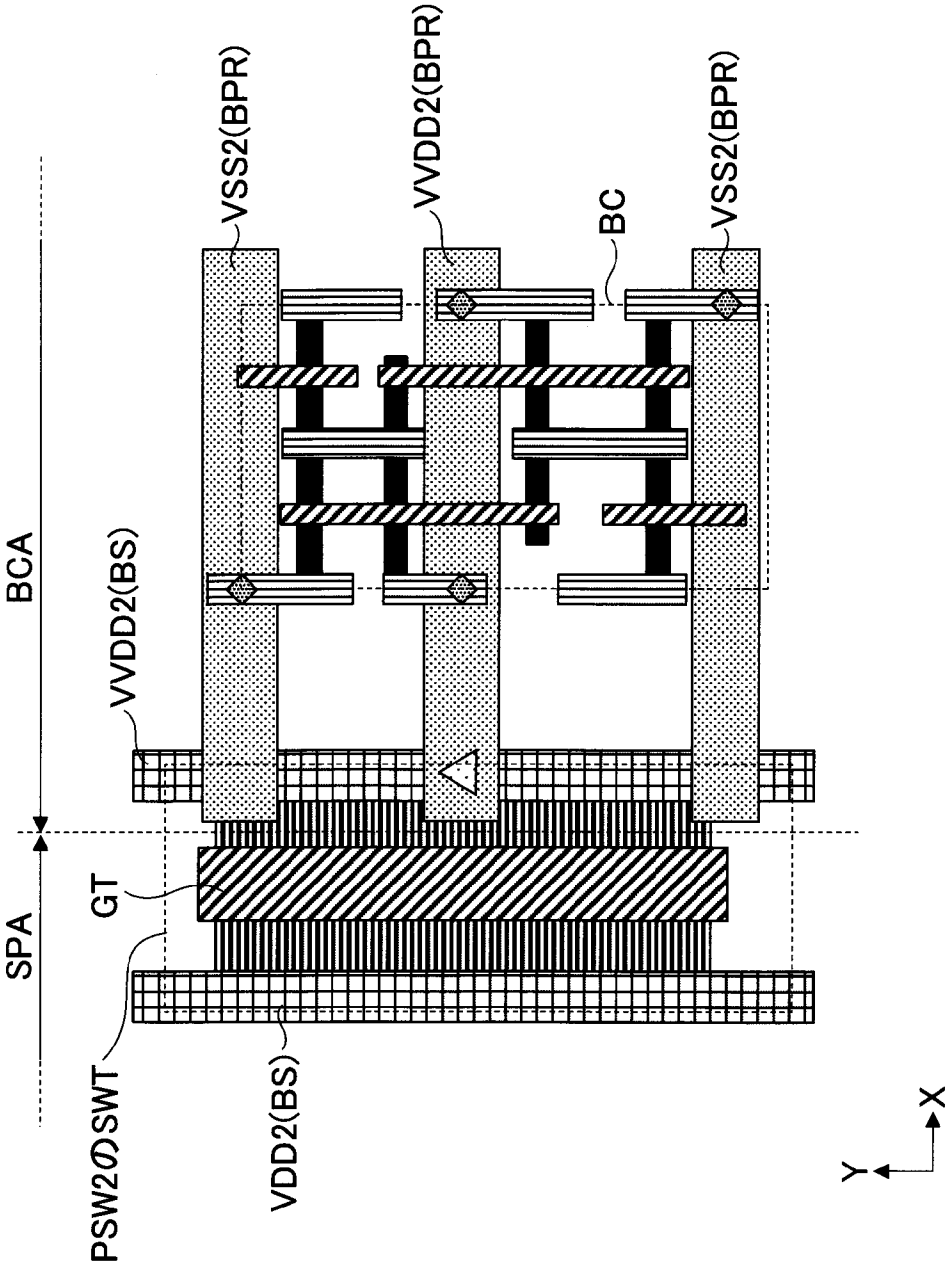
[図8]



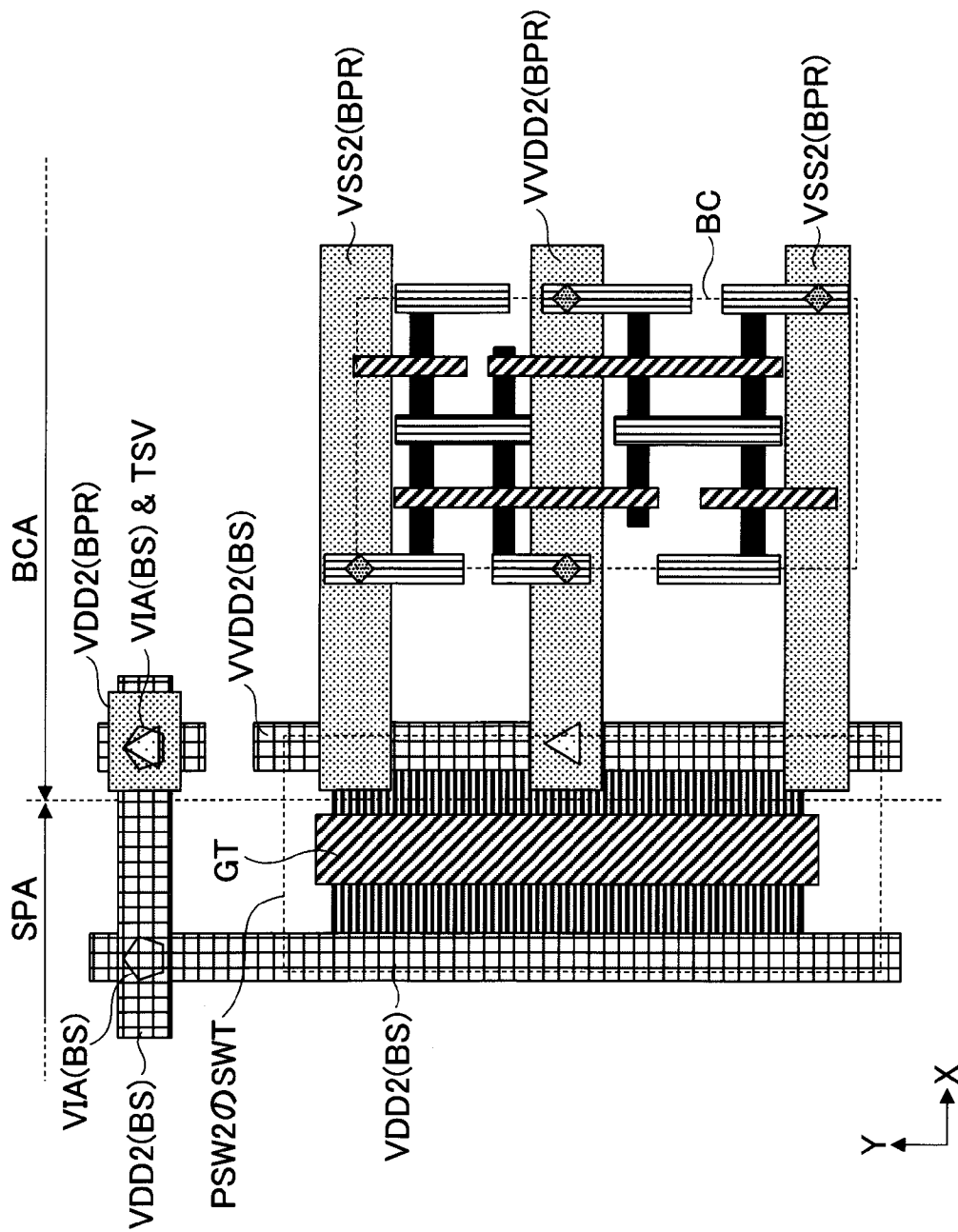
[図9]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/036488

A. CLASSIFICATION OF SUBJECT MATTER**H10B 10/00**(2023.01)i; **H01L 21/82**(2006.01)i; **H01L 21/822**(2006.01)i; **H01L 27/04**(2006.01)i

FI: H01L27/11; H01L27/04 D; H01L21/82 L

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/11; H01L21/82; H01L21/822; H01L21/8244; H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-251835 A (RENESAS TECHNOLOGY CORP) 16 October 2008 (2008-10-16) paragraphs [0020]-[0149], fig. 1-55	1-10
A	WO 2020/065916 A1 (SOCIONEXT INC) 02 April 2020 (2020-04-02) paragraphs [0012]-[0101], fig. 1-35	1-10
A	JP 2017-028085 A (FUJITSU LTD) 02 February 2017 (2017-02-02) paragraphs [0010]-[0072], fig. 1-15	1-10
A	JP 2016-035966 A (TOSHIBA CORP) 17 March 2016 (2016-03-17) paragraphs [0007]-[0073], fig. 1-19	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

13 December 2022

Date of mailing of the international search report

27 December 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/036488

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2008-251835	A	16 October 2008	US 2008/0239780 A1 paragraphs [0091]-[0216], fig. 1-55 CN 101276811 A	
WO	2020/065916	A1	02 April 2020	US 2021/0210468 A1 paragraphs [0049]-[0141], fig. 1-35 CN 112753098 A	
JP	2017-028085	A	02 February 2017	US 2017/0026036 A1 paragraphs [0028]-[0091], fig. 1-15	
JP	2016-035966	A	17 March 2016	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H10B 10/00(2023.01)i; H01L 21/82(2006.01)i; H01L 21/822(2006.01)i; H01L 27/04(2006.01)i FI: H01L27/11; H01L27/04 D; H01L21/82 L														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H01L27/11; H01L21/82; H01L21/822; H01L21/8244; H01L27/04														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2022年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2022年	日本国実用新案登録公報	1996-2022年	日本国登録実用新案公報	1994-2022年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2022年													
日本国実用新案登録公報	1996-2022年													
日本国登録実用新案公報	1994-2022年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2008-251835 A (株式会社ルネサステクノロジ) 16.10.2008 (2008-10-16) [0020]-[0149], 図1-55	1-10												
A	WO 2020/065916 A1 (株式会社ソシオネクスト) 02.04.2020 (2020-04-02) [0012]-[0101], 図1-35	1-10												
A	JP 2017-028085 A (富士通株式会社) 02.02.2017 (2017-02-02) [0010]-[0072], 図1-15	1-10												
A	JP 2016-035966 A (株式会社東芝) 17.03.2016 (2016-03-17) [0007]-[0073], 図1-19	1-10												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技术水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技术水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 13.12.2022	国際調査報告の発送日 27.12.2022													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 加藤 俊哉 5F 9554 電話番号 03-3581-1101 内線 3516													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/036488

引用文献			公表日	パテントファミリー文献	公表日
JP	2008-251835	A	16.10.2008	US 2008/0239780 A1 [0091]-[0216], FIGS. 1-55 CN 101276811 A	
WO	2020/065916	A1	02.04.2020	US 2021/0210468 A1 [0049]-[0141], FIGS. 1-35 CN 112753098 A	
JP	2017-028085	A	02.02.2017	US 2017/0026036 A1 [0028]-[0091], FIGS. 1-15	
JP	2016-035966	A	17.03.2016	(ファミリーなし)	