

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/331 (2006.01)

H01L 21/265 (2006.01)



[12] 发明专利说明书

专利号 ZL 02811646.1

[45] 授权公告日 2009年2月4日

[11] 授权公告号 CN 100459071C

[22] 申请日 2002.6.4 [21] 申请号 02811646.1

[30] 优先权

[32] 2001.6.11 [33] US [31] 09/878,605

[86] 国际申请 PCT/EP2002/006923 2002.6.4

[87] 国际公布 WO2002/101810 英 2002.12.19

[85] 进入国家阶段日期 2003.12.10

[73] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 道格拉斯·D·库尔鲍

凯瑟琳·T·硕宁波格

[56] 参考文献

WO 9826457A 1998.6.18

US2002/0042178A1 2002.4.11

US5441901A 1995.8.15

US2002/0100917A1 2002.8.1

WO 01/24249A1 2001.4.5

审查员 杨海波

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王永刚

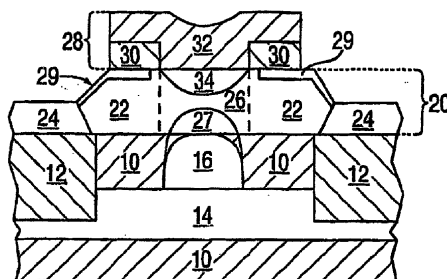
权利要求书4页 说明书9页 附图3页

[54] 发明名称

C注入以改进 SiGe 双极晶体管成品率

[57] 摘要

本发明提供一种改进 SiGe 双极成品率和制造 SiGe 异质结双极晶体管的方法，本发明方法包括离子注入碳 C 于器件下述区域中至少一个区域：收集极区(16)，亚收集极区(14)，非本征基区(29)，以及收集极-基极结区(27)。在一个优选实施方案中，前述区域中的每一个区域都包括 C 注入。



1.一种改进半导体异质结双极晶体管的 SiGe 双极成品率的方法，包括以下步骤：

(a) 提供一种结构，它至少包括一个双极器件区，所述双极器件区包含至少一个在亚收集极区上方形成的收集极区，以及在所述收集极和亚收集极区上方形成的 SiGe 层，所述 SiGe 层包含至少一个本征基区和一个收集极 - 基极结区，其中所述本征基区被非本征基区所紧邻；以及

(b) 把 C 注入所述结构的至少一个区域，该至少一个区域选自所述收集极、所述亚收集极、所述非本征基区和所述收集极 - 基极结区。

2.权利要求 1 的方法，其中所有四个区域都注以 C。

3.权利要求 1 的方法，其中步骤 (b) 包括一种碳源。

4.权利要求 3 的方法，其中所述 C 源是 CO₂。

5.权利要求 1 的方法，其中所述收集极区，被用从 $1 \times 10^{13} \text{ cm}^{-2}$ 到 $1 \times 10^{16} \text{ cm}^{-2}$ 的 C 剂量，和从 5 keV 到 200keV 的注入能量，注以所述 C。

6.权利要求 5 的方法，其中所述收集极区，被用 $1 \times 10^{14} \text{ cm}^{-2}$ 的 C 剂量和 20keV 的注入能量，注以所述 C。

7.权利要求 1 的方法，其中所述亚收集极区，被用从 $1 \times 10^{13} \text{ cm}^{-2}$ 到 $1 \times 10^{16} \text{ cm}^{-2}$ 的 C 剂量，和从 10 keV 到 1000keV 的注入能量，注以所述 C。

8.权利要求 7 的方法，其中所述亚收集极区，被用 $1 \times 10^{14} \text{ cm}^{-2}$ 的 C 剂量和 400keV 的注入能量，注以所述 C。

9.权利要求 1 的方法，其中所述非本征基区，被用从 $1 \times 10^{13} \text{ cm}^{-2}$ 到 $1 \times 10^{16} \text{ cm}^{-2}$ 的 C 剂量和从 5 keV 到 200keV 的注入能量，注以所述 C。

10.权利要求 9 的方法，其中所述非本征基区，被用 $1 \times 10^{14} \text{ cm}^{-2}$ 的 C 剂量和 15keV 的注入能量，注以所述 C。

11.权利要求 1 的方法,其中所述收集极-基极结区,被用从 $1 \times 10^{13} \text{ cm}^{-2}$ 到 $1 \times 10^{16} \text{ cm}^{-2}$ 的 C 剂量和从 5 keV 到 200keV 的注入能量,注以所述 C。

12.权利要求 11 的方法,其中所述收集极-基极结区,被用 $1 \times 10^{14} \text{ cm}^{-2}$ 的 C 剂量和 20keV 的注入能量,注以所述 C。

13.一种改进半导体异质结双极晶体管的 SiGe 双极成品率的方法,包括以下步骤:

(a) 提供一种结构,它至少包括一个双极器件区,所述双极器件区包含至少一个在亚收集极区上方形成的收集极区,以及在所述收集极和亚收集极区上方形成的 SiGe 层,所述 SiGe 层包含至少一个本征基区和一个收集极-基极结区,其中所述本征基区被非本征基区所紧邻;

(b) 把 C 注入所述收集极和所述亚收集极区;

(c) 在所述双极器件区上形成一层 SiGe 层;

(d) 把 C 注入所述非本征基区。

(e) 在所述 SiGe 层上形成一层绝缘层。

(f) 在所述绝缘层内提供一个发射极窗口,以把所述本征基区的一部分暴露出来,并通过所述发射极窗口和通过所述本征基区的暴露部分,把 C 注入收集极-基极结区; 以及

(g) 在所述绝缘层上,包括在所述发射极窗口内,形成一发射极多晶硅区。

14.权利要求 13 的方法,其中所述集电极区,被用从 $1 \times 10^{13} \text{ cm}^{-2}$ 到 $1 \times 10^{16} \text{ cm}^{-2}$ 的 C 剂量和从 5 keV 到 200keV 的注入能量,注以所述 C。

15.权利要求 14 的方法,其中所述集电极区,被用 $1 \times 10^{14} \text{ cm}^{-2}$ 的 C 剂量和 20keV 的注入能量,注以所述 C。

16.权利要求 13 的方法,其中所述亚收集极区,被用从 $1 \times 10^{13} \text{ cm}^{-2}$ 到 $1 \times 10^{16} \text{ cm}^{-2}$ 的 C 剂量和从 10 keV 到 1000keV 的注入能量,注以所述 C。

17.权利要求 16 的方法，其中所述亚收集极区，被用 $1 \times 10^{14} \text{cm}^{-2}$ 的 C 剂量和 400keV 的注入能量，注以所述 C。

18.权利要求 13 的方法，其中步骤 (c) 包含一个淀积过程。

19.权利要求 18 的方法，其中所述的淀积过程是一个超高真空化学蒸汽淀积过程。

20.权利要求 13 的方法，其中所述非本征基区，被用从 $1 \times 10^{13} \text{cm}^{-2}$ 到 $1 \times 10^{16} \text{cm}^{-2}$ 的 C 剂量和从 5 keV 到 200keV 的注入能量，注以所述 C。

21.权利要求 20 的方法，其中所述非本征基区，被用 $1 \times 10^{14} \text{cm}^{-2}$ 的 C 剂量和 15keV 的注入能量，注以所述 C。

22.权利要求 13 的方法，其中所述收集极 - 基板结区，被用从 $1 \times 10^{13} \text{cm}^{-2}$ 到 $1 \times 10^{16} \text{cm}^{-2}$ 的 C 剂量和从 5 keV 到 200keV 的注入能量，注以所述 C。

23.权利要求 22 的方法，其中所述收集极 - 基极结区，被用 $1 \times 10^{14} \text{cm}^{-2}$ 的 C 剂量和 20keV 的注入能量，注以所述 C。

24.一种改进了 SiGe 双极成品率的 SiGe 异质结双极晶体管，包含：
第一导电类型的半导体衬底，它包括至少一个亚收集极区和一个收集极区；

在所述衬底上形成的 SiGe 基区层，所述 SiGe 基区层包括至少一个在收集极区上形成的收集极 - 基极结区和一个本征基区，其中所述本征基区被非本征基区所紧邻，所述非本征基区位于包含所述 SiGe 基区层的单晶 SiGe 区的上部区域；以及

在所述本征基区一部分上形成的发射极区，所述发射极区包含至少一个发射极多晶硅区，其中所述结构的至少一个区域包括一个 C 注入，该至少一个区域选自所述收集极、所述亚收集极、所述非本征基区和所述收集极 - 基极结区。

25.权利要求 24 的 SiGe 异质双极晶体管，其中所述衬底是一种选自 Si, Ge, SiGe, GaAs, InAs, InP 和分层半导体组成的组中的半导体材料。

26.权利要求 25 的 SiGe 异质结双极晶体管，其中所述半导体材料

是 Si。

27.权利要求 24 的 SiGe 异质结双极晶体管，其中所述衬底还包括隔离区。

28.权利要求 27 的 SiGe 异质结双极晶体管，其中所述隔离区是 LOCOS 区或沟槽隔离区。

29.权利要求 24 的 SiGe 异质结双极晶体管，其中所述 SiGe 基区层是一个 epi-SiGe 层。

30.权利要求 29 的 SiGe 异质结双极晶体管，其中所述 SiGe 基区层包括和一个单晶 SiGe 区邻近的多晶 SiGe 区。

31.权利要求 24 的 SiGe 异质结双极晶体管，其中所述发射极区包括一个形成图案的绝缘层。

32.权利要求 31 的 SiGe 异质结双极晶体管，其中所述形成图案的绝缘层是由选自下面组中的绝缘材料构成，该组包括：SiO₂，氮氧化硅及其多层结构。

33.权利要求 24 的 SiGe 异质结双极晶体管，还包括在邻近形成的数字逻辑电路。

34.权利要求 24 的 SiGe 异质结双极晶体管，其中：

半导体衬底的所述至少一个亚收集极和收集极区都用注入的 C 掺杂；

SiGe 基区层的所述收集极-基极结区和所述非本征基区被用注入的 C 掺杂。

C 注入以改进 SiGe 双极晶体管成品率

技术领域

本发明涉及半导体异质结双极晶体管，更具体地讲，涉及制造 SiGe 异质结双极晶体管的一种方法，在该方法中，通过减少引起收集极 - 发射极 (CE) 漏电或短路，或收集极 - 基极 (CB) 漏电流或短路的位错，SiGe 双极成品率显著改善。

背景技术

高频有线和无线二个领域市场需求的显著增长已经给象 SiGe 这样的化合物半导体带来新的机遇，在该领域内，象 SiGe 这样的化合物半导体比体互补型金属氧化物半导体 (CMOS) 工艺具有独特的优点。随着外延层覆晶 SiGe 淀积方法的迅速发展，已经把外延-基区 SiGe 异质结双极晶体管和主流 CMOS 发展整合起来，以得到广泛的市场认可，从而既提供了 SiGe 技术在用于模拟和射频 RF 电路的优点，同时保留了先进的基于 CMOS 技术对于数字逻辑电路的充分利用。

已有资料充分证明，由于注入损坏而产生的多余间隙缺陷在双极器件的收集极和发射极区域中引起位错的形成。当位错在收集极和发射极区之间延伸时，可以发生双极管状短路，也即，收集极 - 发射极短路。在这样一种情况下，SiGe 双极成品率可以由于在收集极区产生的位错而减小多达 20 到 50%。

在已有的技术中，已经把 C (即碳) 掺入 SiGe 异质结器件，以防止硼外扩散到基区。例如，已经知道在富碳硅层中，硼的瞬态增强扩散被强烈地抑制了；参阅，例如，H.J.Osten, et al., "Carbon Doped SiGe Heterojunction Bipolar Transistors for High Frequency Applications", IEEE BTCM 7.1, 109。硼在硅中的扩散是通过间隙缺陷机理发生的，它正比于硅自间隙的浓度。碳从富碳区扩散出引起硅自

间隙的穴饱和。作为其结果，在这些区域中硼的扩散将被抑制。虽然能够抑制硼的扩散，但已有技术中把 C 掺入 SiGe 异质结双极结构的方法不能防止双极管状短路的发生。因而，已有技术的方法不能改进 SiGe 双极成品率。

有鉴于上述 SiGe 双极成品率问题，就有提供一种新的和改进的方法的持续需要，以改进 SiGe 异质结双极成品率，而此成品率由于源自器件台座区和收集极区的位错而受影响。

发明内容

本发明的一个目的是提供一种制造 SiGe 异质结双极晶体管的方法，其中获得了提高了的 SiGe 双极成品率。

本发明的另一个目的是提供一种制造 SiGe 异质结双极晶体管的方法，其中在器件中存在的位错数量被显著地减少，从而避免了管状短路。

本发明的又一个目的是提供一种制造 SiGe 异质结双极晶体管的方法，该方法所用的处理步骤和已有的双极和 CMOS 处理步骤兼容。

在本发明中，这些和其他目的和优点是通过把碳注入 SiGe 双极晶体管的某些预先确定的区域获得的。具体地讲，本申请人已经确定，通过把 C 掺入（只有通过离子注入）双极器件的亚-收集极，收集极，非本征基区和收集极-基极结区，也可以分别地注入，也可以以任何一种组合注入，能够得到改进的 SiGe 双极成品率。该碳注入可以用本领域技术人员所熟知的覆盖注入（blanket implant）或掩蔽注入（masked implant）技术。

当前面所确定的所有的 C 注入都被使用时，得到本发明的最大提高和最优选的实施方案。由本发明得到改进的 SiGe 双极成品率是本技术领域的重大进展，因为它导致这样的一种器件，它比起迄今为止用已有技术 SiGe 异质结双极器件所可能达到的有少得多的管状短路。

泛泛地讲，本发明包括改进 SiGe 双极成品率的一种方法，该方法包括以下步骤

(a) 提供一种结构，它至少包括一个双极器件区，所述双极器件区至少包含一个收集极区，它在一个亚-收集极区上方形成，以及在所述收集极和亚收集极区上方形成的 SiGe 层，所述 SiGe 层至少包含一个本征基区和一个收集极-基极结区，其中所述本征基区被非本征基区所紧邻；以及

(b) 把 C 注入所述结构的至少一个区域，这个区域选自所述收集极，所述亚-收集极，所述非本征基区和所述收集极-基极结区。

在本发明的一个实施方案中，该 SiGe 层是用一种非选择性外延方法生长的。在此实施方案中，该 SiGe 层将包括邻近本征基区的非本征基区。在另一个实施方案中，该 SiGe 层不包括非本征基区。在这个实施方案中，该非本征基区，它也可以包括也可以不包括锗，是用 SiGe 层分开形成的。

在本发明的一个优选实施方案中，本发明的方法包含如下步骤：

(a) 提供一种结构，它至少包括一个双极器件区域，所述双极器件区域至少包含一个在亚-收集极区上形成的收集极区；

(b) 把 C 注入所述收集极和所述亚-收集极区；

(c) 在所述双极器件区上形成一层 SiGe 层，该 SiGe 层至少包含一个本征基区和一个收集极-基极结区，其中所述本征基区被非本征基区所紧邻；

(d) 把 C 注入所述非本征基区；

(e) 在所述 SiGe 层上形成一层绝缘层。

(f) 在所述绝缘层内提供一个发射极窗口，以把所述本征基区的一部分暴露出来，并通过所述发射极窗口并通过所述本征基区的暴露部分，把 C 注入收集极-基极结区；以及

(g) 在所述绝缘层上，包括在所述发射极窗口内，形成一发射极多晶硅区。

本发明的另一个方面涉及一种 SiGe 异质结双极晶体管，它改进了 SiGe 双极成品率。具体讲，本发明 SiGe 异质结双极晶体管包含：

一片具有第一导电类型的半导体衬底，它至少包括一个亚-收集

极区和一个收集极区；

在所述衬底上形成的一层 SiGe 基区层，所述 SiGe 基区层至少包括在收集极区上形成的收集极 - 基极结区和一个本征基区，其中所述本征基区被非本征基区所紧邻；以及

以所述本征基区一部分上形成的发射极区，所述发射极区至少包含一个发射极多晶区，其中所述结构的至少一个区域包括一个 C 注入，该区域选自所述收集极，所述亚 - 收集极，所述非本征基区和所述收集极 - 基极结区。

在本发明的另一个优选实施方案中，该双极晶体管包含：

具有第一导电类型的一片半导体衬底，它至少包含一个亚 - 收集极区和一个收集极基，二者都以注入的 C 掺杂；

在所述衬底上形层的一层 SiGe 基区层，所述 SiGe 基区层至少包含在收集极区上形成的一个收集极 - 基极结区，一个本征基区，和与所述本征基区邻近的非本征基区，其中所述收集极 - 基极结区和所述非本征基区以注入的 C 掺杂；以及

在所述本征基区的一部分上形成的一个发射区，所述发射区至少包含一个发射极多晶硅区。

请注意每一个 C-掺杂区都是用本发明的方法把 C 注入特定的区域来形成的。

附图说明

图 1 是本发明 SiGe 异质结双极晶体管的一个截面图，其中包括把 C 注入本器件的收集极，亚收集极，和非本征基极等区域和/或收集极 - 基极结区。

图 2-7 是给出图 1 中的结构在通过本发明的各个处理步骤时的截面图。

具体实施方式

本发明涉及用 C 注入以改进 SiGe 双极成品率，现在将参照图 1-7

和下文中的讨论，更详细地叙述。请注意，在各图中相同的或对应的元素用相同的参照数字表示。同样为了简明起见，在图中只画出了一个双极器件区。其他双极器件区以及数字电路可以在本图画出的双极器件区邻近形成。

在详细讨论本发明以前，请注意，在描述本发明优选实施方案的各个图中，SiGe层是用本征基区和在其邻近的非本征基区组成的。在这个实施方案中，非本征基区是用一种非选择性外延淀积方法形成的。除了这个实施方案以外本发明也考虑这样的SiGe层，其中非本征基区和SiGe层分开形成。同样请注意，在以下的叙述中，C的注入发生在所有4个区域中，也即收集极，亚-收集极，非本征基区和所述收集极-基极结区。这种在所有4个区域中都进行C注入代表本发明的最优的方案。然而本发明并不限于对4个区域中的每个区域都进行C注入。而是，在本发明中至少要有一个区域包括C注入。

先参照图1，它表示本发明的SiGe异质双极晶体管的一个截面图。具体讲，该SiGe异质结双极晶体管包含半导体衬底10，它具有一个第一导电类型(N或P)，亚-收集区14和收集区16，这两个区域都用注入方法掺杂C。在结构中存在的隔离区12确定了双极器件区的外部边界并用来把图1中所示的双极器件区和邻近器件区(未画出)隔离开来。

图1的SiGe双极晶体管还包括在衬底10和隔离区12上形成的SiGe基区层20。按照本发明，SiGe基区层包括多晶Si区24，它主要在隔离区12上面形成，以及单晶SiGe区22，它包括非本征SiGe基区29，本征SiGe基区26，和本技术领域把它称为器件台座区(pedestal region)的收集极-基极结区27，它主要在亚-收集极14的上方形成。按照本发明的一个优选实施方案，收集极-基极结区和非本征基区都用注入方法掺以C。请注意，把每个多晶SiGe区和单晶SiGe区分开的实线在本技术领域中被称为一个多面体区。

图1的双极晶体管还包含发射极区28，它又包括形成图案的绝缘层30，其中形成一个发射极开口，以及在所述有图案的绝缘层上和

所述发射极开口内的一个发射极多晶硅区 32。发射极多晶硅典型地掺以 N⁺。注意在发射极多晶硅形成以后，杂质要从发射极多晶硅扩散进本征基区，从而在本征基区 26 内形成发射极扩散区 34。

请注意，在图 1 中所示的双极晶体管，由于 C 注入上述指定区域，也即，亚收集极，收集极，非本征基区以及/或者收集极 - 基极结区，减少了在该结构中存在的位错数目，从而改进了 SiGe 双极成品率。请注意，当至少一个上述区域用 C 注入被掺杂时，就可能改进双极成品率（也即与发射极 - 基极或发射极 - 集电极漏电有关的成品率）；然而当所有区域都包括 C 注入时，观察到最好的影响。在本发明中，双极成品率可以改进高达 20 到 50%；因而本发明提供了比起没有在收集极，亚收集极，非本征基区和/或收集极 - 基极结区进行 C 注入的已有技术 SiGe 双极晶体管的一种改进了的结构。

现在将更详细地叙述本方法以及用来形成如图 1 所示 SiGe 异质双极晶体管中使用的各种材料。首先参照图 2，其中给出用于本发明一个初始结构的双极器件区。在图 2 中给出的初始结构包含衬底 10，其中形成亚 - 收集极区 14，收集极区 16 和隔离区 12。

在图 2 中所示的结构是用本领域的技术人员所熟知的常规处理步骤来制造的。另外在制造时用了本领域技术人员所熟知的常规材料。例如，衬底 10 由包括，但不限于：Si, Ge, SiGe, GaAs, InAs, InP，和所有其他 III/V 族化合物半导体中任何一种半导体材料组成。分层的衬底，包含相同或不同的半导体材料，例如，Si/Si 或 Si/SiGe，在这里也可考虑使用。在这些半导体材料中，由 Si 组成的衬底 10 是优选的。如上所述，衬底可以是 N-型衬底或是 P-型衬底，这取决于以后要形成的器件的类型。

亚 - 收集极区 14 用在这样一个结构中能够形成亚 - 收集区的任何一种熟知的技术，在衬底内或衬底上形成。因而，亚 - 收集区能够用离子注入或一种外延生长方法来形成。注意该图画出了一个亚 - 收集区，它是通过离子注入在衬底内形成的。接着用常规的硅局部氧化 (LOCOS) 方法，或者用光刻，腐蚀和沟槽隔离填充方法来形成隔离

区 12。

在衬底中形成隔离区以后，接着用本领域技术人员所述熟知的常规离子注入和激活退火方法在双极器件区域内（在图 1 中所示二个隔离区之间）形成收集极区 16。激活退火过程通常在约 950°C 或以上的温度进行，时间约 30 秒或更少。

在本发明过程的这一时刻，在图中所示的双极器件区可以用在其上形成一层保护性材料，如象 Si_3N_4 来加以保护，并能够进行可以形成邻近器件区的常规处理步骤。在完成邻近器件区及其以后的保护后，本发明过程继续下去。应当注意到，在某些实施方案中，邻近器件区域是在全部制造好双极晶体管以后才被形成的。

本发明过程的下一步骤如图 3 所示。具体讲，图 3 给出 C 离子注入亚 - 收集极区 14 和收集区 16。用于对这些区域注入的碳源是含碳材料，如象 CO_2 或其他含 C 气体源。这个第一 C 注入步骤可以用一步或二步过程来进行，所用 C 的剂量从约 1×10^{13} 到约 $1 \times 10^{16} \text{cm}^{-2}$ 。对于把 C 注入收集极区，所用注入能量从约 5 到约 200keV，而对于把 C 注入亚 - 收集极区，所用能量从约 10 到约 1000keV。更为优选地，第一 C 注入步骤用约 $1 \times 10^{14} \text{cm}^{-2}$ 的 C 剂量，和对收集极区约 20keV，对亚 - 收集极区约 400keV 的注入能量来进行。C 源可以用纯的（也即非混合的），或者它用象 He 或 Ar 等惰性气体与之混合。这些注入可以是覆盖的或者用本领域的技术人员所熟知的方法加以遮蔽的。在某些实施方案中，可以省略把 C 注入收集极和亚收集极区的步骤。

注意，C 注入亚 - 收集极区可以在隔离区形成期间发生，也可以象如图所示的，在隔离区形成之后发生。就收集极区而言，收集极区通常在邻近器件已经形成并被保护以后再注以 C。

申请人已经确定上述第一 C 注入步骤使得碳源在该结构中出现，从而将减小在 SiGe 层基区中形成位错的自由间隙缺陷水平。本作者相信，虽然没有根据任何一种理论，由于 C 注入而减少间隙缺陷水平的机理如下：在替代或间隙位置的 C 和间隙 Si 原子作用。该 C-Si 对或者其他 C 原子结合在一起，或者从高浓度间隙缺陷区扩散出去。这

就引起整体间隙缺陷浓度的下降，从而降低可以形成的位错的水平。在亚-收集极区 C 注入通常在收集极区 C 注入之前进行。

本发明的下一步骤如图 4 所示。在此图中，在衬底 10 和隔离区 12 上形成 SiGe 层 20。按照本发明的一个优选实施方案，该 SiGe 层包括多晶 Si 区 24，它主要在隔离层 12 的上方形形成，和单晶 SiGe 层 22，它主要在亚-收集极区上方形成。单晶 SiGe 区进一步包括非本征 SiGe 基区 29 和本征 SiGe 基区 26。非本征基区是一个被注入的区域，它或者用一个覆盖离子注入过程或者用一个形成图案/离子注入的复合过程。该 SiGe 层用熟知的淀积方法，包括但不限于：超高真空化学蒸汽淀积 (UHVCVD) 和快速热化学蒸汽淀积 (RTCVP)，外延地形成。

还要再强调，本发明并不受该实施方案的限制，在该实施方案中 SiGe 是用外延淀积形成的。请注意，当用外延方法时，该 SiGe 层是以本征基区及其邻近的非本征基区形成的。本发明也考虑这样的情况，其中非本征基区是在用上述方法淀积 SiGe 层期间形成的。

为了降低基区中的位错，进行如图 5 所示的第二 C 注入步骤。具体地讲，已经确定 C 既注入非本征基区，又注入收集极-基极结区，降低了在该结构中存在的位错的水平。该把 C 注入非本征 SiGe 基区的第二 C 注入步骤以约 1×10^{13} 到约 $1 \times 10^{16} \text{cm}^{-2}$ 的 C 剂量和约 5 到 200keV 的注入能量来进行。更优选地，第二 C 注入步骤以约 $1 \times 10^{14} \text{cm}^{-2}$ 的剂量和约 15keV 的注入能量来进行。在第二碳注入步骤中，可以用和第一 C 注入步骤中所用的相同的 C 源或不同的 C 源。注意，在某些实施方案中，第二注入步骤，也即把 C 注入非本征基区的步骤可以被省略。

在本发明方法的这一时刻，也可以选用把 N-型杂质注入(未图示)台座区，也即收集极-基极结区 27，和/或收集极区 16 的步骤，以形成在高速下运行的器件，该选用的 N-型杂质注入步骤是用本领域技术人员所熟知的常规处理技术，包括，例如，离子注入和激活退火。请注意在此注入步骤中，由于注入引起的注入损坏，也可以在结构中形成造成短路的位错。这种情况发生的区域通常恰在本征 SiGe 基区的下

方。

接着，如图 6 所示，用一种常规的淀积过程，如象 CVD，等离子体辅助 CVD，化学溶液淀积和其他类似淀积过程，在 SiGe 基区层 20 上，形成一层绝缘层 30，该绝缘层可以是如图 6 所示的单一的层，它也可以包括多绝缘层。绝缘层 30 由相同的或不同的绝缘材料组成，这些材料选自包括 SiO₂，氮氧化硅，和其他类似绝缘体的组。

接着在绝缘层 30 中形成发射极窗口 31，以把一部分本征基区暴露出来，参阅图 7。发射极窗口用光刻工艺和腐蚀来形成。所用腐蚀步骤对于去除绝缘材料相对于 SiGe 层要具有选择性。在本发明的这一时刻，可以用一个第三 C 离子注入过程把 C 注入收集极-基极结区 27，在本领域内也称为该器件的台座区，该注入过程以从约 1×10^{13} 到约 $1 \times 10^{16} \text{cm}^{-2}$ 的 C 剂量，和从约 5 到约 200keV 的能量进行。更优选地，该第三 C 注入以约 $1 \times 10^{14} \text{cm}^{-2}$ 的 C 剂量和约 50keV 的能量进行。请注意，第三 C 注入步骤可以用和第一注入步骤相同的 C 源，也可以用不同的 C 源，另外，在某些实施方案中，第三注入可以被省略。

在发射极窗口形成以后，用如象 CVD 这样的常规淀积方法，在绝缘层上和发射极窗口内形成发射极多晶硅层 32。接着发射极多晶硅和绝缘体被选择性地除去以形成在 SiGe 基区上的发射极区 28，参阅图 1。具体地讲，用光刻工艺和腐蚀来形成如图 1 所示的结构。应当注意到，在除去部分发射极多晶硅层 32 和绝缘层 30 时，可以用单一的腐蚀过程，或者在除去这些层时，可以用分别的腐蚀步骤。

接着可以在如图 1 所示的结构上进行常规的 BiCMOS 处理步骤。请注意，在后续的退火步骤期间，在本征基区 26 内形成发射极扩散区 34。

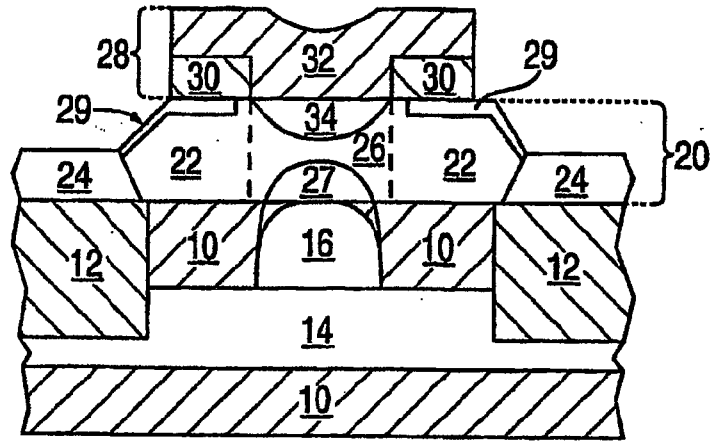


图 1

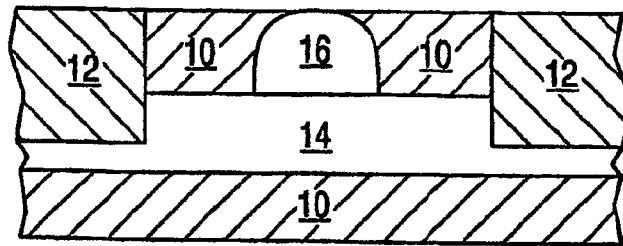


图 2

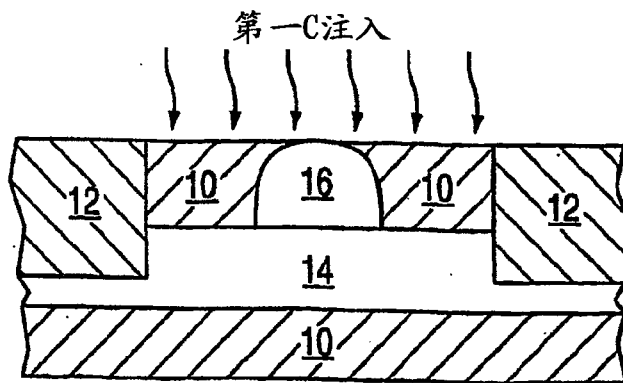


图 3

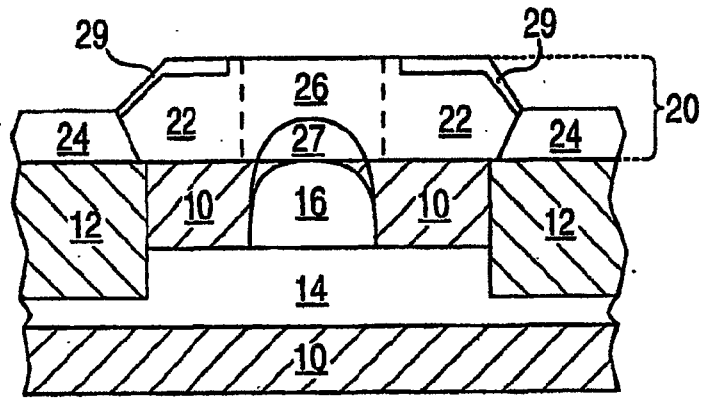


图 4

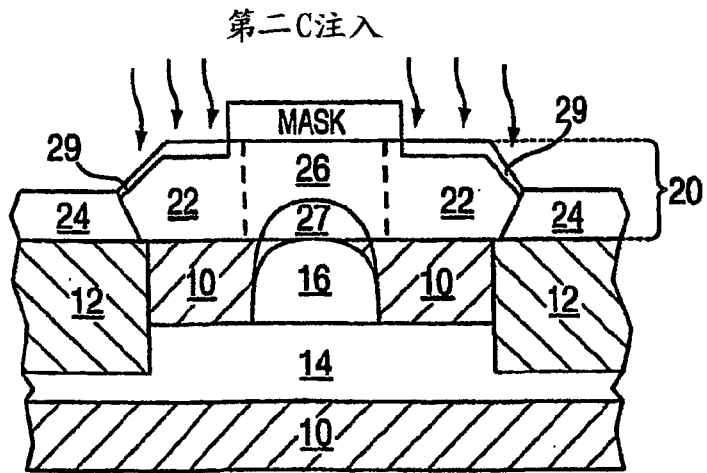


图 5

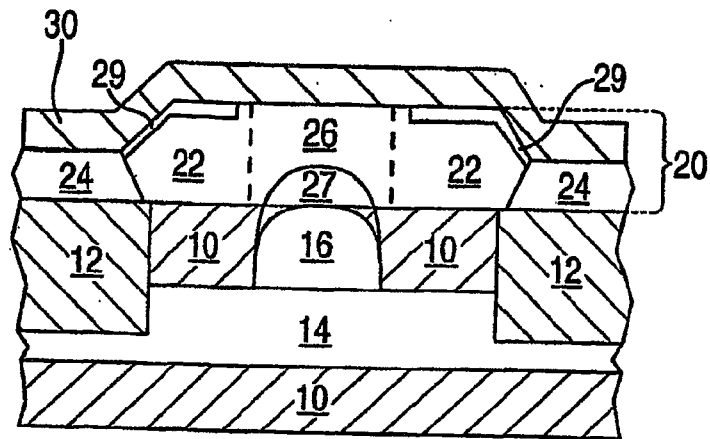


图 6

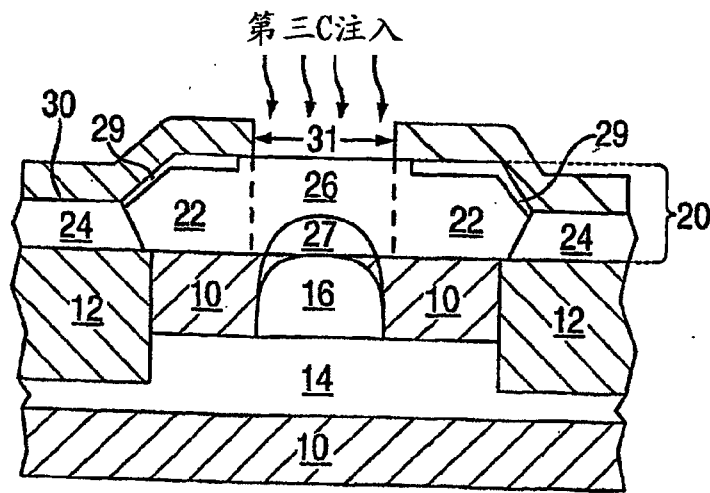


图 7