

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-274422

(P2007-274422A)

(43) 公開日 平成19年10月18日(2007.10.18)

(51) Int. Cl.	F I	テーマコード (参考)
<b>H03K 19/0175 (2006.01)</b>	H03K 19/00 I O I F	5 J O 5 5
<b>H03K 17/16 (2006.01)</b>	H03K 17/16 L	5 J O 5 6
<b>H03K 17/687 (2006.01)</b>	H03K 17/687 F	

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願2006-98539 (P2006-98539)  
 (22) 出願日 平成18年3月31日 (2006.3.31)

(71) 出願人 000000295  
 沖電気工業株式会社  
 東京都港区虎ノ門1丁目7番12号  
 (74) 代理人 100086807  
 弁理士 楠本 恭成  
 (72) 発明者 徳野 芳雄  
 東京都港区虎ノ門1丁目7番12号 沖電  
 気工業株式会社内  
 Fターム(参考) 5J055 AX15 AX27 AX64 BX16 CX24  
 DX22 DX56 DX82 EY21 EZ25  
 EZ50 FX06 FX12 GX01 GX04  
 5J056 AA05 BB19 BB28 DD29 FF08  
 GG09 KK01

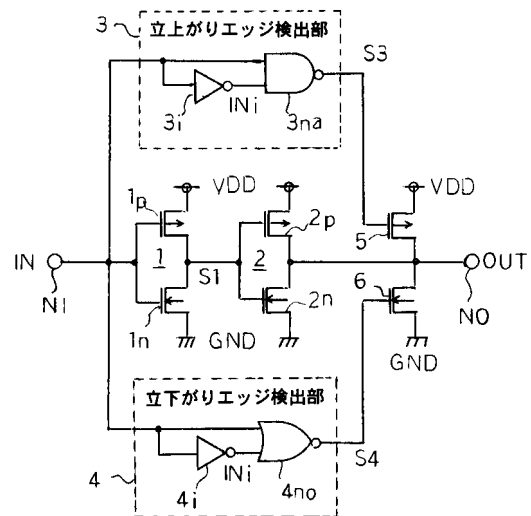
(54) 【発明の名称】 駆動回路

(57) 【要約】

【課題】 L S I 用の駆動回路で周囲の温度変化による遅延量の変動を抑制する。

【解決手段】 入力信号 I N を反転増幅する 2 段の C M O S インバータ 1, 2 に加えて、入力信号 I N の立上りを検出して周囲温度に依存したパルス幅の立上りエッジ検出信号 S 3 を出力する立上りエッジ検出部 3 と、この立上りエッジ検出信号 S 3 に従って出力ノード N O を電源電位 V D D に駆動する P M O S 5 と、入力信号 I N の立下りを検出して周囲温度に依存したパルス幅の立下りエッジ検出信号 S 4 を出力する立下りエッジ検出部 4 と、この立下りエッジ検出信号 S 4 に従って出力ノード N O を接地電位 G N D に駆動する N M O S 6 を設ける。周囲温度が上昇して C M O S インバータ 1, 2 の遅延時間が長くなると、立上りエッジ検出信号 S 3 等のパルス幅も大きくなり、P M O S 5 等による補助の駆動で遅延時間が短縮される。

【選択図】 図 1



本発明の実施例 1 の駆動回路

## 【特許請求の範囲】

## 【請求項 1】

入力信号を電力増幅して出力ノードに出力する駆動部と、  
前記入力信号の立上りを検出して周囲温度に応じたパルス幅の検出信号を出力する立上りエッジ検出部と、  
前記出力ノードと電源電位の間接続され、前記検出信号によって導通状態に制御されるトランジスタとを、  
備えたことを特徴とする駆動回路。

## 【請求項 2】

入力信号を電力増幅して出力ノードに出力する駆動部と、  
前記入力信号の立下りを検出して周囲温度に応じたパルス幅の検出信号を出力する立下りエッジ検出部と、  
前記出力ノードと接地電位の間接続され、前記検出信号によって導通状態に制御されるトランジスタとを、  
備えたことを特徴とする駆動回路。

10

## 【請求項 3】

入力信号を電力増幅して出力ノードに出力する駆動部と、  
前記入力信号の立上りを検出して周囲温度に応じたパルス幅の第 1 の検出信号を出力する立上りエッジ検出部と、  
前記入力信号の立下りを検出して周囲温度に応じたパルス幅の第 2 の検出信号を出力する立下りエッジ検出部と、  
前記出力ノードと電源電位の間接続され、前記第 1 の検出信号によって導通状態に制御される第 1 のトランジスタと、  
前記出力ノードと接地電位の間接続され、前記第 2 の検出信号によって導通状態に制御される第 2 のトランジスタとを、  
備えたことを特徴とする駆動回路。

20

## 【請求項 4】

入力信号を電力増幅して出力ノードに出力する駆動部と、  
前記入力信号の立上りを検出して一定時間後に検出信号を出力し、該入力信号の立下りを検出することにより該検出信号の出力を停止するレベル検出部と、  
前記出力ノードと電源電位の間接続され、前記検出信号によってオン状態に制御されるトランジスタとを、  
備えたことを特徴とする駆動回路。

30

## 【請求項 5】

入力信号を電力増幅して出力ノードに出力する駆動部と、  
前記入力信号の立下りを検出して一定時間後に検出信号を出力し、該入力信号の立上りを検出することにより該検出信号の出力を停止するレベル検出部と、  
前記出力ノードと接地電位の間接続され、前記検出信号によってオン状態に制御されるトランジスタとを、  
備えたことを特徴とする駆動回路。

40

## 【請求項 6】

入力信号を電力増幅して出力ノードに出力する駆動部と、  
前記入力信号の立上りを検出して一定時間後に第 1 の検出信号を出力し、該入力信号の立下りを検出することにより該第 1 の検出信号の出力を停止する第 1 のレベル検出部と、  
前記入力信号の立下りを検出して一定時間後に第 2 の検出信号を出力し、該入力信号の立上りを検出することにより該第 2 の検出信号の出力を停止する第 2 のレベル検出部と、  
前記出力ノードと電源電位の間接続され、前記第 1 の検出信号によって導通状態に制御される第 1 のトランジスタと、  
前記出力ノードと接地電位の間接続され、前記第 2 の検出信号によって導通状態に制御される第 2 のトランジスタとを、

50

備えたことを特徴とする駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、LSI（大規模集積回路）の出力側に設けられて外部に接続される回路を駆動するための駆動回路（ドライバ）に関するものである。

【背景技術】

【0002】

従来LSIの出力側には、外部に接続される回路を駆動するために、例えば下記特許文献1に記載されるようなCMOSインバータを複数段縦続接続した駆動回路が設けられていた。

10

【0003】

【特許文献1】特開2003-133943号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、従来CMOSインバータを用いた駆動回路では、次のような課題があった。

(1) 周囲の温度変動によって遅延量変動するため、タイミング不具合などの原因となっていた。そのため、タイミング設計時にその変動を考慮した上で動作可能なLSIを開発せざるを得なかった。しかしながら、LSIの大規模化、微細化により、このばらつきは増加する一方で、このばらつきを押さえなければ動作可能なLSIの開発が困難な状況となってきた。更に、温度変動は見積もることが困難な上に、時間と共に大きく変動するため、タイミングに与える影響は計り知れないものとなる。

20

(2) 大駆動型の駆動回路は、出力信号の変化時にCMOSを構成するPチャネルMOSトランジスタ（以下、「PMOS」という）とNチャネルMOSトランジスタ（以下、「NMOS」という）が同時に導通（オン）となる期間に、電源側から接地側に流れる貫通電流により電力を無駄に消費していた。この貫通電流はLSI全体の消費電力増大に結び付き、温度上昇に対応するために高価なパッケージを使用せざるを得なくなり、その結果、製品のコストアップの要因となっていた。更に、消費電力の大きさが、携帯機器に用

30

(3) LSIのレイアウト後にクロストークによる影響を受ける箇所は、配線の引き回しや、駆動回路の位置変更などのレイアウト修正を行って、クロストークを回避する必要がある。ところが、最初のレイアウトによってはその修正が困難な場合があり、大幅なレイアウト変更、ひいては、回路設計まで戻って対応する必要があった。

【課題を解決するための手段】

【0005】

本発明の駆動回路は、入力信号を電力増幅して出力ノードに出力する駆動部と、前記入力信号の立上りを検出して周囲温度に応じたパルス幅の検出信号を出力する立上りエッジ検出部と、前記出力ノードと電源電位の間接続され、前記検出信号によって導通状態に

40

【発明の効果】

【0006】

本発明では、立上りエッジ検出部によって入力信号の立上りを検出して周囲温度に応じたパルス幅の検出信号を出力し、この検出信号によって、出力ノードと電源電位の間接続されたトランジスタを導通状態に制御するようにしている。

【0007】

これにより、入力信号が立上ったときに、駆動部の出力信号に加えて、電源電位からトランジスタを介して出力ノードが駆動される。これにより、周囲温度が上昇して駆動部の遅延時間が増加して駆動能力が低下しても、その遅延時間に応じてトランジスタによる補

50

助の駆動が行われるので、周囲の温度変化による遅延量の変動を抑制できるという効果がある。

【発明を実施するための最良の形態】

【0008】

入力信号の立上りを検出して周囲温度に応じたパルス幅の第1の検出信号を出力する立上りエッジ検出部と、この第1の検出信号に従って出力ノードを電源電位に駆動する第1のトランジスタに加えて、入力信号の立下りを検出して周囲温度に応じたパルス幅の第2の検出信号を出力する立下りエッジ検出部と、この第2の検出信号に従って出力ノードを接地電位に駆動する第2のトランジスタを設ける。

【0009】

この発明の前記並びにその他の目的と新規な特徴は、次の好ましい実施例の説明を添付図面と照らし合わせて読むと、より完全に明らかになるであろう。但し、図面は、もっぱら解説のためのものであって、この発明の範囲を限定するものではない。

【実施例1】

【0010】

図1は、本発明の実施例1を示す駆動回路の構成図である。

この駆動回路は、入力信号INが与えられる入力ノードNIを有しており、この入力ノードNIに、電源電位VDDと接地電位GNDの間に設けられたPMOS1pとNMOS1nで構成されるCMOSインバータ1が接続されている。CMOSインバータ1の出力側には、電源電位VDDと接地電位GNDの間に設けられたPMOS2pとNMOS2nで構成されるCMOSインバータ2が接続され、このCMOSインバータ2の出力側が出力ノードNOに接続され、この出力ノードNOから出力信号OUTが出力されるようになっている。更に、この駆動回路の入力ノードNIには、立上りエッジ検出部3と立下りエッジ検出部4が接続されている。また、この駆動回路の出力ノードNOと電源電位VDD及び接地電位GNDの間には、それぞれPMOS5とNMOS6が接続されている。

【0011】

立上りエッジ検出部3は、入力信号INが接地電位レベル“L”から電源電位レベル“H”に立上ったときに、周囲温度に依存して、この周囲温度に応じたパルス幅を有する立上り制御信号S3を出力するもので、この入力信号INを遅延及び反転するインバータ3iと、入力信号INとこのインバータ3iから出力される信号INiの否定的論理積を立上り制御信号S3として出力するNANDゲート3naとで構成されている。

【0012】

立上り制御信号S3は、ドレインとソースがそれぞれ出力ノードNOと電源電位VDDが供給される端子に接続されたPMOS5のゲートに与えられるようになっている。

【0013】

一方、立下りエッジ検出部4は、入力信号INが“H”から“L”に立下がったときに、周囲温度に依存して、この周囲温度に応じたパルス幅を有する立下り制御信号S4を出力するもので、この入力信号INを遅延及び反転するインバータ4iと、入力信号INとこのインバータ4iから出力される信号INiの否定的論理和を立下り制御信号S4として出力するNORゲート4noとで構成されている。

【0014】

立下り制御信号S4は、ドレインとソースがそれぞれ出力ノードNOと接地電位GNDが供給される端子に接続されたNMOS6のゲートに与えられるようになっている。

【0015】

図2は、図1の動作を示す信号波形図である。以下、この図2を参照しつつ、図1の動作を説明する。

【0016】

入力信号INが“L”で安定しているとき、立上りエッジ検出部3から出力される立上り制御信号S3は“H”、立下りエッジ検出部4から出力される立下り制御信号S4は“L”である。従って、PMOS5及びNMOS6は共に非導通(オフ)状態となっている

10

20

30

40

50

。また、入力信号  $I_N$  は、縦続接続された CMOS インバータ 1, 2 で 2 度反転されるので、出力信号  $O_U T$  は “ L ” である。

【 0 0 1 7 】

図 2 の時刻  $t_1$  において、入力信号  $I_N$  が “ L ” から “ H ” に立上ると、この入力信号  $I_N$  は、立上りエッジ検出部 3 のインバータ  $3_i$  と立下りエッジ検出部 4 のインバータ  $4_i$  によってそれぞれ反転され、遅延時間  $t_d$  後の時刻  $t_2$  において、これらのインバータ  $3_i, 4_i$  から出力される信号  $I_{N_i}$  は、“ H ” から “ L ” に立下る。このインバータ  $3_i, 4_i$  における遅延時間  $t_d$  は、一般的に正の温度係数を有しており、周囲温度の上昇に従って遅延時間  $t_d$  は増加する。

【 0 0 1 8 】

時刻  $t_1$  から時刻  $t_2$  までの期間、信号  $I_{N_i}$  は “ H ” であるので、立上りエッジ検出部 3 の  $N A N D 3_{na}$  から出力される立上り制御信号  $S_3$  は、この期間中 “ L ” となる。そして、時刻  $t_2$  で信号  $I_{N_i}$  が “ L ” になると、立上り制御信号  $S_3$  は “ H ” に戻る。従って、立上りエッジ検出部 3 から、入力信号  $I_N$  の立上り時点から周囲温度に応じたパルス幅  $t_d$  を有する立上り制御信号  $S_3$  が出力され、 $P M O S 5$  のゲートに与えられる。これにより、 $P M O S 5$  は、時刻  $t_1$  から時刻  $t_2$  までの間、オン状態となる。なお、この時点では、立下りエッジ検出部 4 から出力される立下り制御信号  $S_4$  は “ L ” で、 $N M O S 6$  はオフ状態である。

【 0 0 1 9 】

一方、CMOS インバータ 1 では、入力信号  $I_N$  が “ L ” から “ H ” に立上ると、この CMOS インバータ 1 から出力される信号  $S_1$  は、“ H ” から “ L ” に変化する。そして、この信号  $S_1$  が、更に CMOS インバータ 2 で反転され、出力ノード  $N O$  の出力信号  $O_U T$  は、“ L ” から “ H ” に変化する。この時、出力ノード  $N O$  は、時刻  $t_1$  から時刻  $t_2$  までの間、オン状態となった  $P M O S 5$  を介して電源電位  $V_{D D}$  が供給される。従って、出力信号  $O_U T$  は、実線で示すように、急速に “ L ” から “ H ” に変化する。

【 0 0 2 0 】

時刻  $t_2$  になると、信号  $S_3$  は “ H ” となり、 $P M O S 5$  はオフ状態となるが、出力ノード  $N O$  の出力信号  $O_U T$  は、CMOS インバータ 2 から出力される信号によって “ H ” に維持される。

【 0 0 2 1 】

時刻  $t_3$  において、入力信号  $I_N$  が “ H ” から “ L ” に立下がると、この入力信号  $I_N$  は、立上りエッジ検出部 3 のインバータ  $3_i$  と立下りエッジ検出部 4 のインバータ  $4_i$  によってそれぞれ反転され、遅延時間  $t_d$  後の時刻  $t_4$  において、これらのインバータ  $3_i, 4_i$  から出力される信号  $I_{N_i}$  は、“ L ” から “ H ” に立上る。

【 0 0 2 2 】

時刻  $t_3$  から時刻  $t_4$  までの期間、信号  $I_{N_i}$  は “ L ” であるので、立下りエッジ検出部 4 の  $N O R 4_{no}$  から出力される立下り制御信号  $S_4$  は、この期間中 “ H ” となる。そして、時刻  $t_4$  で信号  $I_{N_i}$  が “ H ” になると、立下り制御信号  $S_4$  は “ L ” に戻る。従って、立下りエッジ検出部 4 から、入力信号  $I_N$  の立下り時点から周囲温度に応じたパルス幅  $t_d$  を有する立下り制御信号  $S_4$  が出力され、 $N M O S 6$  のゲートに与えられる。これにより、 $N M O S 6$  は、時刻  $t_3$  から時刻  $t_4$  までの間、オン状態となる。なお、この時点では、立上りエッジ検出部 3 から出力される立上り制御信号  $S_3$  は “ H ” で、 $P M O S 5$  はオフ状態である。

【 0 0 2 3 】

一方、CMOS インバータ 1 では、入力信号  $I_N$  が “ H ” から “ L ” に立下ると、この CMOS インバータ 1 から出力される信号  $S_1$  は、“ L ” から “ H ” に変化する。そして、この信号  $S_1$  が、更に CMOS インバータ 2 で反転され、出力ノード  $N O$  の出力信号  $O_U T$  は、“ H ” から “ L ” に変化する。この時、出力ノード  $N O$  は、時刻  $t_3$  から時刻  $t_4$  までの間、オン状態となった  $N M O S 6$  を介して接地電位  $G N D$  が供給される。従って、出力信号  $O_U T$  は、実線で示すように、急速に “ H ” から “ L ” に変化する。

10

20

30

40

50

## 【0024】

時刻  $t_4$  になると、信号  $S_4$  は “L” となり、NMOS 6 はオフ状態となるが、出力ノード  $N_O$  の出力信号  $O_U T$  は、CMOS インバータ 2 から出力される信号によって “L” に維持される。

## 【0025】

なお、図 2 中の出力信号  $O_U T$  の点線は、PMOS 5 と NMOS 6 が無かった場合の信号波形である。

## 【0026】

以上のように、この実施例 1 の駆動回路は、入力信号  $I_N$  の立上りを検出して周囲温度に応じたパルス幅の立上り制御信号  $S_3$  を出力する立上りエッジ検出部 3 と、入力信号  $I_N$  の立下りを検出して周囲温度に応じたパルス幅の立下り制御信号  $S_4$  を出力する立下りエッジ検出部 4 と、これらの立上り制御信号  $S_3$  及び立下り制御信号  $S_4$  に従ってそれぞれ、出力ノード  $N_O$  を電源電位  $V_{DD}$  及び接地電位  $GND$  に駆動する PMOS 5 と NMOS 6 を有している。これにより、周囲温度が上昇すると、CMOS インバータ 1, 2 の駆動能力が減少して遅延時間が大きくなるが、これと同時に、立上り制御信号  $S_3$  と立下り制御信号  $S_4$  のパルス幅も同様に広くなる。これにより、入力信号  $I_N$  が変化した時の補助の駆動回路である PMOS 5 及び NMOS 6 による駆動時間が長くなる。従って、出力信号  $O_U T$  の周囲温度の変化による遅延時間の変動を抑制することができるという利点がある。

10

## 【実施例 2】

20

## 【0027】

図 3 は、本発明の実施例 2 を示す駆動回路の構成図であり、図 1 中の要素と共通の要素には共通の符号が付されている。

## 【0028】

この駆動回路は、図 1 中の立上りエッジ検出部 3 と立下りエッジ検出部 4 に代えて、それぞれ第 1 の検出部としてのハイレベル検出部 7 と、第 2 の検出部としてのロウレベル検出部 8 を設けたものである。

## 【0029】

ハイレベル検出部 7 は、入力信号  $I_N$  が “L” から “H” に変化したときに、一定時間の経過後にハイレベル検出信号  $S_7$  を “L” にして出力し、この入力信号  $I_N$  が “H” から “L” に変化したときには、直ちにこのハイレベル検出信号  $S_7$  を “H” に戻すものである。ハイレベル検出部 7 は、入力信号  $I_N$  を一定時間遅延させる遅延素子  $7d$  と、入力信号  $I_N$  とこの遅延素子  $7d$  から出力される信号  $I_N d$  の否定的論理積をハイレベル検出信号  $S_7$  として出力する NAND ゲート  $7na$  とで構成されている。ハイレベル検出信号  $S_7$  は、PMOS 5 のゲートに与えられるようになっている。

30

## 【0030】

一方、ロウレベル検出部 8 は、入力信号  $I_N$  が “H” から “L” に変化したときに、一定時間の経過後にロウレベル検出信号  $S_8$  を “H” にして出力し、この入力信号  $I_N$  が “L” から “H” に変化したときには、直ちにこのロウレベル検出信号  $S_8$  を “L” に戻すものである。ロウレベル検出部 8 は、入力信号  $I_N$  を一定時間遅延させる遅延素子  $8d$  と、入力信号  $I_N$  とこの遅延素子  $8d$  から出力される信号  $I_N d$  の否定的論理和をロウレベル検出信号  $S_8$  として出力する NOR ゲート  $8no$  とで構成されている。ロウレベル検出信号  $S_8$  は、NMOS 6 のゲートに与えられるようになっている。その他の構成は、図 1 と同様である。

40

## 【0031】

図 4 は、図 3 の動作を示す信号波形図である。以下、この図 4 を参照しつつ、図 3 の動作を説明する。

## 【0032】

入力信号  $I_N$  が “L” で安定しているとき、ハイレベル検出部 7 から出力されるハイレベル検出信号  $S_7$  とロウレベル検出部 8 から出力されるロウレベル検出信号  $S_8$  は、共に

50

“ H ”である。従って、 P M O S 5 はオフ状態、 N M O S 6 はオン状態となっている。また、入力信号 I N は、縦続接続された C M O S インバータ 1 , 2 で 2 度反転されるので、出力信号 O U T は “ L ” である。

**【 0 0 3 3 】**

図 4 の時刻 T 1 において、入力信号 I N が “ L ” から “ H ” に立上ると、ロウレベル検出部 8 から出力されるロウレベル検出信号 S 8 は “ L ” となる。これにより、 N M O S 6 はオフ状態となる。一方、ハイレベル検出部 7 では、遅延素子 7 d から出力される信号 I N d が一定時間遅延されて “ L ” に維持されるので、ハイレベル検出信号 S 7 は “ H ” に維持され、 P M O S 5 はオフ状態である。

**【 0 0 3 4 】**

10

一方、入力信号 I N は、 C M O S インバータ 1 で反転されて信号 S 1 が “ H ” から “ L ” に変化する。更に、信号 S 1 は C M O S インバータ 2 で反転され、出力信号 O U T は “ L ” から “ H ” に変化する。

**【 0 0 3 5 】**

時刻 T 1 から一定時間 t d が経過して時刻 T 2 になると、ハイレベル検出部 7 の遅延素子 7 d とロウレベル検出部 8 の遅延素子 8 d から出力される信号 I N d は、“ L ” から “ H ” に立上る。これにより、ハイレベル検出部 7 から出力されるハイレベル検出信号 S 7 が “ L ” に変化し、 P M O S 5 はオン状態となる。なお、この時点では、ロウレベル検出部 8 から出力されるロウレベル検出信号 S 8 は “ L ” で、 N M O S 6 はオフ状態である。即ち、入力信号 I N が “ H ” で安定すると、ハイレベル検出部 7 から出力されるハイレベル検出信号 S 7 とロウレベル検出部 8 から出力されるロウレベル検出信号 S 8 は、共に “ L ” となる。これにより、 P M O S 5 はオン状態、 N M O S 6 はオフ状態となる。また、入力信号 I N は、縦続接続された C M O S インバータ 1 , 2 で 2 度反転されるので、出力信号 O U T は “ H ” である。

20

**【 0 0 3 6 】**

時刻 T 3 において、入力信号 I N が “ H ” から “ L ” に立下ると、ハイレベル検出部 7 から出力されるハイレベル検出信号 S 7 は “ H ” となる。これにより、 P M O S 5 はオフ状態となる。一方、ロウレベル検出部 8 では、遅延素子 8 d から出力される信号 I N d が一定時間遅延されて “ H ” に維持されるので、ロウレベル検出信号 S 8 は “ L ” に維持され、 N M O S 6 はオフ状態である。

30

**【 0 0 3 7 】**

一方、入力信号 I N は、 C M O S インバータ 1 で反転されて信号 S 1 が “ L ” から “ H ” に変化する。更に、信号 S 1 は C M O S インバータ 2 で反転され、出力信号 O U T は “ H ” から “ L ” に変化する。

**【 0 0 3 8 】**

時刻 T 3 から一定時間 t d が経過して時刻 T 4 になると、ハイレベル検出部 7 の遅延素子 7 d とロウレベル検出部 8 の遅延素子 8 d から出力される信号 I N d は、“ H ” から “ L ” に立上る。これにより、ロウレベル検出部 8 から出力されるロウレベル検出信号 S 8 が “ H ” に変化し、 N M O S 6 はオン状態となり、この駆動回路は、入力信号 I N が “ L ” で安定しているときの状態に戻る。

40

**【 0 0 3 9 】**

以上のように、この実施例 2 の駆動回路は、入力信号 I N の立上りを検出してその一定時間後にハイレベル検出信号 S 7 を出力するハイレベル検出部 7 と、入力信号 I N の立下りを検出してその一定時間後にロウレベル検出信号 S 8 を出力するロウレベル検出部 8 と、これらのハイレベル検出信号 S 7 及びロウレベル検出信号 S 8 に従ってそれぞれ、出力ノード N O を電源電位 V D D 及び接地電位 G N D に駆動する P M O S 5 と N M O S 6 を有している。これにより、入力信号 I N のレベルが変化中で不安定なときは、 P M O S 5 と N M O S 6 がオフ状態に維持され、この入力信号 I N のレベルが安定した時点で、 P M O S 5 または N M O S 6 の一方による出力信号 O U T の駆動が行われる。従って、大容量の駆動回路で駆動能力の大きな P M O S 5 や N M O S 6 を使用する場合でも、入力信号 I N

50

の変化時に同時にオン状態となることが防止され、貫通電流を低減することができるという利点がある。

【0040】

なお、本発明は、上記実施例に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

(1) 動作の説明において、インバータ3i, 4iの遅延時間や、遅延素子7d, 8dの遅延時間を同一として説明したが、所定の遅延時間が得られるものであれば、同一の遅延時間である必要はない。

(2) 実施例1では、PMOS5とNMOS6を、CMOSインバータ2を補助するための駆動素子として説明したが、立上り制御信号S3と立下り制御信号S4のパルス幅を大きくすると共に、PMOS5とNMOS6の駆動能力を大きくして、これらのPMOS5とNMOS6をメインの駆動素子とするように構成しても良い。これにより、実施例2と同様に、メインの駆動素子となるPMOS5とNMOS6が同時にオン状態となることが避けられるので、貫通電流を低減することができるという利点がある。

(3) 実施例1では立上りエッジ検出部3と立下りエッジ検出部4を有し、実施例2ではハイレベル検出部7とロウレベル検出部8を有しているが、使用条件によっては、一方の検出部だけを用いても良い。

【図面の簡単な説明】

【0041】

【図1】本発明の実施例1を示す駆動回路の構成図である。

【図2】図1の動作を示す信号波形図である。

【図3】本発明の実施例2を示す駆動回路の構成図である。

【図4】図3の動作を示す信号波形図である。

【符号の説明】

【0042】

- 1, 2 CMOSインバータ
- 3 立上りエッジ検出部
- 4 立下りエッジ検出部
- 5 PMOS
- 6 NMOS
- 7 ハイレベル検出部
- 8 ロウレベル検出部

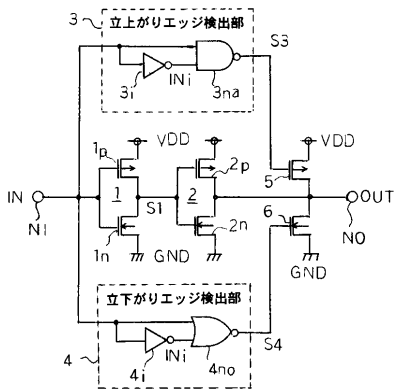
10

20

30



【 図 1 】



本発明の実施例1の駆動回路

【 図 2 】

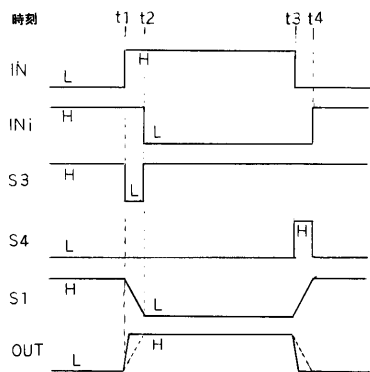
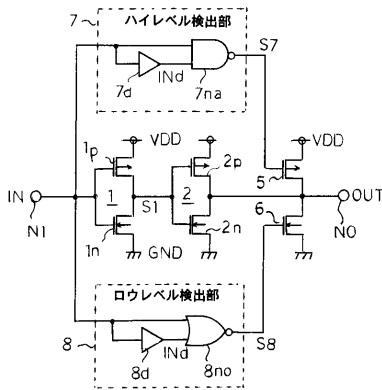


図1の信号波形

【 図 3 】



本発明の実施例2の駆動回路

【 図 4 】

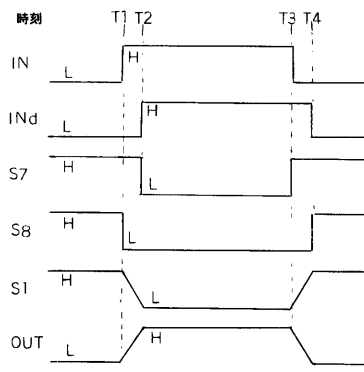


図3の信号波形