

RZECZPOSPOLITA
POLSKA



Urząd Patentowy
Rzeczypospolitej Polskiej

(12) **OPIS PATENTOWY**

(19) **PL**

(11) **240402**

(13) **B1**

(21) Numer zgłoszenia: **437100**

(22) Data zgłoszenia: **24.02.2021**

(51) Int.Cl.

H03K 3/00 (2006.01)

G01R 27/00 (2006.01)

G01N 27/00 (2006.01)

E04B 1/70 (2006.01)

(54) **Układ do generowania oraz regulacji wartości prądu wzbudzenia
w systemie pomiaru zawilgocenia murów**

(43) Zgłoszenie ogłoszono:
16.08.2021 BUP 20/21

(45) O udzieleniu patentu ogłoszono:
28.03.2022 WUP 13/22

(73) Uprawniony z patentu:

NETRIX SPÓŁKA AKCYJNA, Lublin, PL

(72) Twórca(y) wynalazku:

TOMASZ RYMARCZYK, Lublin, PL

PRZEMYSŁAW ADAMKIEWICZ, Włodawa, PL

MICHAŁ OLESZEK, Lublin, PL

(74) Pełnomocnik:

rzecz. pat. Maciej Nowicki

PL 240402 B1

Opis wynalazku

Przedmiotem wynalazku jest układ do generowania oraz regulacji wartości prądu wzbudzenia w systemie pomiaru zawilgocenia murów. Wynalazek pozwala na wygenerowanie sygnału o wymaganym kształcie oraz częstotliwości z zachowaniem stałej wartości skutecznej prądu o możliwie najszerszym spektrum zakresu regulacji.

Dotychczas znane ze zgłoszeń patentowych rozwiązania opierały się na rozwiązaniach analogowych, które ze względu na zakres regulacji oraz dokładność doregulowania nie spełniają wymagań systemów pomiarowych obiektów o różnicowanym zakresie impedancji.

W opisie patentowym US6316943B1 przedstawiono urządzenie do generowania przemiatanego częstotliwościowo sygnału pomiarowego oraz sygnału lokalnego o częstotliwości oddzielonej od częstotliwości sygnału pomiarowego częstotliwością pośrednią. Sygnał pomiarowy i sygnał lokalny są generowane przez prostą strukturę obejmującą: źródło sygnału o zmiennej, wysokiej częstotliwości, źródło sygnału o stałej, niskiej częstotliwości, pierwszy dzielnik częstotliwości i drugi dzielnik częstotliwości. Źródło sygnału o zmiennej częstotliwości jest przemiatalnym źródłem sygnału. Pierwszy dzielnik częstotliwości dzieli częstotliwość wyjściową „fa” ze źródła sygnału o zmiennej częstotliwości przez ni generuje sygnał pomiarowy o częstotliwości „fa/n”. Sygnał źródła sygnału o zmiennej częstotliwości jest również podawany „na” pierwsze wejście drugiego dzielnika częstotliwości, a sygnał źródła sygnału o stałej częstotliwości, o częstotliwości „fb”, jest podawany na drugie wejście. Drugi dzielnik częstotliwości usuwa jeden okres sygnału z sygnału źródła sygnału o zmiennej częstotliwości w każdym okresie sygnału źródła sygnału o stałej częstotliwości, uzyskując w ten sposób sygnał o częstotliwości „fa-fb”. Ten ostatni sygnał jest dzielony przez „n”, a sygnał o częstotliwości „(fa-fb)/n” jest wyprowadzany jako częstotliwość lokalna. „fb/n” to częstotliwość pośrednia.

W dokumencie patentowym US9981130B2 opisano obwód stymulatora wielokrotnego prądu wyjściowego z krótkim czasem włączenia. Co najmniej jedna para tranzystorów strony wejściowej i wyjściowej jest umieszczona w zwierciadle prądowym połączonym z tranzystorem zasilającym przez sprzężenie kaskadowe. Tranzystor po stronie wyjściowej dostarcza prąd stymulujący do elektrody w kontakcie z tkanką. Wzmacniacz operacyjny połączony do napięcia odniesienia i do tranzystora strony wyjściowej steruje tranzystorem zasilającym, aby utrzymać napięcie na tranzystorze strony wyjściowej równe napięciu odniesienia. Co najmniej jedna para tranzystorów zawiera wiele par tranzystorów, których tranzystory strony wyjściowej zasilają odpowiednie elektrody prądami stymulującymi. Stymulator określa inicjację i czas trwania impulsów prądu stymulującego dostarczanych do każdej elektrody. Podczas aktywacji obwodu generowane są duże prądy, które rozładują pojemności w tranzystorach strony wyjściowej, powodując szybkie włączenie tranzystora strony wyjściowej.

Dokument patentowy US8406881B2 przedstawia system dostarczania prądu stymulującego we wszczepialnych urządzeniach medycznych. Jeden z aspektów tego ujawnienia dotyczy urządzenia zawierającego terminal zasilający przystosowany do podłączenia do źródła zasilania. Przykład wykonania urządzenia zawiera również obwód połączony do zacisku zasilania i przystosowany do wykrywania parametru zależnego od impedancji tkanki/elektrody. Przykład wykonania urządzenia zawiera ponadto generator impulsów wyjściowych prądu przystosowany do dostarczania terapii elektrycznej. Generator prądu zawiera regulowane źródło napięcia podatności, podłączone do zacisku zasilania. Źródło napięcia podatności ma programowalną amplitudę i jest przystosowane do dostarczania różnych potencjałów dla różnych impedancji interfejsu tkanka/elektroda. Przykład wykonania urządzenia zawiera również co najmniej jedną elektrodę stymulującą, a generator prądu jest przystosowany do dostarczania terapii elektrycznej przy użyciu elektrody.

W opisie zgłoszenia patentowego KR20150022484A przedstawiono technikę ogrzewania dielektrycznego związaną z elektromagnetyzmem. Urządzenie sterujące do generowania fali impulsowej o wysokim napięciu i sposób jej napędzania według przykładu wykonania wynalazku mogą płynnie sterować ogrzewaniem dielektrycznym w dziedzinie urządzeń medycznych, w szczególności w diatermii medycznej, urządzeniu medycznym do hipertermii, dielektrycznym urządzeniu grzewczym lub urządzenie do terapii hipertermicznej do leczenia raka. Rozszerza ono różne funkcje poprzez generowanie fali impulsowej wysokiego napięcia o jednakowej wartości skutecznej przy użyciu złożonej modulacji impulsów zgodnie z operacją przełączania, to znaczy modulacji szerokości impulsu (PWM) i metody modulacji częstotliwości impulsowej (PFM) z kompensacją wartości wzmocnienia rezonansowego w paśmie częstotliwości sterującej (pasmo wysokich częstotliwości powyżej 100 kHz do 3 MHz) pomimo niskiego współczynnika zwojów, wykorzystujące rezonans własny, który jest pasożytniczym składnikiem transformatora.

Z opisu zgłoszenia patentowego PL418304A1 przedstawiono wynalazek, który dotyczy sposobu oraz układu do prowadzenia pomiarów w elektrycznej tomografii pojemnościowej. Znaleźć on może zastosowanie w jakościowych badaniach przepływów wielofazowych w przemyśle spożywczym, farmaceutycznym, energetycznym i innych, gdzie ma zastosowanie transport cieczy i materiałów sypkich przy użyciu rurociągów. Wynalazek dotyczący sposobu charakteryzuje się tym, że podczas cyklu pomiarowego pomiar pojemności następuje sekwencyjnie między elektrodami pełniącymi funkcje pomiarowych a elektrodą pełniącą funkcję wymuszającą. Wynalazek dotyczący układu polega na wykorzystaniu pojedynczego przetwornika pojemność-cyfra podłączonego do układów multipleksujących.

Problemem technicznym do rozwiązania za pomocą wynalazku jest zapewnienie stałości wartości skutecznej prądu z zachowaniem zadanego kształtu oraz częstotliwości sygnału wzbudzenia w trakcie trwania procesu pomiarowego obiektów o szerokim spektrum impedancji.

Celem wynalazku jest opracowanie rozwiązania zapewniającego szeroki zakres automatycznej regulacji wartości napięcia pozwalającej na uzyskanie stałej wartości skutecznej prądu dla maksymalnie szerokiego zakresu impedancji obciążenia z uwzględnieniem maksymalnego skrócenia czasu doregulowania, zachowania stałej wartości skutecznej prądu w czasie.

Przedmiotem wynalazku jest układ do generowania oraz regulacji wartości prądu wzbudzenia w systemie pomiaru zawilgocenia murów posiadający kontroler, przetworniki cyfrowo analogowe, przetworniki analogowo cyfrowe, filtr pasmowy, konwerter I/U, konwerter RMS.

Jego istotą jest to, że składa się z kontrolera FPGA, do którego pierwszego wyjścia podłączony jest wejściem DAC-regulacja oraz którego drugie wyjście podłączone jest do pierwszego wejścia DAC-kształt. Przy czym DAC-regulacja połączona jest swoim wyjściem z drugim wejściem DAC-kształt. Wyjście DAC-kształt podłączone jest do wejścia filtra pasmowego, zaś jego wyjście podłączone jest do wejścia konwertera I/U, który swoim pierwszym wyjściem podłączony jest do magistrali. Tutaj drugie wyjście konwertera I/U podłączone jest do wejścia pierwszego przetwornika ADC, który swoim wyjściem podłączony jest do pierwszego wejścia kontrolera FPGA. Trzecie wyjście konwertera I/U podłączone jest do wejścia układu RMS, który swoim wyjściem podłączony jest do wejścia drugiego przetwornika ADC, zaś ten podłączony jest swoim wyjściem do drugiego wejścia kontrolera FPGA.

Korzystnym skutkiem zastosowania wynalazku jest zwiększenie funkcjonalności, a przez to przydatności rozwiązania systemu badania zawilgocenia murów budynków o możliwość badania obiektów o szerokim spektrum zawilgocenia, a co za tym idzie zwiększenie dokładności określenia rozkładu wilgoci w ścianie przy obiektach o złożonej nie jednorodnej strukturze.

Wynalazek został przedstawiony w przykładzie wykonania na schematycznym rysunku, na którym poszczególne figury przedstawiają:

Fig. 1 – układ do generowania oraz regulacji wartości prądu wzbudzenia,

Fig. 2 – system pomiaru impedancji zawilgocenia murów,

Fig. 3 – schemat karty pomiarowej.

Przedmiot wynalazku w przykładzie wykonania składa się z kontrolera FPGA 1 w postaci układu Intel Altera Cyclone IV, do którego podłączony jest przetwornik cyfrowo analogowy DAC-regulacja 2 oparty na układzie TLV5619. Również do układu FPGA 1 podłączony jest układ DAC-kształt 3 – MCP4921. DAC-regulacja 2 połączona jest swoim wyjściem z drugim wejściem DAC-kształt 3. Wyjście DAC-kształt 3 podłączone jest do wejścia filtra pasmowego 4 zbudowanych na układzie OPA227 wraz z elementami pasywnymi, a jego wyjście podłączone jest do wejścia konwertera I/U 5 opartego na rezystorze pomiarowym oraz wzmacniaczu pomiarowym INA826. Konwerter I/U 5 swoim pierwszym wyjściem podłączony jest do magistrali 6 w postaci 16 bitowej magistrali cyfrowej. Drugie wyjście konwertera I/U 5 podłączone jest do wejścia pierwszego przetwornika ADC 8, który swoim wyjściem podłączony jest do pierwszego wejścia kontrolera FPGA 1. Trzecie wyjście konwertera I/U 5 podłączone jest do wejścia przetwornika wartości skutecznej napięcia RMS 7, który swoim wyjściem podłączony jest do wejścia drugiego przetwornika ADC 9, zaś ten podłączony jest swoim wyjściem do drugiego wejścia kontrolera FPGA 1. Układu pomiaru i konwersji prądu oparty jest na rezystorze pomiarowym oraz wzmacniaczu pomiarowym INA826. Przetwornik wartości chwilowej na wartość skuteczną napięcia RMS 7 oraz zespół filtra pasmowego 4 i konwerter I/U 5 oparty jest na układach ADC161S626.

Kontroler FPGA 1 pełni funkcję sterownika centralnego nadzorującego proces generowania oraz regulacji sygnału, który za pośrednictwem przetwornika DAC-kształt 3 steruje procesem tworzenia kształtu równocześnie za pomocą przetwornika DAC-kształt 2 steruje jego amplitudą. Proces ten odbywa się cyklicznie poprzez zadanie wartości chwilowych napięcia zgodnie z wcześniej zaprogramowanym

kształtem. Wartość nastawy amplitudy początkowo zaczyna się od 0, zmieniając się stopniowo zgodnie z macierzą nastaw historycznych oraz wartości wyliczonych z algorytm regulatorem PID, zapewniając tym samym stałość wartości prądu w czasie. Tak spreparowany sygnał zostaje przekazany do układu filtrów pasmowych 4 i wzmacniaczy, które rozszerzają zakres regulacji sygnału wzbudzenia do wartości maksymalnej zasilania, dodatkowo w procesie filtracji zostają odcięte dodatkowe harmoniczne powstające na skutek pracy układów cyfrowych. Dostosowany sygnał zostaje przekazany za pośrednictwem układu konwertera I/U 5 na wybraną elektrodę wymuszenia. Wartość analogowa sygnału zostaje przekazana na zespół przetworników ADC 8, 9, gdzie dodatkowo w torze pomiarowym przetwornika 9 został wpięty przetwornik wartości skutecznej napięcia RMS 7. Tak spreparowane sygnały po pomiarze za pośrednictwem przetworników ADC 8, 9 zostają powtórnie przekazane w postaci cyfrowej do kontrolera FPGA 1. Tym samym tworząc pętlę sprzężenia zwrotnego regulacji.

Układy do generowania oraz regulacji wartości prądu wzbudzenia w systemie pomiaru zawilgocenia murów według wynalazku zostały wykorzystane do budowy systemu pomiaru impedancji służącej do oceny rozkładu oraz stanu poziomu zawilgocenia muru przedstawionym na fig. 2 rysunku. System ten składał się z ośmiu wielokanałowych kart pomiarowych 10a, 10b, 10c, 10d, 10e, 10g, 10h połączonych równolegle złączami dwukierunkowymi z magistralą 11 w postaci 16 bitowej magistrali danych, 8 bitowej magistrali adresowej, magistral analogowych – sygnału wymuszenia, sygnału fazy, która połączona była złączem dwukierunkowym z kontrolerem procesu 12 w postaci bezpośrednio programowalnej macierzy bramek FPGA Intel Altera Cyclone IV. Kontroler procesu 9 podłączony był złączem dwukierunkowym z kontrolerem transmisji/interfejsu 13 w postaci bezpośrednio programowalnej macierzy bramek FPGA Intel Altera Cyclone V w którego budowę oprócz programowalnych bramek logicznych wchodzi dwu rdzeniowy procesor ARM Cortex A9 oraz złączem dwukierunkowym z układem generowania i regulacji prądu 14 w postaci dwóch przetworników cyfrowo analogowych, dwóch przetworników analogowo cyfrowych, przetwornika wartości rzeczywistej, przetwornika prąd/napięcie, kontrolera, zespołu filtrów i wzmacnienia, który podłączony był swoim wyjściem z magistralą 11 w postaci magistrali analogowej. Kontrolerem transmisji/interfejsu 13 podłączone były do Eternetu 16 w postaci 1 Gb kontrolera opartym na układzie KSZ1931, złącza USB 17 z kontrolerem USB3300 oraz do zestawu ekranu LCD z panelem dotykowym 18. Układ zasilania 15 podłączony był do wielokanałowych kart pomiarowych 10a, 10b, 10c, 10d, 10e, 10g, 10h, kontrolera transmisji/interfejsu 10 oraz złączem dwukierunkowym do kontrolera procesu 9. Układ składa się z zestawu przetwornic DC/DC przetwarzających napięcie z 12 V na poziom +/-15 V, przetwornicy LM2679 przetwarzającej napięcie 12 V na poziom 5 V jako źródło zasilania układów logicznych kart pomiarowych, zestawu stabilizatorów linowych serii LM1117 3.3 V, 2.5 V, 1,25 V zapewniających niezbędne napięcia zasilania dla układów FPGA.

Karty pomiarowe 10a, 10b, 10c, 10d, 10e, 10g, 10h, których schemat został przedstawiony na fig. 3 rysunku składały się z klucza sprzętowego 19 w postaci czterech kluczy analogowych zbudowanych na układzie dg413, wzmacniacza wstępnego opa227, posiadającego cztery wejścia na elektrody pomiarowe 20a, 20b, 20c, 20d oraz cztery wyjścia podłączone do programowalnych wzmacniaczy analogowych PGA zbudowanych na układzie dg408 oraz wzmacniacza opa227 z filtrem 21a, 21b, 21c, 21d w postaci układu opa227 wraz z elementami pasywnymi w konfiguracji filtra górnoprzepustowego 3 rzędu, a także cztery wyjścia podłączone do układów formatowania 22a, 22b, 22c, 22d w postaci komparatora LM311 oraz bufora logicznego SN74LVC1. Wzmacniacze analogowe PGA z filtrem 21a, 21b, 21c, 3d oraz układy formatowania 22a, 22b, 22c, 22d podłączone są równolegle do wejść przetwornika analogowo cyfrowego 23 – AD 8588, który podłączony jest do bezpośrednio programowalnej macierzy bramek FPGA 24 – Intel Altera Cyclone IV.

Wykaz oznaczeń:

1. kontroler FPGA
2. DAC-regulacja
3. DAC-kształt
4. filtr pasmowy
5. konwerter I/U
6. magistrala
7. przetwornik wartości skutecznej napięcia RMS
8. pierwszy przetwornik ADC
9. drugi przetwornik ADC
10. karta pomiarowa

11. magistrala
12. kontroler procesu
13. kontroler transmisji/interfejsu
14. układ generowania i regulacji prądu
15. układ zasilania
16. Ethernet
17. USB
18. ekran LCD + panel dotykowy
19. klucz sprzętowy
20. elektroda pomiarowa
21. PGA + filtry
22. układ formowania
23. zespół przetworników analogowo cyfrowych
24. układ sterowania FPGA

Zastrzeżenie patentowe

1. Układ do generowania oraz regulacji wartości prądu wzbudzenia w systemie pomiaru zawilgocenia murów posiadający kontroler, przetworniki cyfrowo analogowe, przetworniki analogowo cyfrowe, filtr pasmowy, konwerter I/U, konwerter RMS, **znamiennie tym**, że składa się z kontrolera FPGA (1), do którego pierwszego wyjścia podłączony jest wejściem DAC-regulacja (2) oraz którego drugie wyjście podłączone jest do pierwszego wejścia DAC-kształt (3), **przy czym** DAC-regulacja (2) połączona jest swoim wyjściem z drugim wejściem DAC-kształt (3) **natomiast** wyjście DAC-kształt (3) podłączone jest do wejścia filtra pasmowego (4), **zaś** jego wyjście podłączone jest do wejścia konwertera I/U (5), który swoim pierwszym wyjściem podłączony jest do magistrali (6), **tudzież** drugie wyjście konwertera I/U (5) podłączone jest do wejścia pierwszego przetwornika ADC (8), który swoim wyjściem podłączony jest do pierwszego wejścia kontrolera FPGA (1), **przy czym** trzecie wyjście konwertera I/U (5) podłączone jest do wejścia układu RMS (7), który swoim wyjściem podłączony jest do wejścia drugiego przetwornika ADC (9), **zaś** ten podłączony jest swoim wyjściem do drugiego wejścia kontrolera FPGA (1).

Rysunki

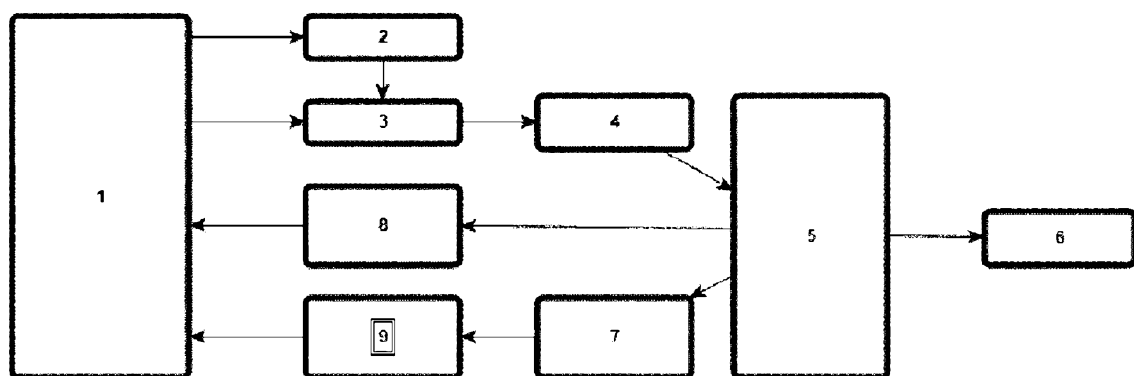


Fig. 1

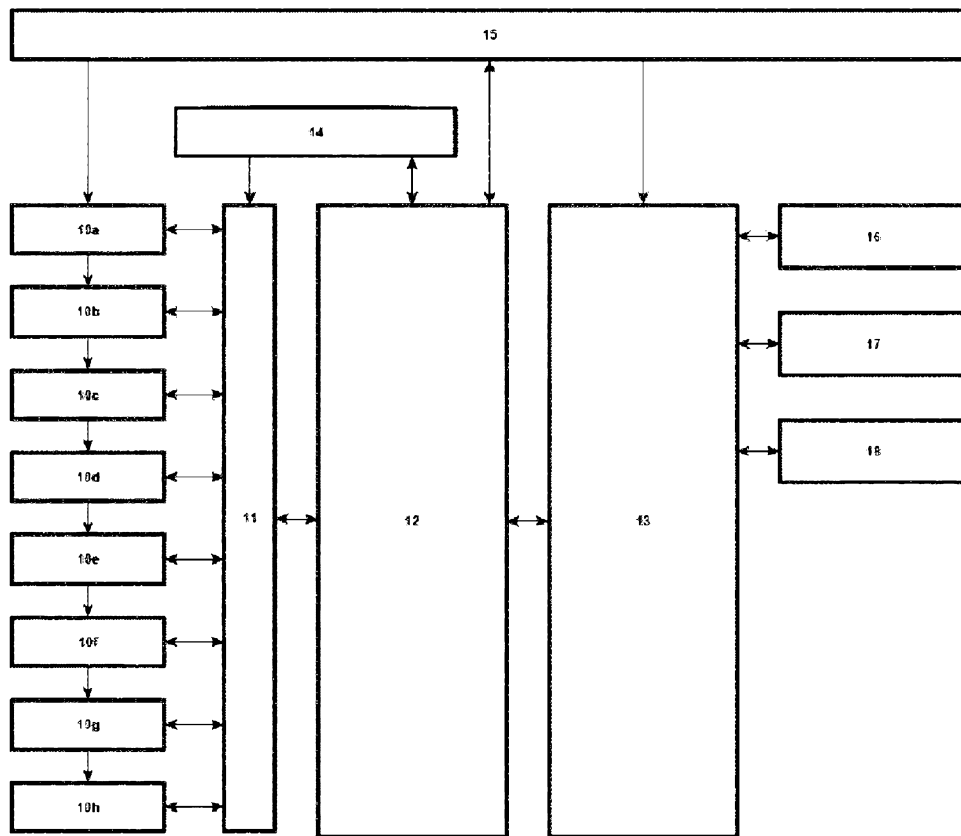


Fig. 2

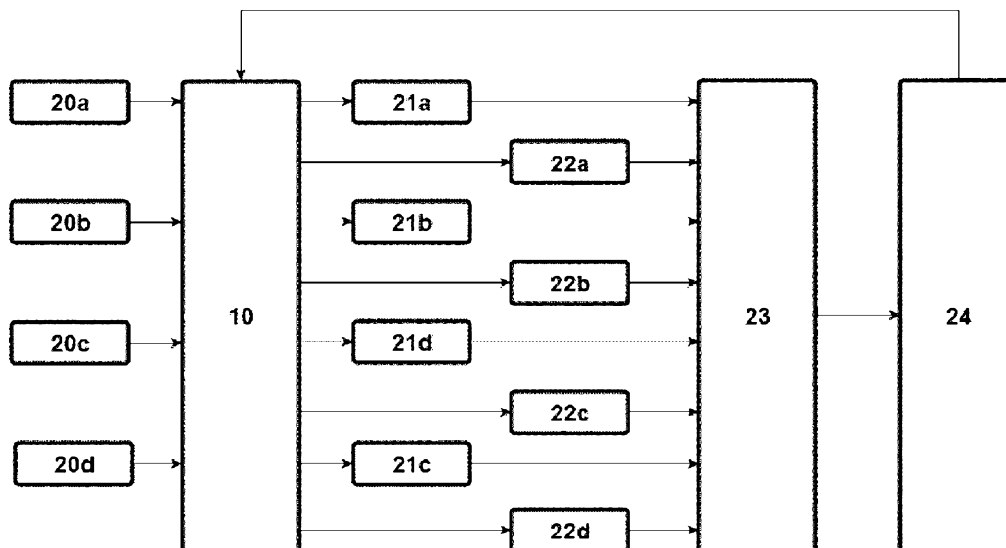


Fig. 3