

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 10 月 8 日 (08.10.2015)



(10) 国际公布号
WO 2015/149474 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2014/085334

(22) 国际申请日: 2014 年 8 月 27 日 (27.08.2014)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201410131409.7 2014 年 4 月 2 日 (02.04.2014) CN

(71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
合肥鑫晟光电科技有限公司 (HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国安徽省合肥市新站区工业园, Anhui 230011 (CN)。

(72) 发明人: 刘晓鹏 (LIU, Xiaopeng); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路 10 号 1 号楼 10 层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: ANALOG VOLTAGE SOURCE CIRCUIT AND DISPLAY DEVICE

(54) 发明名称: 模拟电压源电路及显示装置

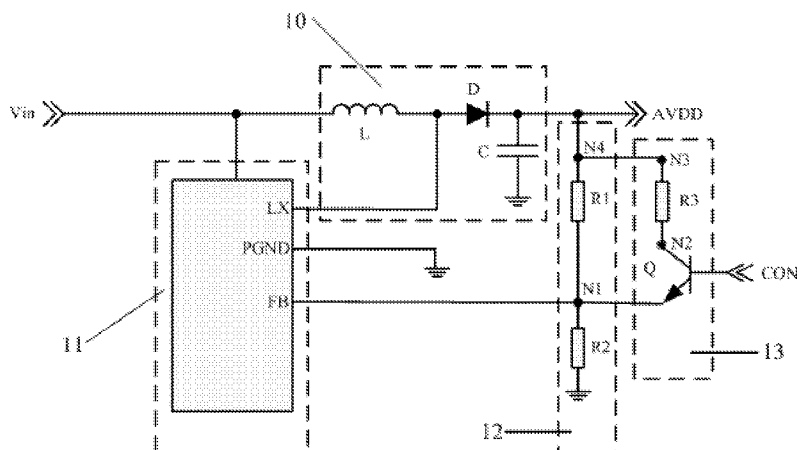


图 1 / FIG.1

(57) Abstract: An analog voltage source circuit and display device, the circuit comprising: a voltage input end, a DC-DC conversion circuit, a voltage output end, a duty ratio control circuit and an output voltage sampling circuit; the output voltage sampling circuit is used for feeding back the magnitude of the output voltage to the duty ratio control circuit; the duty ratio control circuit is used for controlling the magnitude of the output voltage of the DC-DC conversion circuit according to the feedback from the output voltage sampling circuit. The circuit further comprises a voltage regulation circuit. The input end of the voltage regulation circuit is used for inputting a voltage regulation signal, and the output end of the voltage regulation circuit is connected to the output voltage sampling circuit. The voltage regulation circuit increases or decreases the feedback from the output voltage sampling circuit according to the voltage regulation signal to increase or decrease the voltage outputted by the voltage output end. The analog voltage source circuit and display device can adjust the voltage outputted by an analog voltage source of a liquid crystal panel, further reducing the power consumption of the liquid crystal panel.

(57) 摘要:

[见续页]



WO 2015/149474 A1

**本国际公布:**

— 包括国际检索报告(条约第 21 条(3))。

一种模拟电压源电路及显示装置，所述电路包括：电压输入端、DC-DC变换电路、电压输出端、占空比控制电路和输出电压采样电路，输出电压采样电路用于向占空比控制电路反馈输出电压的大小，占空比控制电路用于根据输出电压采样电路的反馈而控制DC-DC变换电路的输出电压的大小，所述电路还包括：电压调节电路，电压调节电路的输入端用于输入电压调节信号，电压调节电路的输出端与输出电压采样电路相连，电压调节电路根据电压调节信号来控制升高或降低输出电压采样电路的反馈，进而使电压输出端输出的电压升高或降低。该模拟电压源电路及显示装置能够调节液晶面板模拟电压源输出的电压，进而降低液晶面板的功耗。

模拟电压源电路及显示装置

技术领域

本公开涉及一种模拟电压源电路及显示装置。

5

背景技术

已知的技术的液晶面板的功耗一直是产品设计、系统验证及客户使用比较关注的要素，降低功耗也一直是产品设计中比较重要的环节。已知的技术在显示器、笔记本、PAD 或手机使用中，在设备待机一定时间后，系统通过降低背光亮度或其它方式实现面板的亮度降低，以期达到节省功耗的目的。已知的技术在使用 eDP1.3 接口标准的液晶面板时序控制芯片时，采用单芯片整合式内存支持 PSR (Panel-Self-Refresh) 功能，系统在显示静止画面时可进入 PSR 模式，此时，时序控制芯片通过内建的缓冲存储器将接管绘图处理器刷新画面，降低绘图处理器的负载，于是绘图处理器与显示接口得以进入低功耗状态来降低系统整体的功耗，系统也可通过绘图处理器将新的静止画面更新储存到缓冲存储器中，或者跳出 PSR 模式来显示不断改变的影像画面，有效的降低系统功耗并延长笔记型计算机电池使用时间。

在已知的技术的液晶面板设计中，液晶面板使用的模拟电压源 AVDD 通常是由直流与直流之间的转换器，即 DC-DC 变换电路输出一定频率的交流 AC 信号控制生成所需的 AVDD 电压，并通过输出电压采样电路向占空比控制电路反馈输出电压的大小，占空比控制电路根据输出电压采样电路的反馈而控制 DC-DC 变换电路的输出电压，保证 AVDD 输出端输出的电压维持在一个恒定的值。

综上所述，已知的技术的液晶面板所需的 AVDD 输出端输出的电压是固定不变的，在接收到系统指示面板降低背光或进行 PSR 输出时，由于 AVDD 的电压值保持不变，不利于降低系统的功耗。

发明内容

本公开的实施例提供了一种模拟电压源电路及显示装置，用以调节液晶面板模拟电压源输出的电压，进而降低液晶面板的功耗。

本公开的实施例提供的一种模拟电压源电路，所述电路包括：电压输入

端、DC-DC 变换电路、电压输出端、占空比控制电路和输出电压采样电路，所述输出电压采样电路用于向所述占空比控制电路反馈所述输出电压的大小，所述占空比控制电路用于根据所述输出电压采样电路的反馈而控制所述 DC-DC 变换电路的输出电压的大小，其中，所述电路还包括：电压调节电路，
5 所述电压调节电路的输入端用于输入电压调节信号，电压调节电路的输出端与所述输出电压采样电路相连，所述电压调节电路根据所述电压调节信号来控制升高或降低所述输出电压采样电路的反馈，进而使所述电压输出端输出的电压升高或降低。

由本公开的实施例提供的一种模拟电压源电路，由于该电路还包括：电压调节电路，所述电压调节电路的输入端用于输入电压调节信号，电压调节电路的输出端与所述输出电压采样电路相连，所述电压调节电路根据所述电压调节信号来控制升高或降低所述输出电压采样电路的反馈，进而使所述电压输出端输出的电压升高或降低，因此，本公开的实施例提供的模拟电压源电路，在接收到系统指示面板降低背光或进行 PSR 输出的 CON 信号时，能够调节液晶面板模拟电压源输出的电压，进而降低液晶面板的功耗。
15

在一些实施例中，所述输出电压采样电路包括串联连接于所述电压输出端与接地点之间的第一电阻和第二电阻，所述第一电阻与电压输出端相连，所述第二电阻与接地点相连，所述占空比控制电路从所述第一电阻与所述第二电阻之间的连接点提取电压反馈，所述电压调节电路具有两个输出端，分别与所述第一电阻的两端相连。
20

这样，由于输出电压采样电路包括串联连接于所述电压输出端与接地点之间的第一电阻和第二电阻，所述第一电阻与电压输出端相连，所述第二电阻与接地点相连，所述占空比控制电路从所述第一电阻与所述第二电阻之间的连接点提取电压反馈，所述电压调节电路具有两个输出端，分别与所述第一电阻的两端相连，在实际电路设计中方便、简单。
25

在一些实施例中，所述电压调节电路包括第三电阻和开关器件，所述开关器件的控制极输入有所述电压调节信号，另两极分别与所述第一电阻的第一端和所述第三电阻的第一端相连；所述第三电阻的第二端与所述第一电阻的第二端相连。

30 这样，电压调节电路包括第三电阻和开关器件，在实际电路设计中方便、简单。

在一些实施例中，所述开关器件为晶体管，所述晶体管的栅极与所述电压调节信号输入端相连，源极与所述第三电阻的第一端相连，漏极与所述第一电阻的第一端相连。

这样，当开关器件为晶体管时，在实际电路设计中简单、易行。

5 在一些实施例中，所述输出电压采样电路包括串联连接于所述电压输出端与所述电压调节电路之间的第一电阻和第二电阻，所述第一电阻与电压输出端相连，所述第二电阻与所述电压调节电路相连，所述占空比控制电路从所述第一电阻与所述第二电阻之间的连接点提取电压反馈，所述电压调节电路具有两个输出端，分别与所述第二电阻的靠近接地点的一端以及接地点相
10 连。

这样，由于输出电压采样电路包括串联连接于所述电压输出端与所述电压调节电路之间的第一电阻和第二电阻，所述第一电阻与电压输出端相连，所述第二电阻与所述电压调节电路相连，所述占空比控制电路从所述第一电阻与所述第二电阻之间的连接点提取电压反馈，所述电压调节电路具有两个
15 输出端，分别与所述第二电阻的靠近接地点的一端以及接地点相连，在实际电路设计中方便、简单易行。

在一些实施例中，所述电压调节电路包括第三电阻和开关器件，所述开关器件的控制极输入有所述电压调节信号，另两极分别与所述第二电阻的靠近接地点的一端和所述接地点相连；所述第三电阻的第一端与所述第二电阻
20 的靠近接地点的一端相连，所述第三电阻的第二端与所述接地点相连。

这样，电压调节电路包括第三电阻和开关器件，在实际电路设计中方便、简单。

在一些实施例中，所述开关器件为晶体管，所述晶体管的栅极与所述电压调节信号输入端相连，源极与所述第三电阻的第一端相连，漏极与所述接
25 地点相连。

这样，当开关器件为晶体管时，在实际电路设计中简单、易行。

在一些实施例中，当所述晶体管为N型薄膜晶体管时，若所述电压调节信号为低电平信号，所述N型薄膜晶体管关闭，若所述电压调节信号为高电平信号，所述N型薄膜晶体管导通。

30 这样，当所述晶体管为N型薄膜晶体管时，若所述电压调节信号为低电平信号，所述N型薄膜晶体管关闭，若所述电压调节信号为高电平信号，所

述N型薄膜晶体管导通，在实际电路中方便、简单。

在一些实施例中，当所述晶体管为P型薄膜晶体管时，若所述电压调节信号为低电平信号，所述P型薄膜晶体管导通，若所述电压调节信号为高电平信号，所述P型薄膜晶体管关闭。

5 这样，当所述晶体管为P型薄膜晶体管时，若所述电压调节信号为低电平信号，所述P型薄膜晶体管导通，若所述电压调节信号为高电平信号，所述P型薄膜晶体管关闭，在实际电路中方便、简单。

在一些实施例中，所述电压调节电路集成于所述占空比控制电路内部。

10 这样，将电压调节电路集成于所述占空比控制电路内部，在实际应用中方便、简单。

本公开的实施例还提供了一种显示装置，所述装置包括上述的模拟电压源电路。

由本公开的实施例提供的显示装置，由于该装置包括上述的模拟电压源电路，因此，本公开的实施例提供的显示装置能够降低功耗。

15

附图说明

图1为本公开的实施例提供的一种模拟电压源电路结构示意图；

图2为本公开的实施例提供的另一种模拟电压源电路结构示意图；

图3为本公开的实施例提供的第三种模拟电压源电路结构示意图；

20 图4(a)、4(b)和4(c)分别为图3的模拟电压源电路的电压调节信号、反馈电压 V_{FB} 和输出电压的时序图。

具体实施方式

25 本公开的实施例提供了一种模拟电压源电路及显示装置，用以调节液晶面板模拟电压源输出的电压，进而降低液晶面板的功耗。

如图1所示，本公开的示例性实施例提供了一种模拟电压源电路，所述电路包括：电压输入端 V_{in} 、DC-DC变换电路10、电压输出端 $AVDD$ 、占空比控制电路11和输出电压采样电路12，所述输出电压采样电路12用于向所述占空比控制电路11反馈所述输出电压的大小，所述占空比控制电路11用于根据所述输出电压采样电路12的反馈而控制所述DC-DC变换电路10的输出电压的大小，其中，所述电路还包括：电压调节电路13，所述电压调节

30

电路 13 的输入端用于输入电压调节信号, 电压调节电路 13 的输出端与所述输出电压采样电路 12 相连, 所述电压调节电路 13 根据所述电压调节信号来控制升高或降低所述输出电压采样电路 12 的反馈, 进而使所述电压输出端 AVDD 输出的电压升高或降低。本公开的示例性实施例中液晶面板由正常工作状态到节能工作状态时, 电压输出端 AVDD 输出的电压降低, 由节能工作状态到正常工作状态时, 电压输出端 AVDD 输出的电压升高。

下面结合附图详细介绍本公开的示例性实施例提供的模拟电压源电路由正常工作状态到节能工作状态时, 电压输出端输出的电压降低的方法。

如图 1 所示, 本公开的示例性实施例提供的一种模拟电压源电路中的 DC-DC 变换电路 10、占空比控制电路 11 以及输出电压采样电路 12 为目前常用的生成稳定的 AVDD 电压的电路, 其中 DC-DC 变换电路 10 包括电感线圈 L、二极管 D 和电容 C, 电感线圈 L、二极管 D 和电容 C 构成 DC-DC 变换电路 10 的主回路, 占空比控制电路 11 中的引脚 LX 为脉冲宽度调制(Pulse width modulation, PWM)信号的引脚, 引脚 LX 输出的 PWM 信号与电感线圈 L 进行耦合作用, 并根据输出电压采样电路 12 的反馈而控制 DC-DC 变换电路 10 的输出电压的大小; 占空比控制电路 11 中的引脚 FB 为电压采样回路的引脚, 输出电压采样电路 12 用于向占空比控制电路 11 反馈输出电压的大小; 占空比控制电路 11 通过引脚 PGND 接地。DC-DC 变换电路 10、占空比控制电路 11 以及输出电压采样电路 12 与已知的技术相同, 因此其工作原理也与已知的技术相同, 在此不予赘述。本公开的示例性实施例中的电压调节电路 13 的输入端与用于输入电压调节信号的输入端 CON 相连, 电压调节电路 13 的输出端与输出电压采样电路 12 相连, 电压调节电路 13 根据所述电压调节信号来控制升高或降低所述输出电压采样电路 12 的反馈, 进而使电压输出端 AVDD 输出的电压升高或降低。输出电压采样电路 12 包括串联连接于电压输出端 AVDD 与接地点之间的第一电阻 R1 和第二电阻 R2, 第一电阻 R1 与电压输出端 AVDD 相连, 第二电阻 R2 与接地点相连, 占空比控制电路 11 从第一电阻 R1 与第二电阻 R2 之间的连接点提取电压反馈, 电压调节电路 13 具有两个输出端, 分别与第一电阻 R1 的两端相连。例如, 本公开的示例性实施例中的电压调节电路 13 包括第三电阻 R3 和开关器件 Q, 所述开关器件 Q 的控制极与所述电压调节信号输入端 CON 相连, 另两极分别与所述第一电阻 R1 的第一端 N1 和第三电阻 R3 的第一端 N2 相连; 所述第三电阻

R3 的第二端 N3 与所述第一电阻的第二端 N4 相连, 本公开的示例性实施例中的开关器件 Q 为晶体管 Q, 晶体管 Q 的栅极与所述电压调节信号输入端 CON 相连, 源极与所述第三电阻 R3 的第一端 N2 相连, 漏极与所述第一电阻 R1 的第一端 N1 相连。当晶体管 Q 为 N 型薄膜晶体管时, 若所述电压调节信号为低电平信号, 所述 N 型薄膜晶体管关闭, 若所述电压调节信号为高电平信号, 所述 N 型薄膜晶体管导通; 当所述晶体管 Q 为 P 型薄膜晶体管时, 若所述电压调节信号为低电平信号, 所述 P 型薄膜晶体管导通, 若所述电压调节信号为高电平信号, 所述 P 型薄膜晶体管关闭。

本公开的示例性实施例中的晶体管 Q 以 N 型薄膜晶体管为例进行介绍, 用于输入电压调节信号的输入端 CON 输入的电压调节信号来自液晶面板的系统端, 本公开的示例性实施例中的电压调节信号输入端 CON 输入的电压调节信号为低电平信号或高电平信号, 当电压调节信号为低电平信号时, 晶体管 Q 关闭, 电压调节电路 13 不工作, 此时本公开的示例性实施例提供的模拟电压源电路与已知的技术的模拟电压源电路相同, 其 AVDD 输出端输出的电压计算公式为: $V_{AVDD} = (1 + R1/R2) * V_{FB}$ 。当电压调节信号为高电平信号时, 晶体管 Q 导通, 电压调节电路 13 开始工作, 此时, 第三电阻 R3 与第一电阻 R1 并联连接, 之后再与第二电阻 R2 串联连接, 此时本公开的示例性实施例提供的模拟电压源电路中 AVDD 输出端输出的电压发生变化, 计算公式为:

$V_{AVDD} = (1 + (R1 // R3) / R2) * V_{FB}$, 其中: $R1 // R3$ 表示第一电阻 R1 和第三电阻 R3 并联后的电阻值。图 1 中占空比控制电路 11 的引脚 FB 为电压采样回路的引脚, 用于接收第二电阻 R2 两端反馈的电压 V_{FB} , 如果接收到的反馈电压 V_{FB} 与占空比控制电路 11 中预先设定的反馈电压基准电压不同, 则通过占空比控制电路 11 调节接收到的反馈电压 V_{FB} , 使得反馈电压 V_{FB} 的值保持不变。由于第一电阻 R1 和第三电阻 R3 并联后的电阻值 $R1 // R3$ 小于第一电阻 R1 的电阻值 R1, 通过比较公式 $V_{AVDD} = (1 + R1/R2) * V_{FB}$ 和 $V_{AVDD} = (1 + (R1 // R3) / R2) * V_{FB}$, 得到经过本公开的示例性实施例的电压调节电路 13 调节后, AVDD 输出端输出的电压值比已知的技术中 AVDD 输出端输出的电压值小。本公开的示例性实施例提供的一种模拟电压源电路可以实时可控的调节 AVDD 输出端输出的电压值, 例如, 可以将本公开的示例性实施例的电压调节电路 13 中的第三电阻 R3 的阻值的取值范围可以设置为 50K Ω -100K Ω , 本公开的示例性实施例提供的一种模拟电压源电路可以通过液晶面板系统端调节用于输入电压

调节信号的输入端 CON 输入的电压调节信号的幅值、频率及占空比，调节后会导致与其连接的晶体管 Q 导通时晶体管 Q 两端的模拟电阻值也不同，继而 $R1/R3$ 与 $R2$ 的比值不同，导致 AVDD 输出端输出的电压值不同，本公开的示例性实施例中对 AVDD 输出端输出的电压降低的具体值根据系统或液晶面板的实际需要进行调整。

如图 2 所示，本公开的示例性实施例提供的另一种模拟电压源电路，输出电压采样电路 12 包括串联连接于电压输出端 AVDD 与电压调节电路 13 之间的第一电阻 R1 和第二电阻 R2，第一电阻 R1 与电压输出端 AVDD 相连，第二电阻 R2 与电压调节电路 13 相连，占空比控制电路 11 从第一电阻 R1 与第二电阻 R2 之间的连接点提取电压反馈，电压调节电路 13 具有两个输出端，分别与第二电阻 R2 的靠近接地点的一端以及接地点相连。例如，本公开的示例性实施例中的电压调节电路 13 包括第三电阻 R3 和开关器件 Q，所述开关器件 Q 的控制极与所述电压调节信号输入端 CON 相连，另两极分别与所述第二电阻 R2 的靠近接地点的一端 N5 和所述接地点相连；所述第三电阻 R3 的第一端 N6 与所述第二电阻 R2 的靠近接地点的一端 N5 相连，所述第三电阻 R3 的第二端 N7 与所述接地点相连，本公开的示例性实施例中的开关器件 Q 为晶体管 Q，晶体管 Q 的栅极与所述电压调节信号输入端 CON 相连，源极与所述第三电阻 R3 的第一端 N6 相连，漏极与所述接地点相连。当晶体管 Q 为 N 型薄膜晶体管时，若所述电压调节信号为低电平信号，所述 N 型薄膜晶体管关闭，若所述电压调节信号为高电平信号，所述 N 型薄膜晶体管导通；当所述晶体管 Q 为 P 型薄膜晶体管时，若所述电压调节信号为低电平信号，所述 P 型薄膜晶体管导通，若所述电压调节信号为高电平信号，所述 P 型薄膜晶体管关闭。

本公开的示例性实施例中的晶体管 Q 以 N 型薄膜晶体管为例进行介绍，用于输入电压调节信号的输入端 CON 输入的电压调节信号来自液晶面板的系统端，本公开的示例性实施例中的电压调节信号输入端 CON 输入的电压调节信号为低电平信号或高电平信号，当电压调节信号为高电平信号时，晶体管 Q 导通，此时本公开的示例性实施例提供的模拟电压源电路与已知的技术的模拟电压源电路相同，其 AVDD 输出端输出的电压计算公式为：

$V_{AVDD} = (1 + R1/R2) * V_{FB}$ 。当电压调节信号为低电平信号时，晶体管 Q 关闭，此时，第三电阻 R3 与第二电阻 R2 串联连接，之后再与第一电阻 R1 串联连接，

此时本公开的示例性实施例提供的模拟电压源电路中 AVDD 输出端输出的电压发生变化, 计算公式为: $V_{AVDD} = (1 + R1/(R2 + R3)) * V_{FB}$ 。图 2 中占空比控制电路 11 的引脚 FB 为电压采样回路的引脚, 用于接收第二电阻 R2 与第三电阻串联后反馈的电压 V_{FB} , 如果接收到的反馈电压 V_{FB} 与占空比控制电路 11 中预先设定的反馈电压基准电压不同, 则通过占空比控制电路 11 调节接收到的反馈电压 V_{FB} , 使得反馈电压 V_{FB} 的值保持不变。通过比较公式 $V_{AVDD} = (1 + R1/R2) * V_{FB}$ 和 $V_{AVDD} = (1 + R1/(R2 + R3)) * V_{FB}$, 得到经过本公开的示例性实施例的电压调节电路 13 调节后, AVDD 输出端输出的电压值比已知的技术中 AVDD 输出端输出的电压值小。本公开的示例性实施例提供的一种模拟电压源电路可以实时可控的调节 AVDD 输出端输出的电压值, 例如, 可以将本公开的示例性实施例的电压调节电路 13 中的第三电阻 R3 的阻值的取值范围可以设置为 50K Ω -100K Ω 。本公开的示例性实施例中对 AVDD 输出端输出的电压降低的具体值根据系统或液晶面板的实际需要进行调整。

在液晶面板的实际应用中, AVDD 输出端输出的电压降低之后, 液晶面板显示的图像品质也会降低, 如图像色彩或 Gamma 特性会变差, 甚至出现图像异常。因此, 需要在保证 AVDD 输出端输出的电压降低后能够使得液晶面板正常显示的前提下, 根据系统及客户对液晶面板显示的图像的要求, 通过本公开的示例性实施例的电压调节电路 13 进行调节。

如图 3 所示, 本公开的示例性实施例还提供了另一种模拟电压源电路。将电压调节电路 13 设置于占空比控制电路 11 内部, 其中电压调节电路 13 内部设置有接收和识别实时传入到电压调节电路 13 中的电压调节信号的接收识别模块 20, 用于输入电压调节信号的输入端 CON 通过占空比控制电路 11 的引脚输入到电压调节电路 13 内的接收识别模块 20, 本公开的示例性实施例中用于输入电压调节信号的输入端 CON 输入到电压调节电路 13 中的电压调节信号的时序图如图 4 (a) 所示, 通过电压调节电路 13 内部的接收识别模块 20 将电压调节信号的幅值、占空比或频率计算转换后输出控制占空比控制电路 11 基准电压的调节信号, 进而改变占空比控制电路 11 的基准电压值, 基准电压值改变后电压调节电路 13 内的反馈调节模块 21 将对接收到的反馈电压 V_{FB} 进行调节, 使得调节后的反馈电压 V_{FB} 与通过本公开的示例性实施例中的接收识别模块 20 调节后的基准电压相同, 反馈电压 V_{FB} 变化后的时序图如图 4 (b) 所示, 根据上面的描述, AVDD 输出端输出的电压的计算

公式为: $V_{AVDD} = (1 + R1/R2) * V_{FB}$, 由于 V_{FB} 发生变化, 则 AVDD 输出端输出的电压也会发生变化, 此时 AVDD 输出端输出的电压的时序图如图 4(c) 所示。

显然, 本领域的技术人员可以对本公开进行各种改动和变型而不脱离本公开的精神和范围。这样, 倘若本公开的这些修改和变型属于本公开权利要求及其等同技术的范围之内, 则本公开也意图包含这些改动和变型在内。

本申请要求于 2014 年 4 月 2 日递交的中国专利申请第 201410131409.7 号的优先权, 在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

权利要求书

1、一种模拟电压源电路，包括：电压输入端、DC-DC 变换电路、电压输出端、占空比控制电路和输出电压采样电路，所述输出电压采样电路用于向所述占空比控制电路反馈所述输出电压的大小，所述占空比控制电路用于根据所述输出电压采样电路的反馈而控制所述 DC-DC 变换电路的输出电压的大小，所述电路还包括：

电压调节电路，所述电压调节电路的输入端用于输入电压调节信号，电压调节电路的输出端与所述输出电压采样电路相连，所述电压调节电路根据所述电压调节信号来控制升高或降低所述输出电压采样电路的反馈，进而使所述电压输出端输出的电压升高或降低。

2、根据权利要求 1 所述的电路，其中，所述输出电压采样电路包括串联连接于所述电压输出端与接地点之间的第一电阻和第二电阻，所述第一电阻与电压输出端相连，所述第二电阻与接地点相连，所述占空比控制电路从所述第一电阻与所述第二电阻之间的连接点提取电压反馈，所述电压调节电路具有两个输出端，分别与所述第一电阻的两端相连。

3、根据权利要求 2 所述的电路，其中，所述电压调节电路包括第三电阻和开关器件，所述开关器件的控制极输入有所述电压调节信号，另两极分别与所述第一电阻的第一端和所述第三电阻的第一端相连；所述第三电阻的第二端与所述第一电阻的第二端相连。

4、根据权利要求 3 所述的电路，其中，所述开关器件为晶体管，所述晶体管的栅极与所述电压调节信号输入端相连，源极与所述第三电阻的第一端相连，漏极与所述第一电阻的第一端相连。

5、根据权利要求 1 所述的电路，其中，所述输出电压采样电路包括串联连接于所述电压输出端与所述电压调节电路之间的第一电阻和第二电阻，所述第一电阻与电压输出端相连，所述第二电阻与所述电压调节电路相连，所述占空比控制电路从所述第一电阻与所述第二电阻之间的连接点提取电压反馈，所述电压调节电路具有两个输出端，分别与所述第二电阻的靠近接地点的一端以及接地点相连。

6、根据权利要求 5 所述的电路，其中，所述电压调节电路包括第三电阻

和开关器件，所述开关器件的控制极输入有所述电压调节信号，另两极分别与所述第二电阻的靠近接地点的一端和所述接地点相连；所述第三电阻的第一端与所述第二电阻的靠近接地点的一端相连，所述第三电阻的第二端与所述接地点相连。

5 7、根据权利要求6所述的电路，其中，所述开关器件为晶体管，所述晶体管的栅极与所述电压调节信号输入端相连，源极与所述第三电阻的第一端相连，漏极与所述接地点相连。

8、根据权利要求4或7所述的电路，其中，当所述晶体管为N型薄膜晶体管时，若所述电压调节信号为低电平信号，所述N型薄膜晶体管关闭，若
10 所述电压调节信号为高电平信号，所述N型薄膜晶体管导通。

9、根据权利要求4或7所述的电路，其中，当所述晶体管为P型薄膜晶体管时，若所述电压调节信号为低电平信号，所述P型薄膜晶体管导通，若所述电压调节信号为高电平信号，所述P型薄膜晶体管关闭。

10、根据权利要求1-9中任一项所述的电路，其中，所述电压调节电路集成于所述占空比控制电路内部。
15

11、一种显示装置，其中，所述装置包括权利要求1-10任一项所述的电路。

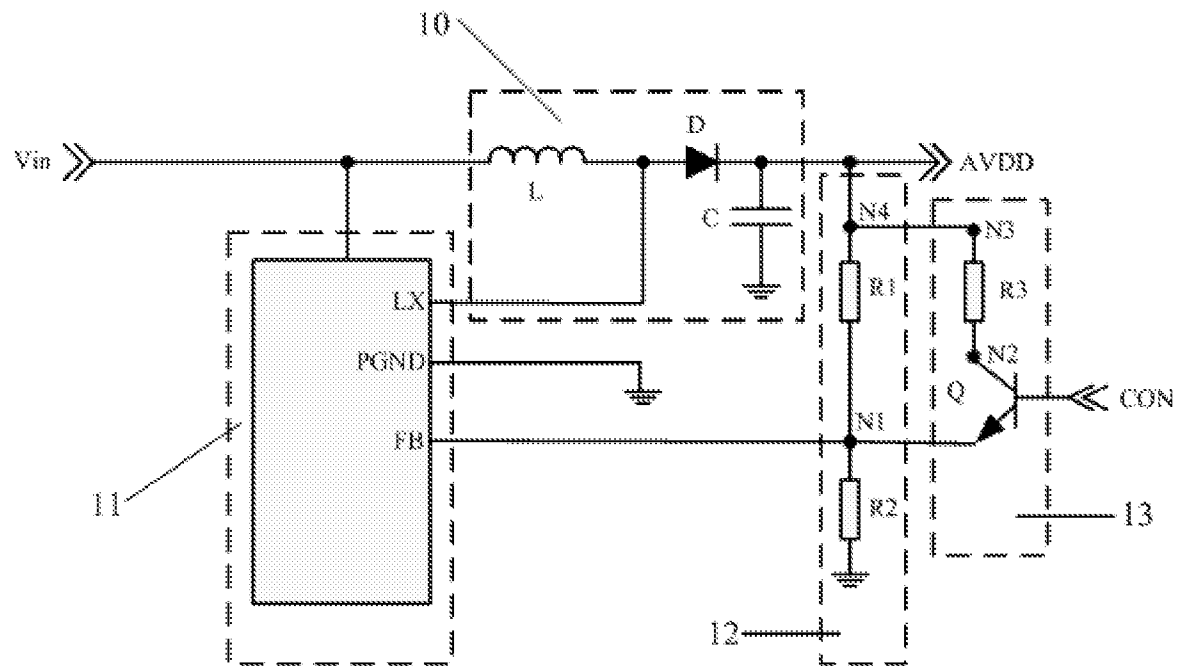


图 1

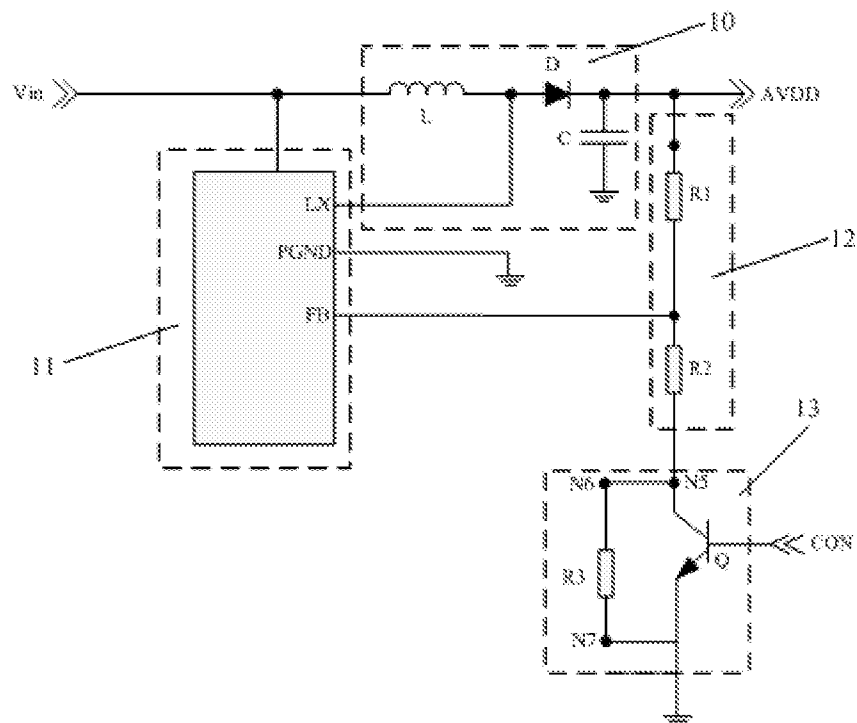


图 2

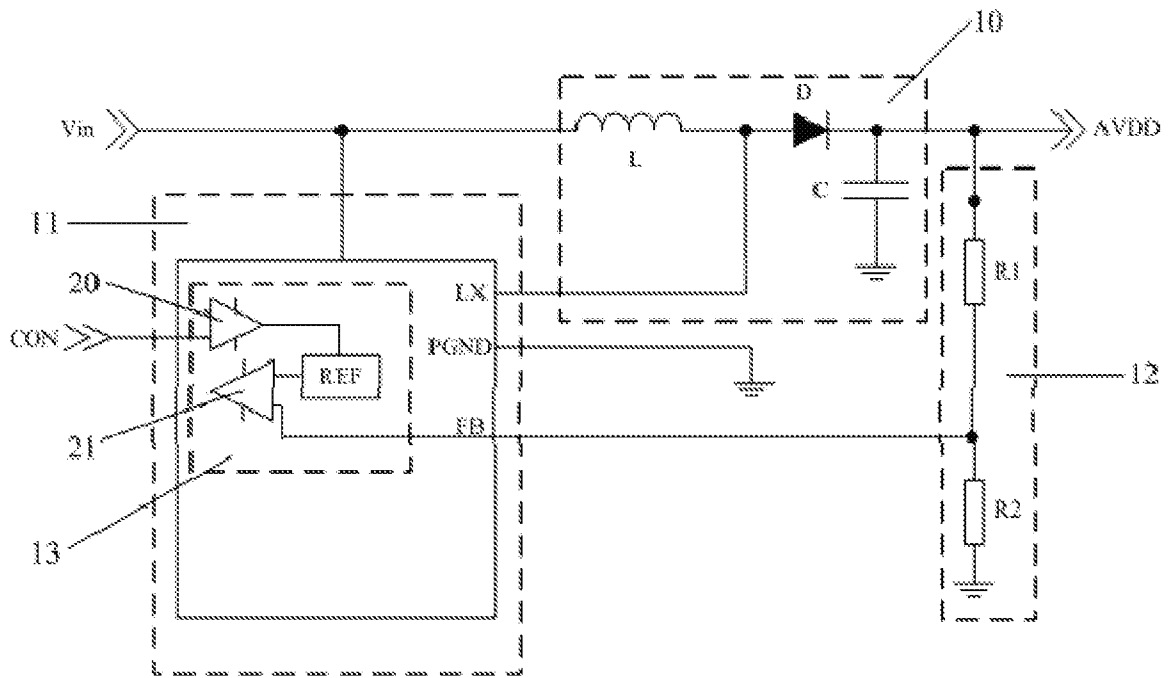


图 3

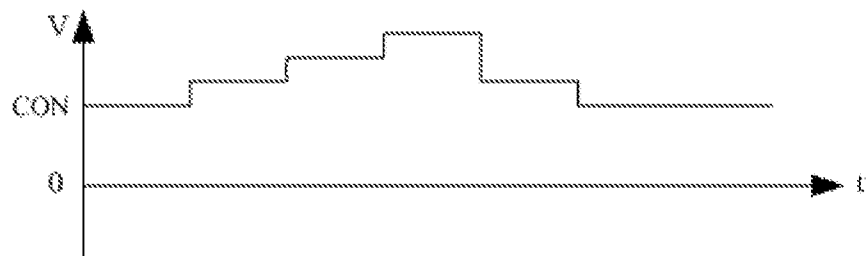


图 4 (a)

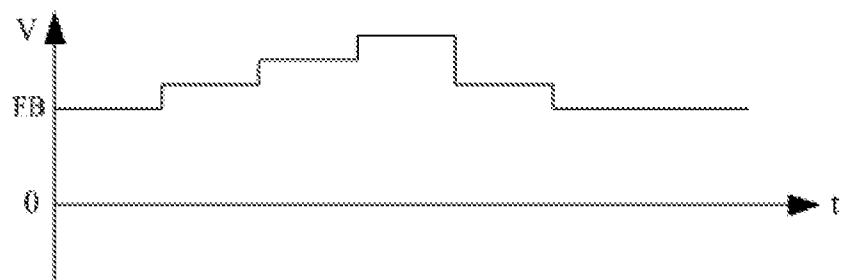


图 4 (b)

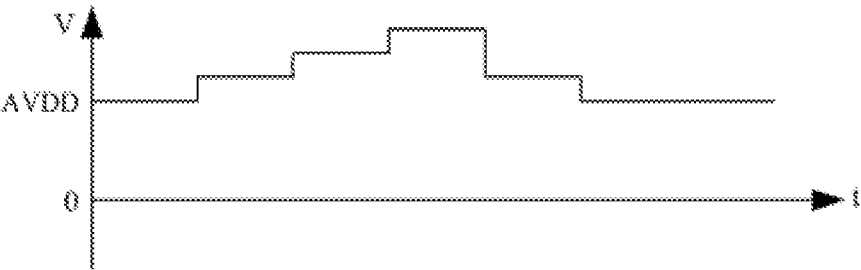


图 4 (c)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2014/085334

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G09G; H02J; H02M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNKI, EPODOC, WPI: LCD, backlight, panel, voltage, power, accommodate, DC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 103943086 A (HEFEI XINSHENG OPTOELECTRONIC TECHNOLOGY CO., LTD. et al.) 23 July 2014 (23.07.2014) claims 1-11	1-11
X	CN 101399015 A (BEIJING BOE OPTOELECTRONICS CO.) 01 April 2009 (01.04.2009) description, page 3, line 3 to page 4, line 16, and figures 1 and 2	1-11
A	CN 101236729 A (QUNKANG TECH SHENZHEN CO., LTD. et al.) 06 August 2008 (06.08.2008) the whole document	1-11
A	CN 101018439 A (HONGFUJIN PREC IND et al.) 15 August 2007 (15.08.2007) the whole document	1-11
A	CN 101060753 A (ACTIONS SEMICONDUCTOR CO., LTD.) 24 October 2007 (24.10.2007) the whole document	1-11
A	CN 101188383 A (QUNKANG TECH SHENZHEN CO., LTD. et al.) 28 May 2008 (28.05.2008) the whole document	1-11

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 15 December 2014	Date of mailing of the international search report 31 December 2014
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer KONG, Wei Telephone No. (86-10) 61648128

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.
PCT/CN2014/085334

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103943086 A	23 July 2014	None	
CN 101399015 A	01 April 2009	None	
CN 101236729 A	06 August 2008	None	
CN 101018439 A	15 August 2007	US 2007188108 A1	16 August 2007
CN 101060753 A	24 October 2007	None	
CN 101188383 A	28 May 2008	None	

A. 主题的分类 G09G 3/36(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G; H02J; H02M 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS, CNKI:液晶, 面板, 背光, 电压, 电源, 调节, 调整, 直流 EPODOC, WPI:LCD, backlight, panel, voltage, power, accommodate, DC		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 103943086 A (合肥鑫晟光电科技有限公司 等) 2014年 7月 23日 (2014 - 07 - 23) 权利要求1-11	1-11
X	CN 101399015 A (北京京东方光电科技有限公司) 2009年 4月 01日 (2009 - 04 - 01) 说明书第3页第3行-第4页第16行、图1, 2	1-11
A	CN 101236729 A (群康科技深圳有限公司 等) 2008年 8月 06日 (2008 - 08 - 06) 全文	1-11
A	CN 101018439 A (鸿富锦精密工业深圳有限公司 等) 2007年 8月 15日 (2007 - 08 - 15) 全文	1-11
A	CN 101060753 A (炬力集成电路设计有限公司) 2007年 10月 24日 (2007 - 10 - 24) 全文	1-11
A	CN 101188383 A (群康科技深圳有限公司 等) 2008年 5月 28日 (2008 - 05 - 28) 全文	1-11
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2014年 12月 15日		国际检索报告邮寄日期 2014年 12月 31日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国 传真号 (86-10)62019451		授权官员 孔伟 电话号码 (86-10)01061648128

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/085334

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	103943086	A	2014年 7月 23日	无	
CN	101399015	A	2009年 4月 01日	无	
CN	101236729	A	2008年 8月 06日	无	
CN	101018439	A	2007年 8月 15日	US 2007188108 A1	2007年 8月 16日
CN	101060753	A	2007年 10月 24日	无	
CN	101188383	A	2008年 5月 28日	无	