

19



Octroiraad  
Nederland

11 193295

12 C OCTROOI

21 Aanvraag om octrooi: 8902063

51 Int.Cl.<sup>6</sup>  
G11C11/401

22 Ingediend: 14.08.89

30 Voorrang:  
20.12.88 KR 0008817050

73 Octrooihouder(s):  
Samsung Electronics Co., Ltd. te Suwon-city,  
Republiek van Korea (KR).

43 Ter inzage gelegd:  
16.07.90 I.E. 90/14

74 Gemachtigde:  
Drs. F. Barendregt c.s. te 2280 GE Rijswijk.

44 Openbaargemaakt:  
04.01.99 I.E. 99/01

47 Dagtekening:  
06.05.99

45 Uitgegeven:  
01.07.99 I.E. 99/07

54 Dynamische halfgeleidergeheugeneenheid.

## Dynamische halfgeleidergeheugeneenheid

De uitvinding heeft betrekking op een dynamische halfgeleidergeheugeneenheid, omvattende een aantal  
 5 parallele bitlijnen, een aantal de bitlijnen kruisende woordlijnen, een aantal geheugencellen die behoren bij  
 kruispunten van woord- en bitlijnen en die daarmee verbonden zijn, en een aantal aftastversterkers die elk  
 met een uiteinde van twee complementaire bitlijnen verbonden zijn, waarbij de aftastversterkers in groepen  
 verdeeld zijn en de bitlijnen zodanig verweven zijn dat naburige bitlijnen niet met aftastversterkers van  
 dezelfde groep verbonden zijn, verder omvattende met de aftastversterkers verbonden data in/uitvoerlijnen  
 10 en met de aftastversterkers en woordlijnen verbonden stuurmiddelen voor het voorladen van alle bitlijnen,  
 het benaderen van met een woordlijn verbonden geheugencellen en het vanaf, naar de in/uitvoerlijnen  
 inschrijven respectievelijk uitlezen van benaderde geheugencellen.

Een geheugeneenheid van de bovengenoemde soort is bekend uit de Europese aanvraag EP-A-  
 0.036.932. De bekende geheugeneenheid heeft een gevouwen bitlijnrangschikking waarin de bitlijnen van  
 elk complementair bitlijnpaar zich aan één kant van de bijbehorende aftastversterker uitstrekken. De  
 15 stuurmiddelen sturen de woordlijnen en de groepen aftastversterkers zodanig dat alle geheugencellen  
 tegelijk voorgeladen worden. Verder worden de aftastversterkers van naburige groepen tijdens het schrijven  
 en lezen van bijbehorende geheugencellen tegelijk door de stuurmiddelen gestuurd. Hierdoor ontstaat  
 wederzijdse beïnvloeding van ladingen en daardoor van spanningen op naburige bitlijnen die verbonden zijn  
 met benaderde bitlijnen en die met naburige groepen aftastversterkers verbonden zijn. Een dergelijke  
 20 wederzijdse beïnvloeding ontstaat mede doordat met een woordlijn verbonden, en dus tegelijk benaderde  
 geheugencellen naast elkaar met hun respectieve naast elkaar liggende bitlijnen verbonden zijn. De  
 wederzijdse beïnvloeding is des te sterker naarmate de integratiedichtheid groter is, waarbij de ruimte  
 tussen de bitlijnen kleiner is en de opslagcondensators van de geheugencellen ook kleiner zijn. De  
 koppelcapaciteit tussen de bitlijnen is dan ten opzichte van de capaciteit van de opslagcondensators groot,  
 25 waardoor ook de wederzijdse beïnvloeding groot is.

De uitvinding beoogt de bezwaren van de bekende geheugencellen op te heffen.

Deze doelstelling wordt voor de geheugeneenheid van de in de aanhef genoemde soort bereikt doordat  
 met eenzelfde woordlijn verbonden geheugencellen verbonden zijn met bitlijnen die met dezelfde groep  
 aftastversterkers gekoppeld zijn en dat de stuurmiddelen zodanig ingericht zijn dat tijdens het schrijven en  
 30 lezen slechts een enkele groep van naburige groepen aftastversterkers geselecteerd wordt.

Door deze maatregelen worden met benaderde geheugencellen verbonden bitlijnen afgewisseld door  
 bitlijnen die hun – tijdens het voorladen aangelegde – voorlaadspanning behouden, waardoor de weder-  
 zijds beïnvloeding van de met benaderde geheugencellen verbonden bitlijnen aanmerkelijk wordt  
 35 vermindert.

Volgens een verdere uitvoeringsvorm van de geheugeneenheid volgens de uitvinding zijn de bitlijnen en  
 aftastversterkers volgens een open bitlijnrangschikking verbonden, en zijn naast buitenste bitlijnen, die met  
 een buitenste groep aftastversterkers verbonden zijn, schijnbitlijnen aangebracht die met een constante  
 spanning verbonden zijn. Hierbij fungeren de schijnbitlijnen als op de voorlaadspanning gehouden bitlijnen  
 die met niet-benaderde geheugencellen verbonden zijn.

40 Figuur 1 toont een voorbeeld van een bekende gevouwen bitlijnrangschikking. In figuur 1 zijn de  
 geheugencellen MC10-MC12 en MC20-MC22 met de kruispunten van de bitlijnen B0-B2 en B0-B2 en de  
 woordlijnen W1 en W2 verbonden, en elk van de bitlijnparen B0-B0, B1-B1 en B2-B2 is bij elk uiteinde  
 verbonden met een corresponderende versterker van de aftastversterkers SA0-SA2. Elk van de geheugen-  
 cellen MC10-MC12 en MC20-MC22 omvat een MOS-transistor M en een in serie met de afvoerbronweg  
 45 van de transistor verbonden condensator C. Elk van de afvoeren van de MOS-transistors is verbonden met  
 een van de bitlijnen B0, B0, ... B2 en B2, en elke stuur-electrode van de geheugencellen MC10-MC12 en  
 MC20-MC22 is verbonden met een van de woordlijnen W1 en W2. De andere aansluiting van de opslag-  
 condensator is verbonden met een constante spanning Vp. Er wordt aangenomen dat de parasitaire  
 capaciteit van elke bitlijn CB is, de wederzijdse koppelcapaciteit tussen de aangrenzende bitlijnen CC is, en  
 50 de capaciteit van de opslagcondensator C CS is.

Wanneer de geheugencellen MC10-MC12 gekozen worden door het aan de woordlijn W1 geleverde  
 woordlijnsignaal, worden in de opslagcondensators van de geheugencellen opgeslagen elektrische ladingen  
 respectievelijk via de corresponderende MOS-transistors naar de bitlijnen B0-B2 overgedragen, zodat de  
 spanning van elk van de bitlijnen B0-B2 met de hoeveelheid  $\Delta = \frac{(VS-VRL)CS}{CB+2CC+CS}$  groter of lager wordt dat de  
 55 spanning van elk van de andere bitlijnen  $\bar{B}0-\bar{B}2$ , waarbij VS de spanning van de opslagcondensator is en  
 VBL de bitlijnspanning, voorafgaand aan de keuze van de geheugencel is. Wanneer de geheugencellen

MC10–MC12 tot gevolg hebben dat de bitlijnen B0–B2 een met  $\Delta$  VS hogere spanning dan de spanning van de bitlijnen  $\overline{B0}$ – $\overline{B2}$  hebben maken de aftastversterkers SA0–SA2 de spanning van de bitlijnen  $\overline{B0}$ ,  $\overline{B1}$  en  $\overline{B2}$  een spanning  $\Delta$ VS lager. Hierdoor wordt de spanning van de bitlijn B1 dus verlaagd als gevolg van de koppelcapaciteit CC als gevolg van de verlaging van de spanningen van de aangrenzende bitlijnen

5  $\overline{B0}$  en  $\overline{B1}$ . Een dergelijk nadelig effect neemt toe naarmate de afstand tussen de bitlijnen kleiner wordt als gevolg van de vergroting van de geheugendichtheid. Verder, wanneer de capaciteit van de geheugencel verkleind wordt, is de aftastversterker als gevolg van de koppelcapaciteit onderhevig aan foute werking.

De uitvinding wordt toegelicht aan de hand van de tekeningen. In de tekening tonen:

- 10 figuur 1 de keten van een bekende DRAM;  
 figuur 2 de keten van een gevouwen bitlijn DRAM volgens de uitvinding; en  
 figuur 3 de keten van een open bitlijn DRAM volgens de uitvinding.

In figuur 2 zijn bij het bovenste uiteinde van de keten een aantal bovenste aftastversterkers 10U in een rij gerangschikt, terwijl bij het onderste uiteinde een aantal onderste aftastversterkers 10D in een rij gerangschikt zijn. Elk van de aftastversterkers omvat MOS-transistors 12–15. De afvoeren van de MOS-transistors 12 en 14 zijn kruislings via aftastknooppunten 16, 18 met hun stuur elektroden verbonden, terwijl de bronnen van de transistors 12, 14 met een gemeenschappelijk bronknooppunt 11 zijn verbonden. Tussen de afvoeren van de MOS-transistors 12, 14 en de ingangs/uitganglijnen I/OU,  $\overline{I/OU}$  en I/OD,  $\overline{I/OD}$  zijn

20 respectievelijk de bronafvoerwegen van de MOS-belastingtransistors 13, 15 verbonden, terwijl aan de stuur elektroden van de MOS-transistors 13, 15 het belastingsignaal  $\Phi$ S geleverd wordt.

De gemeenschappelijke bronknooppunten 11 van de aftastversterkers 10U zijn met de bovenste gemeenschappelijke lijn 24 verbonden, die met de afvoer van de MOS-transistor 20 verbonden is voor het sturen van de bovenste aftastversterker 10U. De bron van de MOS-transistor 20 is geaard, en de stuur elektrode van de transistor 20 ontvangt het signaal  $\emptyset$ L voor het activeren van de bovenste aftastversterker. De aftastknooppunten 16 en 18 van de bovenste aftastversterkers 10U zijn respectievelijk verbonden met de bovenste bitlijn- (of kolomlijn)paren  $\overline{UBL1}$  en  $\overline{UBL2}$ ,  $\overline{UBL2}$  en  $\overline{UBL2}$ , ...  $\overline{UBLK}$  en  $\overline{UBLK}$ . Het uiteinde van de bitlijnparen tegenover de aftastversterkers 10D is verbonden met de middelen 30U voor het voorladen van de bitlijnen. De voorlaadmiddelen 30U omvatten MOS-transistors 32 en 34, waarvan de bronnen met de

30 respectieve bitlijnparen verbonden zijn, de afvoeren met een constante voorlaadspanning V1 verbonden zijn en de stuur elektroden met het voorlaadsignaal P verbonden zijn.

Het gemeenschappelijke bronknooppunt 11D van de onderste aftastversterkers 10D met dezelfde uitvoering als de bovenste aftastversterkers 10U is verbonden met de afvoer van de MOS-transistor 22 voor het sturen van de onderste aftastversterkers 10D via de onderste gemeenschappelijke lijn 26. De bron en de stuur elektrode van de MOS-transistor 22 zijn respectievelijk verbonden met aarde en het signaal  $\emptyset$ L met een aan het signaal  $\emptyset$ L tegengestelde karakteristiek. Wanneer de bovenste aftastversterkers 10U dus werken door het signaal  $\emptyset$ L worden de onderste aftastversterkers 10D niet gestuurd of omgekeerd.

De aftastknooppunten 16D en 18D van de onderste aftastversterker 10D zijn respectievelijk verbonden met de onderste bitlijnen DBL1 en  $\overline{DBL1}$ ... DBLK en  $\overline{DBLK}$ , die naar boven lopen en op gelijke afstand

40 tussen de bovenste bitlijnen  $\overline{UBL1}$  en  $\overline{UBL1}$  ...  $\overline{UBLK}$  en  $\overline{UBLK}$  gerangschikt zijn. Het uiteinde van de onderste bitlijnparen DBL1 en DBL1 ... DBLK en  $\overline{DBLK}$  tegenover de onderste aftastversterkers 10U is verbonden met een voorlaadmiddel 30D met dezelfde uitvoering als het voorlaadmiddel 30U. Tussen de voorlaadmiddelen 30U en 30D zijn parallelle woordlijnen (of rijlijnen) WL1–WL4N gerangschikt, die loodrecht de bitlijnen  $\overline{UBL1}$  en  $\overline{DBL1}$  ...  $\overline{UBLK}$  en  $\overline{DBLK}$  kruisen. Gespreid over elke vierde kruisingsafstand in de

45 richtingen van de rijen en kolommen van de woord- en bitlijnen zijn respectievelijk de geheugencellen M11–M4NK verbonden.

Voorafgaand aan het lezen van de data uit een gegeven geheugencel worden alle bitlijnen  $\overline{UBL1}$ – $\overline{DBLK}$  voorgeladen met de voorlaadspanning V1 door de voorlaadmiddelen 30U en 30D. Na beëindiging van de voorlaadstap wordt de woordlijn gekozen voor het uit een gegeven geheugencel lezen van de data. De

50 woordlijn WL1 wordt bijvoorbeeld gekozen voor het lezen van de data uit de geheugencel M12. Wanneer de woordlijn WL1 gekozen wordt, worden de met de woordlijn WL1 verbonden geheugencellen M11–M1K gekozen en worden de in de opslagcondensators van de geheugencellen M11–M1K opgeslagen ladingen respectievelijk naar de bitlijnen  $\overline{UBL1}$ ,  $\overline{UBL2}$ , ...  $\overline{UBLK}$  overgedragen. De bitlijnen  $\overline{UBL1}$ ,  $\overline{UBL2}$ , ...  $\overline{UBLK}$  hebben dus als gevolg van de toestand van de ontvangen ladingen een iets hogere of lagere spanning dan

55 de voorlaadspanning V1. Daarna wordt het signaal  $\emptyset$ L aan de stuur elektrode van de MOS-transistor 20 gelegd, waarbij de bovenste aftastversterkers 10U geactiveerd worden. Wanneer het signaal  $\Phi$ S aan de stuur elektroden van de MOS-transistors 13, 15 geleverd wordt, wordt de bitlijnspanning van een paar van

de bitlijnen UBL1, UBL2 ... UBLK en  $\overline{UBL1}$ ,  $\overline{UBL2}$  ...  $\overline{UBLK}$  naar de ingangs/uitgangslijnen I/O en I/O overgedragen. De onderste aftastversterkers 10D worden echter niet geactiveerd als gevolg van de uit-toestand van de MOS-transistor 22, waarvan de stuur-elektrode het signaal  $\emptyset L$  ontvangt, waarvan de karakteristiek tegengesteld is aan die van het signaal  $\emptyset L$ . De met de onderste aftastversterkers 10D verbonden onderste bitlijnen DBL1 en  $\overline{DBL1}$ , ... DBLK en  $\overline{DBLK}$  behouden dus de constante waarde van de voorlaadspanning V1. Zelfs wanneer de aftastwerking van de bovenste aftastversterker 10U tot gevolg heeft dat de bovenste bitlijnen UBL1 en  $\overline{UBL1}$ , ... UBLK en  $\overline{UBLK}$  hun spanning veranderen, kan het gevaar tot foute uitlezing van de data als gevolg van de koppelcapaciteit tussen elk van de bovenste bitlijnen en de aangrenzende onderste bitlijnen aanzienlijk verkleind worden. Hoewel tot hiertoe een geval toegelicht is, waarbij de bovenste aftastversterkers gestuurd worden door het kiezen van oneven genummerde woordlijnen, kan hetzelfde resultaat verkregen worden door het kiezen van een even genummerde woordlijn.

Figuur 3 toont een keten volgens de open bitlijn-rangschikking in DRAM, waarbij de aftastversterkers 40U, 40M, 40D alle dezelfde uitvoering als de aftastversterker 10U van figuur 2 hebben. De aftastversterkers 40U, 40M, 40D zijn op gelijke afstanden in hun respectieve kolommen gerangschikt. De aftastversterkers 40U, 40M, 40D zijn respectievelijk via met de gemeenschappelijke bronknooppunten 11 verbonden lijnen 62, 64, 66 verbonden met afvoeren van de MOS-transistors 52, 54, 56, waarvan de bronnen geaard zijn. De stuur-elektrode van de MOS-transistor 54 is verbonden met het signaal  $\emptyset L$  voor het activeren van de aftastversterker 40M, terwijl de stuur-elektroden van de MOS-transistors 52, 56 verbonden zijn met het signaal  $\emptyset L$  met een aan het signaal  $\emptyset L$  tegengestelde karakteristiek. Wanneer de aftastversterkers 40M geactiveerd worden, worden de aangrenzende aftastversterkers 40U, 40D dus niet geactiveerd, of omgekeerd. De aftastknooppunten van de aftastversterkers 40M zijn respectievelijk verbonden met de bitlijnparen BLM1 en  $\overline{BLM1}$  ... BLMK en  $\overline{BLMK}$  met dezelfde lengte die zich tegenover elkaar uitstrekken. Op dezelfde wijze zijn de aftastknooppunten van de aftastversterkers 40U, 40D respectievelijk verbonden met de bitlijnparen BLU1 en  $\overline{BLU1}$  ... BLUK en  $\overline{BLUK}$  en BLD1 en  $\overline{BLD1}$  ... BLDK en  $\overline{BLDK}$  met dezelfde lengte als de bitlijnparen BLM1 en  $\overline{BLM1}$  ... BLMK en  $\overline{BLMK}$  die zich tegenover elkaar uitstrekken. Elk van de bitlijn-groepen (BLUK en  $\overline{BLUK}$ ) en (BLM1,  $\overline{BLD}$  ... BLUK,  $\overline{BLDK}$ ) zijn op gelijke afstanden parallel aan elkaar aangebracht. Bovendien zijn de schijnbitlijnen DBL op gelijke afstanden parallel aan de bitlijn-groepen (BLU1 en BLUK) en ( $\overline{BLD1}$  en  $\overline{BLDK}$ ) gerangschikt en worden gevoed met een constante voorlaadspanning voor het verlagen van de capaciteit die hun aangrenzende bitlijnen koppelt. Het uiteinde van elke bitlijn tegenover de aftastversterker is verbonden met het voorlaadmiddel (niet getoond) voor het voorladen van de bitlijn met een gegeven spanning. Zoals getoond in figuur 3, zijn elk van de geheugencellen verbonden tussen de kruispunten van de woordlijnen (... W1N, W21–W2N, W31–W3N, W41...) en de bitlijnen. De geheugencellen zijn namelijk zodanig gerangschikt dat alle met een van de aftastversterkers 40U, 40M, 40D verbonden bitlijnen de data in de geheugencellen kan benaderen wanneer één woordlijn gekozen wordt.

Als voorbeeld wordt aangenomen dat na het voorladen van alle bitlijnen de woordlijn W32 gekozen wordt. De in de geheugencellen M321–M32K opgeslagen ladingen worden dan naar de bitlijnen  $\overline{BLM1}$ – $\overline{BLMK}$  overgedragen. Daarna veroorzaakt het signaal  $\emptyset L$  dat de MOS-transistor 54 ingeschakeld wordt en de aftastversterkers 40M de aftastwerking uitvoeren. Op dat moment worden de aftastversterkers 40U, 40D naast de aftastversterkers 40M niet geactiveerd door het signaal  $\emptyset L$  met de aan het signaal  $\emptyset L$  tegengestelde karakteristiek. De bitlijnen BLD1–BLDK naast de bitlijnen  $\overline{BLM1}$ – $\overline{BLMK}$  zijn dus in klaarstaande toestand, namelijk constant met de voorlaadspanning, waardoor een ongewenst effect verkleind wordt dat de data als gevolg van de koppelcapaciteit tijdens de aftastwerking fout gelezen wordt.

Zoals hiervoor toegelicht is, wanneer een met elke aftastversterker verbonden bitlijn of bitlijn-paar afhankelijk van de werking van de aftastversterker omlaag of omhoog geregeld wordt, de aangrenzende bitlijn in klaarstaande toestand, zodat het kopeffect met de aangrenzende bitlijn verkleind wordt voor het verschaffen van een stabiele aftastwerking.

## Conclusies

1. Dynamische halfgeleider-geheugeneenheid, omvattende een aantal parallele bitlijnen, een aantal de bitlijnen kruisende woordlijnen, een aantal geheugencellen die behoren bij kruispunten van woord- en bitlijnen en die daarmee verbonden zijn, en een aantal aftastversterkers die elk met een uiteinde van twee complementaire bitlijnen verbonden zijn, waarbij de aftastversterkers in groepen verdeeld zijn en de bitlijnen zodanig verweven zijn dat naburige bitlijnen niet met aftastversterkers van dezelfde groep verbonden zijn, verder omvattende met de aftastversterkers verbonden data in/uitvoerlijnen en met de aftastversterkers en woordlijnen verbonden stuurmiddelen voor het voorladen van alle bitlijnen, het benaderen van met een

- woordlijn verbonden geheugencellen en het vanaf, naar de in/uitvoerlijnen inschrijven respectievelijk uitlezen van benaderde geheugencellen, met het kenmerk, dat met eenzelfde woordlijn verbonden geheugencellen verbonden zijn met bitlijnen die met dezelfde groep aftastversterkers gekoppeld zijn en dat de stuurmiddelen zodanig ingericht zijn dat tijdens het schrijven en lezen slechts een enkele groep van naburige groepen
- 5 aftastversterkers geselecteerd wordt.
2. Dynamische geheugeneenheid volgens conclusie 1, met het kenmerk, dat de bitlijnen en aftastversterkers volgens een open bitlijnrangschikking verbonden zijn, en dat naast buitenste bitlijnen, die met een buitenste groep aftastversterkers verbonden zijn, schijnbitlijnen aangebracht zijn die met een constante spanning verbonden zijn.

---

Hierbij 3 bladen tekening

---

(BEKEND)

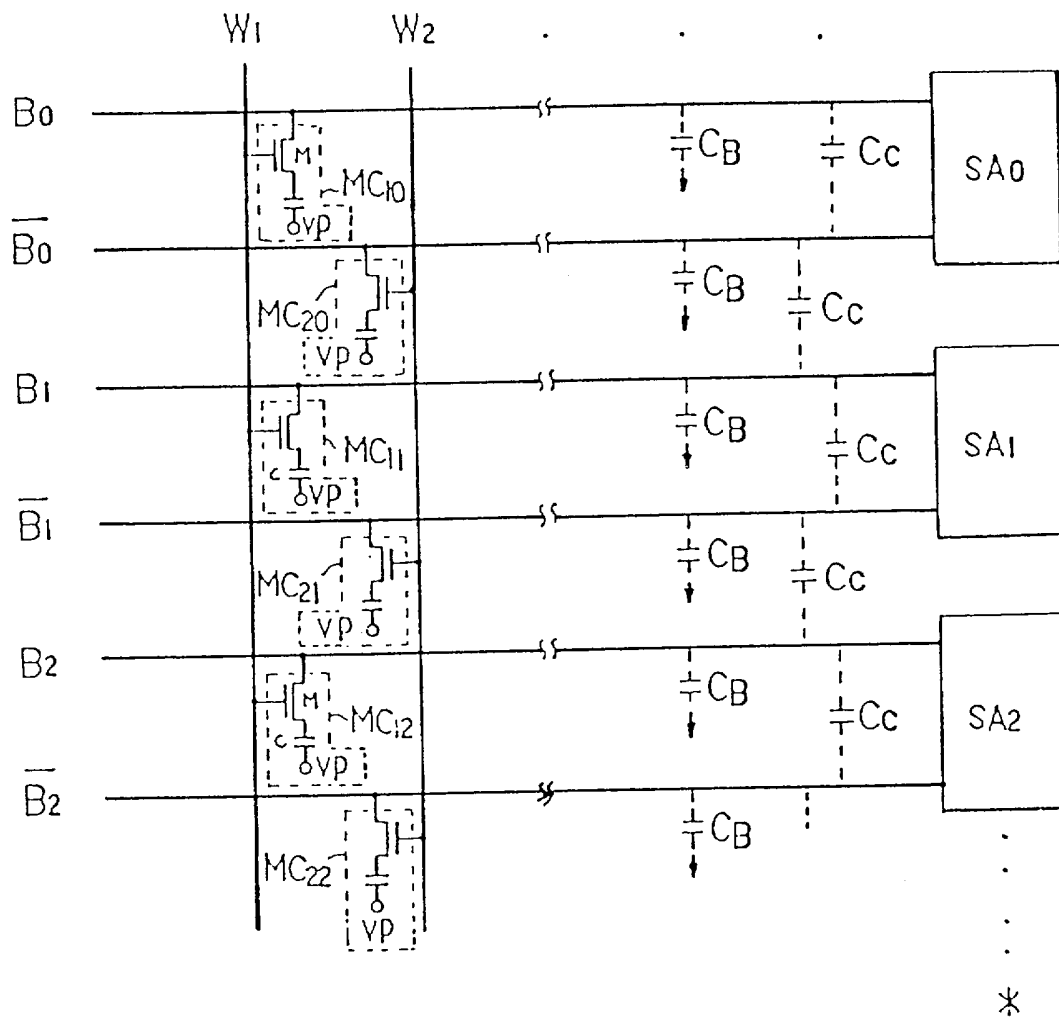


FIG. 1



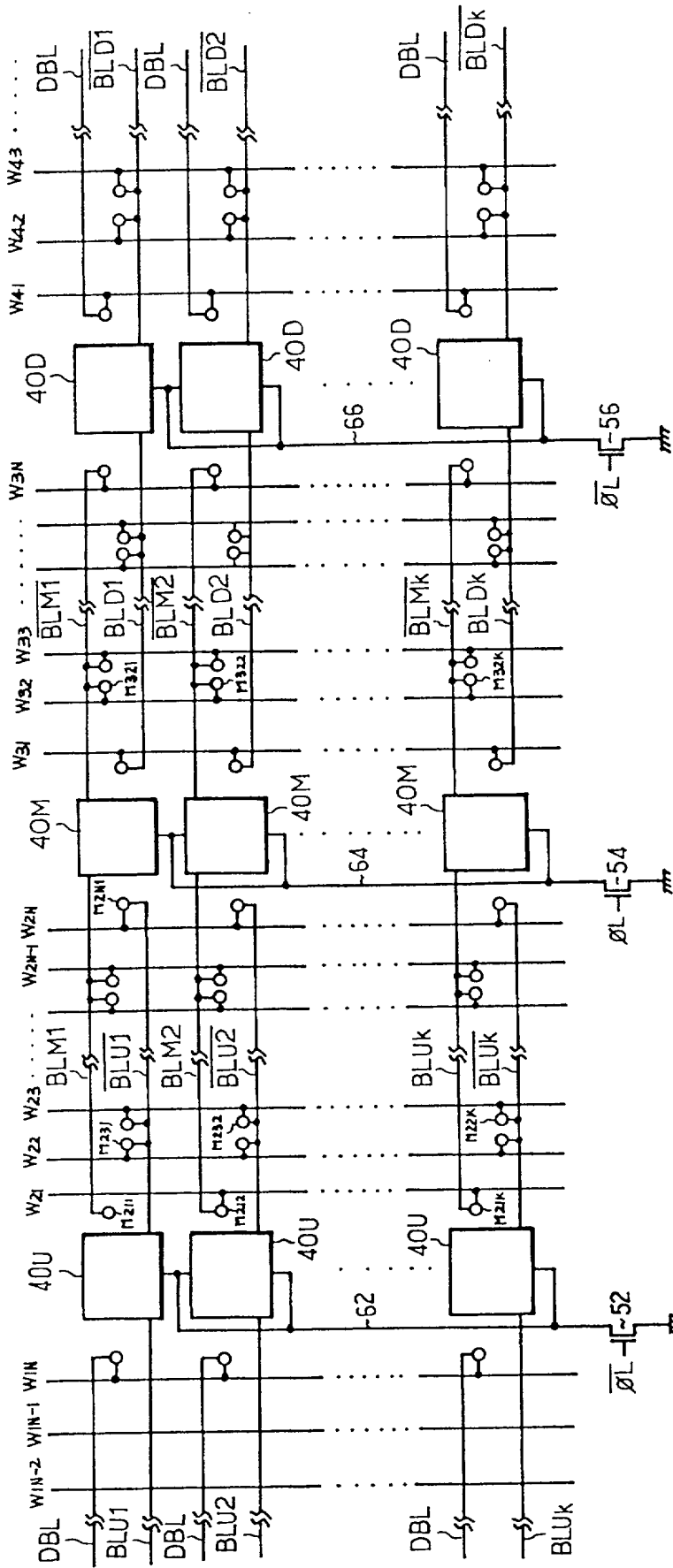


FIG. 3