四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：　年　月　日。

☑ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2005年03月25日；11/090,529

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料　【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料　【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於形成與半導體結構相關聯之凹陷存取裝置之方法。

【先前技術】

一半導體電晶體裝置係一種包括一閘極之裝置，該閘極藉由一由該閘極所控制之通道使一對源極/汲極區域彼此互連。電晶體裝置係半導體結構之普通電路裝置。舉例而言，可將電晶體裝置併入記憶體結構中，其中包括(例如)動態隨機存取記憶體(DRAM)及靜態隨機存取記憶體(SRAM)。

半導體製造中一個持續目標係增大整合位準，且因此減少裝置所耗用之半導體不動產量。然而，減小電晶體裝置之大小會導致眾多困難。舉例而言，當減小一電晶體裝置之通道長度時，在試圖控制該通道對置側上之源極/汲極區域之間的電子流方面會出現眾多問題。此等問題通常被稱作短通道效應。

一種可用於克服短通道問題之方法係使電晶體裝置凹陷於一基板內以使該等裝置與若其未經凹陷相比耗用較少不動產，且仍具有相對長之通道。圖1中顯示一非凹陷電晶體裝置，而圖2中顯示一凹陷裝置，以供與該非凹陷裝置相比對。

首先參照圖1，其圖解闡釋一半導體結構10包括一基板12。舉例而言，基板12可包括輕摻雜以背底p-型摻雜物之

單晶矽。為有助於解釋隨後的申請專利範圍，術語「半導性基板」及「半導體基板」皆界定成意指任何包括半導性材料之結構，其中包括(不侷限於)諸如一半導性晶圓之整體半導性材料(單獨地或以其上包括其他材料之總成形式)、及半導性材料層(單獨地或以包括其他材料之總成形式)。術語「基板」係指任何支撐結構，其中包括(但不侷限於)上述半導性基板。

一電晶體裝置14係由該基板來支撐。該電晶體裝置包括一藉由介電材料18與基板12間隔開之閘極16；包括沿該閘極側壁之側壁間隔層24；包括一對位於該閘極對置側上之源極/汲極區域20；且包括一位於該等源極/汲極區域之間的通道區域22。

閘極16可包括各種導電材料，其中包括(例如)各種金屬、金屬組合物及/或導電摻雜型矽或其他導電摻雜型半導體材料。介電材料18可包括任何適合之材料或材料組合，且通常將包括二氧化矽，實質上由二氧化矽組成或由二氧化矽組成。側壁間隔層24可包括任何適合之組合物或組合物組合，且通常將包括氮化矽及二氧化矽中之一者或兩者。源極/汲極區域20可包括單晶基板12內之導電摻雜型區域，且可包括具有輕摻雜型延伸部分之重摻雜型區域。舉例而言，源極/汲極區域20可包括重n-型摻雜區域或重p-型摻雜區域，且可包括在側壁24下方延伸之輕摻雜型部分。通道區域22摻雜有一臨限電壓植入物，且當充足電流穿過閘極16時可使源極/汲極區域20以運作方式彼此互

連。

圖2顯示一結構30，其包括一半導體基板32及一由該基板支撐之電晶體34。該電晶體包括：一延伸於該基板內之閘極36；一位於該閘極與該基板之間的介電材料38；源極/汲極區域40，其位於接近該閘極之該基板內；及一通道區域42，其延伸環繞該閘極之一最下部分且使源極/汲極區域40彼此互連。雖然未顯示，但類似於以上參照圖1所論述之間隔層24，可在接近閘極36處設置側壁間隔層。

基板32、介電材料38、閘極36及源極/汲極區域40可包括與以上關於圖1之基板12、閘極16、介電材料18及源極/汲極區域20所論述之彼等材料相同的材料。同樣，類似於圖1之區域22內所設置之臨限電壓植入物，可在通道區域42內設置一臨限電壓植入物。

圖2之凹陷裝置結構與圖1之非凹陷裝置結構之間的差異係：圖2裝置之通道區域42憑藉該通道區域圍繞閘極36之一凹陷部分延伸而得以加長。若將圖2之電晶體裝置34與圖1之裝置14相比，此可減少短通道效應。

雖然凹陷存取裝置相對於非凹陷裝置在可達成封裝密度之同時可避免短通道效應方面具有優勢，但在大規模製造凹陷存取裝置中遭遇到各種問題，若欲使凹陷存取裝置在商業上變得可行，該等問題必須得以解決。因此，合意的情形係開發出用於大規模製造凹陷存取裝置之新方法。凹陷存取裝置之一個應用係應用於記憶體陣列中，諸如(例如)，DRAM陣列。因此，進一步合意的情形係：若針對大

規模製造凹陷存取裝置所開發之方法適用於製造記憶體陣列。

【發明內容】

於一態樣中，本發明包括一種形成凹陷存取裝置之方法。提供一半導體基板。在該基板內形成凹陷存取裝置溝渠。一對凹陷存取裝置溝渠相互毗鄰。在該等凹陷存取裝置溝渠內形成導電閘極材料。在接近該導電閘極材料處形成源極/汲極區域。該導電閘極材料及源極/汲極區域共同形成一毗鄰對之凹陷存取裝置(具體而言，一對凹陷存取電晶體)。在於該基板內形成該等凹陷存取裝置溝渠後，即在該等毗鄰之凹陷存取裝置之間形成一隔絕區域溝渠。以電絕緣材料填充該隔絕區域溝渠以形成一溝渠式隔絕區域。

於一態樣中，本發明包括另一種形成凹陷存取裝置之方法。提供一半導體結構，且在該基板內形成凹陷存取裝置溝渠。以一第一電絕緣材料填充該等凹陷存取裝置溝渠。將該第一電絕緣材料圖案化成一界定複數個存取裝置區域之遮罩。該等存取裝置區域係由隔絕區域所環繞之島嶼。該等存取裝置區域僅包括該等凹陷存取裝置溝槽之部分。在該等隔絕區域內蝕刻該基板以使該等隔絕區域之基板形成凹陷。以一第二電絕緣材料覆蓋該凹陷基板以覆蓋該等隔絕區域。至少移除第一電絕緣材料之大部分而至少留下第二電絕緣材料之大部分。接下來，將閘極材料形成於由該等存取裝置區域所構成的凹陷存取裝置溝渠之部分內。

於一態樣中，本發明包括再一種形成凹陷存取裝置之方法。提供一半導體基板，且在該基板上形成一第一經圖案化遮罩。該第一經圖案化遮罩具有多個在其中延伸之開口，以界定凹陷存取裝置之溝渠的第一位置。在該等第一位置內蝕刻該基板以形成延伸入該基板內之凹陷存取裝置溝渠。以一閘極材料填充該等凹陷存取裝置溝渠。在該第一經圖案化遮罩上及在該閘極材料上形成一第一電絕緣材料。將該第一電絕緣材料圖案化成一界定複數個存取裝置區域之遮罩。該等存取裝置區域係由隔絕區域所環繞之島嶼。該等存取裝置區域僅包括該等凹陷存取裝置溝槽之部分。蝕刻該基板以使該等隔絕區域之基板形成凹陷。以一第二電絕緣材料覆蓋該凹陷基板。移除該第一電絕緣材料。接下來，形成複數個導電線。個別導電線延伸跨過多個存取裝置區域且使該等多個存取裝置區域之閘極材料彼此電互連。

【實施方式】

本發明包括各種用於形成與半導體結構相關聯之凹陷存取裝置之方法。於特定態樣中，形成包括凹陷存取裝置及淺溝渠隔絕區域之結構以電分離毗鄰之裝置。因此，製造凹陷存取裝置閘極溝渠及淺溝渠隔絕區域溝渠。與在形成凹陷存取裝置閘極溝渠之前形成淺溝渠隔絕區域溝渠之先前技術相對比對，本發明之某些方法係在形成淺溝渠隔絕區域溝渠之前形成凹陷存取裝置閘極溝渠。雖然該等凹陷存取裝置閘極溝渠係在該等淺溝渠隔絕區域溝渠之前形

成，但可在形成淺溝渠隔絕區域溝渠之前或之後將閘極材料形成於該等凹陷存取裝置閘極溝渠內。

本發明之實例性態樣係參照圖3-40所闡述，其中圖3-22係關於本發明一第一實施例態樣，而圖23-40係關於本發明一第二實施例態樣。

首先參照圖3及4，其圖解闡釋一處於本發明之第一實施例態樣之初步處理階段時的半導體結構100。結構100包括一基板102，舉例而言，基板102可包括經輕背底摻雜以p-型摻雜物之單晶矽，實質上由單晶矽組成或由單晶矽組成。

將一經圖案化遮罩104形成於該基板上。所示的經圖案化遮罩包括：一第一層106，其包括二氧化矽，實質上由二氧化矽組成或由二氧化矽組成；及一第二層108，其包括氮化矽，實質上由氮化矽組成或由氮化矽組成。可藉由以下步驟使遮罩104形成為所示之圖案：在遮罩104上提供一經光微影圖案化之光阻劑(未顯示)，將一圖案自該光阻劑轉移至遮罩104之材料，且隨後移除該光阻劑。

經圖案化遮罩104具有多個延伸穿過其中之開口110，其中此等開口界定凹陷存取裝置之溝渠的位置。在以下討論中，可將開口110之位置稱作第一位置。

基板102經蝕刻穿過由遮罩104所界定之第一位置以形成延伸入基板102內之凹陷存取裝置溝渠。於特定態樣中，此等溝渠將延伸入基板102之單晶矽內。圖中顯示該等溝渠具有底部周邊111及一自基板102之最上表面至該底部周

邊之深度「D」。舉例而言，此深度可係自約100埃至約2000埃。

於本發明之實例性態樣中，在圖3及4之處理階段處，基板102可包括其中具有p-阱及/或n-阱植入物之單晶矽。可藉由氧化該單晶矽之一最上表面形成層106，以形成實質上由二氧化矽組成或由二氧化矽組成且具有一自約50埃至約100埃厚度之層106。氮化物頂蓋108可包括一自約200埃至約500埃之厚度，且通常將包括一自約300埃至約500埃之厚度。

於某些態樣(未顯示)中，可藉由一兩步驟製程縮小開口110之一臨界尺寸。首先，蝕刻遮罩層104以形成所示之開口110。接下來，藉由提供一沿該等側壁延伸且處於該等開口內之氮化矽層，且隨後使此層經受各向異性蝕刻以形成該等間隔層，來沿開口110之側壁形成氮化物間隔層。然後，可在形成此等間隔層後使該等開口延伸入基板102內，以使該等開口具有一比藉由光微影處理初始形成之尺寸小的臨界尺寸。

接下來參照圖5及6，移除遮罩104(圖3及4)且在基板102上及溝渠110內形成一層112。舉例而言，層112可包括二氧化矽、實質上由二氧化矽組成或由二氧化矽組成。於此等態樣中，可藉由熱氧化一單晶基板102之暴露上表面來形成層112。

接下來參照圖7及8，將一包括氮化矽、實質上由氮化矽組成或由氮化矽組成之層114形成於層112上。應瞭解，本

文中所提供層112及114之組合物係實例性組合物，且該等層可包括任何適合之組合物。層112及114可一同被稱為一經設置以填充溝渠110之第一絕緣材料。圖7中以虛線視圖來顯示溝渠110以指示位於絕緣材料114下方的溝渠位置。

接下來參照圖9及10，將經光微影圖案化之光阻劑116設置於層114上。該光阻劑界定一欲轉移至由層112及114構成之第一絕緣材料內之圖案。隨後，藉由一適合蝕刻將此圖案轉移至層112及114，此將層112及114圖案化成一遮罩。該遮罩界定複數個存取裝置區域120、122、124及126。該等存取裝置區域係由一隔絕區域130所環繞之島嶼。存取裝置區域120、122、124及126僅包括初始形成的凹陷存取裝置溝渠110之部分(亦即，圖7及8之溝渠)，而該等溝渠之剩餘部分處於隔絕區域130內。

在圖9之視圖中，所示之存取裝置區域120、122、124及126大致為橢圓形。該等大致橢圓形存取裝置區域具有主縱向橢圓軸，其中一實例性主縱向橢圓軸顯示為區域120中之一軸121。應注意，可認為溝渠110包括沿其長度延伸之主長度軸，其中一實例性長度軸圖解闡釋為圖9中之一軸123。於圖9中所圖解闡釋之應用中，主縱向橢圓軸121相對於軸123傾斜，且因此大體上不正交於主長度軸123。然而，應瞭解，本發明亦涵蓋多個態樣(例如，以下參照圖31及32所闡述之一態樣)，其中一存取裝置區域之主縱向橢圓軸大致正交於一凹陷存取裝置溝渠之主長度軸。

接下來參照圖11及12，藉由一蝕刻使隔絕區域130之基

板形成凹陷。該蝕刻會移除凹陷存取裝置區域120、122、124及126之間的溝渠110部分。

在該蝕刻後，隔絕區域130之凹陷基板具有一在基板102最上表面以下之深度「E」。於特定態樣中，該基板可凹陷至一在凹陷存取裝置溝渠110之最低位準以下之位準，以使深度「E」至少大於圖4之深度「D」約兩倍。深度「E」可對應於一淺溝渠隔絕區域之一深度，且於特定態樣中可係自約500埃至約3500埃。

可認為圖12之兩個溝渠110彼此毗鄰，且可認為隔絕區域130形成於此等毗鄰溝渠之間。舉例而言，該等毗鄰溝渠中之一者可係一標記為131之溝渠，而另一個可係一標記為133之溝渠，且可認為此等溝渠位於一深溝渠(其形成於隔絕區域130內之該等溝渠之間)之對置側上。於所示的本發明處理中，係在該等溝渠之間形成深溝渠之前已形成毗鄰之凹陷存取裝置溝渠131及133。

接下來參照圖13及14，移除光阻劑116(圖11及12)，且隨後在隔絕區域130之凹陷基板上及在存取裝置區域120、122、124及126之層114上形成一電絕緣材料136。圖13中以虛線視圖來顯示存取裝置區域120、122、124及126以指示此等區域之位置，但應瞭解，在圖13之處理階段處，該等區域處於絕緣材料136以下。

材料136可包括任何適合之組合物或組合物組合。於特定態樣中，材料136可對應於一所謂淺溝渠堆疊，且因此可包括：一沿基板102之二氧化矽薄層、該二氧化矽上之

一薄氮化矽襯層及一填充於該襯層內之厚二氧化矽。換言之，絕緣材料136可主要包括二氧化矽，其中該材料之整體二氧化矽藉由一薄氮化矽襯層及一薄二氧化矽襯層與基板102分離。在某些態樣中，材料136之整體絕緣組合物可係一旋塗介電質。

於圖14之視圖中，可認為填充有介電質之深區域130包括一設置於凹陷存取裝置溝渠131與133之間的溝渠式隔絕區域。

接下來參照圖15及16，使材料136經受平面化(例如，化學機械平面化)以自層114上移除該材料，且形成一延伸跨過材料136及層114之經平面化上表面137。可認為圖15及16之平面化係自層114上移除絕緣材料136，而留下隔絕區域130之凹陷基板上之絕緣材料136。

接下來參照圖17及18，自基板102上移除層112及114，同時留下電絕緣材料136。於某些態樣中，可認為層112及114共同包括一第一電絕緣材料，且可認為至少移除第一電絕緣材料之大部分而至少留下對應於材料136之第二電絕緣材料之大部分。於所示之態樣中，對應於層112及114之整個第一電絕緣材料已被移除，但應瞭解，本發明涵蓋其他其中並非移除此整個材料之態樣。舉例而言，若材料112包括二氧化矽，則可將材料112留下以對應於隨後處理中之一閘極氧化物。然而，無論材料112是否包括二氧化矽，若移除材料112可係有利，此乃因此可允許在形成該實際閘極介電材料之前清潔基板102之一表面。因此，層

112及114之材料將通常相當於犧牲材料。

於圖17及18之處理階段處，若期望形成諸如(例如)p-阱或n-阱之摻雜物阱，則可將摻雜物設置於基板102內。

接下來參照圖19及20，將閘極介電材料140形成於凹陷存取裝置溝渠110內，且隨後將導電閘極材料142形成於該閘極介電材料上及該等溝渠內以填充該等溝渠。於所示的本發明態樣中，導電閘極材料142包括一第一層144及一第二層146。層144及146接合於一介面147處。舉例而言，層144可包括導電摻雜型矽、實質上由導電摻雜型矽組成或由導電摻雜型矽組成；而層146可(例如)包括一種或多種含金屬組合物、實質上由一種或多種含金屬組合物組成或由一種或多種含金屬組合物組成。該等含金屬組合物可係純金屬及/或含金屬化合物。於特定態樣中，層146可以圖20中之遞減次序包括一鎢/矽化鎢/氮化鈦之堆疊。

所示之閘極材料142不僅填充溝渠110，且亦延伸至此等溝渠以外。進一步，含金屬組合物之層146與導電摻雜型矽之層144之間的介面(亦即，介面147)係在該等溝渠以外。

將一電絕緣頂蓋150形成於導電閘極材料142上。頂蓋150可包括任何適合之組合物或組合物組合，且於特定態樣中，其將包括二氧化矽及氮化矽中之一者或兩者、實質上由二氧化矽及氮化矽中之一者或兩者組成或由二氧化矽及氮化矽中之一者或兩者組成。

圖19中以虛線視圖來顯示存取裝置區域120、122、124

及126以指示該等區域處於絕緣頂蓋150以下。

接下來參照圖21及22，將材料140、144、146及150圖案化成延伸跨過存取裝置區域120、122、124及126之導電線。更具體而言，將材料140、144、146及150圖案化成複數個線160、162、164及166，其中每一線皆延伸跨過多個存取裝置區域且使與不同存取裝置區域相關聯之閘極彼此電連接。

源極/汲極區域170、172、174、176、178及180係形成於基板102內且接近導電閘極材料144處。該等源極/汲極區域可摻雜成任何適合之摻雜物類型，且可包括任何適合之摻雜物。可藉由將摻雜物植入基板102內達一適宜深度來形成該等源極/汲極區域。該等導電閘極材料及源極/汲極區域一同形成複數個由基板102支撐之電晶體裝置180、182、184及186。此等電晶體裝置對應於具有延伸於凹陷存取裝置溝渠110內之閘極之凹陷存取裝置。

可認為每一電晶體裝置180、182、184及186皆包括一使一對源極/汲極區域彼此電連接之閘極。舉例而言，可認為電晶體裝置180包括一使源極/汲極區域170與172彼此電連接之閘極；可認為裝置182包括一使源極/汲極區域172與174彼此電連接之閘極；可認為裝置184包括一使源極/汲極區域176與178彼此電連接之閘極；且可認為裝置186包括一使源極/汲極區域178與180彼此電連接之閘極。

可藉由將某些成對源極/汲極區域連接至位元線觸點及將其他成對源極/汲極區域連接至儲存節點觸點(亦即，連

接至電容器儲存節點)而將該等電晶體裝置併入一動態隨機存取記憶體(DRAM)陣列中。於所示的本發明態樣中，係將源極/汲極區域170、174、176及180分別連接至電容器儲存節點190、192、194及196；而將源極/汲極區域172及178分別連接至位元線198及200。因此，可將該所示結構併入一DRAM陣列內。

接下來參照圖23及24，此兩個圖圖解闡釋一處於本發明一第二實施例態樣之初步處理階段處之半導體結構300。在參照與本發明第二態樣實施例相關聯之圖式中，若合適，將使用以上闡述本發明第一態樣實施例中曾使用之類似編號。

結構300包括先前參照圖3及4所述之基板102、層106及108之經圖案化遮罩104、及溝渠110，且因此其完全對應於以上參照圖3及4所論述之結構。

接下來參照圖25及26，閘極介電材料302經形成以襯墊溝渠110之底部，且隨後在該等溝渠內及介電材料302上形成閘極材料304。

舉例而言，介電材料302可包括二氧化矽、實質上由二氧化矽組成或由二氧化矽組成。於此態樣中，可沈積材料302，或可藉由氧化溝渠110內自基板102暴露出之矽來形成材料302。可以兩個步驟來形成介電材料302，視需要，其中一個步驟係在溝渠110內初始形成一第一二氧化矽材料，而另一步驟係自該溝渠內剝離該第一介電材料並在該溝渠內形成另一介電材料，其係一比初始提供之彼介電材

料品質更好之二氧化矽介電質。

閘極材料304可包括矽、實質上由矽組成或由矽組成。可在沈積時導電摻雜該矽，或可以一非導電摻雜形式來沈積且隨後在一較後處理階段處摻雜以一適宜之植入物。

圖中顯示圖26之結構包括一延伸跨過閘極材料304及跨過絕緣材料108之經平面化上表面305。此可藉由以下步驟來形成：初始提供閘極材料304以覆蓋材料108以及填充該等溝渠，且隨後使材料304經受平面化(例如，化學-機械拋光)以自材料108上移除材料304並形成經平面化上表面305。

視需要，可在溝渠110內形成閘極材料304之前將一增強植入物及/或臨限電壓植入物設置於基板102內。

雖然圖中顯示閘極材料304具有一與層108之最上表面共同延伸之經平面化表面，但應瞭解，該閘極材料亦可具有一凹陷於層108最上表面之高度位準以下的表面。於某些態樣中，較佳的情形可係使含矽材料304凹陷於層108最上表面以下。

接下來參照圖27及28，使材料304及層108之最上表面經受氧化以在層108上形成一氧化物310，及在層304上形成一氧化物312。於本發明之特定態樣中，層108將包括氮化矽、實質上由氮化矽組成或由氮化矽組成，且因此氧化物310將包括氮氧化矽、實質上由氮氧化矽組成或由氮氧化矽組成；且層304將包括矽、實質上由矽組成或由矽組成，且因此氧化物312將包括二氧化矽、實質上由二氧化

矽組成或由二氧化矽組成。氧化物310及312可形成為自約30埃厚至約60埃厚。

接下來參照圖29及30，將一電絕緣材料314設置於氧化物310及312上。舉例而言，層314可包括氮化矽、實質上由氮化矽組成或由氮化矽組成，且可沈積至一自約300埃至約500埃之厚度。於本發明之某些態樣中，可認為組合物310、312及314一同形成一設置於第一經圖案化遮罩104及閘極材料304上之絕緣材料316。

圖29中以虛線視圖來顯示溝渠110以指示該等溝渠之位置。

接下來參照圖31及32，將材料316圖案化成一遮罩，該遮罩界定複數個存取裝置區域320、324、326、328、330、332、334及336，且界定一環繞該等存取裝置區域之隔絕區域340。可藉由以下步驟來達成材料316之圖案化：在材料316上設置一經光微影圖案化之光阻劑遮罩(未顯示)，將一圖案自該光阻劑遮罩轉移至材料316，且隨後移除該光阻劑遮罩。

在圖案化材料316後，即在隔絕區域340內蝕刻基板102以使此隔絕區域之基板形成凹陷。該隔絕區域之凹陷基板處於一低於溝渠110最低高度位準之高度位準處，且於某些態樣中處於比溝渠110之高度位準深至少兩倍處。

隔絕區域340內之蝕刻自該隔絕區域內移除閘極材料304，而留下存取裝置區域320、324、326、328、330、332、334及336內之閘極材料。舉例而言，可藉由一反應

式離子蝕刻來達成隔絕區域340內之蝕刻。

將一氧化物342及一氮化物襯層344設置於經蝕刻之隔絕區域340內，且於所示態樣中，其亦在材料314上延伸。舉例而言，氧化物342可包括沿基板102之二氧化矽、實質上由沿基板102之二氧化矽組成或由沿基板102之二氧化矽組成，而氮化物344(例如)可包括氮化矽、實質上由氮化矽組成或由氮化矽組成。可藉由氧化結構300所暴露之材料形成該氧化物，且因此該氧化物沿基板102可包括一不同於沿材料108及314之組合物；或另一選擇係，可藉由沈積來形成該氧化物。可偏好於氧化作用，此乃因此可修復可在反應式離子蝕刻期間發生的電漿誘發之損壞，且亦可在介面表面處侵入至閘極介電質內以提供基板102之閘極多晶矽與整體矽之間的低洩漏。該氧化物較佳形成至一自約30埃至約80埃之厚度。可將氮化物襯層344沈積於氧化物層342上，且最終可起到隨後旋塗玻璃沈積製程之一保護層之作用。

應注意，圖31之存取裝置區域顯示為類似於圖9之存取裝置區域之橢圓形。然而，與圖9之存取裝置區域不同，圖31之存取裝置區域具有大致正交於凹陷存取裝置溝渠110之主長度軸之主縱向橢圓軸。

接下來參照圖33及34，介電材料350經設置以填充凹陷隔絕區域340。介電材料350可係一旋塗玻璃。介電材料350可經初始形成以覆蓋絕緣材料316，以及填充凹陷隔絕區域340，且隨後可利用平面化(例如，化學-機械拋光)以

自絕緣材料316上移除該介電材料並形成所示的在介電材料350及層314上延伸之經平面化表面351。於某些態樣中，絕緣材料316(包括材料314、310及312)可被稱作一第一絕緣材料，而絕緣材料350可被稱作一第二絕緣材料。

接下來參照圖35及36，移除層314(圖34)。此可藉由一濕氧化物蝕刻以使該旋塗玻璃略凹陷於氮化物材料314下方，後隨一濕氮化物剝離以移除材料314所達成。該濕氮化物剝離可有選擇地停止於氧化物材料310及312處。

接下來參照圖37及38，複數個線370、372、374及376經形成以延伸跨過存取裝置區域320、324、326、328、330、332、334及336。該等線包括一導電材料380及一絕緣頂蓋382。舉例而言，導電材料380可包括一氮化鈦/矽化鎢/鎢之堆疊(以圖38之視圖中的遞減次序)，而頂蓋382包括氮化矽、實質上由氮化矽組成或由氮化矽組成。

可藉由在結構300之整個最上表面上初始沈積適合之層380及382材料且隨後藉由以下步驟圖案化該等材料來形成該等線：在層380及382上形成經光微影圖案化之光阻劑，將一圖案自該光阻劑轉移至下伏層380及382，且隨後移除該光阻劑。

類似於圖21及22之結構，可將圖37及38之結構併入一DRAM陣列中。具體而言，可在接近由導電閘極材料144所構成之電晶體閘極處形成適宜之導電摻雜型擴散區域，而電容器結構及位元線結構可與該等源極/汲極區域電耦接。

圖39及40圖解闡釋一相對於圖37及38之彼態樣的替代態樣。具體而言，可使結構300在形成線370、372、374及376之前經受平面化。此平面化移除層108(圖35及36)並形成所示的經平面化表面390。雖然圖中顯示經平面化表面390位於材料106上，但應瞭解，該平面化亦可延伸穿過材料106。若該平面化延伸穿過材料106，則可在形成該等線之前將另一介電材料形成於基板102上來替代材料106。可以一類似於以上關於圖39所論述之彼方式的方式將圖40之結構併入一記憶體陣列中。

【圖式簡單說明】

上文參照以下附圖闡述了本發明之較佳實施例。

圖1係一半導體晶圓片斷之示意性剖視圖，其圖解闡釋一先前技術之電晶體裝置。

圖2係一半導體晶圓片斷之示意性剖視圖，其圖解闡釋另一先前技術之電晶體裝置。

圖3及圖4係一半導體晶圓片斷之示意性俯視圖及示意性剖面端視圖，其圖解闡釋該半導體晶圓片斷處於本發明一實例性態樣之初步處理階段處。圖4之剖面係沿圖3之線4-4。

圖5及6分別圖解闡釋處於圖3及4之彼處理階段之後的一處理階段之圖3及4之片斷。圖6之剖面係沿圖5之線6-6。

圖7及8分別圖解闡釋處於圖5及6之彼處理階段之後的一處理階段之圖3及4之片斷。圖8之剖面係沿圖7之線8-8。

圖9及10分別圖解闡釋處於圖7及8之彼處理階段後的一

處理階段之圖3及4之片斷。圖10之剖面係沿圖9之線10-10。

圖11及12分別圖解闡釋處於圖9及10之彼處理階段後的一處理階段之圖3及4之片斷。圖12之剖面係沿圖11之線12-12。

圖13及14分別圖解闡釋處於圖11及12之彼處理階段後的一處理階段之圖3及4之片斷。圖14之剖面係沿圖13之線14-14。

圖15及16分別圖解闡釋處於圖13及14之彼處理階段後的一處理階段之圖3及4之片斷。圖16之剖面係沿圖15之線16-16。

圖17及18分別圖解闡釋處於圖15及16之彼處理階段後的一處理階段之圖3及4之片斷。圖18之剖面係沿圖17之線18-18。

圖19及20分別圖解闡釋處於圖17及18之彼處理階段後的一處理階段之圖3及4之片斷。圖20之剖面係沿圖19之線20-20。

圖21及22分別圖解闡釋處於圖19及20之彼處理階段後的一處理階段之圖3及4之片斷。圖22之剖面係沿圖21之線22-22。

圖23及24係一半導體晶圓片斷之示意性俯視圖及示意性剖面側視圖，圖中顯示該半導體晶圓片斷處於本發明之一第二實施例之實例性態樣的一初步處理階段處。圖24之剖面係沿圖23之線24-24。

圖25及26分別圖解闡釋處於圖23及24之彼處理階段後的一處理階段之圖23及24之片斷。圖26之剖面係沿圖25之線26-26。

圖27及28分別圖解闡釋處於圖25及26之彼處理階段後的一處理階段之圖23及24之片斷。圖28之剖面係沿圖27之線28-28。

圖29及30分別圖解闡釋處於圖27及28之彼處理階段後的一處理階段之圖23及24之片斷。圖30之剖面係沿圖29之線30-30。

圖31及32分別圖解闡釋處於圖29及30之彼處理階段後的一處理階段之圖23及24之片斷。圖32之剖面係沿圖31之線32-32。

圖33及34分別圖解闡釋處於圖31及32之彼處理階段後的一處理階段之圖23及24之片斷。圖34之剖面係沿圖33之線34-34。

圖35及36分別圖解闡釋處於圖33及34之彼處理階段後的一處理階段之圖23及24之片斷。圖36之剖面係沿圖35之線36-36。

圖37及38分別圖解闡釋處於圖35及36之彼處理階段後的一處理階段之圖23及24之片斷。圖38之剖面係沿圖37之線38-38。

圖39及40分別圖解闡釋處於圖37及38之彼處理階段後的一處理階段之圖23及24之片斷。圖40之剖面係沿圖39之線40-40。

【主要元件符號說明】

10	半導體結構
12	基板
14	電晶體裝置
16	閘極
18	介電材料
20	源極/汲極區域
22	通道區域
24	側壁間隔層
30	結構
32	半導體基板
34	電晶體、電晶體裝置
36	閘極
38	介電材料
40	源極/汲極區域
42	通道區域
100	半導體結構
102	基板
104	遮罩
106	層、材料
108	第二層、氮化物頂蓋
110	開口
111	底部周邊
112	層、材料

114	層、絕緣材料
116	光阻劑
120	存取裝置區域
121	主縱向橢圓軸
122	存取裝置區域
123	主長度軸
124	存取裝置區域
126	存取裝置區域
130	隔絕區域
131	溝渠
133	溝渠
136	電絕緣材料
137	經平面化上表面
140	閘極介電材料
142	導電閘極材料
144	第一層
146	第二層
147	介面
150	導電絕緣頂蓋、材料
160	線
162	線
164	線
166	線
170	源極/汲極區域

172	源極/汲極區域
174	源極/汲極區域
176	源極/汲極區域
178	源極/汲極區域
180	源極/汲極區域、電晶體裝置
182	電晶體裝置
184	電晶體裝置
186	電晶體裝置
190	電容器儲存節點
192	電容器儲存節點
194	電容器儲存節點
196	電容器儲存節點
198	位元線
200	位元線
300	半導體結構
302	閘極介電材料
304	閘極材料、矽材料、層
305	上表面
310	氧化物
312	氧化物
314	層、組合物、材料
316	絕緣材料
320	存取裝置區域
324	存取裝置區域

326 存取裝置區域

328 存取裝置區域

330 存取裝置區域

332 存取裝置區域

334 存取裝置區域

336 存取裝置區域

340 隔絕區域

342 氧化物

344 氮化物

350 介電材料、絕緣材料

351 經平面化表面

370 線

372 線

374 線

376 線

380 導電材料、層

382 絕緣頂蓋

390 經平面化表面

五、中文發明摘要：

本發明包括形成凹陷存取裝置之方法。提供一種其中具有凹陷存取裝置溝渠之基板。一對凹陷存取裝置溝渠相互毗鄰。將電氣導電材料形成於該等凹陷存取裝置溝渠內，且在接近該電氣導電材料處形成源極/汲極區域。將該等電氣導電材料及源極/汲極區域一同併入一對毗鄰之凹陷存取裝置內。在於該基板內形成該等凹陷存取裝置溝渠後，即在該等毗鄰之凹陷存取裝置之間形成一隔絕區域溝渠且填充以電絕緣材料以形成一溝渠式隔絕區域。

六、英文發明摘要：

十一、圖式：

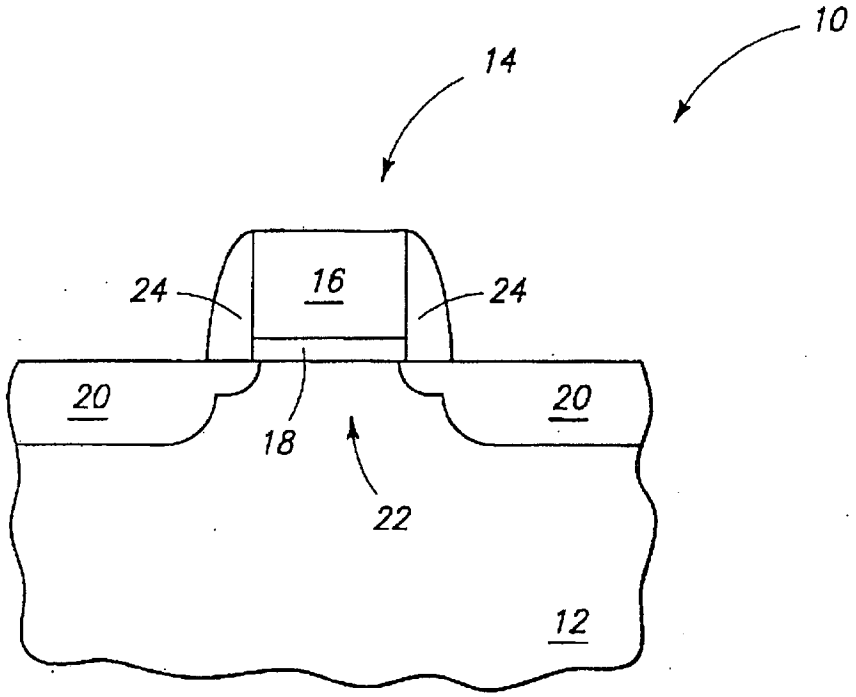


圖 1

先前技術

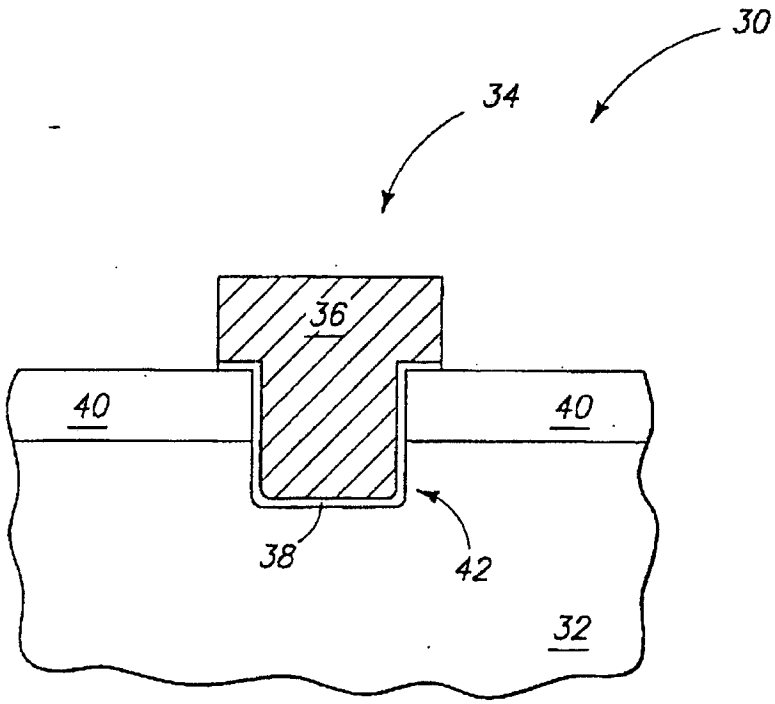


圖 2

先前技術

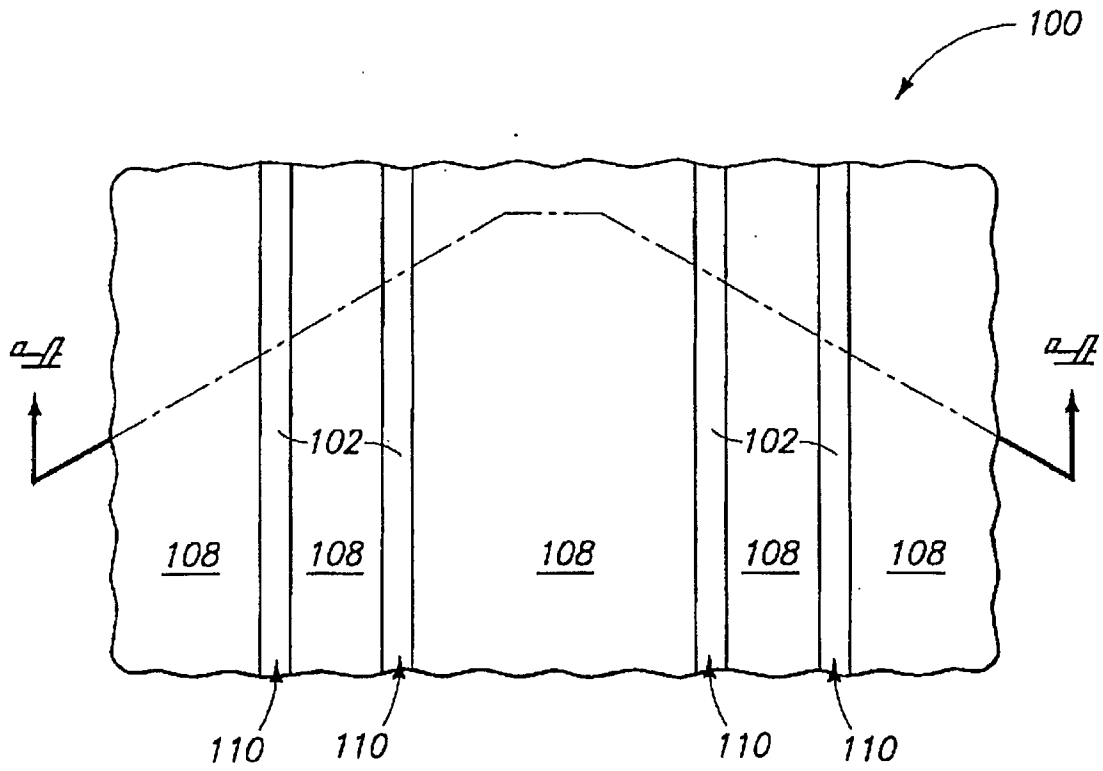

100
a
a
102
102
108
108
108
108
108
110
110
110
110

圖 3

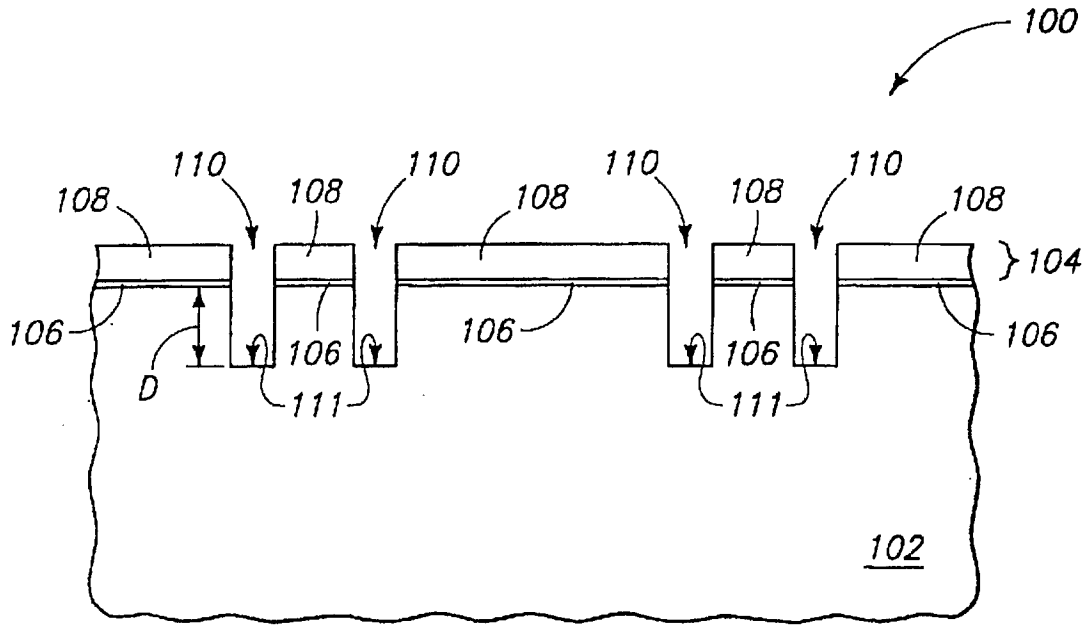

100
110
110
110
110
108
108
108
108
108
104
106
106
106
106
D
111
111
102

圖 4

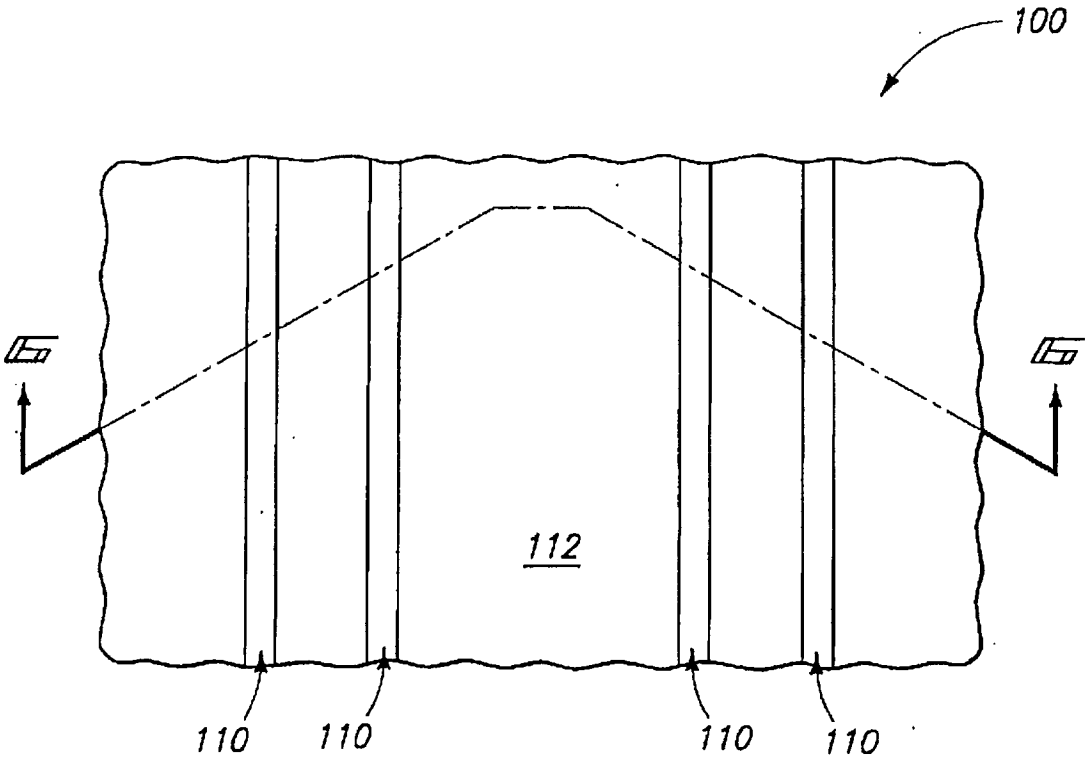


圖 5

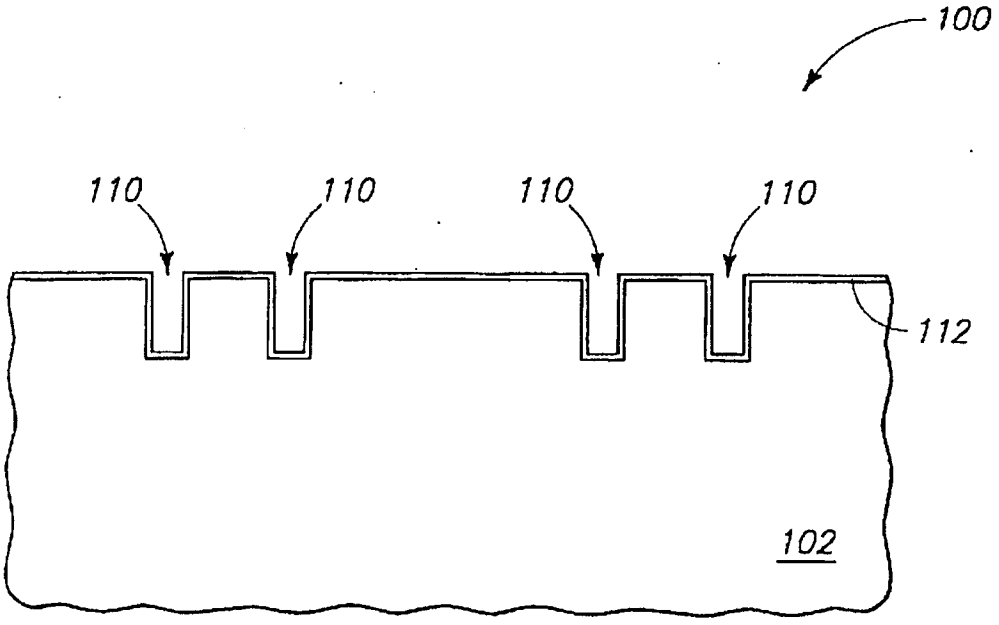


圖 6

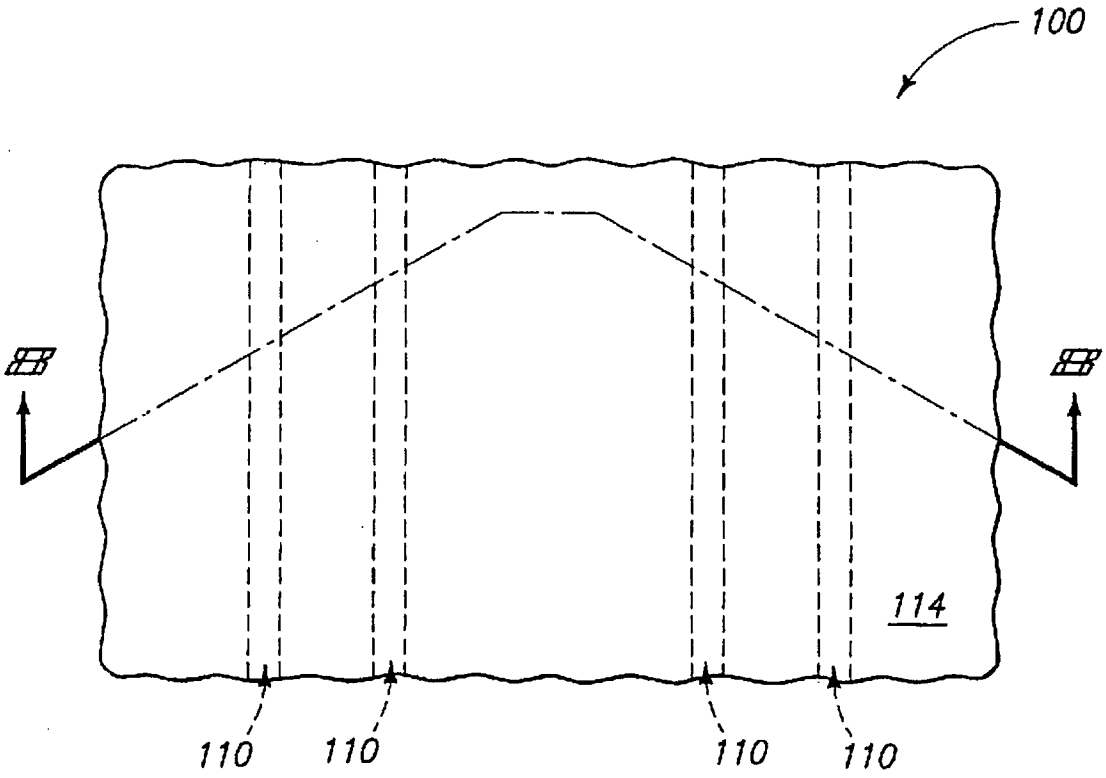


圖 7

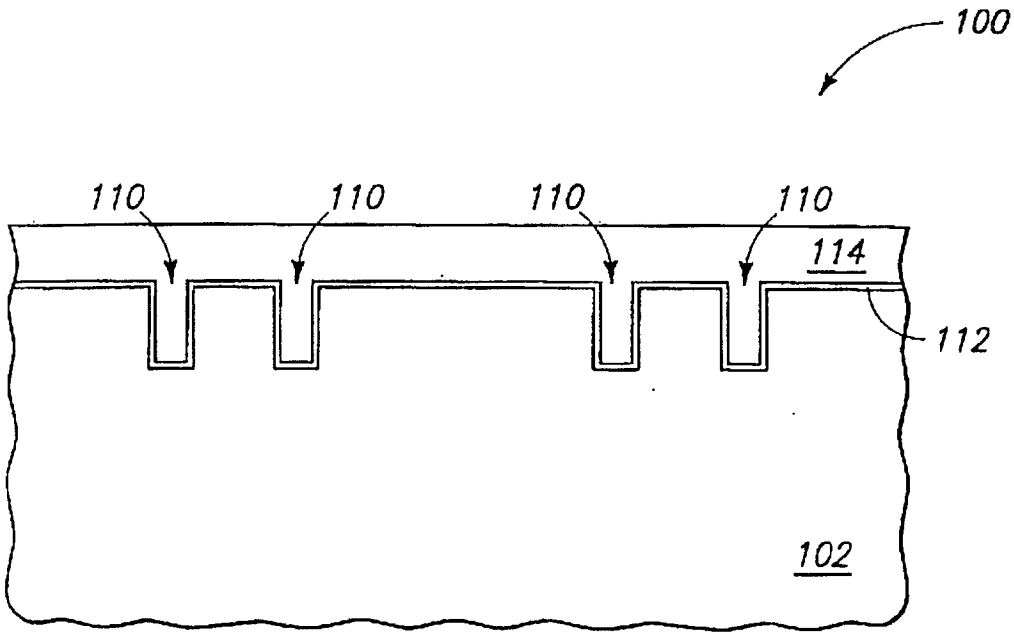


圖 8

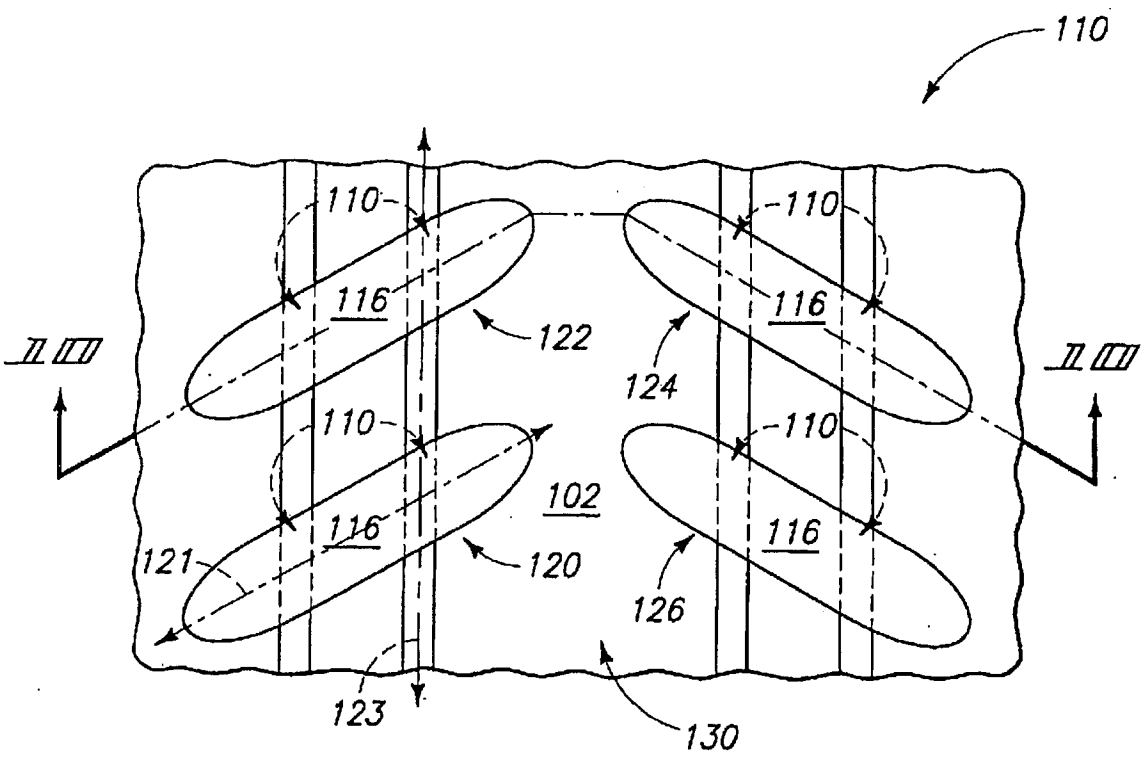

110
110
116
122
124
110
116
II
II
110
110
102
116
116
121
120
126
123
130

圖 9

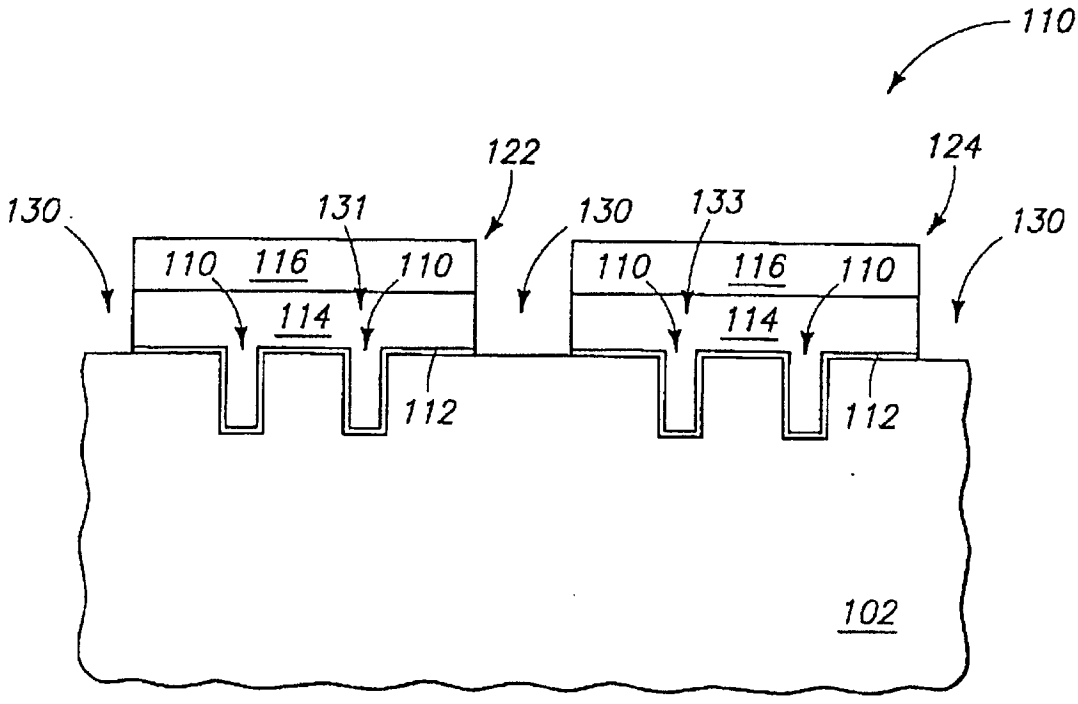

110
122
124
130
131
130
133
130
110
116
110
110
116
110
114
114
112
112
102

圖 10

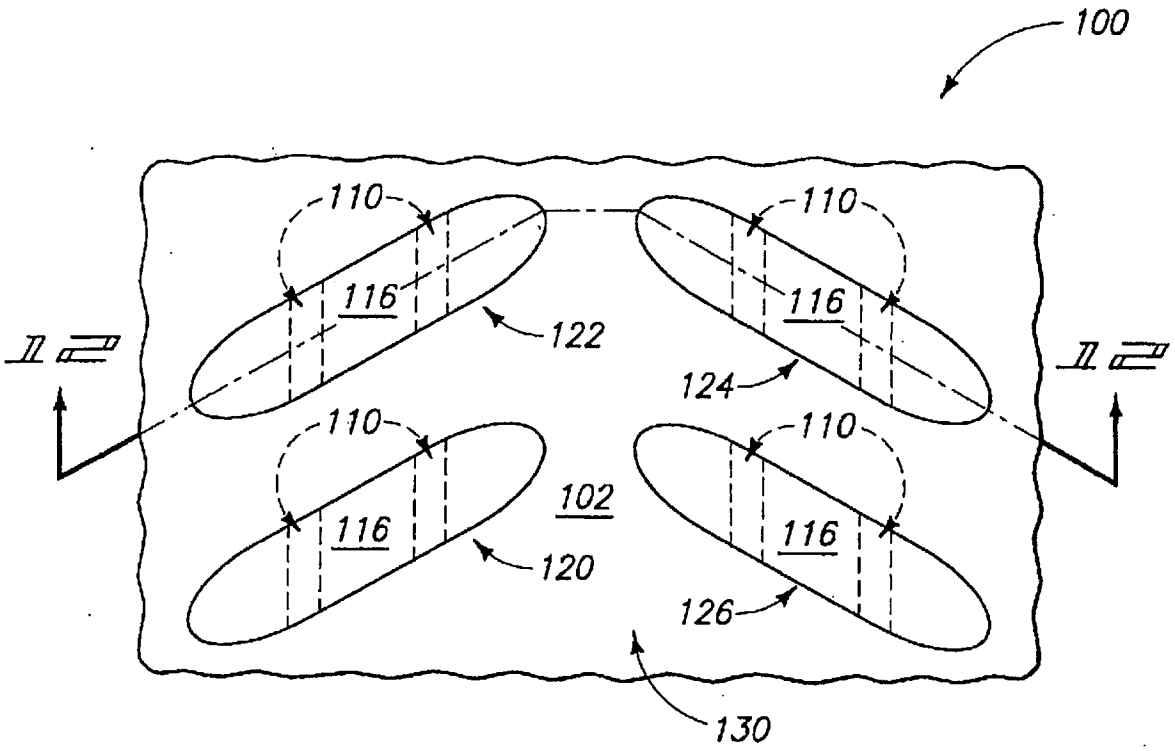

100
110
116
122
110
116
124
II
II
110
116
102
120
110
116
126
130

圖 11

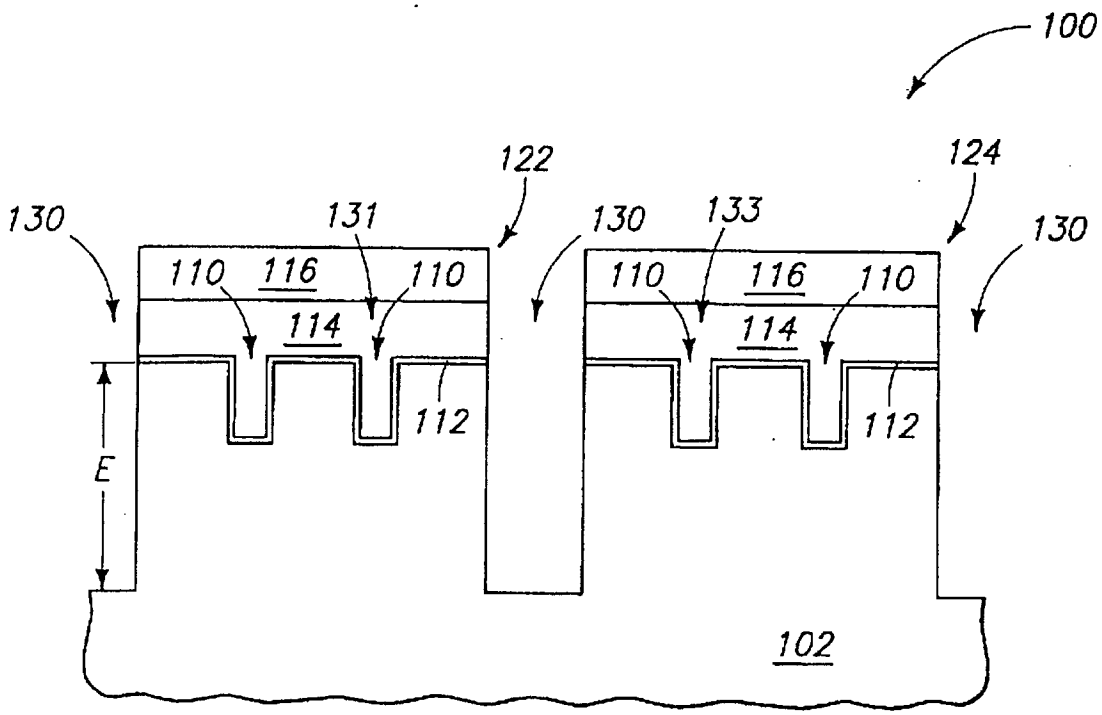

100
122
124
130
131
130
133
130
110
116
110
110
116
110
114
114
112
112
E
102

圖 12

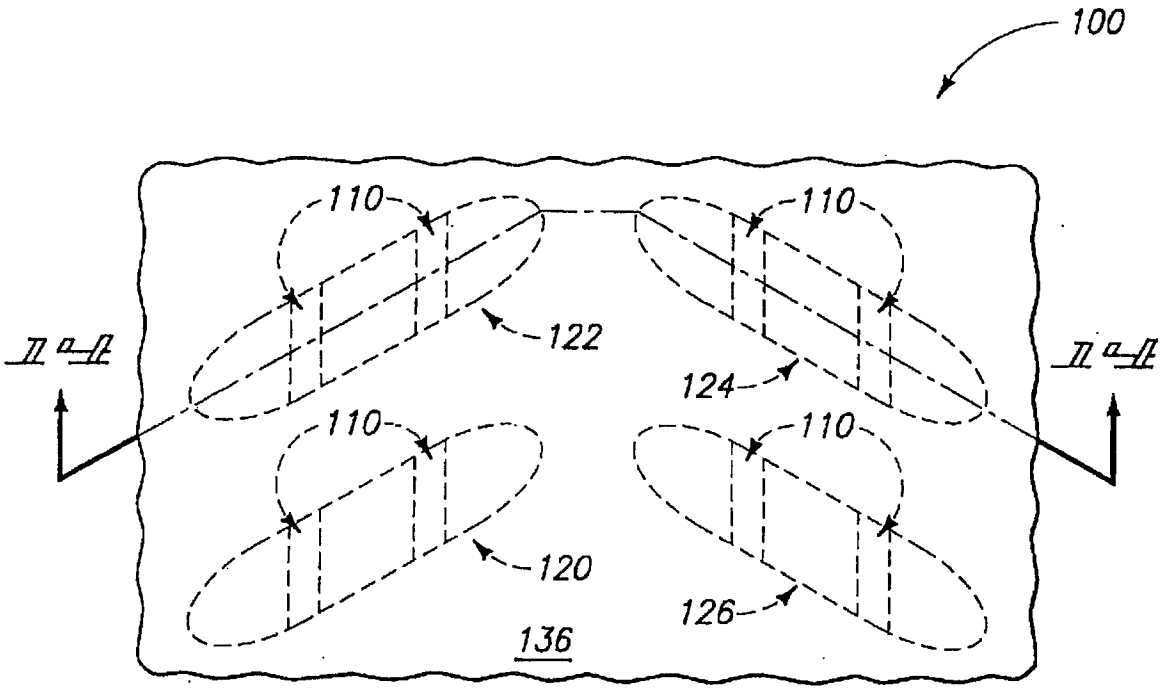

100
110
110
122
124
110
110
120
126
136
II
II

圖 13

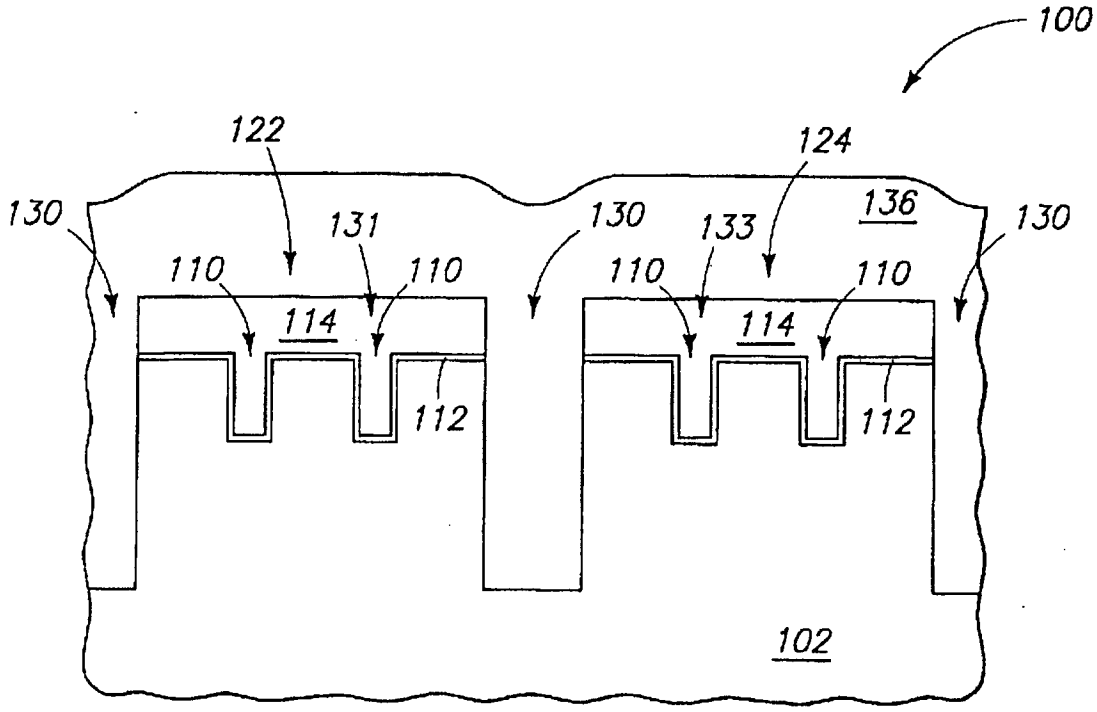

100
122
124
130
131
130
133
136
130
110
110
110
110
114
114
112
112
102

圖 14

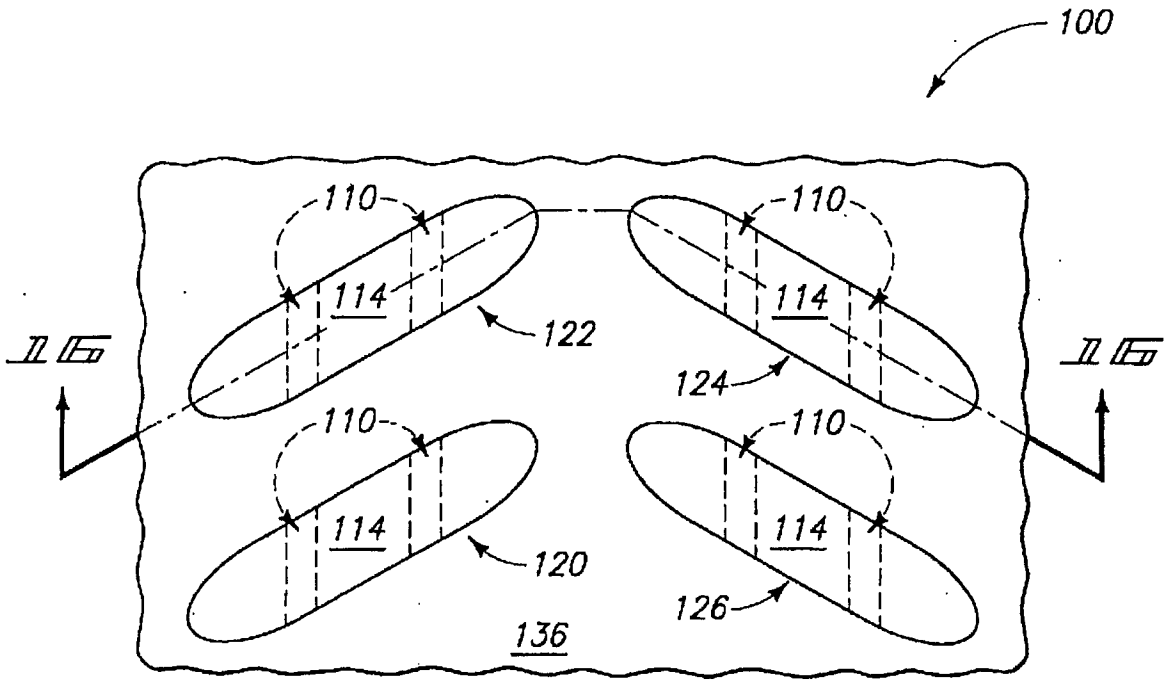

100
110
114
122
110
114
124
II
II
110
114
120
110
114
126
136

圖 15

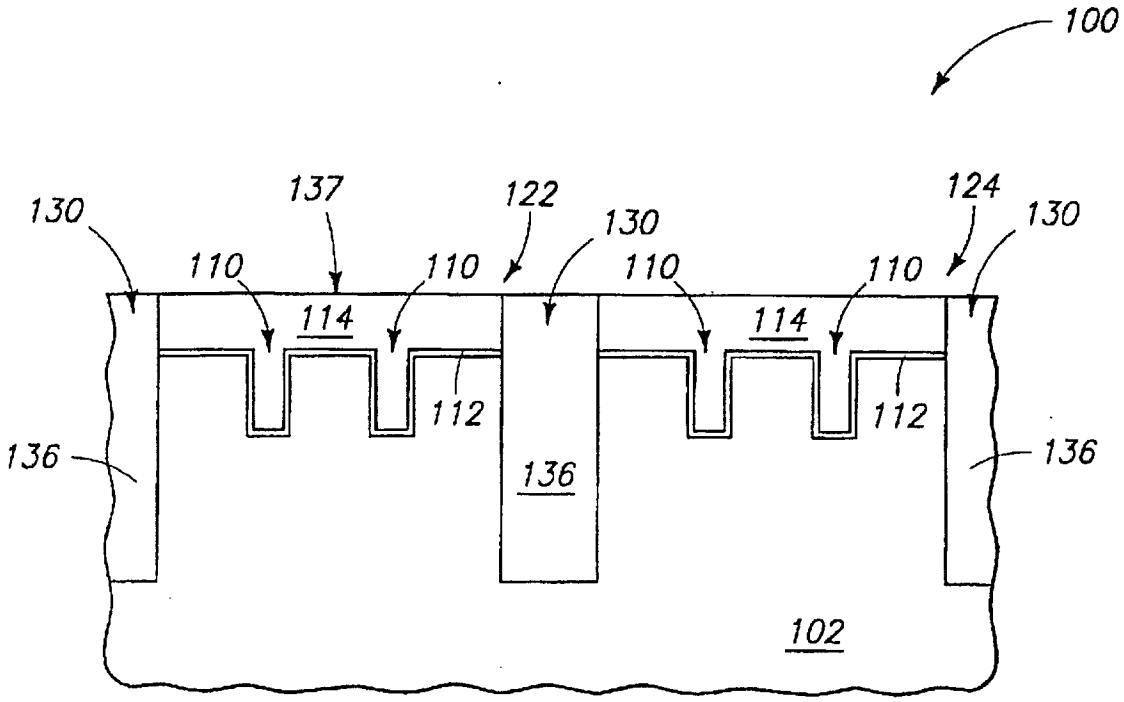

100
130
137
122
124
130
110
110
110
110
114
114
112
112
136
136
136
102

圖 16

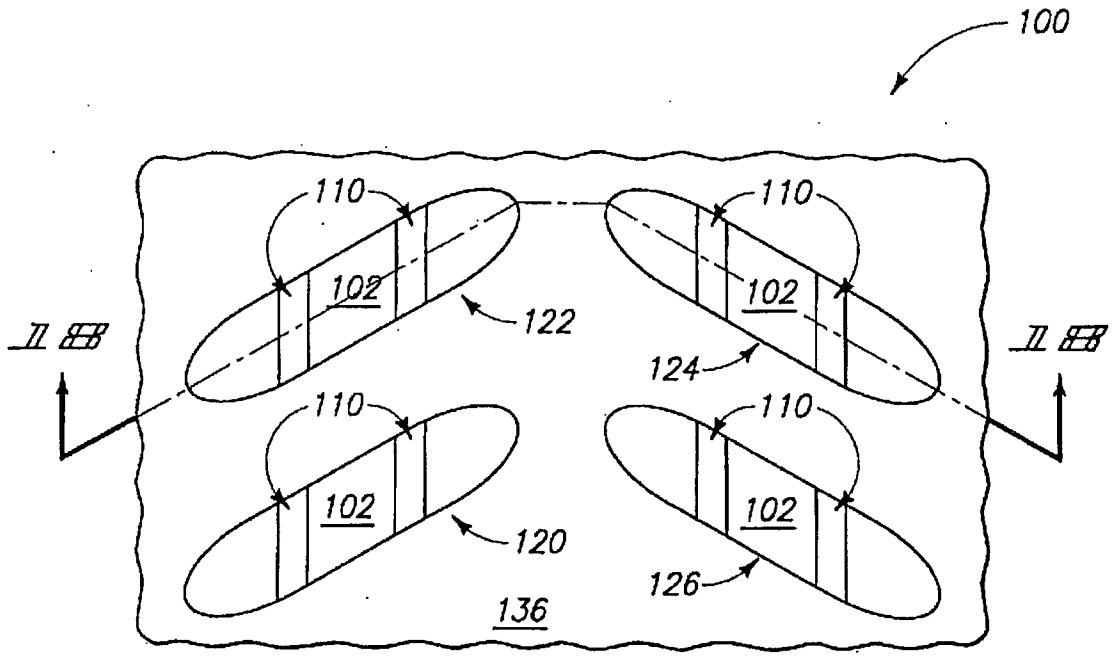

100
110
102
122
110
102
II
II
124
110
102
120
110
102
126
136

圖 17

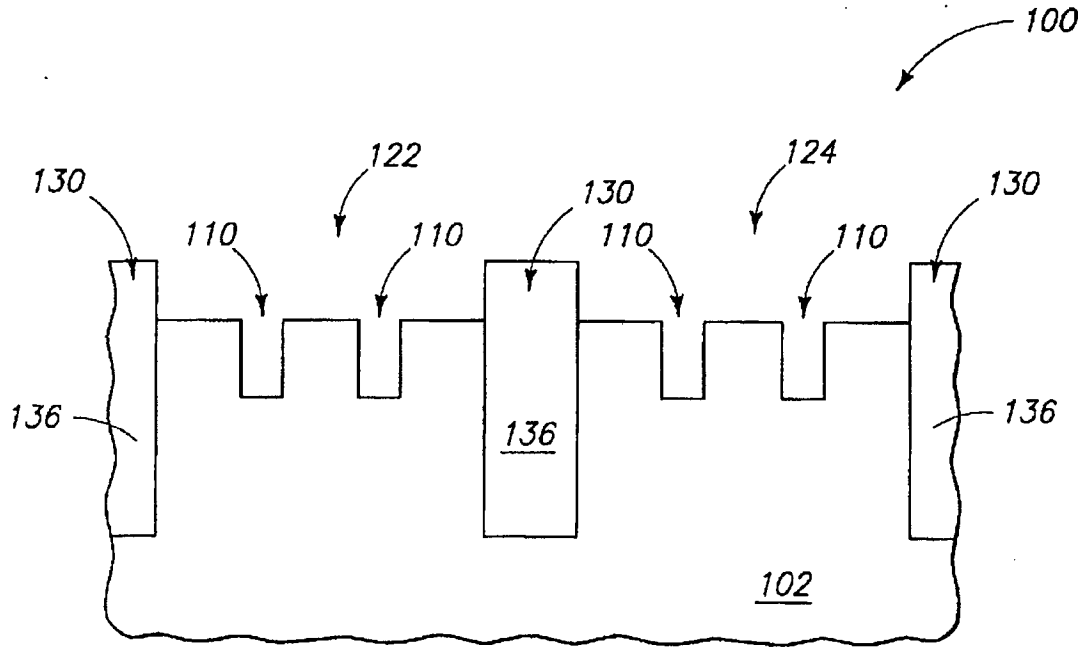

100
130
122
110
110
130
124
110
110
130
136
136
136
102

圖 18

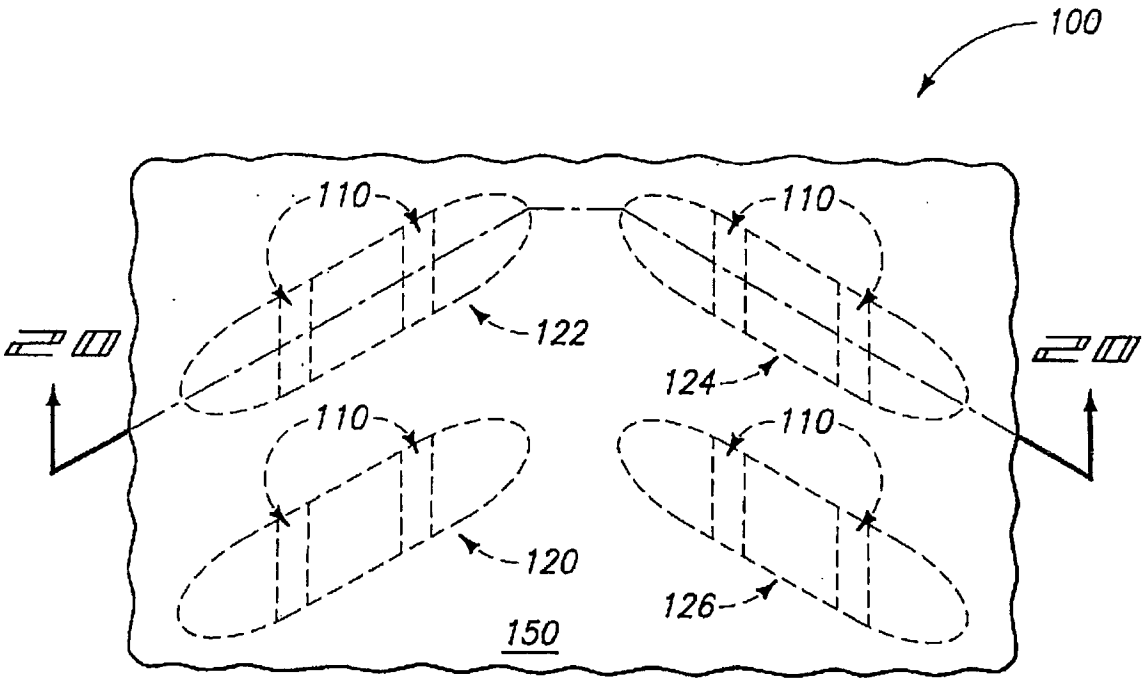

100
110
110
122
124
110
110
120
126
150
2
2

圖 19

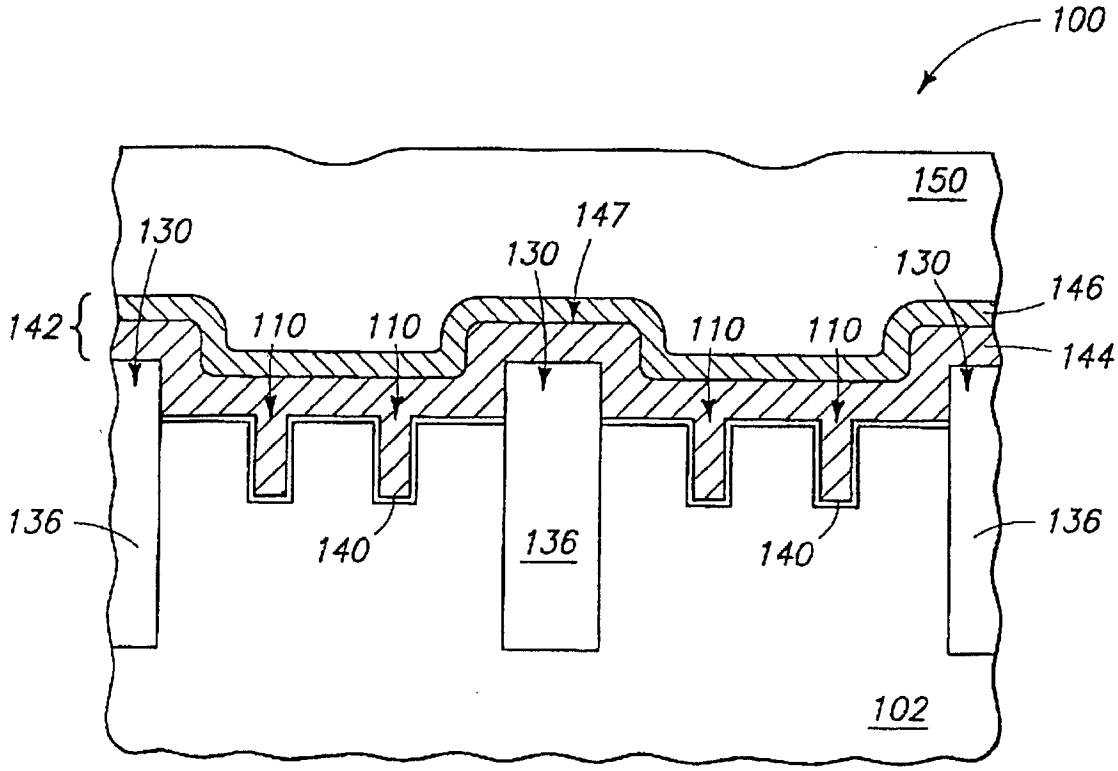

100
150
130
147
130
130
146
142
110
110
110
110
144
136
140
136
140
136
102

圖 20

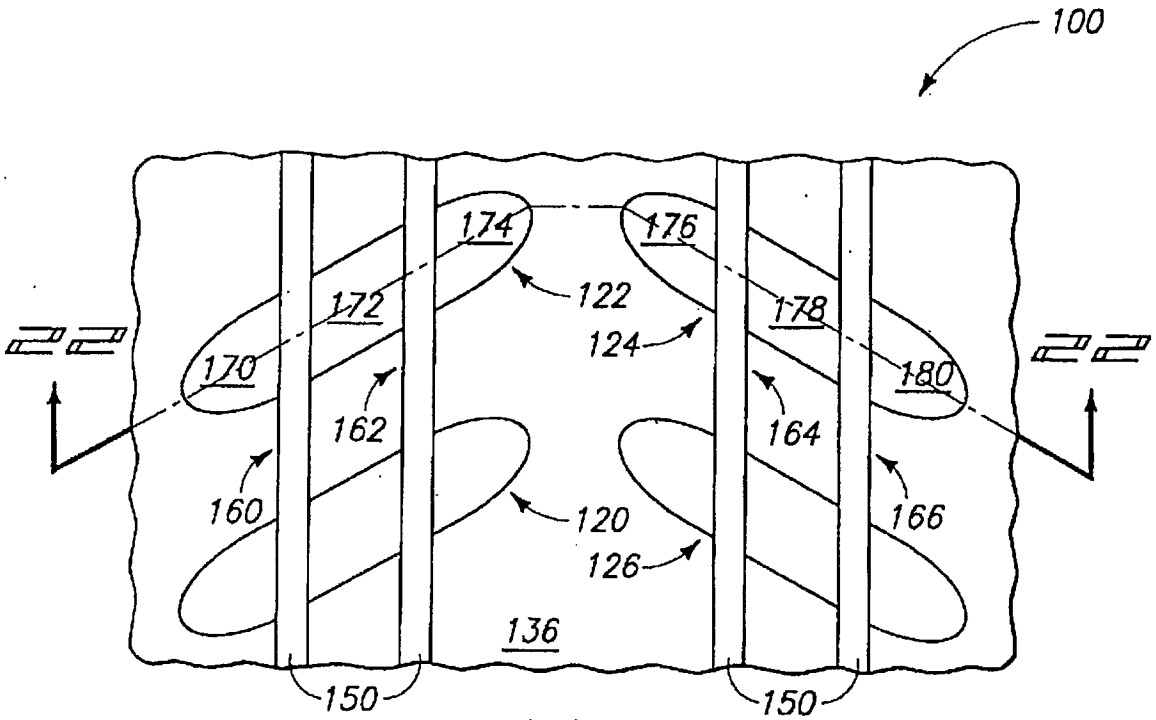

100
174
176
122
172
178
124
170
180
162
164
160
166
120
126
136
150
150
22
22

圖 21

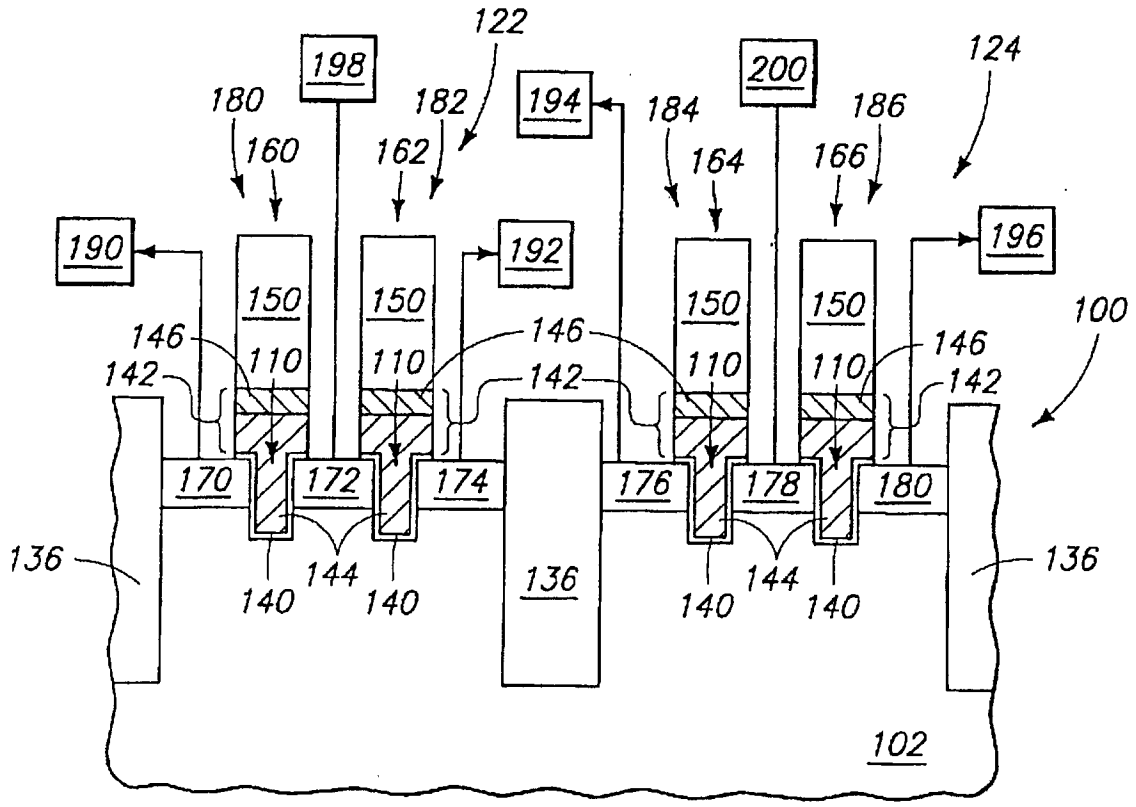

122
198
200
124
180
182
194
184
186
160
162
164
166
190
192
196
150
150
150
150
146
146
146
110
110
110
110
142
142
142
100
170
172
174
176
178
180
136
136
136
144
144
140
140
140
140
102

圖 22

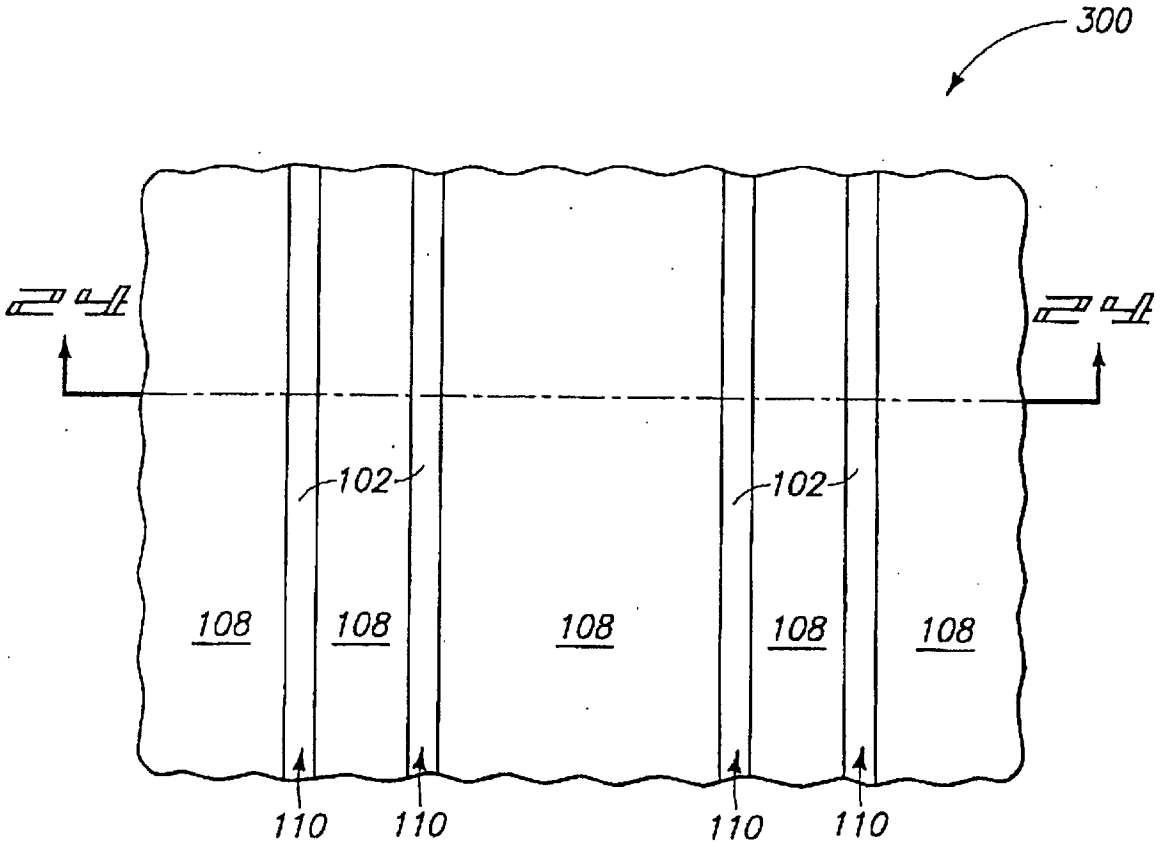

300
2-4
2-4
102
102
108
108
108
108
108
110
110
110
110

圖 23

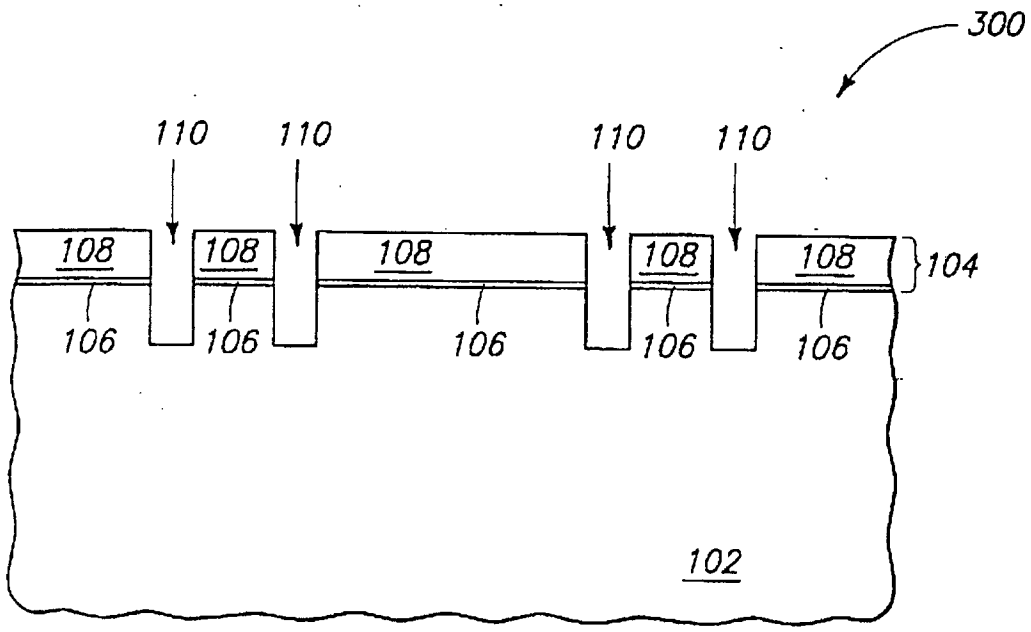

300
110
110
110
110
108
108
108
108
108
104
106
106
106
106
106
102

圖 24

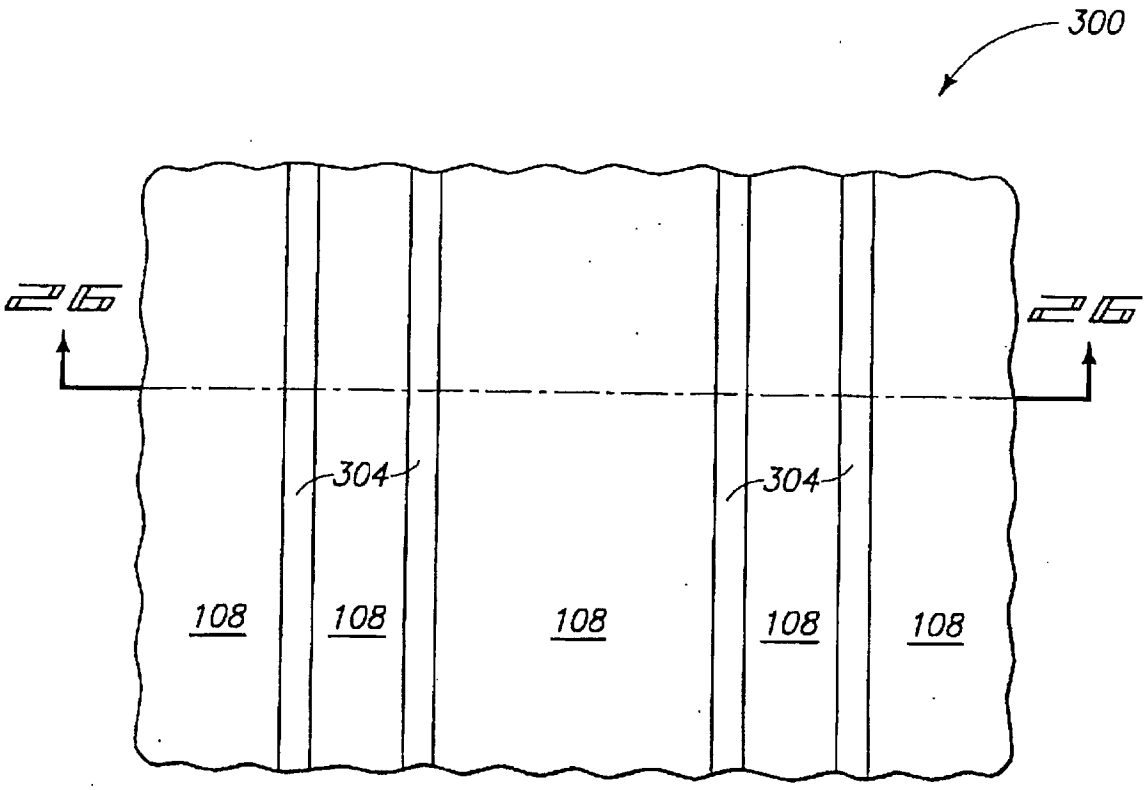

300
26
26
304
304
108
108
108
108
108

圖 25

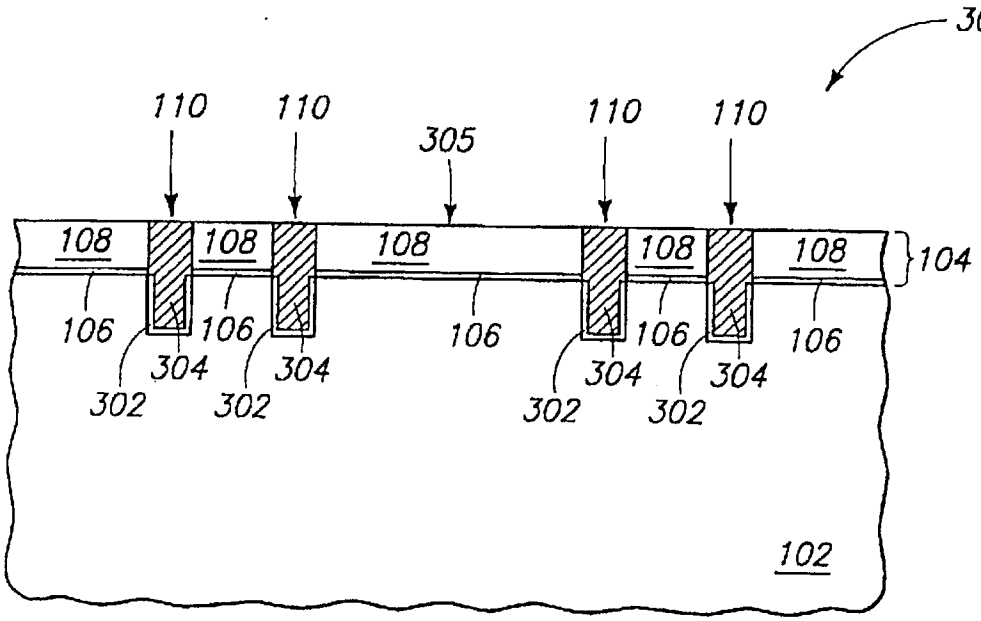

300
110
110
305
110
110
108
108
108
108
108
104
106
106
106
106
106
304
304
304
304
302
302
302
302
102

圖 26

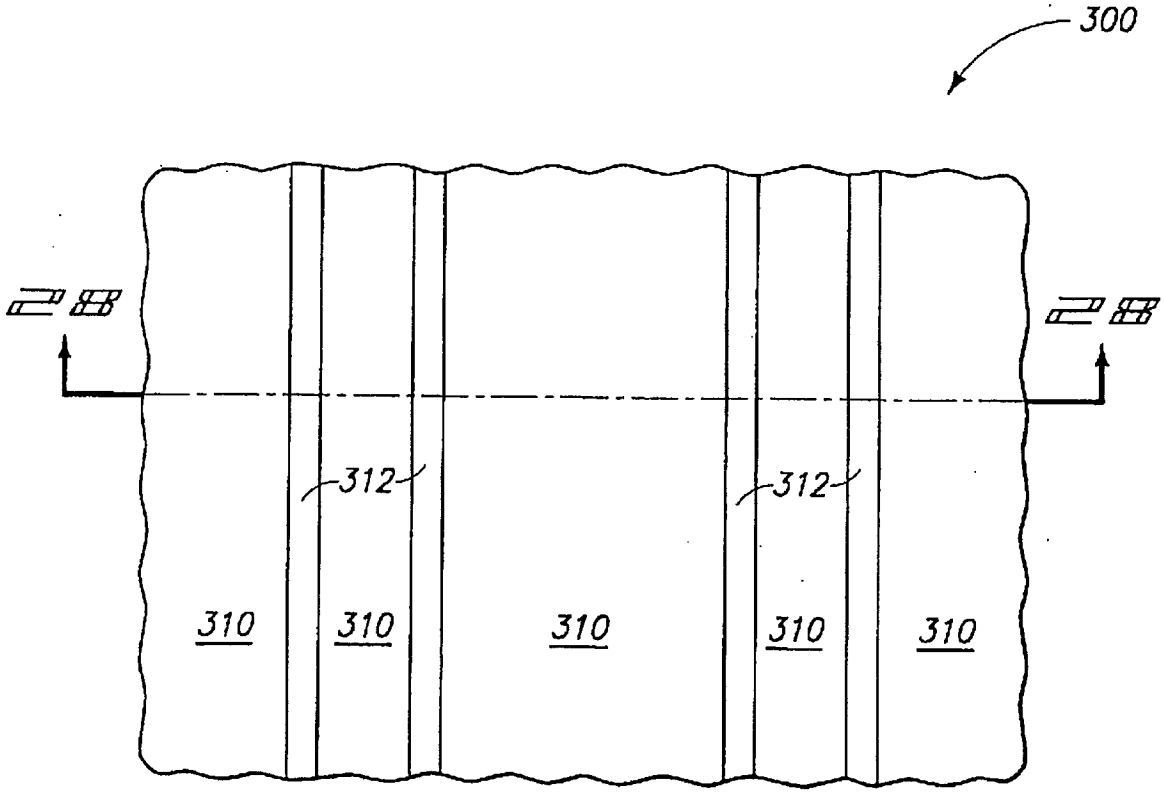

300
2-2
2-2
312
312
310
310
310
310
310

圖 27

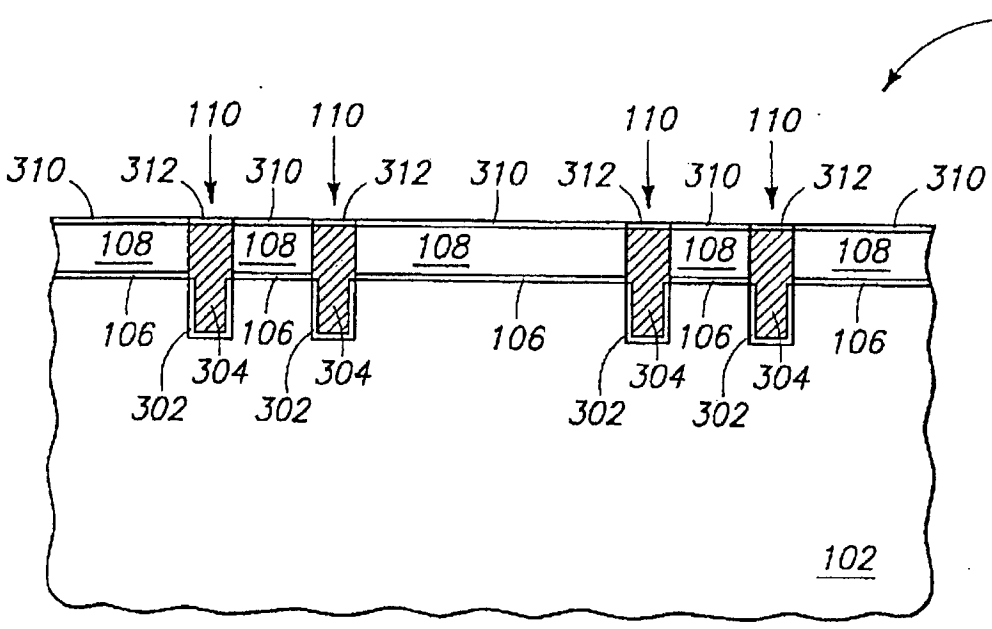

300
110
110
110
110
310
312
310
312
310
312
310
312
310
108
108
108
108
108
106
106
106
106
106
304
304
304
304
302
302
302
302
102

圖 28

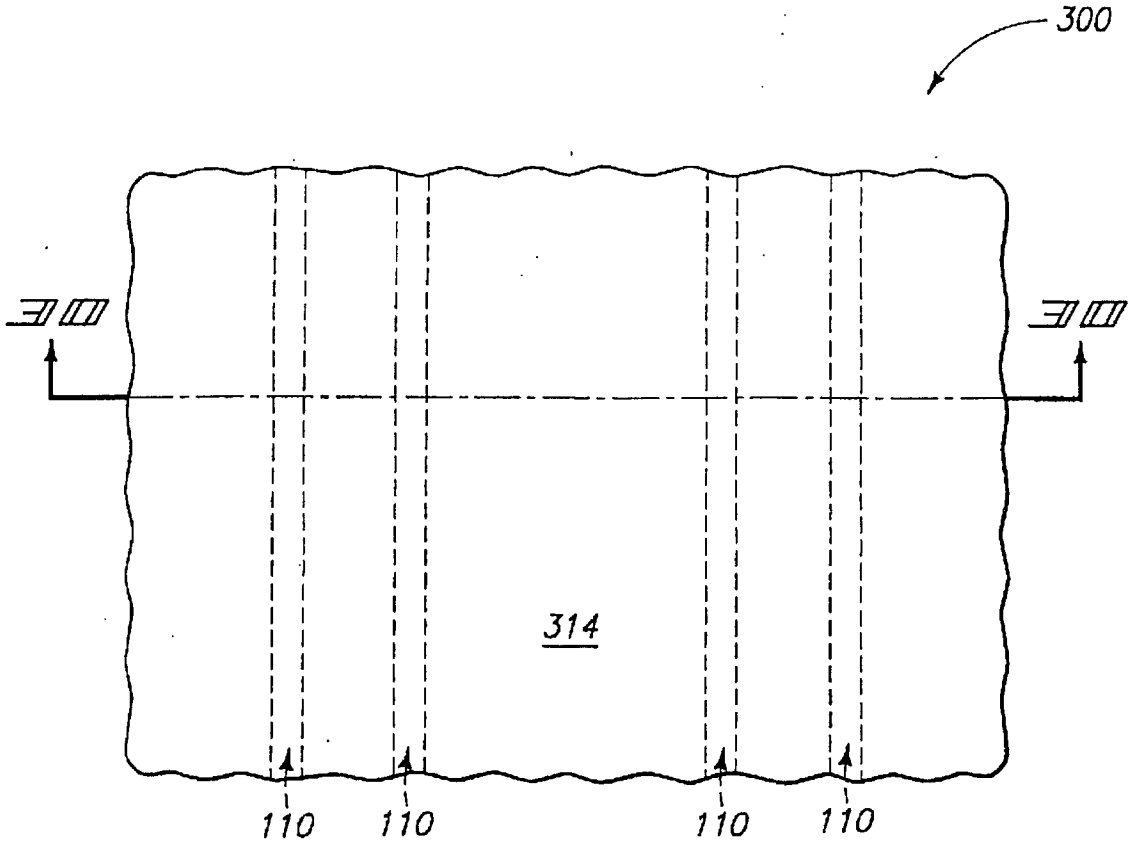

300
314
110
110
110
110

圖 29

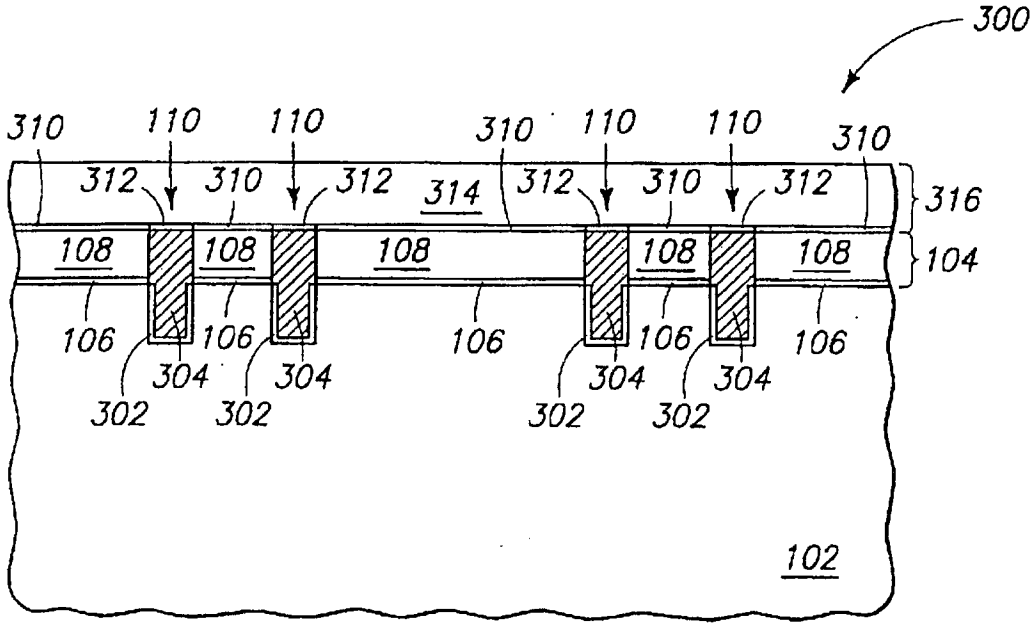

300
310
110
110
310
110
110
310
312
310
312
314
312
310
312
316
108
108
108
108
108
104
106
106
106
106
106
304
304
304
304
302
302
302
302
102

圖 30

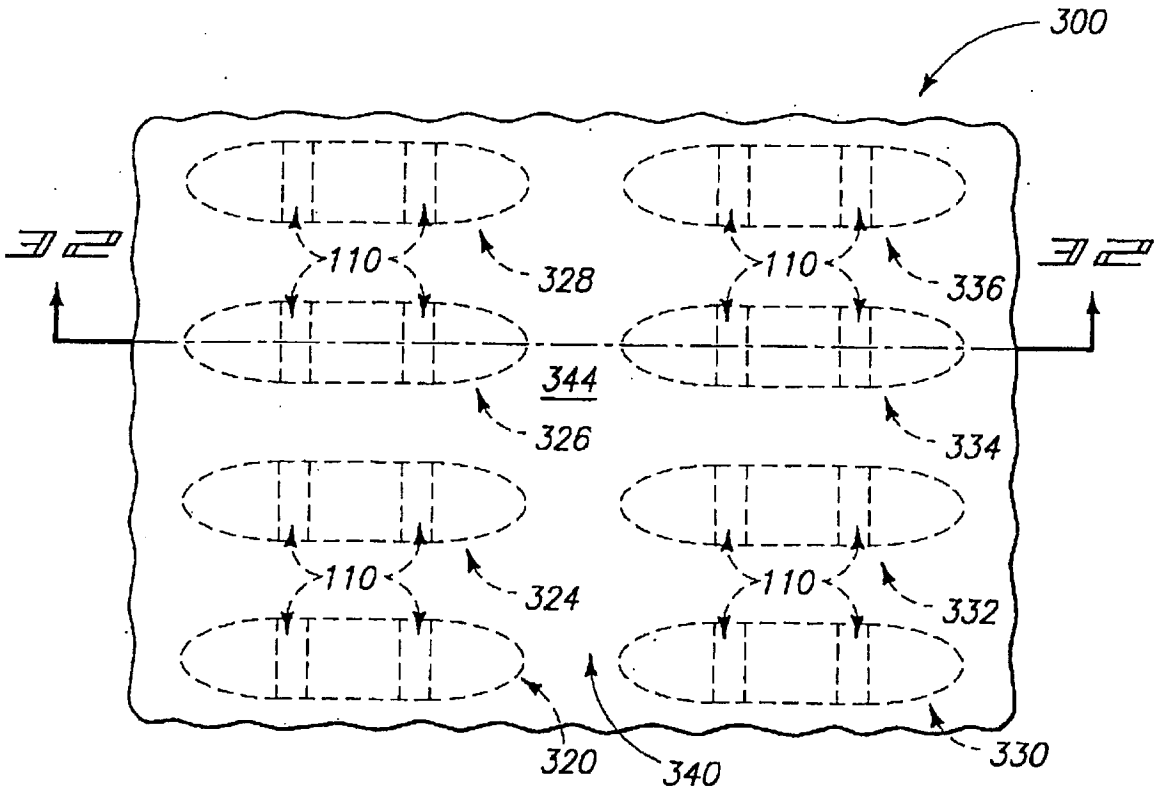

300
32
32
110
110
328
336
344
326
334
110
110
324
332
320
340
330

圖 31

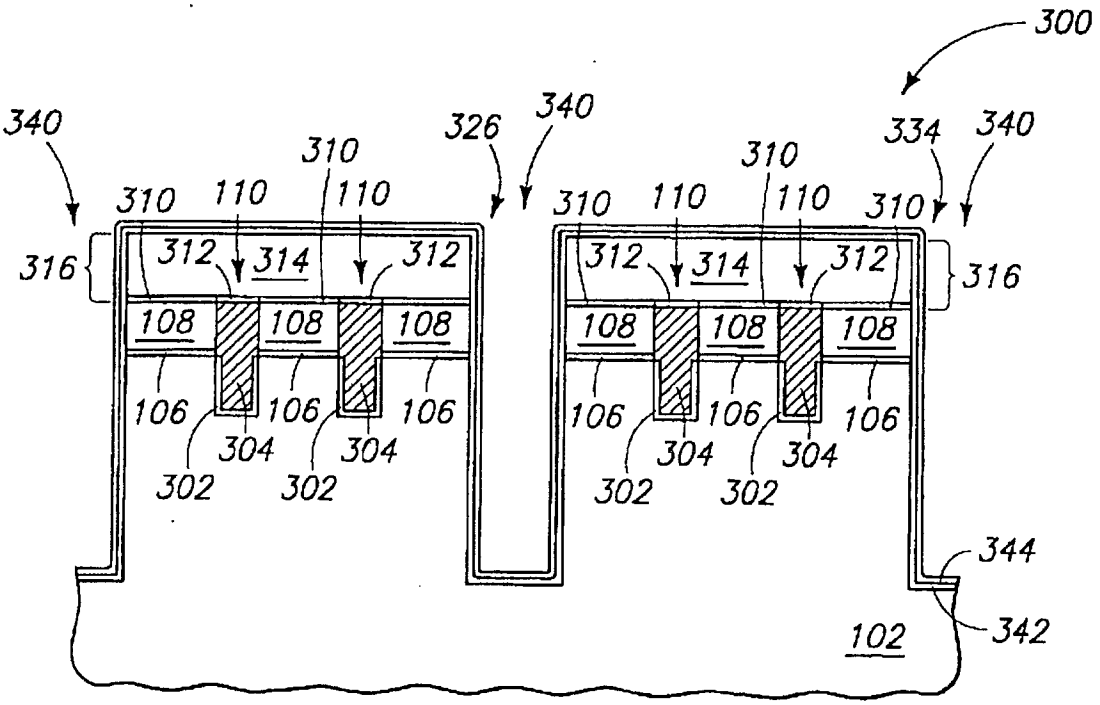

300
340
326
340
334
340
310
310
110
110
310
110
110
310
316
312
314
312
312
314
312
316
108
108
108
108
108
108
106
106
106
106
106
106
304
304
304
304
302
302
302
302
344
342
102

圖 32

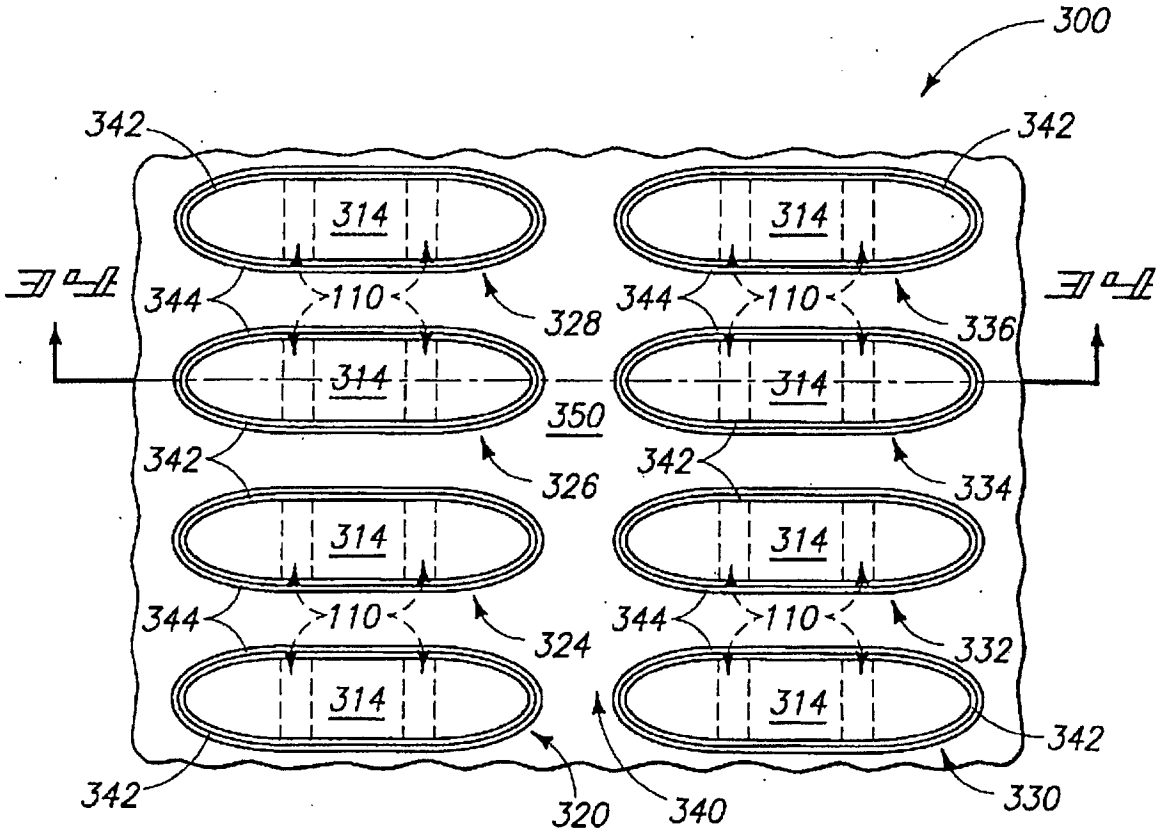

300
342
342
314
344
110
328
336
350
326
334
324
332
320
340
330

圖 33

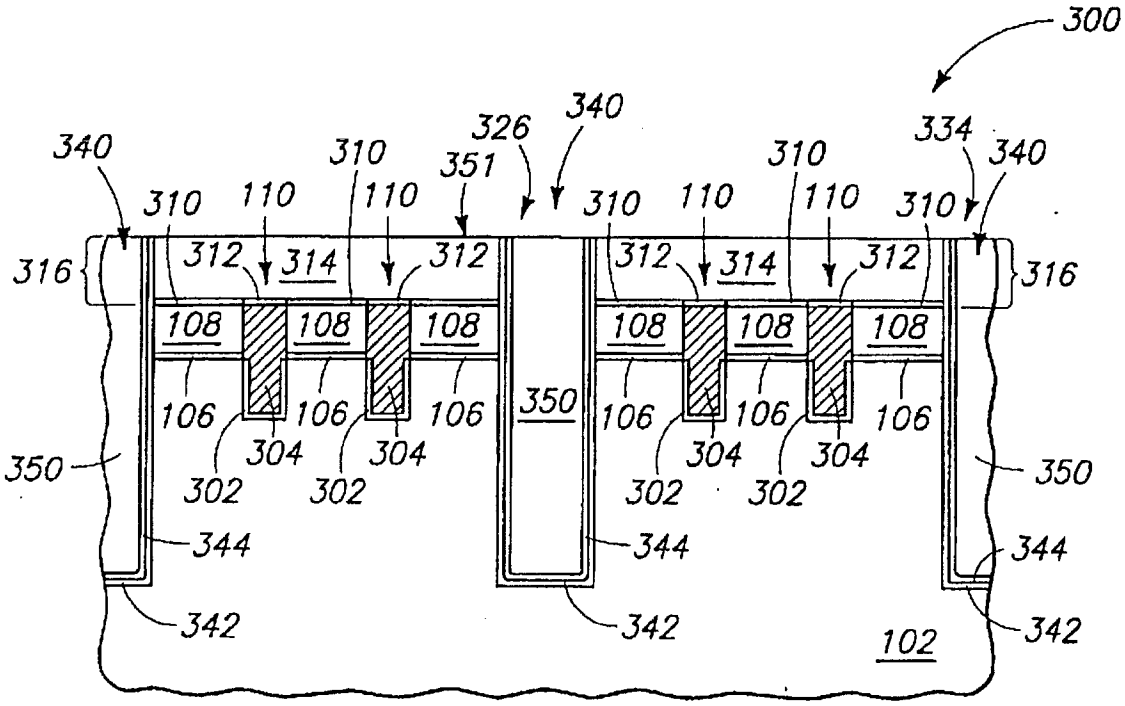

300
340
326
334
351
310
110
312
314
316
108
106
304
302
350
344
342
102

圖 34

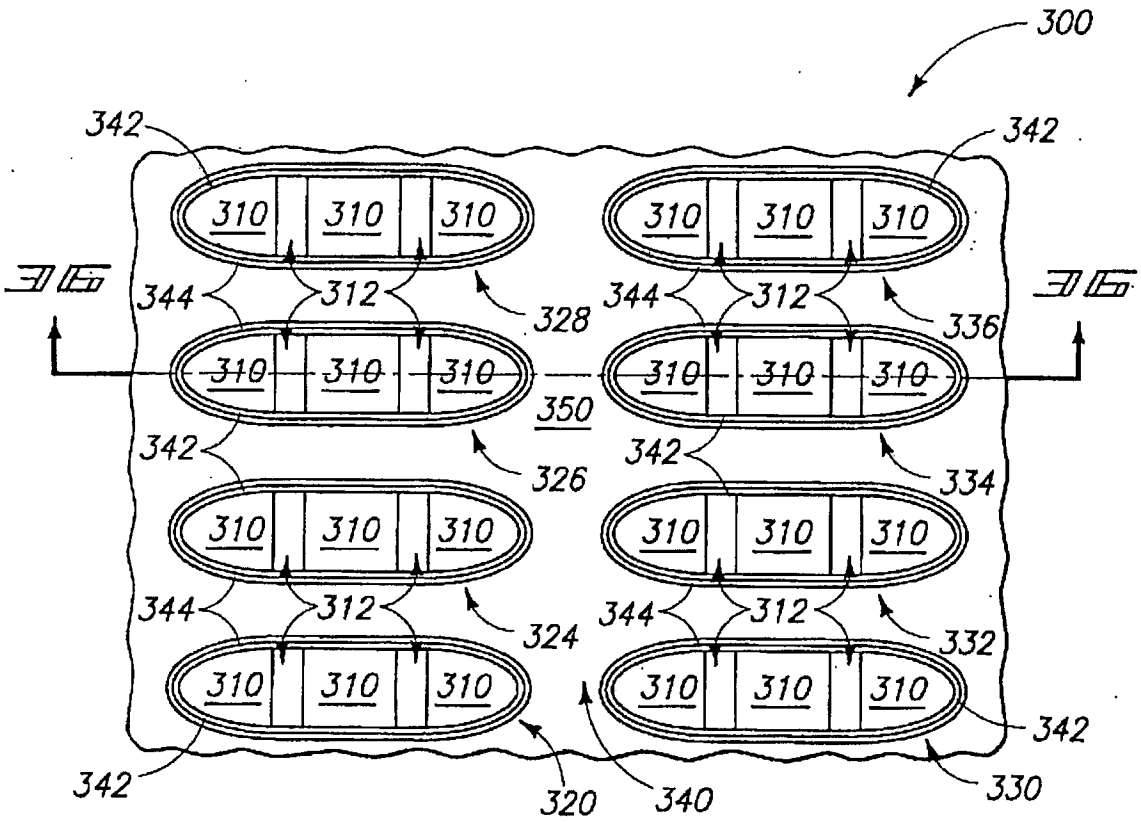

300
342
310
344
312
328
336
350
326
334
324
332
320
340
330
3I6

圖 35

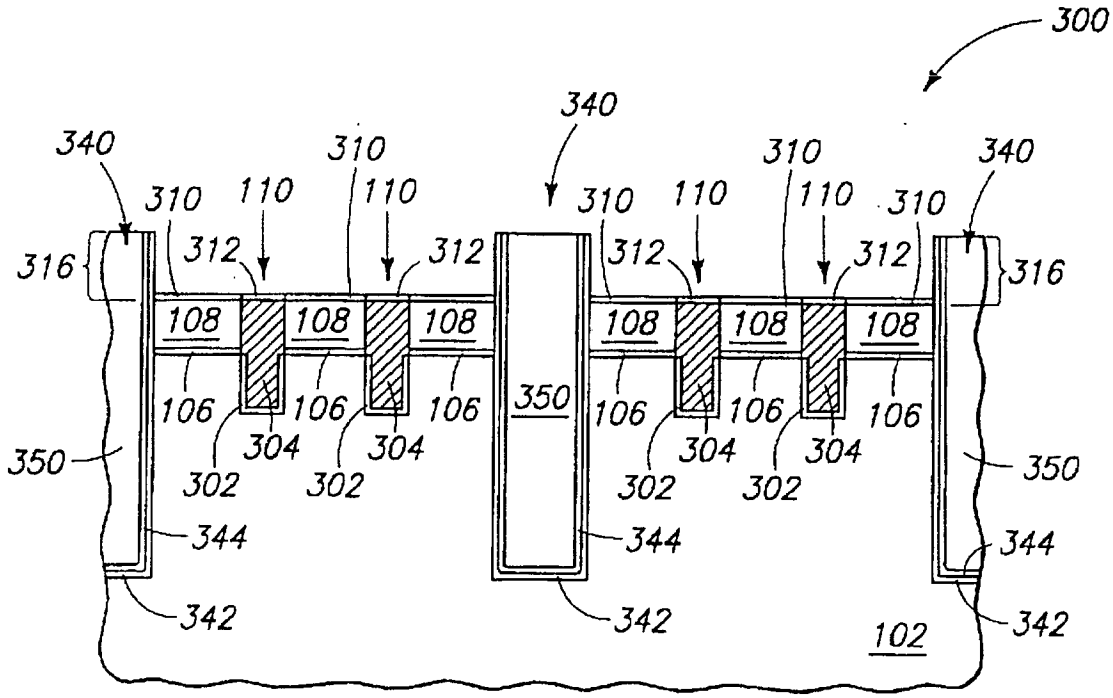

300
340
310
110
312
316
108
106
304
302
350
344
342
102

圖 36

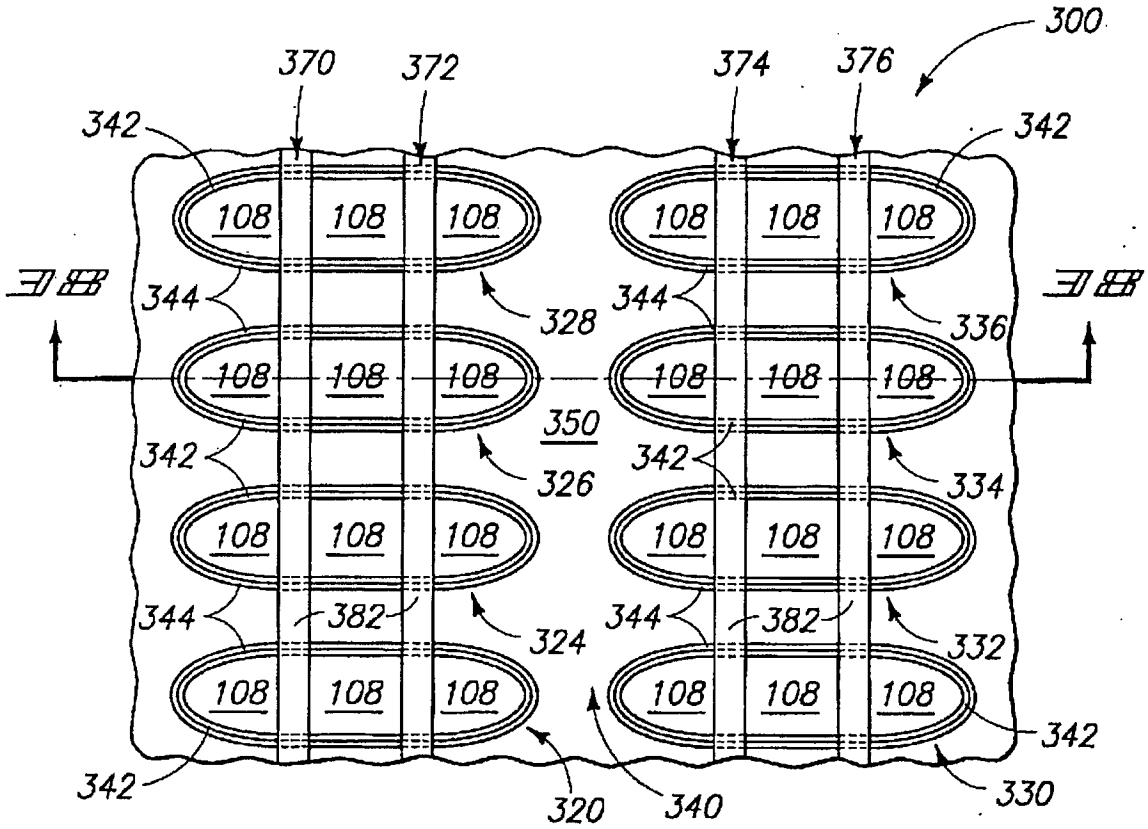

300
370
372
374
376
342
108
344
328
336
350
326
334
382
324
332
320
340
330

圖 37

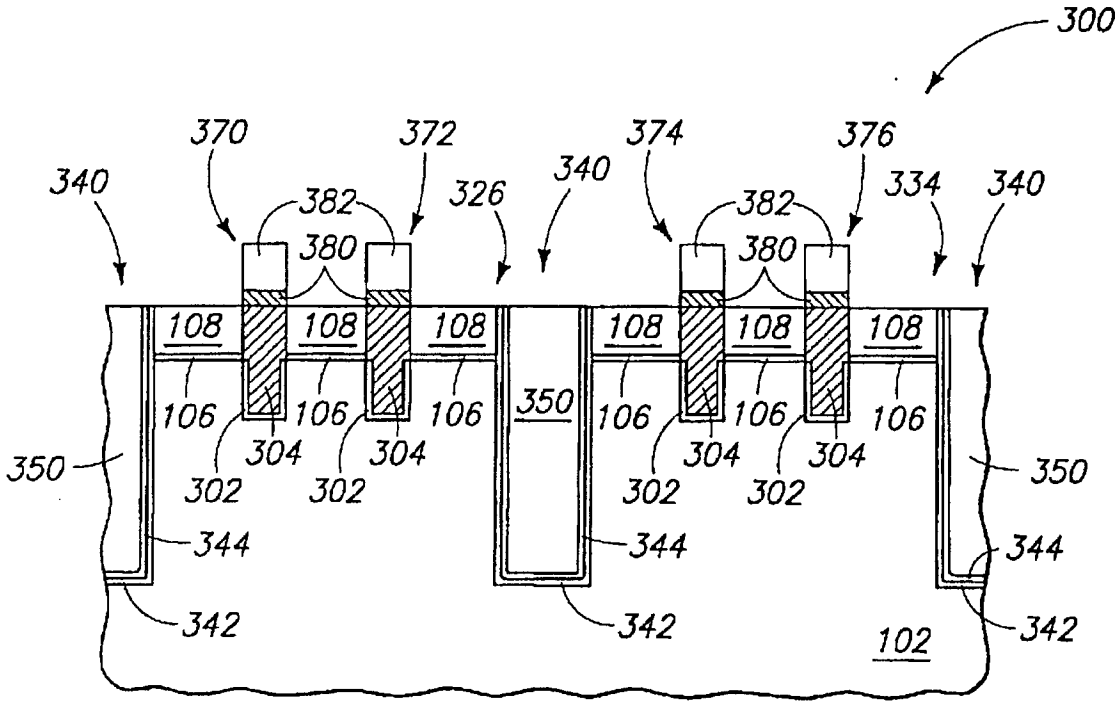

300
370
372
374
376
340
382
380
326
334
108
106
304
302
350
344
342
102

圖 38

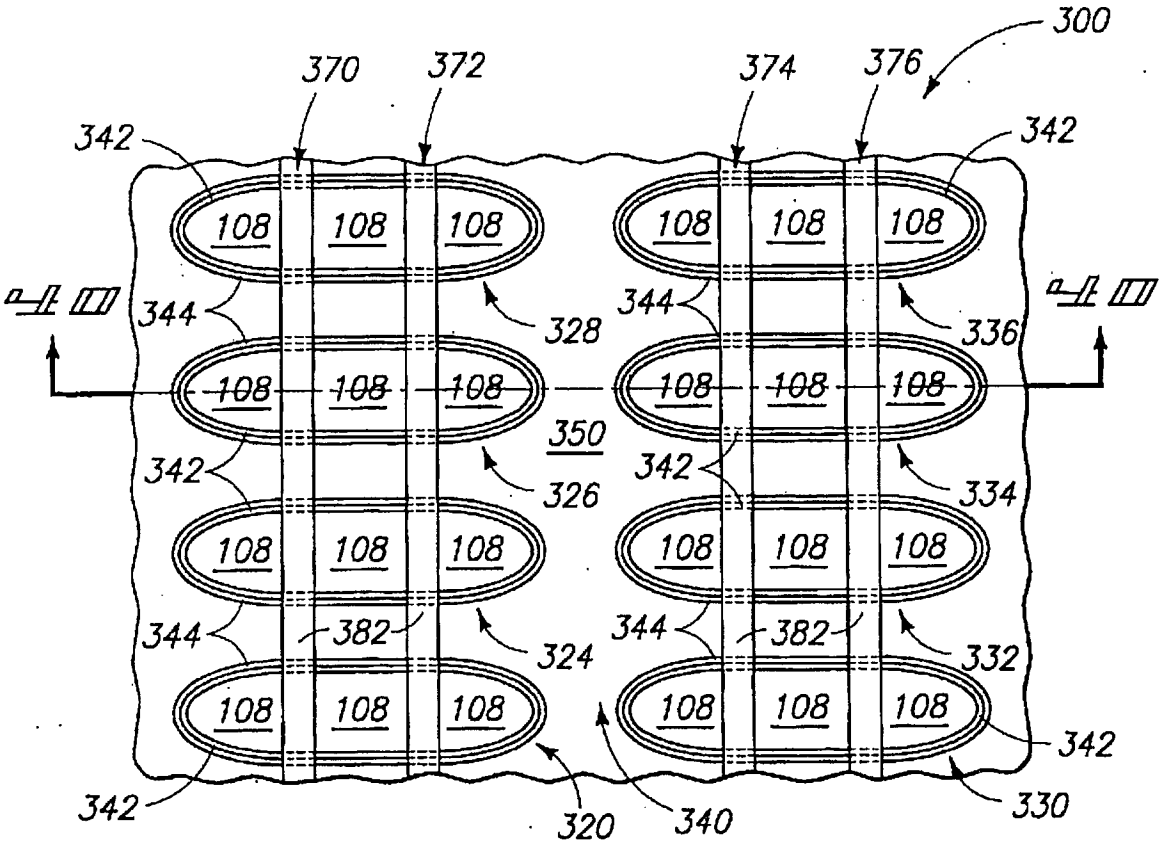

300
370
372
374
376
342
108
344
328
336
350
326
334
382
324
332
320
340
330

圖 39

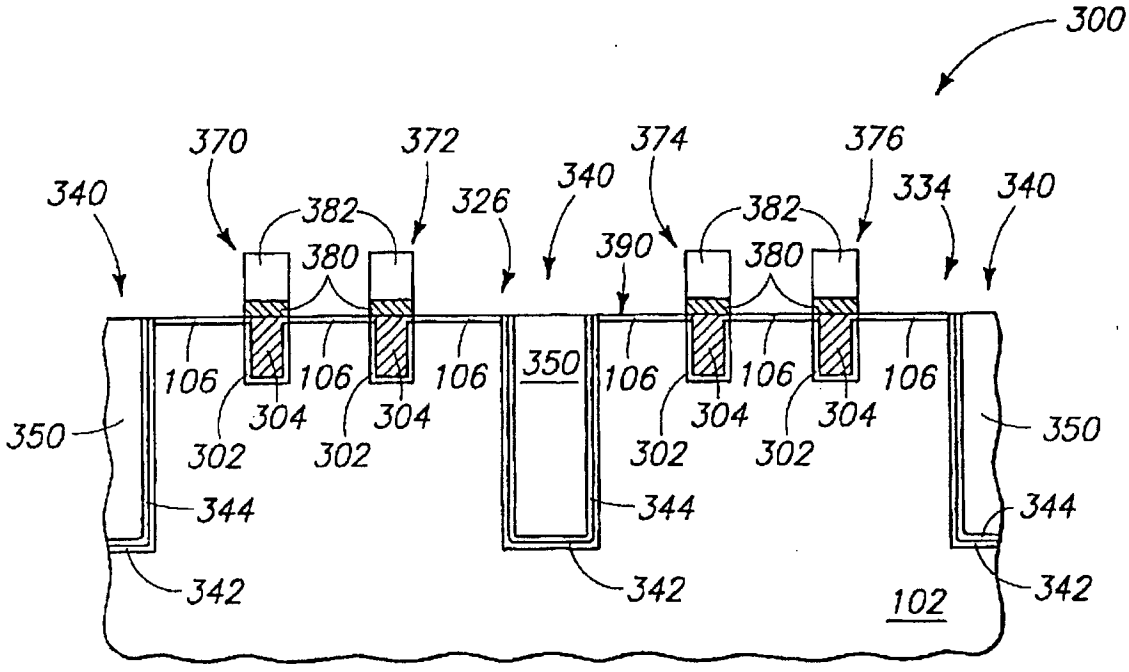

300
370
372
374
376
340
382
326
390
380
334
106
304
302
350
344
342
102

圖 40

七、指定代表圖：

(一)本案指定代表圖為：第（ 40 ）圖。

(二)本代表圖之元件符號簡單說明:

102	基板
106	層、材料
300	半導體結構
302	閘極介電材料
304	閘極材料、矽材料、層
326	存取裝置區域
334	存取裝置區域
340	隔絕區域
342	氧化物
344	氮化物
350	介電材料、絕緣材料
370	線
372	線
374	線
376	線
380	導電材料、層
382	絕緣頂蓋
390	經平面化表面

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

I314769

96年10月26日修(更)正替換頁

公告本

發明專利說明書

中文說明書替換頁(96年10月)

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：95110197

※ 申請日期：95.3.24　　※IPC 分類：H01L 21/339 (2006.01)

一、發明名稱：（中文/英文）

形成與半導體結構關聯之凹陷存取裝置之方法

METHODS OF FORMING RECESSED ACCESS DEVICES ASSOCIATED WITH SEMICONDUCTOR CONSTRUCTIONS

二、申 請 人：（共 1 人）

姓名或名稱：（中文/英文）

美商美光科技公司

MICRON TECHNOLOGY, INC.

代表人：（中文/英文）

羅素 史利佛

SLIFER, RUSSELL

住居所或營業所地址：（中文/英文）

美國愛達荷州鮑西市南菲德洛路8000號

8000 SOUTH FEDERAL WAY, BOISE, IDAHO 83716, U.S.A.

國　籍：（中文/英文）

美國　U.S.A.

三、發明人：（共 5 人）

姓　名：（中文/英文）

1. 庫諾 R 派瑞克

PAREKH, KUNAL R.

2. 蘇拉 瑪修

MATHEW, SURAJ

3. 吉葛許 D 崔維帝

TRIVEDI, JIGISH D.

4. 約翰 K 查胡瑞

ZAHURAK, JOHN K.

5.珊 D 唐

TANG, SANH D.

國　籍：（中文/英文）

1. 美國　U.S.A.

2. 印度　INDIA

3. 印度　INDIA

4. 美國　U.S.A.

5. 美國　U.S.A.

98年3月27日修(更)正替換頁

十、申請專利範圍：

1. 一種形成與一半導體結構相關聯之凹陷存取裝置之方法，其包括：

提供一半導體基板；

在該基板內形成凹陷存取裝置溝渠；

以一第一電絕緣材料填充該等凹陷存取裝置溝渠；

將該第一電絕緣材料圖案化成一界定複數個存取裝置區域之遮罩，該等存取裝置區域係由一隔絕區域所環繞之島嶼；該等存取裝置區域僅包括該等凹陷存取裝置溝渠之部分；

蝕刻至該隔絕區域之該基板內以使該隔絕區域之該基板形成凹陷；

以一第二電絕緣材料覆蓋該凹陷基板以使該第二電絕緣材料覆蓋該隔絕區域；

至少移除該第一電絕緣材料之大部分而至少留下該第二電絕緣材料之大部分；及

在至少移除該第一電絕緣材料之大部分後，將閘極材料形成於由該等存取裝置區域所構成之該等凹陷存取裝置溝渠之該等部分內。

2. 如請求項1之方法，其中該基板包括單晶矽，且其中該等凹陷存取裝置溝渠延伸入該基板之該單晶矽內。

3. 如請求項1之方法，其中該第一電絕緣材料包括一位於一含二氧化矽層上之含氮化矽層。

4. 如請求項3之方法，其中至少移除該第一電絕緣材料之

98年3月27日修(更)正替換頁

大部分移除該含氮化矽層及該含二氧化矽層兩者。

5. 如請求項1之方法，其中該等存取裝置區域大致為橢圓形；其中該等大致橢圓形存取裝置區域具有主縱向橢圓軸；其中該等凹陷存取裝置溝渠具有主長度軸；且其中該等大致橢圓形存取裝置區域之該等主縱向橢圓軸大致正交於該等凹陷存取裝置溝渠之該等主長度軸。

6. 如請求項1之方法，其中該等存取裝置區域大致為橢圓形；其中該等大致橢圓形存取裝置區域具有主縱向橢圓軸；其中該等凹陷存取裝置溝渠具有主長度軸；且其中該等大致橢圓形存取裝置區域之該等主縱向橢圓軸大致不正交於該等凹陷存取裝置溝渠之該等主長度軸。

7. 如請求項1之方法，其中以一第二電絕緣材料覆蓋該凹陷基板係藉由以下步驟達成：

在該第一電絕緣材料上及在該隔絕區域之該凹陷基板上形成該第二電絕緣材料；及

平面化該第二電絕緣材料以自該第一電絕緣材料上移除該第二電絕緣材料而留下該隔絕區域之該凹陷基板上的該第二電絕緣材料。

8. 如請求項1之方法，其中形成該閘極材料包括：

在該等凹陷存取裝置溝渠之該等部分內及在該第二電絕緣材料上形成該閘極材料；及

圖案化該閘極材料以形成該閘極材料之線；個別線延伸跨過該等多個凹陷存取裝置區域。

9. 如請求項8之方法，其進一步包括將該閘極材料形成為

98年3月27日修(更)正替換頁

一矽、含金屬材料及絕緣頂蓋材料之堆疊之部分；且其中該圖案化同時圖案化該矽、含金屬材料及絕緣頂蓋材料。

10. 如請求項8之方法，其進一步包括形成與該等凹陷裝置區域之閘極材料相關聯之源極/汲極區域，該閘極材料構成使若干對源極/汲極區域彼此電互連之閘極；該等成對源極/汲極區域中之至少某些對包括一位元線觸點及一儲存節點觸點且被併入至DRAM裝置中。

11. 一種形成與一半導體結構相關聯之凹陷存取裝置之方法，其包括：

提供一半導體基板；

在該基板上形成一第一經圖案化遮罩，該第一經圖案化遮罩具有延伸穿過其中以界定凹陷存取裝置之溝渠之第一位置的開口，

蝕刻該基板穿過該等第一位置以形成延伸入該基板內之凹陷存取裝置溝渠；

以一閘極材料填充該等凹陷存取裝置溝渠；

在該第一經圖案化遮罩及在該閘極材料上形成一第一電絕緣材料；

將該第一電絕緣材料圖案化成一界定複數個存取裝置區域之遮罩，該等存取裝置區域係由隔絕區域所環繞之島嶼；該等存取裝置區域僅包括該等凹陷存取裝置溝渠之部分；

蝕刻入該隔絕區域之該基板內以使該隔絕區域之該基

98年3月27日修(更)正替換頁

板形成凹陷，該蝕刻亦自該等存取裝置區域之間移除該閘極材料而留下該等存取裝置區域內之該閘極材料；

以一第二電絕緣材料覆蓋該凹陷基板以使該第二電絕緣材料覆蓋該隔絕區域；

移除該第一電絕緣材料；及

在移除該第一電絕緣材料後，形成複數個導電線，個別導電線延伸跨過多個存取裝置區域且使該等多個存取裝置區域之閘極材料彼此電互連。

12. 如請求項11之方法，其中該第一經圖案化遮罩包括一位於一含二氧化矽層上之含氮化矽層。

13. 如請求項11之方法，其中以閘極材料填充該等凹陷存取裝置溝渠包括：

形成該閘極材料以覆蓋該第一經圖案化遮罩且使其處於該等溝渠內；及

平面化該閘極材料以自該第一經圖案化遮罩上移除該閘極材料而留下該等凹陷存取裝置溝渠內之該閘極材料。

14. 如請求項13之方法，其中該閘極材料包括矽且在該平面化之前經導電摻雜。

15. 如請求項13之方法，其中該閘極材料包括矽且在該平面化之前未經導電摻雜。

16. 如請求項13之方法，其中該第一絕緣材料包括氧化物及氮化矽；其中該平面化形成一延伸跨過該第一經圖案化遮罩及該閘極材料之平面化表面，且其中形成該第一電

98年3月27日修(更)正替換頁

絕緣材料包括：

氧化該經平面化表面以形成延伸跨過該第一經圖案化遮罩及該閘極材料的該第一絕緣材料之該氧化物；及

在該第一絕緣材料之該氧化物上形成該第一絕緣材料之該氮化矽。

17. 如請求項16之方法，其中該經平面化表面包括沿該第一經圖案化遮罩之氮化矽且包括沿該閘極材料之導電摻雜型矽；且其中該氧化物包括該第一經圖案化遮罩上之氮氧化矽且包括該閘極材料上之二氧化矽。

18. 如請求項11之方法，其中：

該基板包括單晶矽；

蝕刻入該等第一位置中以使形成於該單晶矽內之該等凹陷存取裝置溝渠達一第一深度；及

蝕刻入該隔絕區域之該基板內將該基板之該單晶矽蝕刻至一第二深度，該第二深度大於該第一深度至少兩倍。

19. 如請求項11之方法，其中形成該第二電絕緣材料包括：

形成該第二電絕緣材料以覆蓋該第一電絕緣材料及凹陷基板；及

平面化該第二電絕緣材料以自該第一電絕緣上移除該第二電絕緣材料而留下該第二電絕緣材料以覆蓋該隔絕區域之該凹陷基板。

20. 如請求項11之方法，其中該等導電線係位於該第一電絕緣材料上以及位於該等存取裝置區域內之該閘極材料

98年3月27日修(更)正替換頁

上。

21. 如請求項11之方法，其進一步包括在形成該等導電線之前至少大體上移除該第一電絕緣材料之全部。