

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5701802号  
(P5701802)

(45) 発行日 平成27年4月15日(2015.4.15)

(24) 登録日 平成27年2月27日(2015.2.27)

(51) Int.Cl.	F I				
HO 1 L 29/78	(2006.01)	HO 1 L 29/78	6 5 2 N		
HO 1 L 29/06	(2006.01)	HO 1 L 29/78	6 5 2 S		
HO 1 L 29/41	(2006.01)	HO 1 L 29/78	6 5 2 H		
HO 1 L 29/739	(2006.01)	HO 1 L 29/78	6 5 2 P		
		HO 1 L 29/06	3 0 1 F		
請求項の数 7 (全 17 頁) 最終頁に続く					

(21) 出願番号 特願2012-66956 (P2012-66956)  
 (22) 出願日 平成24年3月23日(2012.3.23)  
 (65) 公開番号 特開2013-201167 (P2013-201167A)  
 (43) 公開日 平成25年10月3日(2013.10.3)  
 審査請求日 平成26年1月31日(2014.1.31)

(73) 特許権者 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 110000235  
 特許業務法人 天城国際特許事務所  
 (72) 発明者 小野 昇太郎  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内  
 (72) 発明者 泉沢 優  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内  
 (72) 発明者 大田 浩史  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内

最終頁に続く

(54) 【発明の名称】 電力用半導体装置

(57) 【特許請求の範囲】

【請求項1】

電力用半導体素子が設けられた素子部、および前記素子部の周囲に設けられた終端部、  
 からなる電力用半導体装置であって、

第1導電型の半導体基板と、

前記半導体基板の上面のうち、前記素子部の一部に設けられた第2導電型の第1の不純  
 物層と、

前記第1の不純物層にゲート絶縁膜を介して接するように設けられたゲート電極と、

前記第1の不純物層の上面の一部に設けられた第1導電型の第2の不純物層と、

前記半導体基板の下面に設けられた第1の電極と、

前記半導体基板の前記上面に、少なくとも前記第2の不純物層に接するように設けられ  
 た第2の電極と、

それぞれが、前記半導体基板の上面から露出する帯状の上面または前記第1の不純物層  
 の下面に接する帯状の上面、前記上面を構成する短辺の一方を含み、前記上面に対して垂  
 直な平面である一端面、前記上面を構成する短辺の他方を含み、前記上面に対して垂直な  
 平面である他端面、および前記上面を構成する長辺のいずれか一方を含み、前記上面に対  
 して垂直な平面である側面、を有し、前記上面から前記半導体基板の深さ方向に埋め込ま  
 れるように設けられた平面状であって、前記第2の電極の下および前記第2の電極から露  
 出する前記終端部において、前記上面が所定の間隔でストライプ状に配列されるように設  
 けられた複数の第2導電型のピラー層と、

10

20

前記終端部の前記半導体基板の上面に、前記複数の第2導電型のピラー層の前記上面を囲うように設けられた、前記半導体基板より高濃度である第1導電型の第3の不純物層と

、  
 前記第3の不純物層上に設けられた、ポリシリコンからなるE Q P R電極と、  
 前記第2の電極から露出する前記終端部の前記半導体基板であって、前記ピラー層の前記一端面を含む一端部の間の前記半導体基板、および前記ピラー層の前記他端面を含む他端部の間の前記半導体基板、にそれぞれ設けられた複数の第1のトレンチと、  
 それぞれの前記第1のトレンチの側面および底面に設けられた第1の絶縁膜と、  
 それぞれの前記第1のトレンチの内部に設けられ、前記E Q P R電極に電氣的に接続された第1のポリシリコンと、  
 前記第2の電極から露出する前記終端部の前記半導体基板に、前記ピラー層の側面に沿って設けられた第2のトレンチと、  
 前記第2のトレンチの側面および底面に設けられた第2の絶縁膜と、  
 前記第2のトレンチの内部に設けられ、前記E Q P R電極に電氣的に接続された第2のポリシリコンと、  
 を具備することを特徴とする電力用半導体装置。

【請求項2】

素子部、および前記素子部の周囲に設けられた終端部、  
 からなる電力用半導体装置であって、  
 第1導電型の半導体基板と、  
 前記半導体基板の上面のうち、前記素子部の一部に設けられた第2導電型の第1の不純物層と、  
 前記第1の不純物層の上面の一部に設けられた第1導電型の第2の不純物層と、  
 前記第1の不純物層にゲート絶縁膜を介して接するように設けられたゲート電極と、  
 前記半導体基板の下面に設けられた第1の電極と、  
 前記半導体基板の前記上面に、前記第1の不純物層に接するように設けられた第2の電極と、  
 少なくとも前記素子部の前記半導体基板内に設けられた複数の第2導電型のピラー層と

、  
 前記終端部の前記半導体基板内であり、かつ互いに隣接する前記ピラー層の間に設けられた第1の絶縁膜と、  
前記半導体基板の上面に、前記複数の第2導電型のピラー層を囲うように設けられた、前記半導体基板より高濃度である第1導電型の第3の不純物層と、  
前記第3の不純物層上に設けられたE Q P R電極と、  
前記第1の絶縁膜の内部に設けられ、前記E Q P R電極に電氣的に接続された第1のフローティング電極と、  
 を具備することを特徴とする電力用半導体装置。

【請求項3】

前記E Q P R電極および前記第1のフローティング電極はそれぞれ、ポリシリコンからなることを特徴とする請求項2に記載の電力用半導体装置。

【請求項4】

前記終端部の前記半導体基板内に、前記ピラー層に沿って設けられた第2の絶縁膜をさらに具備することを特徴とする請求項2または3に記載の電力用半導体装置。

【請求項5】

前記第2の絶縁膜は、最も外側の前記ピラー層のさらに外側の前記半導体基板内に設けられたことを特徴とする請求項4に記載の電力用半導体装置。

【請求項6】

前記第2の絶縁膜の内部に設けられ、前記E Q P R電極に電氣的に接続された第2のフローティング電極、  
 をさらに具備することを特徴とする請求項4または5に記載の電力用半導体装置。

10

20

30

40

50

## 【請求項7】

前記E Q P R電極および前記第2のフローティング電極はそれぞれ、ポリシリコンからなることを特徴とする請求項6に記載の電力用半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明の実施形態は、電力用半導体装置に関する。

## 【背景技術】

## 【0002】

電力用半導体装置として広く知られているMOSFET(Metal Oxide Semiconductor Field Effect Transistor)やIGBT(Insulated Gate Bipolar Transistor)は、高速スイッチング特性、数十～数百Vの逆方向阻止電圧(耐圧)を有しており、家庭用電気機器、通信機器、車載用モータ等における電力変換、制御に広く用いられている。

10

## 【0003】

これらの分野において使用される電力用半導体装置の小型化、高効率化、低消費電力化を達成するために、装置の高耐圧化と低オン抵抗とを同時に実現することが求められる。そこで、高耐圧化と低オン抵抗とを同時に実現する構成として、電力用半導体装置のドリフト層に、p型およびn型の半導体層(pピラー層およびnピラー層)を交互に配置したスーパージャンクション構造(以下、SJ構造と称する)を設けた構成が知られている。

20

## 【0004】

一般に、SJ構造は、イオン注入とエピタキシャル成長工程とを複数回実施するマルチエピタキシャル方式を採用することにより製造される。これに対して、電力用半導体装置のドリフト層となるエピタキシャル層に、略等しい間隔で平行に複数本のトレンチを選択的に形成し、これらのトレンチの内部をp型のエピタキシャル層で埋め戻すことによってSJ構造を形成する方法が検討されている。この方法によれば、マルチエピタキシャル方式より工程数を低減することができるため、装置の低コスト化が実現される。

## 【0005】

しかし、この方法の課題は、高品質のエピタキシャル層を短時間でトレンチ内部に充填することが困難なことである。エピ成長速度を上げると、トレンチ肩部でのエピタキシャル成長速度がトレンチ内部よりも速く、トレンチ内部が埋まる前にトレンチの開口部が閉じてしまう。その結果として、トレンチ内部には、p型のエピタキシャル層で埋まりきらない部分(ボイド)が形成され、pピラー層の不純物濃度とnピラー層の不純物濃度とが不均一になる。さらに、pピラー層を形成する際の製造ばらつきによっても、pピラー層の不純物濃度とnピラー層の不純物濃度とが不均一になる。

30

## 【0006】

特に、pピラー層の上面における両端部、および装置の最も外周部分に配置されたpピラー層において上記の問題が生じ、周囲のnピラー層より不純物濃度が高くなる(pリッチ状態になる)と、空乏層が装置の側面方向に伸びすぎてしまい、終端部において等電位線の密度が密になる(電界集中が生じる)。この結果、pピラー層の上面における両端部、および装置の最も外周部分に配置されたpピラー層と、その周囲のnピラー層との境界部分に高電界がかかり、装置の信頼性が低下する。

40

## 【先行技術文献】

## 【特許文献】

## 【0007】

【特許文献1】特開2011-29233号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0008】

実施形態は、信頼性を向上させることができる電力用半導体装置を提供することを目的

50

とする。

【課題を解決するための手段】

【0009】

実施形態に係る電力用半導体装置は、素子部、および前記素子部の周囲に設けられた終端部、からなる電力用半導体装置であって、第1導電型の半導体基板、第2導電型の第1の不純物層、第1導電型の第2の不純物層、ゲート電極、第1の電極、第2の電極、複数の第2導電型のピラー層、第1の絶縁膜、第1導電型の第3の不純物層、E Q P R電極、および第1のフローティング電極、を具備する。前記第1の不純物層は、前記半導体基板の上面のうち、前記素子部の一部に設けられている。前記第1導電型の第2の不純物層は、前記第1の不純物層の上面の一部に設けられている。前記ゲート電極は、前記第1の不純物層にゲート絶縁膜を介して接するように設けられている。前記第1の電極は、前記半導体基板の下面に設けられている。前記第2の電極は、前記半導体基板の前記上面に、前記第1の不純物層に接するように設けられている。前記複数の第2導電型のピラー層は、少なくとも前記素子部の前記半導体基板内に設けられている。前記第1の絶縁膜は、前記終端部の前記半導体基板内であり、かつ互いに隣接する前記ピラー層の間に設けられている。前記第3の不純物層は、前記半導体基板より高濃度の不純物層であって、前記半導体基板の上面に、前記複数の第2導電型のピラー層を囲うように設けられている。前記E Q P R電極は、前記第3の不純物層上に設けられている。前記第1のフローティング電極は、前記第1の絶縁膜の内部に設けられ、前記E Q P R電極に電気的に接続されている。

10

【図面の簡単な説明】

20

【0010】

【図1】実施形態に係る電力用半導体装置を模式的に示す上面図である。

【図2】pピラー層を示す斜視図である。

【図3】実施形態に係る電力用半導体装置の断面図である。

【図4】電界緩和層およびE Q P R電極を示す上面図である。

【図5】実施形態に係る電力用半導体装置の製造方法を説明するための断面図である。

【図6】実施形態に係る電力用半導体装置の製造方法を説明するための断面図である。

【図7】実施形態に係る電力用半導体装置の製造方法を説明するための断面図である。

【図8】実施形態に係る電力用半導体装置の製造方法を説明するための断面図である。

【図9】実施形態に係る電力用半導体装置の製造方法を説明するための断面図である。

30

【図10】従来の電力用半導体装置の内部に形成される等電位線を装置上面において示す図である。

【図11】従来の電力用半導体装置の内部に形成される等電位線を装置断面において示す図である。

【図12】実施形態に係る電力用半導体装置の内部に形成される等電位線を装置上面において示す図である。

【図13】実施形態に係る電力用半導体装置の内部に形成される等電位線を装置断面において示す図である。

【図14】実施形態の第1の変形例に係る電力用半導体装置を簡略化して示す上面図である。

40

【図15】実施形態の第2の変形例に係る電力用半導体装置を簡略化して示す上面図である。

【発明を実施するための形態】

【0011】

以下に、実施形態に係る電力用半導体装置について、図面を参照しながら説明する。なお、以下の説明において、実施形態に係る電力用半導体装置として、パワーMOSFETを例に挙げる。

【0012】

図1は、実施形態に係る電力用半導体装置10を模式的に示す上面図である。図1に示すように、半導体基板11上の中心部には、平面視で略四角形状のソース電極12が設け

50

られている。このソース電極 12 の下に、複数の MOSFET 素子 13 (図 2) が並列に配置されている。なお、半導体基板 11 は、例えばシリコン基板上に、シリコン層をエピタキシャル成長させたものである。

【0013】

ソース電極 12 の一部には、略四角形状に開口した領域が設けられており、この領域内には、ソース電極 12 と離間するように、ゲートパッド 14 が設けられている。このゲートパッド 14 は、ソース電極 12 の下に配置されるそれぞれの MOSFET 素子 13 のゲート電極 15 (図 2) に、電氣的に接続されている。

【0014】

半導体基板 11 上において、ソース電極 12 の周囲には、ソース電極 12 を囲うリング状のフィールドプレート電極パッド 16 が設けられている。このリング状のフィールドプレート電極パッド 16 は、この内周が、ソース電極 12 の外周から僅かに離間するように設けられている。

【0015】

半導体基板 11 上において、フィールドプレート電極パッド 16 の周囲には、フィールドプレート電極パッド 16 を囲うリング状の EQPR (Equivalent Potential Ring) 電極パッド 17 が設けられている。このリング状の EQPR 電極パッド 17 は、この内周が、フィールドプレート電極パッド 16 の外周から離間し、装置の外周部分に沿うように設けられている。

【0016】

また、ソース電極 12 の下、フィールドプレート電極パッド 16 の下の半導体基板 11、およびフィールドプレート電極パッド 16 から露出する半導体基板 11 には、p ピラー層 18 と n ピラー層 19 とが、基板表面に沿って交互に配置されている。

【0017】

複数の p ピラー層 18 はそれぞれ帯状の上面 18a を有する平面状の層であり、複数の上面 18a が互いに略等しい間隔で配列されるように、半導体基板 11 に設けられている。これらの p ピラー層 18 間の半導体基板 11 (後述する n 型の半導体層 11a) である複数の n ピラー層 19 も、複数の上面が p ピラー層 18 間の間隔と略同一の略等しい間隔で配列されるように設けられている。

【0018】

なお、以下の説明において、図 2 に示すように、平面状の p ピラー層 18 の上面 18a を構成する短辺の一方を一端、短辺の他方を他端と称するとともに、一端を含み、上面 18a に対して垂直な平面を p ピラー層 18 の一端面 18b、他端を含み、上面 18a に対して垂直な平面を p ピラー層 18 の他端面 18c、と称する。また、p ピラー層 18 の一端面 18b を含む端部を一端部、p ピラー層 18 の他端面 18c を含む端部を他端部、と称する。さらに、p ピラー層 18 の上面 18a を構成する長辺のいずれか一方を含み、上面 18a に対して垂直な平面を p ピラー層 18 の側面 18d と称する。

【0019】

再び図 1 を参照する。フィールドプレート電極パッド 16 から外側に露出する半導体基板 11 において、p ピラー層 18 の一端面 18b を含む一端部の間の n ピラー層 19、および p ピラー層 18 の他端面 18c を含む他端部の間の n ピラー層 19 には、それぞれ第 1 のトレンチ 41 が設けられている。各第 1 のトレンチ 41 は、この少なくとも一部が、第 1 のトレンチ 41 を挟む p ピラー層 19 の一端面 18b を通る平面よりも内側に配置されるように設けられている。

【0020】

また、フィールドプレート電極パッド 16 から外側に露出する半導体基板 11 において、装置の最も外側に配置される p ピラー層 18 のさらに外側には、第 2 のトレンチ 42 が設けられている。第 2 のトレンチ 42 は、装置の最も外側に配置される p ピラー層 18 の側面に沿うように設けられている。

【0021】

10

20

30

40

50

第1のトレンチ41の内部には、第1のフローティング電極としての電界緩和層22および電界緩和層22を覆う第1の絶縁膜23、が設けられている。同様に、第2のトレンチ42の内部には、第2のフローティング電極としての電界緩和層24および電界緩和層24を覆う第2の絶縁膜25、が設けられている。

【0022】

なお、第1のトレンチ41の内部は、第1の絶縁膜23で埋められていてもよいし、第2のトレンチ42の内部は、第2の絶縁膜25で埋められていてもよい。

【0023】

図3は、図1に示す電力用半導体装置10の断面図であって、同図(a)は、図1の一点鎖線A-A'に沿った断面図、同図(b)は、図1の一点鎖線B-B'に沿った断面図、同図(c)は、図1の一点鎖線C-C'に沿った断面図である。

10

【0024】

図3(a)、(b)および(c)に示すように、この電力用半導体装置10は、電力用半導体素子として、複数のMOSFET素子13が並列に配列された素子部26、および素子部26の周囲を囲う終端部27、によって構成される。

【0025】

図3(a)、(b)、(c)に示すように、半導体基板11は、例えばシリコンからなり、n+型の高濃度半導体基板33上に、n型の半導体層11aをエピタキシャル成長させたエピタキシャル基板である。

【0026】

20

図3(a)に示すように、素子部26の半導体基板11の上面上には、第1の不純物層として、複数のp型のベース層28が設けられている。また、各ベース層28の上面上には、p+型のコンタクト層29が帯状に設けられている。

【0027】

また、終端部27のうち、素子部26に近接する半導体基板11の上面上にも、ベース層30およびコンタクト層31が設けられている。

【0028】

図3(b)、(c)に示すように、素子部26の各ベース層28および各コンタクト層29は、帯状に設けられている。また、終端部27のベース層30およびコンタクト層は、素子部26を囲うリング状に設けられている。そして、素子部26の帯状の各ベース層28の一端および他端は、終端部27のベース層30に接合しており、素子部26の帯状の各コンタクト層31の一端および他端は、終端部27のコンタクト層31に接合している。

30

【0029】

再び図3(a)を参照する。素子部26の各ベース層28の上面上において、ベース層28とコンタクト層29との境界部分には、これらの各層に沿うようにn+型の第2の不純物層であるソース層32が帯状に設けられている。

【0030】

半導体基板11上のうち、素子部26のベース層28間、および素子部26のベース層28と終端部27のベース層30との間には、周囲がゲート絶縁膜15aで覆われた帯状のゲート電極15が設けられている。素子部26において、ゲート電極15は、ソース層32およびコンタクト層29、31が露出するように、互いに所定の間隔を有して設けられている。

40

【0031】

このような半導体基板11の下面全面には、高濃度半導体基板33に接するように、第1の電極であるドレイン電極34が設けられている。

【0032】

また、複数のゲート電極15を含む半導体基板11上において、第2の電極であるソース電極12は、コンタクト層29、31に接するとともに、素子部26のソース層32に接するように設けられている。

50

## 【0033】

このような複数のMOSFET素子13を有する素子部26の半導体基板11、およびベース層30およびコンタクト層31が設けられた終端部27の半導体基板11には、図3(a)に示すように、pピラー層18およびnピラー層19が、交互に配列されている。各pピラー層18は、ベース層28、30の下面に接する帯状の上面18aを有し、各上面18aから半導体基板11の深さ方向に設けられた、平面状である。

## 【0034】

pピラー層18およびnピラー層19は、素子部26、および終端部27のうち、ベース層30およびコンタクト層31よりもさらに外側に至る領域まで形成されているが、この領域に設けられた各pピラー層18は、半導体基板11の半導体層11aの上面から露出する帯状の上面18aを有し、各上面から半導体基板11の深さ方向に設けられた、平面状である。

10

## 【0035】

このようなpピラー層18およびnピラー層19を半導体基板11に設けると、オフ時(ゲート電極15に電圧が印加されていない場合)には、pピラー層18およびnピラー層19が互いに空乏化するため、空乏層を装置の外周方向に伸びやすくさせることができる。本実施形態のように、pピラー層18およびnピラー層19を素子部26から終端部27の略中間位置に至る領域に設けると、空乏層を装置の外周方向にさらに伸びやすくさせることができる。従って、装置を高耐圧にすることができる。さらに、オン時(ゲート電極15にピンチオフ電圧以上の電圧が印加されている場合)に流れる電流はnピラー層19を流れるが、この層19の不純物濃度を高濃度にする(これに伴ってpピラー層18も高濃度にする)ことによって、オン抵抗を低下させることができる。

20

## 【0036】

図3(a)、(b)、(c)に示すように、終端部27における半導体基板11上において、ソース電極12の周囲には、フィールド酸化膜35がリング状に設けられている。

## 【0037】

フィールド酸化膜35上において、この酸化膜35の内周部分には、例えばポリシリコンからなるフィールドプレート電極36が設けられている。このフィールドプレート電極36は、ゲート電極15と電氣的に接続されており、ドレイン電極34-ソース電極12間に電圧を印加したときに、pピラー層18およびnピラー層19によって形成される空乏層を装置の外周方向に伸ばす。すなわち、フィールドプレート電極36は、装置の耐圧を向上させるために設けられている。

30

## 【0038】

また、終端部27における半導体基板11の上面において、半導体基板11の外周部分には、第3の不純物層として、全てのpピラー層18の上面を囲うリング状のチャンネルストップ層37が設けられている。チャンネルストップ層37は、p型のチャンネルストップ層37-1、およびp型のチャンネルストップ層37-1の上面の一部に設けられたn+型のチャンネルストップ層37-2、からなる。

## 【0039】

上述のフィールド酸化膜35上において、この酸化膜35の外周部分には、例えばポリシリコンからなるEQPR電極38が形成されている。このEQPR電極38は、リング状のものである。

40

## 【0040】

EQPR電極38は、EQPR電極パッド17を介してチャンネルストップ層37に接続されており、ドレイン電極34とほぼ同電位となるものである。

## 【0041】

チャンネルストップ層37およびEQPR電極38によって、空乏層が装置断面に達することを抑制することができ、空乏層が装置断面に達することにより発生するリーク電流を抑制することができる。

## 【0042】

50

フィールドプレート電極 36 および E Q P R 電極 38 を含むフィールド酸化膜 35 上およびチャンネルストップ層 37 上の一部には、フィールドプレート電極 36 の一部、E Q P R 電極 38 の一部、およびチャンネルストップ層 37 の一部がそれぞれ露出するように第 3 の絶縁膜 39 が設けられている。図 1 に示すフィールドプレート電極パッド 16 は、第 3 の絶縁膜 39 上に、フィールドプレート電極 36 に接するように設けられている。そして、図 1 に示す E Q P R 電極パッド 17 は、第 3 の絶縁膜 39 上に、E Q P R 電極 38 およびチャンネルストップ層 37 に接するように設けられている。

【0043】

このような電力用半導体装置 10 において、図 1 に示す第 1 のトレンチ 41 はそれぞれ、図 3 (c) に示すように、半導体基板 11 の半導体層 11a の上面から半導体基板 11 の深さ方向に向かって所望の深さまで設けられている。同様に、図 1 に示す第 2 のトレンチ 42 はそれぞれ、図 3 (a) に示すように、半導体基板 11 の半導体層 11a の上面から半導体基板 11 の深さ方向に向かって所望の深さまで設けられている。

10

【0044】

そして、第 1 のトレンチ 41 内部において、第 1 のトレンチ 41 の側面および底面には第 1 の絶縁膜 23 が設けられており、電界緩和層 22 は、第 1 の絶縁膜 23 が設けられた第 1 のトレンチ 41 の内部を満たすように設けられている。

【0045】

同様に、第 2 のトレンチ 42 の内部において、第 2 のトレンチ 42 の側面および底面には第 2 の絶縁膜 25 が設けられており、電界緩和層 24 は、第 2 の絶縁膜 25 が設けられた第 2 のトレンチ 42 の内部を満たすように設けられている。

20

【0046】

電界緩和層 22、24 について、図 4 を参照してさらに説明する。図 4 は、電界緩和層 22、24 および E Q P R 電極 38 を示す上面図である。図 4 に示すように、E Q P R 電極 38 は、リング状のものである。電界緩和層 22 はそれぞれ、リング状の E Q P R 電極 38 の対向する 2 辺のいずれかに接するように設けられている。また、電界緩和層 24 は、この両端がリング状の E Q P R 電極 38 の対向する 2 辺に接するように設けられている。

【0047】

このような電界緩和層 22、24 および E Q P R 電極 38 は、図 3 (a)、(c) に示すように、電界緩和層 22、24 が半導体基板 11 に設けられたトレンチ 41、42 内に配置され、E Q P R 電極 38 がフィールド酸化膜 35 上に配置されるように設けられている。

30

【0048】

これらの電界緩和層 22、24 は、各 p ピラー層 18 の一端面 18b および他端面 18c から装置の外周方向に伸びようとする空乏層を装置内部方向に押し戻す、あるいは、装置の最も外側に配置された p ピラー層 18 の側面 18d から装置の外周方向に伸びようとする空乏層を装置内部方向に押し戻すことによって、装置の信頼性を向上させるために設けられている。具体的には後述する。

【0049】

次に、本実施形態に係る電力用半導体装置 10 の製造方法を、図 5 乃至図 9 を参照して説明する。なお、図 5 乃至図 9 はそれぞれ、実施形態に係る電力用半導体装置 10 の製造方法を説明するための断面図であって、各図 (a) は、図 3 (a) に相当する断面図、各図 (b) は、図 3 (c) に相当する断面図である。

40

【0050】

まず、図 5 (a)、(b) に示すように、例えばシリコンからなり、n+型の高濃度半導体基板 33 上に、n型の半導体層 11a をエピタキシャル成長させたエピタキシャル基板である半導体基板 11 の下面にドレイン電極 34 を形成し、続いて、半導体層 11a の上面から、深さ方向に向かって互いに平行な複数のトレンチ 40 を形成する。各トレンチ 40 は、半導体基板 11 の半導体層 11a の上面から所定の深さ領域までを、例えばエッ

50

チングによって除去することによって形成される。

【0051】

次に、図6(a)、(b)に示すように、半導体基板11に設けられたトレンチ40の内部に、p型の半導体層をエピタキシャル成長させる。これにより、半導体基板11に複数のpピラー層18を形成する。また、pピラー層18の間は、nピラー層19となる。

【0052】

次に、図7(a)、(b)に示すように、pピラー層18およびnピラー層19が設けられた半導体基板11のうち、素子部26となる領域に、複数のMOSFET素子13を形成する。ただし、ソース電極12は、この時点では形成されない。

【0053】

また、半導体基板11のうち、終端部27となる領域の一部の上面に、ベース層30およびコンタクト層31を形成し、さらに、チャンネルストップ層37を形成する。そして、終端部27の半導体基板11上には、フィールド酸化膜35を形成し、このフィールド酸化膜35上の所定領域を、例えばエッチングにより除去する。この後、フィールド酸化膜35が除去されることによって露出した半導体基板11の上面をエッチングし、第1、第2のトレンチ41、42を形成する。

【0054】

この後、フィールド酸化膜35上に、例えばポリシリコンからなるフィールドプレート電極36およびEQPR電極38を形成するとともに、第1のトレンチ41内に第1の絶縁膜23で覆われた電界緩和層22を形成し、第2のトレンチ42内に第2の絶縁膜25で覆われた電界緩和層24を形成する。

【0055】

次に、図8(a)、(b)に示すように、半導体基板11上の全面に、第3の絶縁膜39を形成する。

【0056】

最後に、図9(a)、(b)に示すように、ソース電極12が形成される領域の第3の絶縁膜39を除去するとともに、フィールドプレート電極36、EQPR電極38の一部、およびチャンネルストップ層37の一部が露出するように第3の絶縁膜39を除去し、ソース電極12、フィールドプレート電極パッド16、およびEQPR電極パッド17、をそれぞれ形成する。これにより、図1乃至図3に示される電力用半導体装置10が製造される。

【0057】

ここで、本実施形態に係る電力用半導体装置10において、第1のトレンチ41内に第1の絶縁膜23で覆われた電界緩和層22を設け、第2のトレンチ42内に第2の絶縁膜25で覆われた電界緩和層24を設ける理由について、図10乃至図13を参照して説明する。

【0058】

図10および図11は、第1、第2のトレンチ、およびこれらのトレンチ内部に、第1、第2の絶縁膜でそれぞれ覆われた電界緩和層が設けられていない電力用半導体装置であって、製造ばらつき等によってpピラー層18'の不純物濃度が周囲のn型半導体基板11'より高濃度に設けられた(pピラー層18'がpリッチ状態になるように設けられた)電力用半導体装置において、ドレイン電極34'に500Vの電圧が印加されており、ソース電極12'が接地されている場合を想定し、このときの電力用半導体装置の内部に形成される等電位線を示す図である。図10は、100V、200V、300V、400Vの等電位線を装置上面において示す図であり、図11は、100V、200V、300V、400Vの等電位線を装置断面において示す図である。なお、図11(a)は、図3(a)に対応する断面、図11(b)は、図3(b)に対応する断面、図11(c)は、図3(c)に対応する断面、における等電位線の様子を示している。

【0059】

図10および図11(a)、(b)、(c)に点線で示すように、100V、200V

10

20

30

40

50

、300V、および400Vの等電位線は、フィールドプレート電極36'とEQPR電極38'とに間に、フィールドプレート電極36'を囲うように存在する。特に400Vの等電位線は、各pピラー層18'の一端面18b'、他端面18c'(図10および図11(b))、および装置の最も外側に配置されたpピラー層18'の側面18d'(図10および図11(a))に沿うように存在する。そして、この400Vの等電位線のわずかに外周部分は、ほぼドレイン電圧である500Vとなっている。従って、pピラー層18'の一端面18b'(他端面18c')と半導体基板11'との境界付近の領域X(図11(b))、および装置の最も外側に配置されたpピラー層18'の側面18d'と半導体基板11'との境界付近の領域Y(図11(a))には、およそ100V程度の電位差があり、高電界がかかっている。従って、pピラー層18'の一端面18b'、他端面18c'と周辺のn型半導体基板11'との境界部分X、および装置の最も外側に配置されたpピラー層18'の側面18d'と周辺のn型半導体基板11'との境界部分Yでは、それぞれアバランシェ降伏によっていわゆるホットキャリアが生じ、このキャリアがドレイン電極34'-ソース電極12'間の電位差に従って移動するため、リーク電流が発生し、装置の信頼性を低下させる。

10

#### 【0060】

図12および図13は、本実施形態に係る電力用半導体装置10であって、製造ばらつき等によってpピラー層18の不純物濃度が周囲のn型半導体基板11(n型の半導体層11a)より高濃度に設けられた(pピラー層18がpリッチ状態になるように設けられた)電力用半導体装置10において、ドレイン電極34に500Vの電圧が印加されており、ソース電極12が接地されている場合を想定し、このときの電力用半導体装置10の内部に形成される等電位線を示す図である。図12は、100V、200V、300V、400Vの等電位線を装置上面において示す図であり、図13は、100V、200V、300V、400Vの等電位線を装置断面において示す図である。なお、図13(a)は、図3(a)に対応する断面、図13(b)は、図3(b)に対応する断面、図13(c)は、図3(c)に対応する断面、における等電位線の様子を示している。

20

#### 【0061】

図12および図13(a)、(b)、(c)に点線で示すように、100V、200V、300V、および400Vの等電位線は、従来と同様にフィールドプレート電極36とEQPR電極38とに間に、フィールドプレート電極36を囲うように存在する。pピラー層18の一端部および他端部間にそれぞれ配置された電界緩和層22は、EQPR電極38と同電位である500Vとなっているため、pピラー層18間における400Vの等電位線は、従来より装置の内側に押し込まれている(図12および図13(c))。そして、これに追従して、pピラー層18における400Vの等電位線も、従来より装置の内側に押し込まれている(図12および図13(b))。

30

#### 【0062】

また、装置の最も外側に配置されたpピラー層18の側面18cに沿って配置された電界緩和層24も、EQPR電極38と同電位である500Vとなっているため、装置の最も外側に配置されたpピラー層18の側面18c付近における400Vの等電位線も、従来より装置の内側に押し込まれている(図12および図13(a))。

40

#### 【0063】

この結果、pピラー層18の一端面18b、他端面18cと周辺のn型半導体基板11との境界部分、および装置の最も外側に配置されたpピラー層18の側面18dと周辺のn型半導体基板11との境界部分、にかかる電界強度はそれぞれ、従来より緩和される。従って、これらの境界部分でアバランシェ降伏が生じることが抑制される。その結果、リーク電流の低減が達成され、装置の信頼性が向上する。

#### 【0064】

なお、図12、図13に示すように、400Vの等電位線は、第1の絶縁膜23および第2の絶縁膜25を通っている。これに対して、電界緩和層22、24はそれぞれ、およそ500Vである。従って、第1の絶縁膜23および第2の絶縁膜25には、100V程

50

度の電位差がかかっている。しかし、第1、第2の絶縁膜23、25は、例えばシリコンと比較して10倍以上の高耐圧材料であるため、このような高い電圧が印加されても、破壊されることはない。

【0065】

以上に説明したように、本実施形態に係る電力用半導体装置10によれば、pピラー層18の一端部の間、および他端部の間にそれぞれ第1のトレンチ41が設けられているとともに、装置の最も外側に配置されたpピラー層18の側面18dに沿って第2のトレンチ42が設けられている。そして、第1のトレンチ41内には、第1の絶縁膜23で覆われた電界緩和層22が設けられており、第2のトレンチ42内には、第2の絶縁膜25で覆われた電界緩和層24が設けられている。従って、pピラー層18と半導体基板11との境界部分における電界強度を緩和することができ、信頼性が向上した電力用半導体装置を提供することができる。

10

【0066】

図14は、第1の変形例に係る電力用半導体装置を簡略化して示す上面図である。図14に示すように、第1の変形例に係る電力用半導体装置は、第1の絶縁膜23で覆われた電界緩和層22を内部に有する第1のトレンチ41のみをpピラー層18の一端部の間および他端部の間に設け、装置の最も外側に配置されるpピラー層18のさらに外側に配置される、第2の絶縁膜25で覆われた電界緩和層24を内部に有する第2のトレンチ42を省略したものである。第2のトレンチ42等を省略した理由は、以下の通りである。なお、以下の説明において、pピラー層の長手方向に対して水平な方向を図示のようにX方向、このX方向に対して垂直な方向を図示のようにY方向と称する。

20

【0067】

素子部26に設けられたpピラー層18は、ベース層28に接している。従って、素子部26のpピラー層18は、ソース電極12の電位に略等しくなる。従って、ドレイン電極34 - ソース電極12間の電位差である例えば500Vは、素子部26のpピラー層18の一端面18bおよび他端面18cと、ドレイン電極34の電位に略等しいEQPR電極38と、の僅かな隙間に印加されることになる。

【0068】

これに対して、終端部27に形成される、装置の最も外側に配置されたpピラー層18は、ベース層28、30に接していないため、フローティングの状態である。従って、ドレイン電極34 - ソース電極12間の電位差である例えば500Vは、フィールドプレート電極36と、ドレイン電極34の電位に略等しいEQPR電極38と、の隙間に印加されることになる。

30

【0069】

すなわち、ドレイン電極34 - ソース電極12間の電位差である例えば500Vが印加される領域は、装置のY方向における領域に比べて、装置のX方向における領域の方が広い。従って、装置の最も外側に配置されたpピラー層18とEQPR電極38との間にかかる電界強度は、素子部26に設けられたpピラー層18とEQPR電極38との間にかかる電界強度より弱い。従って、電界強度が比較的弱い領域に設けられる第2のトレンチ42等は、必ずしも設ける必要はない。

40

【0070】

図15は、第2の変形例に係る電力用半導体装置を簡略化して示す上面図である。図15に示すように、第2の変形例に係る電力用半導体装置は、装置の最も外側に配置されたpピラー層18のさらに外側に、pピラー層18の側面18cに沿って設けられる、第2の絶縁膜25で覆われた電界緩和層24を内部に有する第2のトレンチ42と同様の構成を、フィールドプレート電極36の外側の終端部27のpピラー層18の間に、pピラー層18の側面18cに沿って設けたものである。すなわち、第2の絶縁膜25で覆われた電界緩和層24を内部に有する第2のトレンチ42は、フィールドプレート電極36の外側の終端部27のpピラー層18の間に、pピラー層18の側面18cに沿って設けてもよい。

50

## 【 0 0 7 1 】

以上に、本発明の実施形態を説明したが、この実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の趣旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

## 【 0 0 7 2 】

例えば、本実施形態では、終端部 2 7 に、フィールドプレート電極 3 6、チャンネルストップ層 3 7、および E Q P R 電極 3 8 が設けられているが、さらにリサーフ構造など他の終端構造が設けられていてもよい。

10

## 【 0 0 7 3 】

また、本実施形態では、素子部に M O S F E T 素子 1 3 が設けられているが、素子部には、例えば I G B T 素子が形成されていてもよい。さらに、M O S F E T 素子および I G B T 素子は、本実施形態のようにプレーナ型であってもよいし、トレンチゲート型であってもよい。

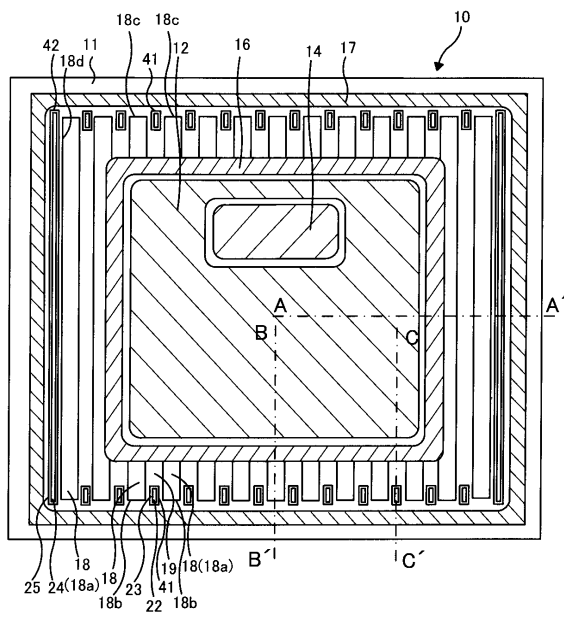
## 【 符号の説明 】

## 【 0 0 7 4 】

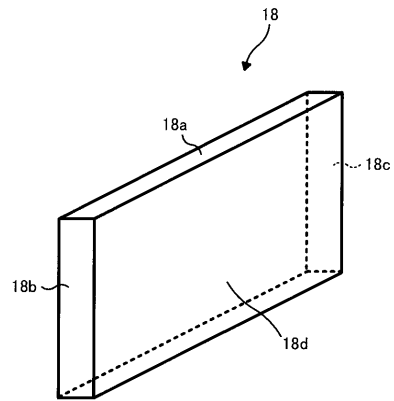
1 0	電力用半導体装置	
1 1、1 1'	半導体基板	
1 1 a	半導体層	20
1 2	ソース電極	
1 3	M O S F E T 素子	
1 4	ゲートパッド	
1 5	ゲート電極	
1 5 a	ゲート絶縁膜	
1 6	フィールドプレート電極パッド	
1 7	E Q P R 電極パッド	
1 8、1 8'	p ピラー層	
1 8 a、1 8 a'	p ピラー層の上面	
1 8 b、1 8 b'	p ピラー層の一端面	30
1 8 c、1 8 c'	p ピラー層の他端面	
1 8 d、1 8 d'	p ピラー層の側面	
1 9	n ピラー層	
2 2	電界緩和層	
2 3	第 1 の絶縁膜	
2 4	電界緩和層	
2 5	第 2 の絶縁膜	
2 6	素子部	
2 7	終端部	
2 8	ベース層	40
2 9	コンタクト層	
3 0	ベース層	
3 1	コンタクト層	
3 2	ソース層	
3 3	高濃度半導体基板	
3 4、3 4'	ドレイン電極	
3 5	フィールド酸化膜	
3 6、3 6'	フィールドプレート電極	
3 7	チャンネルストップ層	
3 7 - 1	p 型のチャンネルストップ層	50

- 37 - 2 . . . n型のチャネルストップ層
- 38、38' . . . E Q P R電極
- 39 . . . 第3の絶縁膜
- 40 . . . トレンチ
- 41 . . . 第1のトレンチ
- 42 . . . 第2のトレンチ

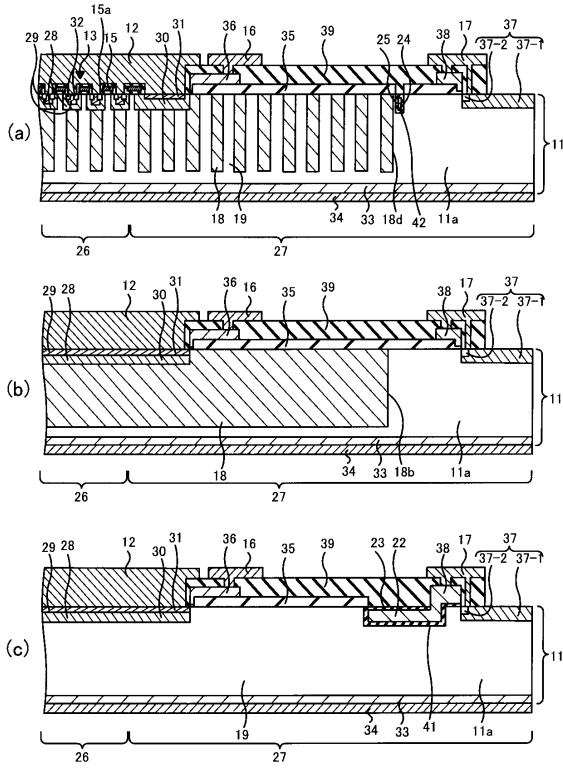
【図1】



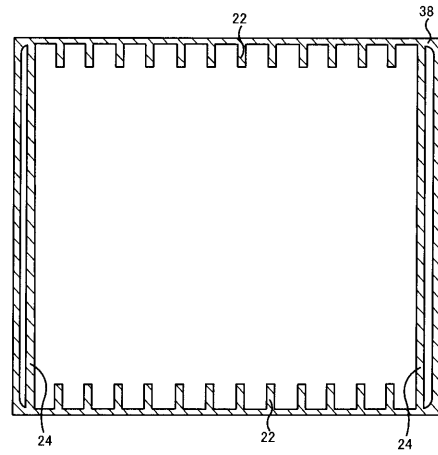
【図2】



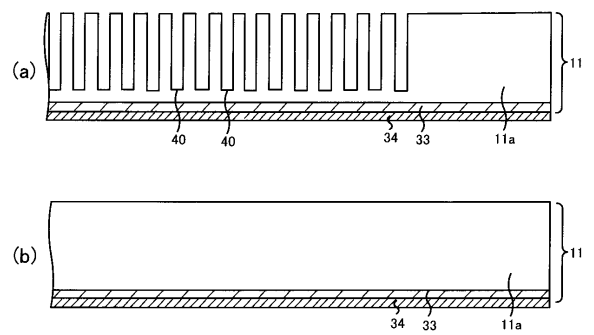
【図3】



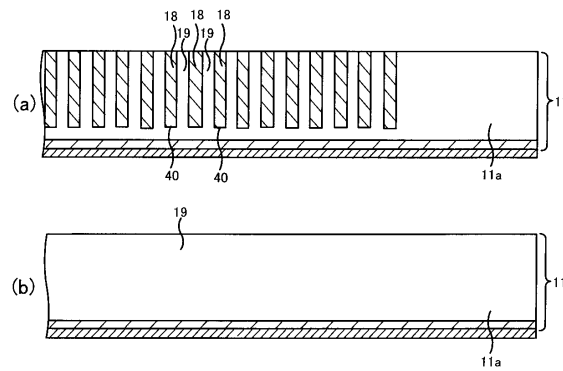
【図4】



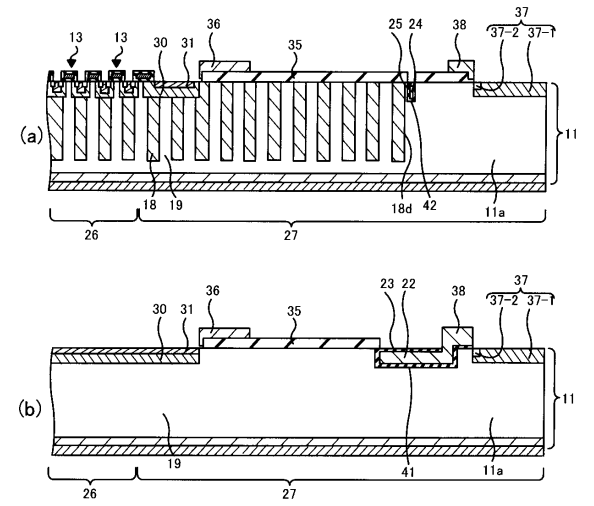
【図5】



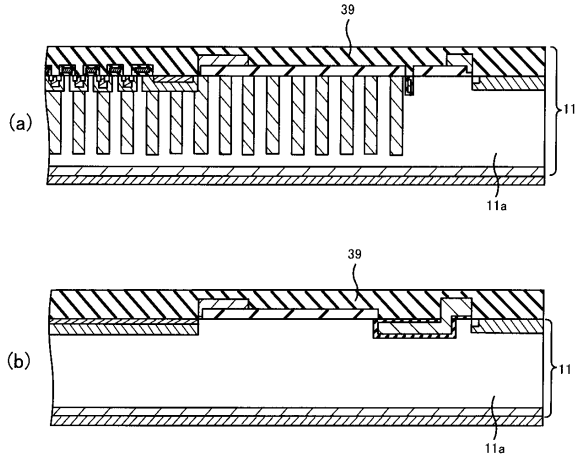
【図6】



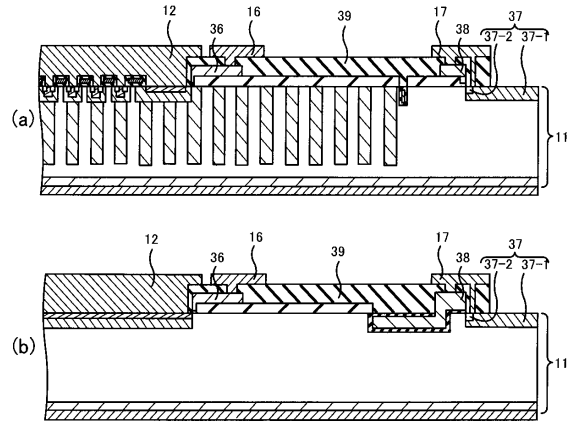
【図7】



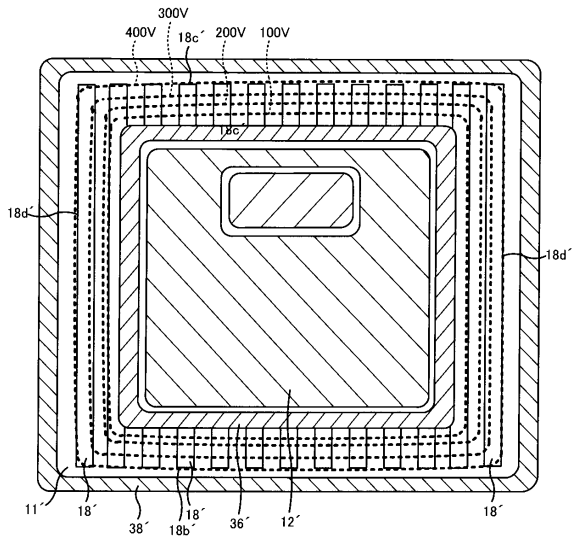
【図 8】



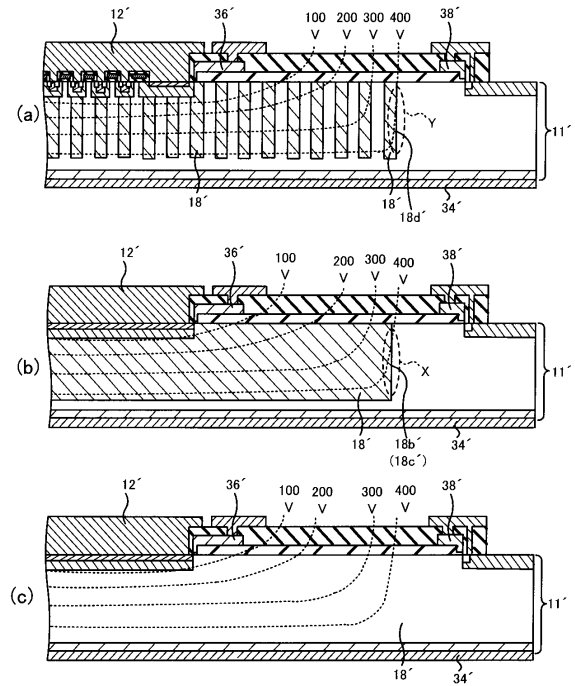
【図 9】



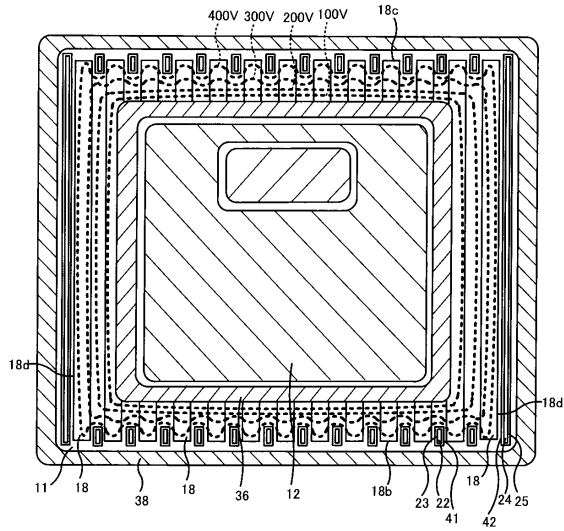
【図 10】



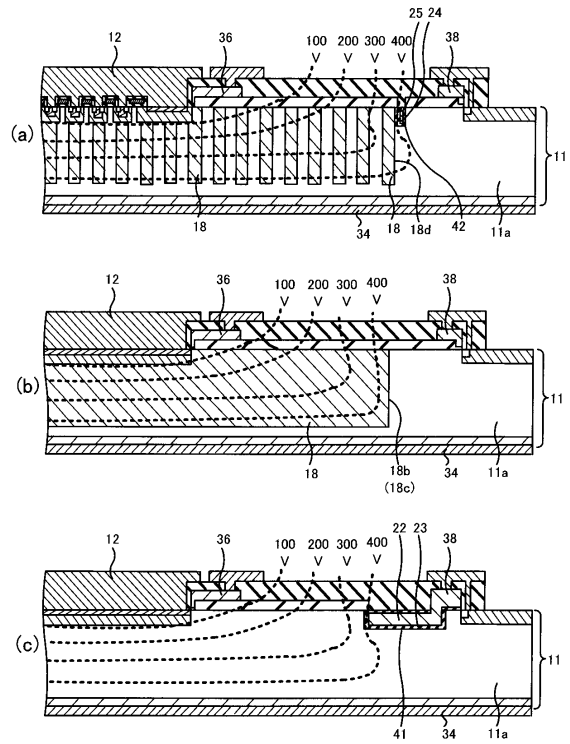
【図 11】



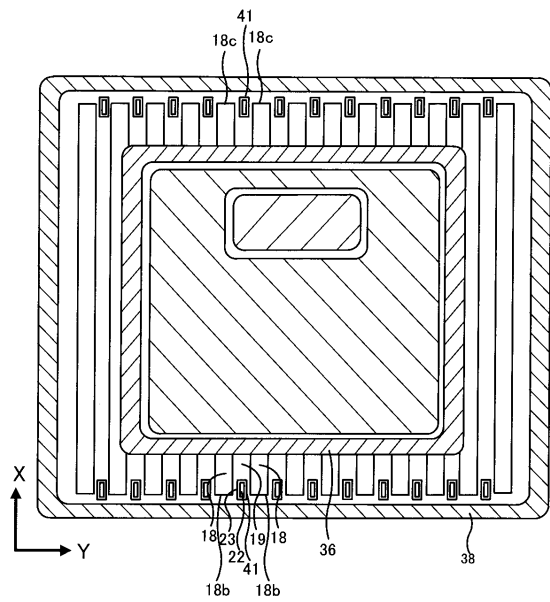
【図 12】



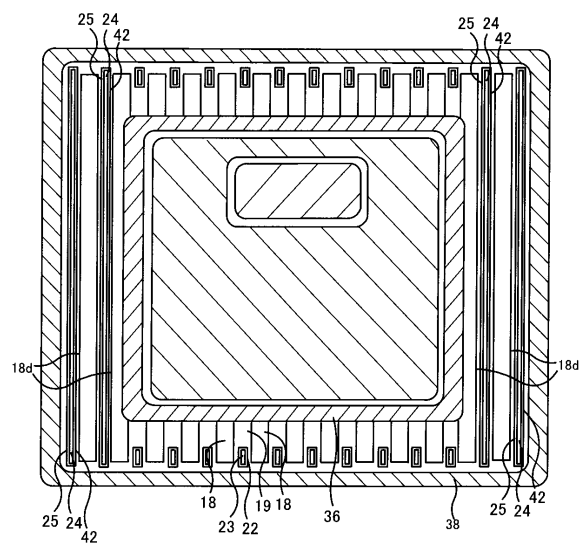
【図 13】



【図 14】



【図 15】



---

フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 29/06 3 0 1 G  
H 0 1 L 29/06 3 0 1 V  
H 0 1 L 29/44 Y  
H 0 1 L 29/78 6 5 5 F

(72)発明者 山下 浩明  
東京都港区芝浦一丁目1番1号 株式会社 東芝内

審査官 須原 宏光

(56)参考文献 特開2003-273355(JP,A)  
特開2002-164540(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H 0 1 L 2 9 / 7 8  
H 0 1 L 2 9 / 0 6