



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0124141

(43) 공개일자 2015년11월05일

(51) 국제특허분류(Int. Cl.)

H03M 13/11 (2006.01)

(21) 출원번호 10-2014-0050567

(22) 출원일자 2014년04월28일

심사청구일자 2014년04월28일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

허준

서울특별시 강남구 광평로10길 6 206-103(일원동, 한솔마을아파트)

김성원

서울특별시 성북구 안암로 145 고려대학교 전기전자전파공학과(안암동5가)

위준영

서울특별시 성북구 안암로 145 고려대학교 전기전자공학과(안암동5가)

(74) 대리인

특허법인충현

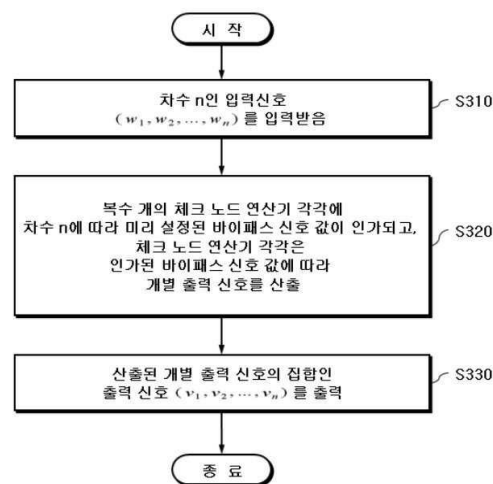
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 바이패스 신호를 이용한 저밀도 패리티 검사 코드의 복호화 방법 및 그 방법에 따른 장치

(57) 요약

본 발명은 저밀도 패리티 검사 코드의 복호화 방법에 관한 것으로서, 다양한 차수를 가지는 입력 신호를 처리하기 위하여 복수 개의 체크 노드 연산기 각각에 입력 신호의 차수에 따라 미리 설정된 바이패스 신호 값을 인가하고, 체크 노드 연산기 각각은 인가된 바이패스 신호 값에 따라 개별 출력 신호를 산출함으로써, 다양한 부호율을 만족시키고 전체 통신 시스템의 스토리지를 줄일 수 있다.

대표도 - 도3



이 발명을 지원한 국가연구개발사업

과제고유번호 H0502-13-1022

부처명 미래창조과학부

연구관리전문기관 정보통신산업진흥원

연구사업명 IT/SW창의연구과정(기술개발형)

연구과제명 군용 통신에서의 물리 계층 보안을 고려한 오류정정부호의 설계 및 구현

기 여 율 1/1

주관기관 고려대학교 산학협력단

연구기간 2013.05.01 ~ 2014.04.30

명세서

청구범위

청구항 1

저밀도 패리티 검사 (Low Density Parity Check, LDPC) 코드의 복호화 방법에 있어서,

차수가 n (n 은 양의 정수)인 입력 신호 $(w_1, w_2, \dots, w_n)$ 를 입력받는 단계;

복수 개의 체크 노드 연산기 각각에 상기 차수 n 에 대하여 미리 설정된 바이패스(bypass) 신호 값이 인가되고, 상기 체크 노드 연산기 각각은 상기 인가된 바이패스 신호 값에 따라 개별 출력 신호를 산출하는 단계; 및

상기 산출된 개별 출력 신호의 집합인 출력 신호 $(v_1, v_2, \dots, v_n)$ 를 출력하는 단계를 포함하는 복호화 방법.

청구항 2

제 1 항에 있어서,

상기 체크 노드 연산기의 개수는 상기 입력 신호를 구성하는 두 개 이상의 개별 입력 신호에 대하여 재귀적으로 체크 노드 함수를 수행함으로써, 모든 개별 출력 신호 값을 산출할 수 있는 수로 결정되는 것을 특징으로 하는 복호화 방법.

청구항 3

제 2 항에 있어서,

상기 출력 신호를 구성하는 개별 출력 신호 $v_k (1 \leq k \leq n)$ 는 $v_k = g(w_1, w_2, \dots, w_{k-1}, w_{k+1}, \dots, w_n)$ 이고, 상기 체크 노드 함수는 $g(a, b) = \text{sign}(a) \times \text{sign}(b) \times \min(|a|, |b|) + \ln(1 + e^{-|a+b|}) - \ln(1 + e^{|a-b|})$ 로 정의되는 것을 특징으로 하는 복호화 방법.

청구항 4

제 1 항에 있어서,

상기 복수 개의 체크 노드 연산기는 개별 입력 신호의 병렬처리를 위해 트리구조로 배치되는 것을 특징으로 하는 복호화 방법.

청구항 5

제 1 항에 있어서,

제어기는 상기 차수 n 인 입력 신호를 처리하기 위하여 상기 차수의 최대 값이 $\max$ 일 때, $1 \leq i \leq n, 1 \leq j \leq n, i \leq j$ 및 $n+1 \leq p \leq \max, n+1 \leq q \leq \max, p \leq q$ 를 만족 하는 양의 정수 i, j, p, q 에 대해서,

입력 신호 $w_i, w_{i+1}, \dots, w_j$ 와 입력 신호 $w_p, w_{p+1}, \dots, w_q$ 가 함께 사용된 체크 노드 연산기에 대하여 바이패스 신호 값을 제 1 신호로 설정하고,

그 외 체크 노드 연산기에 대하여 바이패스 신호 값을 제 2 신호로 설정하는 것을 특징으로 하는 복호화 방법.

청구항 6

제 1 항에 있어서,

상기 인가된 바이패스 신호 값이 제 1 신호인 경우에는 상기 체크 노드 연산기는 첫 번째 입력 신호를 그대로 출력하고,

상기 인가된 바이패스 신호 값이 제 2 신호인 경우에는 상기 체크 노드 연산기는 체크 노드 연산 함수를 수행하는 것을 특징으로 하는 복호화 방법.

청구항 7

제 1 항 내지 제 6 항 중에 어느 한 항의 방법을 컴퓨터에서 실행시키기 위한 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체.

청구항 8

저밀도 패리티 검사 코드의 복호화 장치에 있어서,

차수 n (n 은 양의 정수)인 입력 신호 $(w_1, w_2, \dots, w_n)$ 를 입력받는 입력부;

상기 차수 n 에 대하여 미리 설정된 바이패스(bypass) 신호 값을 인가받고, 상기 인가된 바이패스 신호 값에 따라 개별 출력 신호를 산출하는 복수 개의 체크 노드 연산부; 및

상기 산출된 개별 출력 신호의 집합인 출력 신호 $(v_1, v_2, \dots, v_n)$ 를 출력하는 출력부를 포함하는 장치.

청구항 9

제 8 항에 있어서,

상기 체크 노드 연산부는 상기 차수에 따라 상기 입력 신호를 구성하는 두 개 이상의 개별 입력 신호에 대하여 재귀적으로 체크 노드 함수를 수행함으로써, 모든 개별 출력 신호 값을 산출할 수 있는 개수만큼 구비되고,

상기 복수 개의 체크 노드 연산부는 개별 입력 신호의 병렬처리를 위하여 트리구조로 배치되는 것을 특징으로 하는 장치.

청구항 10

제 8 항에 있어서,

상기 차수 n 인 입력 신호를 처리하기 위하여 상기 차수의 최대 값이 $\max$ 일 때,
 $1 \leq i \leq n, 1 \leq j \leq n, i \leq j$ 및 $n+1 \leq p \leq \max, n+1 \leq q \leq \max, p \leq q$ 를 만족

하는 양의 정수 i, j, p, q 에 대해서,

상기 복수 개의 체크 노드 연산부 각각에 대하여 바이패스 신호 값을 설정하는 제어부를 더 포함하되,

상기 제어부는,

입력 신호 $w_i, w_{i+1}, \dots, w_j$ 와 입력 신호 $w_p, w_{p+1}, \dots, w_q$ 가 함께 사용된 체크 노드 연산부에 대하여 바이패스 신호 값을 제 1 신호로 설정하고,

그 외 체크 노드 연산부에 대하여는 바이패스 신호 값을 제 2 신호로 설정하는 것을 특징으로 하는 장치.

청구항 11

제 8 항에 있어서,

상기 체크 노드 연산부는,

상기 인가된 바이패스 신호 값이 제 1 신호인 경우에는 첫 번째 입력 신호를 그대로 출력하고,

상기 인가된 바이패스 신호 값이 제 2 신호인 경우에는 체크 노드 연산 함수를 수행하는 것을 특징으로 하는 장치.

발명의 설명

기술 분야

[0001]

본 발명은 저밀도 패리티 검사(LDPC) 코드의 복호화 방법에 관한 것으로, 더욱 상세하게는 다양한 차수를 가지는 입력 신호를 처리하기 위하여 바이패스(bypass) 신호를 이용한 체크 노드 연산을 통한 복호화 방법에 관한 것이다.

배경 기술

[0002]

저밀도 패리티 검사 코드(Low Density Parity Check code, LDPC code)는 1960년대 초 Gallager에 의해 처음 소개되었다. 이 부호는 선형 블록 부호의 일종으로 패리티 검사 행렬이 매우 적은 수의 1로 구성되어 있다. 1990년대에 들어 Mackay 등은 부호어의 길이가 매우 긴 저밀도 패리티 검사 코드의 오류성능이 샤논의 한계(Shannon's limit)에 근접할 수 있음을 입증하였다. 이에 따라 이 부호는 유럽의 위성 디지털 비디오 방송(digital video broadcasting-satellite, DVB-S)과 휴대 인터넷 표준 가운데 가나인 WiMAX에 채택되는 등 차세대 무선 통신 시스템에 다양하게 활용되는 추세이다.

[0003]

통신 시스템에서 다양한 부호율로 정보 전송이 이루어지면, 각각의 부호율에 따라 저밀도 패리티 검사 코드의 체크 노드의 차수도 변화된다. 대표적인 예로 DVB-S2 시스템은 11가지의 부호율로 전송되며, 각각의 부호율에 따라 체크 노드의 차수는 다양하게 나타난다. LDPC 코드 구현시 다양한 차수를 만족하려면 각각의 체크 노드 연산 엔진이 필요하다. 이 경우 각각의 차수에 따른 체크 노드 엔진을 설계하게 되면 전체 시스템 스토리지의 면적이 커진다는 문제점이 있다.

[0004]

따라서, 다양한 차수의 입력 신호를 처리할 수 있는 통합 체크 노드 엔진을 제공하여 시스템 스토리지의 효율적인 사용을 보장하기 위한 방안이 요구된다.

선행기술문헌

비특허문헌

[0005]

(비특허문헌 0001) R. Gallager, "Low-density parity-check codes", IEEE transactions on Information Theory, Vol.8, No.1, pp.21-28, Jan. 1962

(비특허문헌 0002) ETSI, Digital video broadcasting (DVB); Second generation framing structure, channel coding and modulation systems for broadcasting, interactive services, news gathering and other broad-band satellite applications : EN 302 307 V1. 1.1, 2005

발명의 내용

해결하려는 과제

- [0006] 본 발명이 해결하고자 하는 첫 번째 과제는 다양한 부호율을 만족하는 임의의 차수를 가지는 입력 신호를 처리할 수 있는 저밀도 패리티 검사 코드를 복호화하는 방법을 제공하는 것이다.
- [0007] 또한, 상기된 방법을 컴퓨터에서 실행시키기 위한 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록 매체를 제공하는데 있다.
- [0008] 본 발명이 해결하고자 하는 두 번째 과제는 통신 시스템 스토리지를 줄이기 위해 최대 차수 이하의 임의의 차수를 가지는 입력 신호를 처리할 수 있는 저밀도 패리티 검사 코드를 복호화 장치를 제공하는 것이다.

과제의 해결 수단

- [0009] 상기 첫 번째 과제를 달성하기 위하여, 본 발명의 일 실시예에 따른 저밀도 패리티 검사 코드의 복호화 방법은, 차수가 n (n 은 양의 정수)인 입력 신호 $(w_1, w_2, \dots, w_n)$ 를 입력받는 단계; 복수 개의 체크 노드 연산기 각각에 상기 차수 n 에 대하여 미리 설정된 바이패스(bypass) 신호 값이 인가되고, 상기 체크 노드 연산기 각각은 인가된 바이패스 신호 값에 따라 개별 출력 신호를 산출하는 단계; 및 상기 산출된 개별 출력 신호의 집합인 출력 신호 $(v_1, v_2, \dots, v_n)$ 를 출력하는 단계를 포함한다.
- [0010] 본 발명의 다른 실시예에 따른 상기 저밀도 패리티 검사 코드의 복호화 방법에서 상기 체크 노드 연산기의 개수는 상기 차수에 따라 상기 입력 신호를 구성하는 두 개 이상의 개별 입력 신호에 대하여 재귀적으로 체크 노드 함수를 수행함으로써, 모든 개별 출력 신호 값을 산출할 수 있는 수로 결정될 수 있다.
- [0011] 상기된 저밀도 패리티 검사 코드의 복호화 방법에서, 본 발명의 일 실시예에 따른 출력 신호를 구성하는 개별 출력 신호 $v_k(1 \leq k \leq n)$ 는 $v_k = g(w_1, w_2, \dots, w_{k-1}, w_{k+1}, \dots, w_n)$ 이고, 상기 체크 노드 함수는 $g(a, b) = \text{sign}(a) \times \text{sign}(b) \times \min(|a|, |b|) + \ln(1 + e^{-|a+b|}) - \ln(1 + e^{|a-b|})$ 로 정의될 수 있다.
- [0012] 본 발명의 다른 실시예에 따른 상기 저밀도 패리티 검사 코드의 복호화 방법에서 복수 개의 체크 노드 연산기는 개별 입력 신호의 병렬처리를 위해 트리구조로 배치될 수 있다.
- [0013] 본 발명의 다른 실시예에 따른 상기 저밀도 패리티 검사 코드의 복호화 방법에서 제어기는 상기 차수 n 인 입력 신호를 처리하기 위하여 상기 차수의 최대 값인 $\max_{1 \leq i \leq n, 1 \leq j \leq n, i \leq j}$ 및 $n+1 \leq p \leq \max, n+1 \leq q \leq \max, p \leq q$ 를 만족하는 양의 정수 i, j, p, q 에 대해서, 입력 신호 $w_i, w_{i+1}, \dots, w_j$ 와 입력 신호 $w_p, w_{p+1}, \dots, w_q$ 가 함께 사용된 체크 노드 연산기에 대하여 바이패스 신호 값을 제 1 신호로 설정하고, 그 외 체크 노드 연산기에 대하여 바이패스 신호 값을 제 2 신호로 설정할 수 있다.
- [0014] 본 발명의 다른 실시예에 따른 상기 저밀도 패리티 검사 코드의 복호화 방법에서 인가된 바이패스 신호 값이 제 1 신호인 경우에는 상기 체크 노드 연산기는 첫 번째 입력 신호를 그대로 출력하고, 인가된 바이패스 신호 값이 제 2 신호인 경우에는 상기 체크 노드 연산기는 체크 노드 연산 함수를 수행할 수 있다.
- [0015] 나아가, 이하에서는 상기 기재된 저밀도 패리티 검사 코드의 복호화 방법을 컴퓨터에서 실행시키기 위한 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체를 제공한다.
- [0016] 상기 두 번째 과제를 달성하기 위하여, 본 발명의 일 실시예에 따른 저밀도 패리티 검사 코드의 복호화 장치는, 차수 n (n 은 양의 정수)인 입력 신호 $(w_1, w_2, \dots, w_n)$ 를 입력받는 입력부; 상기 차수 n 에 대하여 미

리 설정된 바이패스(bypass) 신호 값을 인가받고, 상기 인가된 바이패스 신호 값에 따라 개별 출력 신호를 산출하는 복수 개의 체크 노드 연산부; 및 상기 산출된 개별 출력 신호의 집합인 출력 신호 $(v_1, v_2, \dots, v_n)$ 를 출력하는 출력부를 포함한다.

[0017] 본 발명의 다른 실시예에 따른 상기 저밀도 패리티 검사 코드의 복호화 장치에서 상기 체크 노드 연산부는 상기 차수에 따라 상기 입력 신호를 구성하는 두 개 이상의 개별 입력 신호에 대하여 재귀적으로 체크 노드 함수를 수행함으로써, 모든 개별 출력 신호 값을 산출할 수 있는 개수만큼 구비되고, 상기 복수 개의 체크 노드 연산부는 개별 입력 신호의 병렬처리를 위하여 트리구조로 배치될 수 있다.

[0018] 본 발명의 다른 실시예에 따른 상기 저밀도 패리티 검사 코드의 복호화 장치에서 상기 차수 n 인 입력 신호를 처리하기 위하여 상기 차수의 최대 값이 $\max$ 일 때, $1 \leq i \leq n, 1 \leq j \leq n, i \leq j$ 및 $n+1 \leq p \leq \max, n+1 \leq q \leq \max, p \leq q$ 를 만족하는 양의 정수 i, j, p, q 에 대해서, 상기 복수 개의 체크 노드 연산부 각각에 대하여 바이패스 신호 값을 설정하는 제어부를 더 포함하되, 상기 제어부는 입력 신호 $w_i, w_{i+1}, \dots, w_j$ 와 입력 신호 $w_p, w_{p+1}, \dots, w_q$ 가 함께 사용된 체크 노드 연산부에 대하여 바이패스 신호 값을 제 1 신호로 설정하고, 그 외 체크 노드 연산부에 대하여는 바이패스 신호 값을 제 2 신호로 설정할 수 있다.

[0019] 본 발명의 다른 실시예에 따른 상기 저밀도 패리티 검사 코드의 복호화 장치에서 상기 체크 노드 연산기는 상기 인가된 바이패스 신호 값이 제 1 신호인 경우에는 첫 번째 입력 신호를 그대로 출력하고, 상기 인가된 바이패스 신호 값이 제 2 신호인 경우에는 체크 노드 연산 함수를 수행하게 할 수 있다.

발명의 효과

[0020] 본 발명은 바이패스 신호를 이용하여 최대 차수 이하의 임의의 차수 값을 가지는 입력 신호를 처리하는 저밀도 패리티 검사 코드를 복호화하는 방법을 제공함으로써, 통신 시스템에서 다양한 부호율로 통신이 이루어져 입력 신호가 다양한 차수를 가질 때 이들을 하나의 복호화 방법에 의하여 처리할 수 있으며 이를 통해 전체적인 통신 시스템 스토리지를 줄일 수 있다.

도면의 간단한 설명

[0021] 도 1은 길이가 7인 LDPC 부호의 패리티 검사 행렬의 예를 나타낸 그림이다.

도 2는 도 1의 패리티 검사 행렬에 대응하는 태너 그래프이다.

도 3은 본 발명의 일 실시예에 따른 저밀도 패리티 검사 코드의 복호화 방법을 도시한 흐름도이다.

도 4는 본 발명의 일 실시예에 따른 최대 차수가 8인 저밀도 패리티 검사 코드의 복호화 방법의 복수의 체크 노드 연산기와 그 입출력 신호를 도시한 것이다.

도 5a는 본 발명의 일 실시예에 따른 바이패스 신호 값이 1로 체크 노드 연산기에 인가되는 경우의 입출력 신호를 도시한 것이다.

도 5b는 본 발명의 일 실시예에 따른 바이패스 신호 값이 0으로 체크 노드 연산기에 인가되는 경우의 입출력 신호를 도시한 것이다.

도 6은 도 4의 일 실시예로써 차수가 8인 입력 신호를 처리하는 바이패스 신호 값 및 입출력 개별 신호를 도시한 것이다.

도 7은 도 4의 일 실시예에서 차수가 5인 입력 신호를 처리하는 바이패스 신호 값 및 입출력 개별 신호를 도시한 것이다.

도 8a는 차수가 4인 입력 신호를 처리하기 위한 기존의 트리구조의 체크 노드 엔진을 도시한 것이다.

도 8b는 본 발명의 일 실시예에 따른 차수가 4인 입력 신호를 처리하는 바이패스 신호 값, 체크 노드 연산기 및 그 입출력 신호를 도시한 것이다.

도 9는 본 발명의 일 실시예에 따른 저밀도 패리티 검사 코드의 복호화 장치를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 본 발명의 실시예들을 설명하기에 앞서 본 발명의 실시예들이 구현되는 환경, 즉 고속 대용량 데이터 송수신 환경과 이에 따른 저장 장치에서의 오류 정정 부호인 저밀도 패리티 검사 코드의 사용에 대해 간략히 소개하고, 실시예들이 구현되는 환경에서 발생하고 있는 구현상의 문제점을 제시하고자 한다.
- [0023] LDPC 부호는 오류정정 부호로써 뛰어난 성능과 병렬화된 복호기 구조로 인해 WLAN, Wimax, DVB-S2와 같은 높은 데이터 전송율(data-rate)이 필요한 곳에서 널리 사용되고 있다. LDPC 부호의 복호화기(decoding process)는 채널 정보를 받아서 비트 노드 엔진과 체크 노드 엔진을 통해 연산을 반복적으로 수행하게 된다. 각각의 체크 노드 엔진들은 LDPC 부호의 차수만큼 인접한 비트 노드 엔진에서 입력을 받아 연산을 수행한 후 업데이트 된 출력을 비트 노드 엔진으로 보낸다. 체크 노드 연산의 병렬 처리를 위해 트리 구조로 구현하는데, 이 트리 구조는 입력 신호의 차수가 고정되어 있을 때는 유용하지만 차수 변화에 능동적이지 못하는 단점을 가지고 있다. 만약 다양한 부호율로 인해 체크 노드 엔진의 차수 변화가 생긴다면 시스템은 각 차수의 입력신호를 처리하기 위해 각 차수마다 다른 체크 노드 엔진을 보유하고 있어야 한다. 이는 전체 시스템 스토리지의 면적을 높이는 문제점을 발생시킨다.
- [0024] 따라서, 이하에서 제시될 본 발명의 다양한 실시예들은 저밀도 패리티 검사 코드의 복호화 방법에 있어서 바이패스 신호를 이용하여 최대 차수 이하의 임의의 차수를 갖는 입력 신호를 한번에 처리할 수 있는 복호화 방법을 제안한다.
- [0025] 이하에서는, 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 이하에서 기술될 설명은 본 발명의 실시예들에 따른 동작을 이해하는데 필요한 부분을 중심으로 제시되며, 이 이외 부분에 대한 설명은 본 발명의 요지를 해치지 않는 범위에서 약술될 것이다.
- [0026] LDPC 부호는 일반적으로 패리티 검사 행렬로 정의되고 태너(Tanner) 그래프를 통해 표현할 수 있다. 도 1은 길이가 7인 LDPC 부호의 패리티 검사 행렬의 예를 나타낸 그림이고, 도 2는 도 1의 패리티 검사 행렬에 대응하는 태너 그래프이다. 도 2를 참조하면, 7개의 변수 노드(variable node)와 3개의 체크 노드(check node)로 구성되어 있고, 패리티 검사 행렬의 i 번째 열과 j 번째 행이 각각 i 번째 변수 노드, j 번째 체크 노드를 의미한다. 즉, 패리티 검사 행렬의 i 번째 열, j 번째 행이 교차하는 값이 1이면 i 번째 변수 노드, j 번째 체크 노드 간의 연결 상태가 있다는 것을 의미하게 된다. 태너 그래프에서 변수 노드 및 체크 노드들에 연결되어 있는 선분 개수를 각 노드의 차수라고 한다. 도 1의 패리티 검사 행렬은 비교적 간단한 입력 신호임에도 도 2를 참조하면 각 노드의 차수가 3,2,1로 다양한 것을 알 수 있다.
- [0027] 도 3은 본 발명의 일 실시예에 따른 저밀도 패리티 검사 코드의 복호화 방법을 도시한 흐름도이다. 저밀도 패리티 검사 (Low Density Parity Check, LDPC) 코드의 복호화 방법에 있어서 다음과 같은 단계들을 포함한다.
- [0028] S310 단계에서, 차수가 n (n 은 양의 정수)인 입력 신호 $(w_1, w_2, \dots, w_n)$ 를 입력받는다. 입력 신호는 n 개의 개별 입력 신호 w 의 집합이며, 일반적으로 패리티 검사 행렬로 표현될 수 있다. n 은 양의 정수로써, 최대 차수 이하의 임의의 값을 가질 수 있다. 따라서 다양한 차수의 입력 신호를 처리하기 위하여 각각의 복호화 방법을 요구하지 않고, 하나의 복호화 방법을 통하여 본 발명의 실시예들에서 한번에 처리가 가능하다.
- [0029] S320 단계에서, 복수 개의 체크 노드 연산기 각각에 상기 차수 n 에 대하여 미리 설정된 바이패스(bypass) 신호 값이 인가되고, 상기 체크 노드 연산기 각각은 상기 인가된 바이패스 신호 값에 따라 개별 출력 신호를 산출한다. 바이패스 신호 값은 이진 값으로 표현될 수 있으며, 입력 신호의 차수마다 값이 달리 설정함으로써 다양한 차수의 입력 신호를 처리할 수 있게 한다.
- [0030] S330 단계에서, 산출된 개별 출력 신호의 집합인 출력 신호 $(v_1, v_2, \dots, v_n)$ 를 출력한다. 입력 신호의 차수에 따라 출력 신호의 개별 출력 신호의 개수도 결정된다. 즉, n 차수의 입력 신호는 n 개의 개별 입력 신호의 집합이고, 출력 신호 역시 n 개의 개별 출력 신호의 집합이 된다. 복호화 방법에 따른 입력 및 출력 과정은 본 실시예의 구현 환경에 따라 다양하게 구현될 수 있는 것으로, 여기서는 구체적인 설명을 생략한다.

[0031]

도 4는 본 발명의 일 실시예에 따른 최대 차수가 8인 저밀도 패리티 검사 코드의 복호화 방법의 복수의 체크 노드 연산기와 그 입출력 신호를 도시한 것이다. 체크 노드 연산기의 개수는 상기 차수에 따라 상기 입력 신호를 구성하는 두 개 이상의 개별 입력 신호에 대하여 재귀적으로 체크 노드 함수를 수행함으로써, 모든 개별 출력 신호 값을 산출할 수 있는 수로 결정될 수 있다. 입력 신호의 차수가 n 일 때 출력 신호를 구성하는 개별 출력

신호 $v_k (1 \leq k \leq n)$ 는 $v_k = g(w_1, w_2, \dots, w_{k-1}, w_{k+1}, \dots, w_n)$ 이고, 체크 노드 함수는 $g(a, b) = \text{sign}(a) \times \text{sign}(b) \times \min(|a|, |b|) + \ln(1 + e^{-|a+b|}) - \ln(1 + e^{|a-b|})$ 로 정의할 수 있다. 정의된 체크 노드 함수는 LDPC 부호의 복호 방식 중 Min*-Sum 알고리즘에서 사용하는 체크 노드 연산 함수이다. Min*-Sum 알고리즘은 기존의 Sum-Product 알고리즘 방식의 Tanh 함수 사용에 따른 구현상 복잡도를

낮추기 위한 LDPC 부호의 복호 방식이다. 그러므로 w_k 를 산출하기 위해 복수 개의 체크 노드 연산기를 이용하여 체크 노드 함수를 재귀적으로 수행한다. 예를 들어, 도 4의 경우 입력 신호의 차수가 8이므로, 8개의 개별 출력 신호를 산출하기 위해 두 개의 입력 신호를 받아 처리하는 체크 노드 연산기는 18개가 필요하다.

[0032]

도 4의 복수 개의 체크 노드 연산기는 개별 입력 신호의 병렬처리를 위해 트리구조로 배치될 수 있다. 이러한 트리구조는 궁극적으로 시스템의 스토리지를 증가시키는 단점이 있지만, 본 발명은 바이패스 신호 값을 이용하여 기 때문에 트리 구조를 가지면서도 효율적인 스토리지 관리가 가능하다.

[0033]

도 5a는 본 발명의 일 실시예에 따른 바이패스 신호 값이 1로 체크 노드 연산기에 인가되는 경우의 입출력 신호를 도시한 것이고, 도 5b는 본 발명의 일 실시예에 따른 바이패스 신호 값이 0으로 체크 노드 연산기에 인가되는 경우의 입출력 신호를 도시한 것이다. 본 발명에 따른 상기 실시예에서 상기 인가된 바이패스 신호 값이 제 1 신호인 경우에는 상기 체크 노드 연산기는 첫 번째 입력 신호를 그대로 출력하고, 상기 인가된 바이패스 신호 값이 제 2 신호인 경우에는 상기 체크 노드 연산기는 체크 노드 연산 함수를 수행한다. 입력 신호의 차수에 따라 미리 설정된 바이패스 신호는 각각의 체크 노드 연산기마다 인가되어 각각을 제어하게 된다.

[0034]

본 발명의 일 실시예에 따른 저밀도 패리티 검사 코드의 복호화 방법에 있어서, 제어기는 상기 차수 n 인 입력 신호를 처리하기 위하여 상기 차수의 최대 값인 $\max$ 일 때, $1 \leq i \leq n, 1 \leq j \leq n, i \leq j$ 및 $n+1 \leq p \leq \max, n+1 \leq q \leq \max, p \leq q$ 를 만족하는 양의 정수 i, j, p, q 에

대해서, 입력 신호 $w_i, w_{i+1}, \dots, w_j$ 와 입력 신호 $w_p, w_{p+1}, \dots, w_q$ 가 함께 사용된 체크 노드 연산기에 대하여 바이패스 신호 값을 제 1 신호로 설정하고, 그 외 체크 노드 연산기에 대하여 바이패스 신호 값을 제 2 신호로 설정할 수 있다. 즉, 바이패스 신호 값은 입력 신호의 차수에 따라 결정된다.

[0035]

도 4에 대하여 입력 신호의 차수가 8인 경우 바이패스 신호 값 및 입출력 개별 신호를 도시한 것이 도 6이다.

이를 참조하면, 입력 신호는 8개의 개별 입력 신호의 집합인 $(w_1, w_2, w_3, w_4, w_5, w_6, w_7, w_8)$ 이고, 출력 신호는 8개의 개별 출력 신호의 집합인 $(v_1, v_2, v_3, v_4, v_5, v_6, v_7, v_8)$ 이다. 본 발명의 상기 실시예에서는 제 1 신호가 1이고, 제 2 신호가 0으로 구현하였다. 구현 환경에 따라서 제 1 신호 및 제 2 신호는 다른 값이 될 수 있음은 자명하다.

[0036]

상기 실시예에 따른 도 6에서 차수의 최대 값이 8이고, 입력 신호의 차수가 8이기 때문에 q 는 9가 되어 w_9 가 사용되는 체크 노드 연산기가 없으므로 모든 체크 노드 연산기의 바이패스 신호 값은 0이 된다. 따라서 입력 신호의 차수가 최대 차수와 동일한 경우 모든 바이패스 신호 값은 0이 된다.

[0037]

제어기가 입력 차수에 따라 바이패스 신호 값을 설정하는 것에 관하여 상기 실시예에 따른 또 다른 예를 들어 설명하고자 한다. 도 7은 차수의 최대 값이 8이고, 차수가 5인 입력 신호를 처리하는 바이패스 신호 값 및 입출

력 개별 신호를 도시한 것이다. 먼저, 입력 신호는 5개의 개별 입력 신호의 집합인 $(w_1, w_2, w_3, w_4, w_5)$ 이고, 출력 신호는 5개의 개별 출력 신호의 집합인 $(v_1, v_2, v_3, v_4, v_5)$ 이다. q 는 6이 되고, 연산에 필요하지 않은 개별 입력 신호는 w_6, w_7, w_8 이 된다. 그러므로 바이패스 신호 값은 w_1, w_2, w_3, w_4, w_5 와 w_6, w_7, w_8 이 함께 사용되는 $g(w_5, w_6)$, $g(w_5, w_6, w_7, w_8)$, $g(w_1, w_2, w_3, w_4, w_7, w_8)$ 연산기에 1을 설정한다. 그리고 나머지 모든 체크 노드 연산기는 w_1, w_2, w_3, w_4, w_5 와 w_6, w_7, w_8 이 함께 사용되지 않기 때문에 바이패스 신호 값을 0으로 설정한다.

[0038]

기존의 트리 구조의 체크 노드 엔진을 이용한 저밀도 패리티 검사 코드의 복호화 방법은 입력 차수에 따라 각각의 체크 노드 엔진을 구비해야 한다. 즉, 최대 차수 max인 입력 신호를 처리하기 위하여 max개의 체크 노드 엔진을 구비하여야 다양한 입력 신호를 처리할 수 있다. 본 발명에 따른 저밀도 패리티 검사 코드의 복호화 방법은 최대 차수 max인 입력 신호를 처리하기 위하여 복수 개의 체크 노드 연산기로 구성된 하나의 체크 노드 엔진으로 1차 입력 신호 내지 max차 입력 신호를 모두 처리할 수 있다. 이해를 돕기 위하여 차수가 4인 입력 신호를 처리하기 위한 기존의 트리구조의 체크 노드 엔진을 도시한 것이 도 8a이다. 이에 반해 도 8b는 본 발명의 일 실시예로써, 차수가 4인 입력 신호를 처리하는 바이패스 신호 값, 체크 노드 연산기 및 그 입출력 신호를 도시한 것이다. 최대 차수 (도 8b의 경우, 최대 차수는 8)이하인 입력 신호는 별도의 체크 노드 엔진을 필요로 하지 않고, 바이패스 신호 값을 설정하면 출력 신호를 산출할 수 있게 된다.

[0039]

본 발명의 다른 실시예에 따라 도 9는 저밀도 패리티 검사 코드의 복호화 장치(10)를 도시한 도면으로서, 복호화 장치(10)는 입력부(11), 제어부(12), 바이패스 신호 값(13), 체크 노드 연산부(14), 출력부(15)의 개별 구성을 포함한다. 도 9에서 각각의 개별 구성들은 앞서 설명한 도 3의 복호화 방법에 대응되므로, 여기서는 그 장치적 특징을 중심으로 개요만을 약술하도록 한다.

[0040]

입력부(11)는 차수 n (n 은 양의 정수)인 입력 신호 $(w_1, w_2, \dots, w_n)$ 를 입력받는다. 입력 신호는 n 개의 개별 입력 신호 w 의 집합이며, 일반적으로 패리티 검사 행렬로 표현될 수 있다. n 은 양의 정수으로써, 최대 차수 이하의 임의의 값을 가질 수 있다. 입력부(11)는 입력 신호의 차수를 제어부(12)로 내보내고, 체크 노드 연산부(14)로 입력 신호 및 차수를 내보내는 역할을 한다.

[0041]

제어부(12)는 복수 개의 체크 노드 연산부(14) 각각에 대하여 바이패스 신호 값(13)을 설정한다. 차수 n 인 입력 신호를 입력부(11)로부터 받아서 차수의 최대 값이 $\max$ 일 때, $1 \leq i \leq n, 1 \leq j \leq n, i \leq j$ 및 $n+1 \leq p \leq \max, n+1 \leq q \leq \max, p \leq q$ 를 만족하는 양의 정수 i, j, p, q 에

대해서, 제어부(12)는 입력 신호 $w_i, w_{i+1}, \dots, w_j$ 와 입력 신호 $w_p, w_{p+1}, \dots, w_q$ 가 함께 사용된 체크 노드 연산부(14)에 대하여 바이패스 신호 값(13)을 제 1 신호로 설정하고, 그 외 체크 노드 연산부(14)에 대하여는 바이패스 신호 값(13)을 제 2 신호로 설정한다.

[0042]

체크 노드 연산부(14)는 차수 n 에 대하여 미리 설정된 바이패스 신호 값(13)을 인가받고, 인가된 바이패스 신호 값에 따라 개별 출력 신호 $v_k = g(w_1, w_2, \dots, w_{k-1}, w_{k+1}, \dots, w_n)$ 를 산출하여 출력부(15)로 내보낸다. 구체적으로 인가된 바이패스 신호 값이 제 1 신호인 경우에는 첫 번째 입력 신호를 그대로 출력하고, 인가된 바이패스 신호 값이 제 2 신호인 경우에는 체크 노드 연산 함수

$g(a, b) = \text{sign}(a) \times \text{sign}(b) \times \min(|a|, |b|) + \ln(1 + e^{-|a+b|}) - \ln(1 + e^{|a-b|})$ 를 수행하여 개별 출력 신호를 산출한다.

[0043] 체크 노드 연산부(14)는 상기 차수에 따라 상기 입력 신호를 구성하는 두 개 이상의 개별 입력 신호에 대하여 재귀적으로 체크 노드 함수를 수행함으로써, 모든 개별 출력 신호 값을 산출할 수 있는 개수만큼 구비되고, 개별 입력 신호의 병렬처리를 위하여 트리구조로 배치될 수 있다.

[0044] 출력부(15)는 산출된 개별 출력 신호의 집합인 출력 신호 $(v_1, v_2, \dots, v_n)$ 를 출력한다. 출력 신호는 입력 신호 차수인 n개의 개별 출력 신호의 집합이다.

[0045] 실시예들을 통해 살펴본 본 발명은 바이패스 신호를 이용하여 최대 차수 이하의 임의의 차수 값을 가지는 입력 신호를 처리하는 저밀도 패리티 검사 코드를 복호화하는 방법을 제공함으로써, 통신 시스템에서 다양한 부호율로 통신이 이루어져 입력 신호가 다양한 차수를 가질 때 이들을 하나의 복호화 방법에 의하여 처리할 수 있다.

[0046] 나아가 고정된 부호율을 사용하는 경우 고정 차수에 따라 도 8a처럼 체크 노드 엔진을 설계하면 된다. 하지만 다양한 부호율을 사용하는 통신시스템의 경우 상황에 따라 각 체크 노드의 차수는 변화할 수 있고, 다양한 차수에 맞는 각각의 체크 노드 엔진을 설계하게 되면 LDPC 부호 구현에 따른 시스템 스토리지의 크기는 증가하게 되는 문제점이 발생한다. 따라서 본 발명은 다양한 차수에 따른 시스템 스토리지의 크기를 줄이기 위해 통합적인 저밀도 패리티 검사 코드의 복호화 방법을 제안하여, 다양한 차수마다 각각의 체크 노드 엔진을 구비할 필요 없이 바이패스 신호 값을 이용하여 최대 차수 이하의 임의의 차수를 가지는 입력 신호를 모두 처리할 수 있게 되었다. 궁극적으로 요구되는 차수의 종류가 다양해질수록 기존의 복호화 방법에서 요구되는 체크 노드 엔진의 크기 및 개수가 증가하여 통신 시스템 스토리지가 증가하는 반면, 본 발명에 따른 복호화 방법은 하나의 체크 노드 엔진으로 최대 차수만을 증가시켜 전체적인 통신 시스템 스토리지를 줄일 수 있다.

[0047] 한편, 본 발명은 컴퓨터로 읽을 수 있는 기록 매체에 컴퓨터가 읽을 수 있는 코드로 구현하는 것이 가능하다. 예를 들어, 바이패스 신호 값을 설정하고 체크 노드 연산부에 인가하는 것은 외부의 신호 발생 장치를 이용하여 구현하는 것이 가능하다. 이 때, 컴퓨터가 읽을 수 있는 기록 매체는 컴퓨터 시스템에 의하여 읽혀질 수 있는 데이터가 저장되는 모든 종류의 기록 장치를 포함한다.

[0048] 컴퓨터가 읽을 수 있는 기록 매체의 예로는 ROM, RAM, CD-ROM, 자기 테이프, 플로피디스크, 광 데이터 저장장치 등이 있으며, 또한 캐리어 웨이브(예를 들어 인터넷을 통한 전송)의 형태로 구현하는 것을 포함한다. 또한 컴퓨터가 읽을 수 있는 기록 매체는 네트워크로 연결된 컴퓨터 시스템에 분산되어, 분산 방식으로 컴퓨터가 읽을 수 있는 코드가 저장되고 실행될 수 있다. 그리고 본 발명을 구현하기 위한 기능적인(functional) 프로그램, 코드 및 코드 세그먼트들은 본 발명이 속하는 기술 분야의 프로그래머들에 의하여 용이하게 추론될 수 있다.

[0049] 이상에서 본 발명에 대하여 그 다양한 실시예들을 중심으로 살펴보았다. 본 발명에 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

부호의 설명

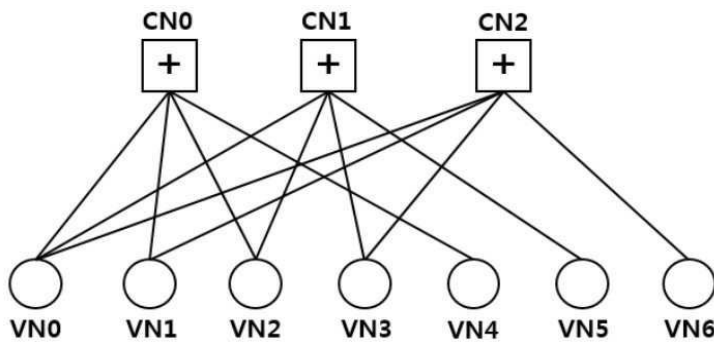
[0050] 10 : 복호화 장치
11 : 입력부
12 : 제어부
13 : 바이패스 신호 값
14 : 체크 노드 연산부
15 : 출력부

도면

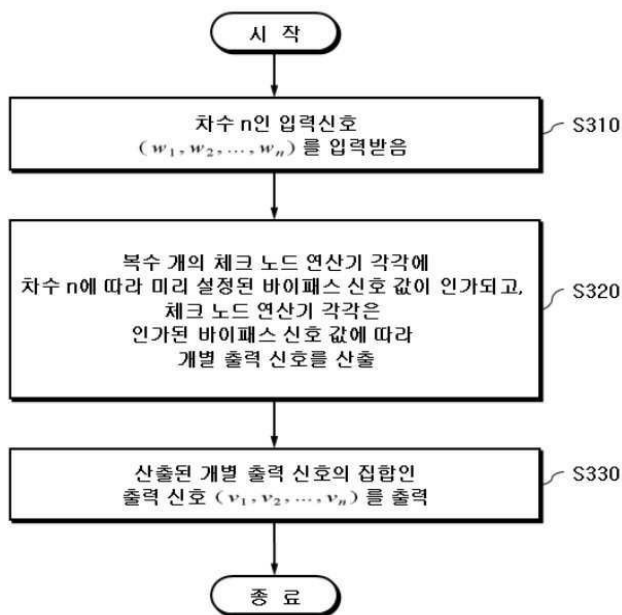
도면1

$$\begin{bmatrix} 1 & 1 & 1 & 0 & 1 & 0 & 0 \\ 1 & 0 & 1 & 1 & 0 & 1 & 0 \\ 1 & 1 & 0 & 1 & 0 & 0 & 1 \end{bmatrix}$$

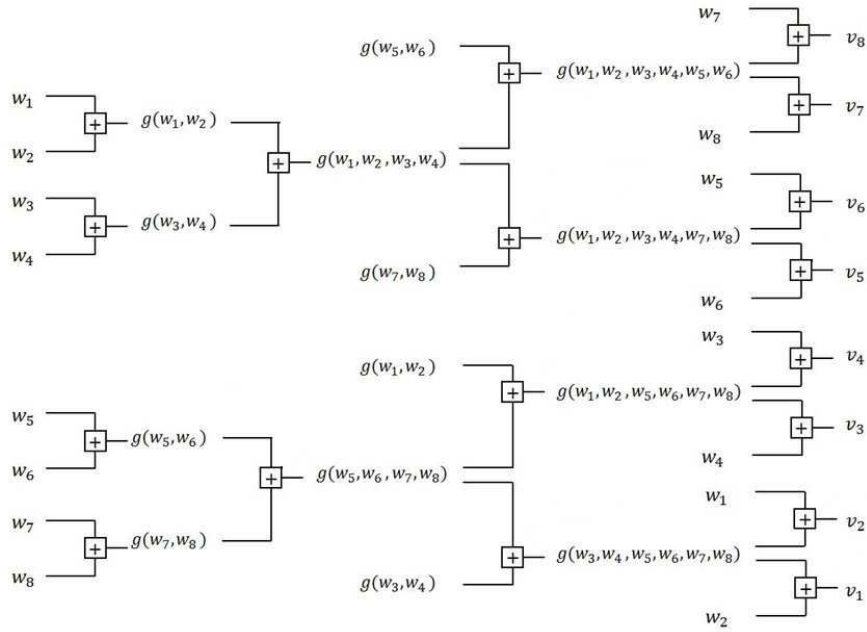
도면2



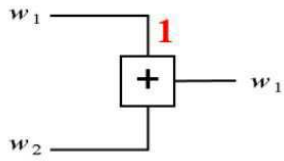
도면3



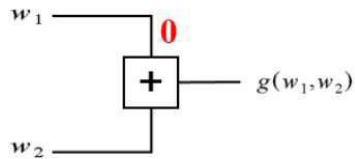
도면4



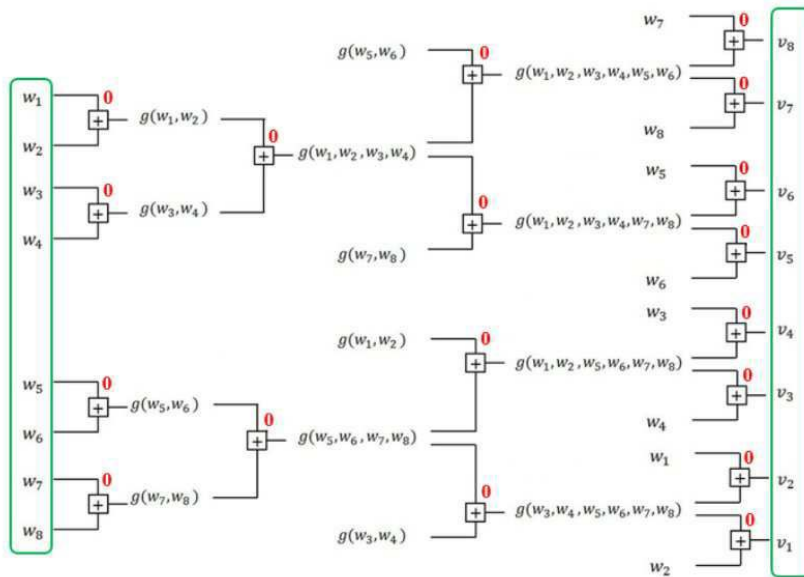
도면5a



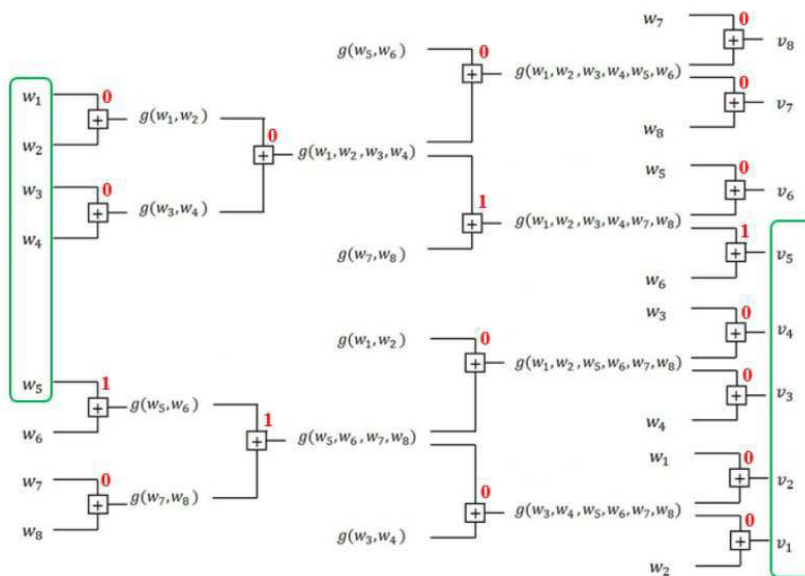
도면5b



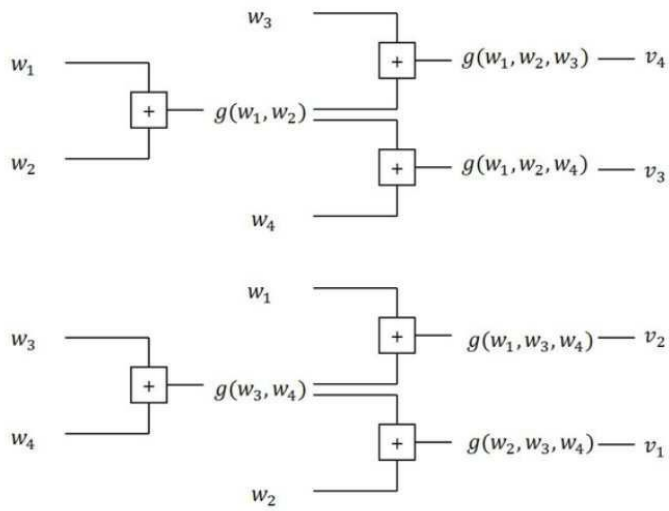
도면6



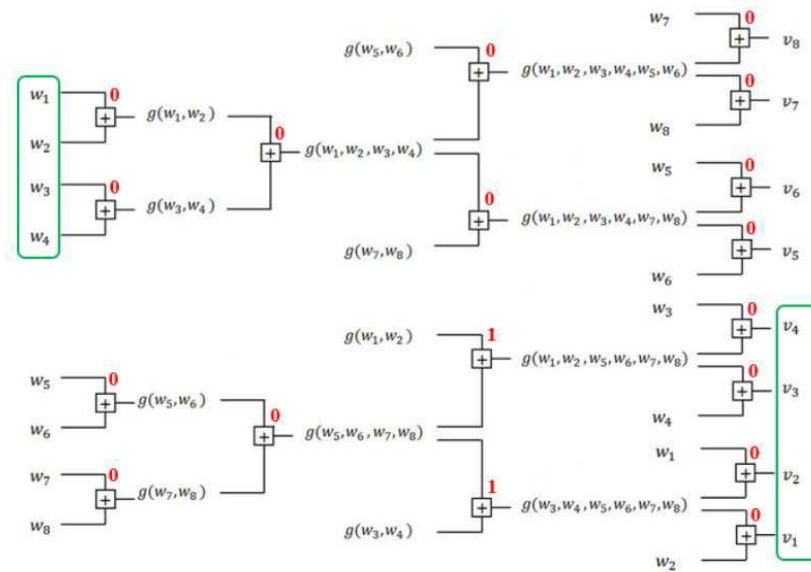
도면7



도면8a



도면8b



도면9

