

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成20年7月3日(2008.7.3)

【公表番号】特表2007-538408(P2007-538408A)

【公表日】平成19年12月27日(2007.12.27)

【年通号数】公開・登録公報2007-050

【出願番号】特願2007-527328(P2007-527328)

【国際特許分類】

H 01 L 33/00 (2006.01)

【F I】

H 01 L 33/00 C

【手続補正書】

【提出日】平成20年5月19日(2008.5.19)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ハイライト抽出フォトニックデバイスを製造する方法であって、

基板上にエピタキシャル半導体デバイス構造を成長させるステップであって、前記エピタキシャル半導体構造および基板は、バイアスに応答して光を放出するように構成されたエミッタを備える、エピタキシャル半導体デバイス構造を成長させるステップと、

前記エピタキシャル半導体デバイス構造が、サブマウントと前記基板との間にはさまるよう、前記サブマウント上に前記エミッタをフリップチップマウントするステップと、

前記ミラーが、前記フリップチップマウントするステップの後に、前記エピタキシャル半導体構造と前記サブマウントとの間にはさまるよう、第1のミラー層を配置するステップと、

前記基板を、前記エピタキシャル半導体構造より実質的に速くエッチングするエッチング環境を利用して、前記基板を前記エピタキシャル半導体デバイスからエッチングして除去するステップと

を有することを特徴とする方法。

【請求項2】

前記エピタキシャル半導体構造は、第3族窒化物半導体材料を含むことを特徴とする請求項1に記載の方法。

【請求項3】

前記基板は、単結晶炭化ケイ素(SiC)を含むことを特徴とする請求項1に記載の方法。

【請求項4】

前記エッチング環境は、反応性イオンエッチングを含むことを特徴とする請求項1に記載の方法。

【請求項5】

前記エッチング環境は、三弗化窒素(NF₃)を含むことを特徴とする請求項1に記載の方法。

【請求項6】

前記エミッタの前記フリップチップマウントするステップの前に、前記基板構造の対向

する側で前記エピタキシャル半導体構造上に第1のミラー層を堆積するステップをさらに含み、前記ミラーは、前記フリップチップマウントするステップの後で、前記エピタキシャル半導体構造と前記サブマウントとの間ではさまれることを特徴とする請求項1に記載の方法。

【請求項7】

前記第1のミラー層は、反射性金属を含むことを特徴とする請求項6に記載の方法。

【請求項8】

前記第1のミラー層は、複数の誘電体材料の交互層対を含む分散プラック反射器(D B R)を含むことを特徴とする請求項6に記載の方法。

【請求項9】

前記基板がエッティングされた後、前記エピタキシャル半導体構造上に第2のミラー層を堆積するステップをさらに含み、前記第2のミラー層は、前記エピタキシャル半導体構造が、前記サブマウントと前記第2のミラー層との間ではさまれるように配置されることを特徴とする請求項1に記載の方法。

【請求項10】

前記第2のミラー層は、反射性金属を含むことを特徴とする請求項9に記載の方法。

【請求項11】

前記第2のミラー層は、複数の誘電体材料の交互層対を含む分散プラック反射器(D B R)を含むことを特徴とする請求項9に記載の方法。

【請求項12】

前記エピタキシャル半導体構造を成長させるステップは、
前記基板上に第1のエピタキシャル半導体層を成長させるステップと、
前記第1のエピタキシャル半導体層上に第2のエピタキシャル半導体層を成長させるステップと
を含み、前記第1のエピタキシャル半導体層が、前記基板と前記第2のエピタキシャル半導体層との間にはさまれることを特徴とする請求項1に記載の方法。

【請求項13】

前記エピタキシャル半導体構造を成長させるステップは、薄いドープされた層を成長させるステップと、共振空洞光発光ダイオードを形成するステップとを含むことを特徴とする請求項12に記載の方法。

【請求項14】

ハイライト抽出フォトニックデバイスを製造する方法であって、
基板上にエピタキシャル半導体構造を成長させるステップと、
前記エピタキシャル半導体構造が、第1のミラー層と前記基板との間にはさまれるように、前記エピタキシャル半導体構造上に前記第1のミラー層を堆積するステップと、
前記基板をエッティング環境に導入することによって、前記エピタキシャル構造から前記基板を取り除くステップと、
前記エピタキシャル半導体デバイス構造が、前記第1のミラー層と第2のミラー層との間にはさまれるように、前記エピタキシャル半導体構造上に前記第2のミラー層を堆積するステップと
を有することを特徴とする方法。

【請求項15】

前記エッティング環境は、前記基板を前記エピタキシャル半導体構造より実質的に速くエッティングし、実質的に任意の前記エピタキシャル半導体構造をエッティングして除去することなく、実質的に全ての前記基板をエッティングして除去することを特徴とする請求項14に記載の方法。

【請求項16】

共振空洞発光ダイオード(R C L E D)であって、
薄膜エピタキシャル半導体構造と、
前記エピタキシャル半導体構造の一方の表面上の第1のミラー層と、

前記エピタキシャル半導体構造の他方の表面上の第2のミラー層であって、前記エピタキシャル半導体構造は、前記第1のミラーと前記第2のミラーとの間にはされ、前記第2のミラー層は、前記第1のミラー層より反射が少ない、第2のミラー層と、

第1および第2のミラーを有する前記エピタキシャル半導体構造がマウントされたサブマウントと

を備え、前記第1のミラー層は、前記サブマウントに隣接し、前記第2のミラー層が、主要な放出表面であることを特徴とする共振空洞発光ダイオード（R C L E D）。

【請求項17】

前記エピタキシャル半導体デバイスは、光を放出し、前記光のための共振空洞を提供するための厚みを有することを特徴とする請求項16に記載のR C L E D。

【請求項18】

前記第1または第2のミラー層のいずれかは、金属を含むことを特徴とする請求項16に記載のR C L E D。

【請求項19】

前記第1または第2のミラー層は、分散プラグ反射器（D B R）を含むことを特徴とする請求項16に記載のR C L E D。

【請求項20】

第3族窒化物エピタキシャル半導体材料から炭化ケイ素基板を取り除く方法であって、炭化ケイ素基板上に第3族窒化物エピタキシャル半導体材料を成長させるステップと、前記炭化ケイ素基板をエッティング環境に導入するステップであって、前記炭化ケイ素がエッティング除去された後に、前記エッティングステップが実質的に停止するように、前記エッティング環境は、前記第3族窒化物エピタキシャル材料より速く炭化ケイ素をエッティングする、前記炭化ケイ素基板をエッティング環境に導入するステップとを有することを特徴とする方法。