



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201014202 A1

(43)公開日：中華民國 99 (2010) 年 04 月 01 日

(21)申請案號：098131028

(22)申請日：中華民國 98 (2009) 年 09 月 15 日

(51)Int. Cl. : *H03M13/11 (2006.01)*

(30)優先權：2008/09/26 美國 61/100,280

2008/10/15 美國 61/105,500

(71)申請人：新加坡科技研究局 (新加坡) AGENCY FOR SCIENCE, TECHNOLOGY AND RESEARCH (SG)

新加坡

(72)發明人：陳保善 CHIN, PO SHIN FRANCOIS (SG)；蔡朝暉 CAI, ZHAO HUI (CN)

(74)代理人：桂齊恆；閻啟泰；林美宏

申請實體審查：無 申請專利範圍項數：19 項 圖式數：25 共 78 頁

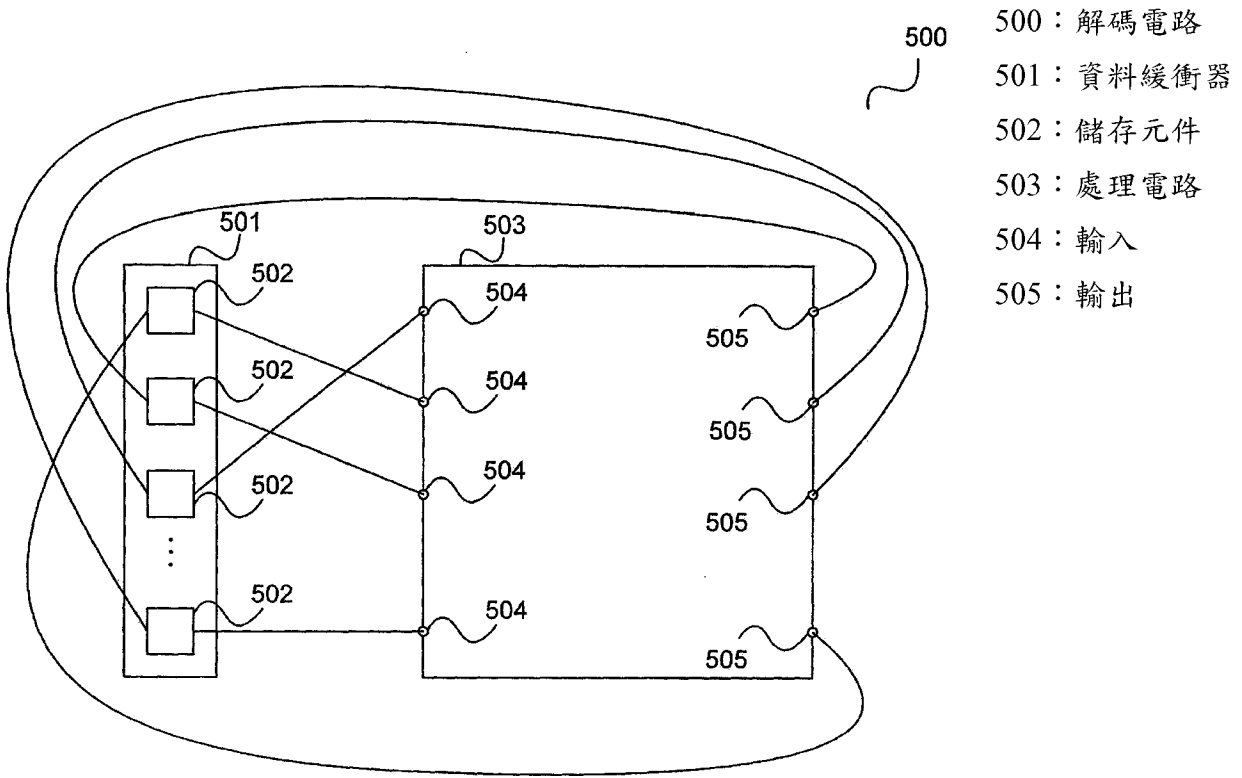
(54)名稱

解碼電路及編碼電路

DECODING CIRCUIT AND ENCODING CIRCUIT

(57)摘要

本發明說明一種解碼電路，其包括：一資料緩衝器，其包括複數個儲存元件，用以儲存資料符號；一處理電路，其包括複數個輸入和複數個輸出，其中該處理電路會被配置成用以處理透過該等複數個輸入所收到的資料符號並且透過該等複數個輸出來輸出該等經過處理的資料符號。該等複數個儲存元件中每一個儲存元件皆會被耦合至該等複數個輸入中的一相關聯的輸入，其中該等複數個儲存元件和該等複數個輸入的關聯性係取決於一第一解碼參數，其中，該等複數個儲存元件中的每一個儲存元件皆會被耦合至該等複數個輸出中的一相關聯的輸出，其中該等複數個儲存元件和該等複數個輸出的關聯性係取決於一第二解碼參數，其中該第一解碼參數和該第二解碼參數皆取決於一解碼規則，且其中該第一解碼參數和該第二解碼參數在整個解碼過程中皆不會改變。





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201014202 A1

(43)公開日：中華民國 99 (2010) 年 04 月 01 日

(21)申請案號：098131028

(22)申請日：中華民國 98 (2009) 年 09 月 15 日

(51)Int. Cl. : *H03M13/11 (2006.01)*

(30)優先權：2008/09/26 美國 61/100,280

2008/10/15 美國 61/105,500

(71)申請人：新加坡科技研究局 (新加坡) AGENCY FOR SCIENCE, TECHNOLOGY AND RESEARCH (SG)

新加坡

(72)發明人：陳保善 CHIN, PO SHIN FRANCOIS (SG)；蔡朝暉 CAI, ZHAO HUI (CN)

(74)代理人：桂齊恆；閻啟泰；林美宏

申請實體審查：無 申請專利範圍項數：19 項 圖式數：25 共 78 頁

(54)名稱

解碼電路及編碼電路

DECODING CIRCUIT AND ENCODING CIRCUIT

(57)摘要

本發明說明一種解碼電路，其包括：一資料緩衝器，其包括複數個儲存元件，用以儲存資料符號；一處理電路，其包括複數個輸入和複數個輸出，其中該處理電路會被配置成用以處理透過該等複數個輸入所收到的資料符號並且透過該等複數個輸出來輸出該等經過處理的資料符號。該等複數個儲存元件中每一個儲存元件皆會被耦合至該等複數個輸入中的一相關聯的輸入，其中該等複數個儲存元件和該等複數個輸入的關聯性係取決於一第一解碼參數，其中，該等複數個儲存元件中的每一個儲存元件皆會被耦合至該等複數個輸出中的一相關聯的輸出，其中該等複數個儲存元件和該等複數個輸出的關聯性係取決於一第二解碼參數，其中該第一解碼參數和該第二解碼參數皆取決於一解碼規則，且其中該第一解碼參數和該第二解碼參數在整個解碼過程中皆不會改變。

六、發明說明：

【發明所屬之技術領域】

【先前技術】

【發明內容】

本發明實施例通常係關於一解碼電路與一編碼電路。

低密度同位檢查(Low-density parity-check, LDPC)碼係一種線性區塊碼。「低密度」所指的特徵為，相較於 0 的數量，一 LDPC 同位檢查矩陣僅包括少數的「1」。LDPC 碼所提供的效能非常接近於許多不同通道的通道容量並且可以線性時間複雜性演算法來進行解碼。再者，LDPC 碼還適用於大量運用平行化(parallelism)的施行方式。

LDPC 碼係由其同位檢查矩陣 H 來定義。對任何的同位檢查矩陣 H 來說，皆存在一對應的雙分圖(bipartite graph)，稱為坦納圖(Tanner graph)，其包括一組變量節點(V)和一組檢查節點(C)。在坦納圖中，倘若該同位檢查矩陣 H 的元素 h_{ij} 為 1，那麼一檢查節點 C (標示符號為 i)便會被連接至一變量節點 V (標示符號為 j)。

在資料傳送背景下的解碼中，該同位檢查矩陣 H 的行數 N 會對應於一透過一通訊通道被傳送的編碼字元的編碼字元位元的數量。透過該通訊通道被傳送的編碼字元包括 K 個資訊位元以及 M 個同位檢查位元。該同位檢查矩陣 H 的列數會對應於同位檢查位元的數量 M 。該對應的坦納圖包括 $M=N-K$ 個檢查節點 C (其中每一個檢查節點皆對應於該矩陣 H 中一列所給定的一檢查公式)；以及 N 個變量節點，所

接收的編碼字元中每一個位元具有一個變量節點。

習知的 LDPC 解碼器已圖解在圖 1 與 2 之中。

圖 1 所示係一 LDPC 解碼器 100。

LDPC 解碼器 100 包括一區塊列序列控制器 101、一儲存記憶體 102、同位檢查更新方塊 103、一同位檢查功能方塊 104、路由器電路系統 105、位元更新方塊 106、以及反向路由器電路系統 107。

舉例來說，一 ROM(唯讀記憶體)會被用來儲存該坦納圖，舉例來說，作為該區塊列序列控制器 101 的一部分。一般來說，需要用到一複雜的控制邏輯或狀態機來根據該坦納圖進行控制。

再者，該等路由/反向路由網路(它們會連接變量節點和檢查節點處理器)通常包含大量的多工器庫。

圖 2 所示的係一 LDPC 解碼器 200。

LDPC 解碼器 200 包含一 ROM 圖形記憶體 201 以儲存該坦納圖。該 LDPC 解碼器 200 還另外包含一第一 RAM(隨機存取記憶體)202 以儲存要被發送至該等檢查節點的資料(由先驗預測值或對數相似值比來初始化)；一切換器 203；一檢查節點處理器方塊 204；一第二 RAM 205 以儲存該等檢查節點處理器輸出(Rcv)；以及一同位檢查功能方塊 206。

同樣對此 LDPC 解碼器來說，切換器 203 通常包括大量的多工器庫。

在實施例中可以看見的本發明的目的係提供比已知的 LDPC 編碼器和 LDPC 解碼器更有效及/或較不複雜的(LDPC)

編碼器和(LDPC)解碼器。

藉由具有根據申請專利範圍獨立項之特點的解碼電路和編碼電路便可達成此目的。

在一實施例中提供一種解碼電路，其包括：一資料緩衝器，其包括複數個儲存元件，用以儲存資料符號；以及一處理電路，其包括複數個輸入和複數個輸出。該處理電路會被配置成用以處理透過該等複數個輸入所收到的資料符號並且透過該等複數個輸出來輸出該等經過處理的資料符號。該等複數個儲存元件中的每一個儲存元件皆會被耦合至該等複數個輸入中的一相關聯的輸入，其中該等複數個儲存元件和該等複數個輸入的關聯性係取決於一第一解碼參數。該等複數個儲存元件中的每一個儲存元件皆會被耦合至該等複數個輸出中的一相關聯的輸出，其中該等複數個儲存元件和該等複數個輸出的關聯性係取決於一第二解碼參數。該第一解碼參數和該第二解碼參數皆取決於一解碼規則，而且該第一解碼參數和該第二解碼參數在整個解碼過程中皆不會改變。

於另一實施例中提供一種編碼電路，其包括：一資料緩衝器，其包括複數個儲存元件，用以儲存資料符號；以及一處理電路，其包括複數個輸入和複數個輸出。該處理電路會被配置成用以處理透過該等複數個輸入所收到的資料符號並且透過該等複數個輸出來輸出該等經過處理的資料符號。該等複數個儲存元件中的每一個儲存元件皆會被耦合至該等複數個輸入中的一相關聯的輸入，其中該等複

數個儲存元件和該等複數個輸入的關聯性係取決於一第一編碼參數。該等複數個儲存元件中的每一個儲存元件皆會被耦合至該等複數個輸出中的一相關聯的輸出，其中該等複數個儲存元件和該等複數個輸出的關聯性係取決於一第二編碼參數，其中該第一編碼參數和該第二編碼參數皆取決於一編碼規則，而且該第一編碼參數和該第二編碼參數在整個編碼過程中皆不會改變。

【實施方式】

下述在編碼電路上下文中所述的實施例同樣適用於解碼電路；反之亦然。

舉例來說，LDPC(低密度同位檢查)碼可用於從一發送裝置進行資料傳送至一接收裝置，如圖3中所示。

圖3所示的係根據一實施例的通訊系統300。

該通訊系統300包括一傳送器301，其會透過一通訊通道303將要被傳送的資料304傳送至一接收器302。

該要被傳送的資料304會被一編碼器305編碼成複數個編碼字元。該編碼器305會將已編碼的資料306供應給一發送電路307(舉例來說，其包括一調變器、一傳送天線等)，該發送電路307會透過通訊通道303將該已編碼的資料306發送至接收器302。

該已編碼的資料306會被一接收電路308(舉例來說，其包括一解調變器、一接收天線等)接收而成為接收資料309。因為該等編碼字元會在傳送中受到通訊通道303的雜訊影響，所以接收電路308不會精確地重建編碼字元，而

會產生該等被接收編碼字元位元的對數似然比 (log-likelihood ratio, LLR)³⁰⁹。該些對數相似值比會被供應至一解碼器 310，其會重建該等被傳送的編碼字元。

舉例來說，編碼器 305 與解碼器 310 會根據一錯誤修正碼(舉例來說，根據 LDPC)來配置。

LDPC 碼係由其同位檢查矩陣 H 來定義。對任何同位檢查矩陣 H 來說皆存在稱為坦納圖之一對應偶圖，其包括一組變量節點 (V) 和一組檢查節點 (C)。在坦納圖中，倘若該同位檢查矩陣 H 的元素 h_{ij} 為 1，那麼一檢查節點 C (標示符號為 i) 便會被連接至一變量節點 V (標示符號為 j)。

該同位檢查矩陣 H 的行數 N 會對應於一被傳送的編碼字元的編碼字元位元的數量。每一個編碼字元皆包括 K 個資訊位元及 M 個同位檢查位元。該同位檢查矩陣 H 的列數會對應於同位檢查位元的數量 M 。該對應坦納圖包括 $M=N-K$ 個檢查節點 C (其中每一個檢查節點皆對應於該矩陣 H 中一系列所給定的一檢查公式)；以及 N 個變量節點，該被接收的編碼字元中每一個位元係針對一個變量節點。

於一以區塊為基礎的 LDPC 碼中，該等同位檢查矩陣可被分割成大小為 $Z \times Z$ 的方形子區塊(子矩陣)。一子矩陣可能係單位矩陣 I_Z 的一循環置換子矩陣 P_i 或是一零子矩陣。

一循環置換子矩陣 P_i 係藉由將一 $Z \times Z$ 的單位矩陣中的行往右循環移動 i 個元素而從該單位矩陣處所取得。矩陣 P_0 為該 $Z \times Z$ 的單位矩陣。

舉例來說，對 $Z=8$ 來說，

$$P_0 = \begin{bmatrix} 1 & 0 & \dots & \dots & 0 \\ 0 & 1 & 0 & \dots & 0 \\ \dots & 0 & \dots & 0 & \dots \\ 0 & \dots & 0 & 1 & 0 \\ 0 & \dots & \dots & 0 & 1 \end{bmatrix}$$

$$P_1 = \begin{bmatrix} 0 & 1 & \dots & \dots & 0 \\ \dots & 0 & 1 & 0 & \dots \\ \dots & \dots & \dots & 1 & 0 \\ 0 & \dots & \dots & 0 & 1 \\ 1 & 0 & \dots & 0 & 0 \end{bmatrix}$$

$$P_2 = \begin{bmatrix} 0 & 0 & 1 & \dots & 0 \\ 0 & 0 & 0 & 1 & \dots \\ 0 & \dots & \dots & \dots & \dots \\ 1 & 0 & \dots & 0 & 1 \\ 0 & 1 & 0 & \dots & 0 \end{bmatrix}$$

該等矩陣 P_1 與 P_2 係分別藉由將單位矩陣 $I_Z=P_0$ 中的行往右循環移動 1 個位置和 2 個位置所產生的。

此結構可以平行方式處理至少 Z 個訊息。

區塊-LDPC 碼同位檢查矩陣 H 的範例顯示在圖 4 中。

圖 4 顯示出一第一同位檢查矩陣 401、一第二同位檢查矩陣 402、以及一第三同位檢查矩陣 403。

各同位檢查矩陣皆包含 32 個區塊行(編號從 1 到 32)。第一同位檢查矩陣 401 包含 16 個區塊列(標號從 1 到 16)，第二同位檢查矩陣 402 包含 8 個區塊列(標號從 1 到 8)，而第三同位檢查矩陣 403 包含 4 個區塊列(標號從 1 到 4)。

於此範例中， $Z=21$ ，而編碼字元長度為 672(32 個區塊行乘以每行 21 個子區塊行)，也就是，該等對應的編碼則為長度 672 的 LDPC 碼。對應於同位檢查矩陣 401、402、以及 403 的編碼已經針對新興的 IEEE 802.15.3c 高速無線個人存取網路(WPANs)標準被提出。

從第三同位檢查矩陣 403 中可以看出，矩陣中的元素非常規律：每一個區塊列皆為其上方區塊列的循環移動（移動長度為 4）。下文中所述的實施例可視為係以此高度結構性 LDPC 碼的類型為基礎。

圖 5 所示的係根據一實施例的解碼電路 500。

該解碼電路 500 包括一資料緩衝器 501，其包括複數個儲存元件 502，用以儲存資料符號。

該解碼電路 500 還進一步包括一處理電路 503，其包括複數個輸入 504 和複數個輸出 505。該處理電路 503 會被配置成用以處理透過該等複數個輸入 504 所收到的資料符號並且透過該等複數個輸出 505 來輸出該等經過處理的資料符號。該等複數個儲存元件 502 中的每一個儲存元件皆會被耦合至該等複數個輸入 504 中的一相關聯的輸入，其中該等複數個儲存元件和該等複數個輸入的關聯性係取決於一第一解碼參數。

該等複數個儲存元件 502 中的每一個儲存元件皆會被耦合至該等複數個輸出 505 中的一相關聯的輸出，其中該等複數個儲存元件和該等複數個輸出的關聯性係取決於一第二解碼參數。

該第一解碼參數和該第二解碼參數皆取決於一解碼規則，其中而且該第一解碼參數和該第二解碼參數在整個解碼過程中皆不會改變。

圖示中，於一解碼（編碼）電路中的該等儲存元件和該處理電路之間的耦合會在解碼或編碼過程期間保持不變，也

就是，會相依於以該解碼或編碼過程為特徵的一或多個參數來選擇，舉例來說：由例如一同位檢查矩陣的特性所給定的特性碼予以詳述之解碼或編碼技術所給定的參數。

於一實施例中，該第一解碼參數和該第二解碼參數為非負的整數。

於一實施例中，該第一解碼參數和該第二解碼參數會各自依照該等複數個輸入和該等複數個輸出來詳述由一資料符號區塊的移動。

於一實施例中，該解碼規則係由錯誤修正碼所給定。

於一實施例中，該錯誤修正碼為同位檢查碼。

於一實施例中，該錯誤修正碼為低密度同位檢查碼。

於一實施例中，該等資料符號對應於透過一通訊通道所收到的傳送符號。

於一實施例中，該等資料符號為該等傳送符號的對數似然比。

於一實施例中，該處理電路會被配置成用於以該等資料符號為基礎來檢查是否滿足預設準則。

於一實施例中，該預設準則係以該等資料符號的同位檢查為基礎。

於一實施例中，每一個儲存元件皆會被配置成用以將其已儲存的資料符號輸出至其相關聯的輸入。

於一實施例中，每一個儲存元件皆會被配置成用以在將其已儲存的資料符號輸出至其相關聯的輸入之後，從其相關聯的輸出處接收另一資料符號，儲存該另一資料符號

並且將該另一資料符號輸出至其相關聯的輸入。

於一實施例中，每一個儲存元件和其相關聯輸入的耦合為硬繞線。

於一實施例中，每一個儲存元件和其相關聯輸出的耦合為硬繞線。

於一實施例中，該解碼電路係一用於編碼與解碼兩者的電路。這意謂於一實施例中，在編碼器和解碼器之間會共享資源。

於一實施例中，提供一種用於解碼的方法，其包括：將用於儲存資料符號的複數個儲存元件中的每一個儲存元件耦合至一處理電路之複數個輸入中的一相關聯輸入，該處理電路會被配置成用以處理透過該等複數個輸入所收到的資料符號並且透過該等複數個輸出來輸出該等經過處理的資料符號，其中該等複數個儲存元件和該等複數個輸入的關聯性係取決於一第一解碼參數；將該等複數個儲存元件中的每一個儲存元件耦合至該等複數個輸出中的一相關聯輸出，其中該等複數個儲存元件和該等複數個輸出的關聯性係取決於一第二解碼參數；其中該第一解碼參數和該第二解碼參數皆取決於一解碼規則，且其中該第一解碼參數和該第二解碼參數在整個解碼過程中皆不會改變。

舉例來說，根據該第一解碼參數和該第二解碼參數的耦合在整個解碼過程中皆不會改變。

於一實施例中，提供一種用於編碼的方法，其包括：將用於儲存資料符號的複數個儲存元件中的每一個儲存元

件耦合至一處理電路之複數個輸入中的一相關聯輸入，該處理電路會被配置成用以處理透過該等複數個輸入所收到的資料符號並且透過該等複數個輸出來輸出該等經過處理的資料符號，其中該等複數個儲存元件和該等複數個輸入的關聯性係取決於一第一編碼參數；將該等複數個儲存元件中的每一個儲存元件耦合至該等複數個輸出中的一相關聯輸出，其中該等複數個儲存元件和該等複數個輸出的關聯性係取決於一第二編碼參數；其中該第一編碼參數和該第二編碼參數皆取決於一編碼規則，且其中該第一編碼參數和該第二編碼參數在整個編碼過程中皆不會改變。

舉例來說，根據該第一編碼參數和該第二編碼參數的耦合在整個編碼過程中皆不會改變。

例如：該處理電路會被配置成將透過該等複數個輸入所收到的資料符號傳遞至該等複數個輸出(可能經過處理)。

舉例來說，該資料緩衝器具有 M 個儲存單元群，各群皆包括 $K \cdot R$ 個儲存單元庫，各庫皆包括 N 個儲存單元。

舉例來說，該處理電路包含 N 個同位檢查單元(舉例來說，檢查節點處理器)，每一個同位檢查單元皆包括 $M \cdot K \cdot R$ 個輸入，每一輸入皆來自該等 $M \cdot K \cdot R$ 個儲存單元庫中每一者；而且每一個同位檢查單元皆包括 $M \cdot K \cdot R$ 個輸出。

於一實施例中，第 p 群第 q 庫的儲存單元中 N 個輸出會和該等 N 個同位檢查單元中每一者的第 $((p-1) \cdot K \cdot R + q)$ 個輸入相關聯。

例如：該等 N 個同位檢查單元中各者的第 $((r-1) \cdot K \cdot R + s)$

個輸出會與第 r 群第 u 庫的儲存單元中 N 個輸入相關聯。

於一實施例中，該處理電路包括 N/D 個同位檢查單元， D 為一整數， N/D 為一整數，各個同位檢查單元皆包括 $M*K*R$ 個輸入，各個輸入皆和該等 $M*K*R$ 個儲存單元庫中各者相關聯；而且各個同位檢查單元皆包括 $M*K*R$ 個輸出。

舉例來說，第 p 群第 q 庫的儲存單元中經選定的 N/D 個輸出會和該等 N/D 個同位檢查單元中每一者的第 $((p-1)*K*R+q)$ 個輸入相關聯，而後，第 p 群第 q 庫的儲存單元中經選定的另外 N/D 個輸出會和該等 N/D 個同位檢查單元中每一者相同的第 $((p-1)*K*R+q)$ 個輸入相關聯；因此，第 p 群第 q 庫的儲存單元中所有 N 個輸出會在 D 次回合中和該等 N/D 個同位檢查單元中每一者相同的第 $((p-1)*K*R+q)$ 個輸入相關聯。

於一實施例中，該等 N/D 個同位檢查單元中每一者的第 $((r-1)*K*R+s)$ 個輸出會與第 r 群第 u 庫的儲存單元中經選定的 N/D 個輸入相關聯， s 和 u 不同；而後，該等 N/D 個同位檢查單元中每一者相同的第 $((r-1)*K*R+s)$ 個輸出會與第 r 群第 u 庫的儲存單元中經選定的另外 N/D 個輸入相關聯；因此，該等 N/D 個同位檢查單元中每一者相同的第 $((r-1)*K*R+s)$ 個輸出會在 D 次回合中和第 r 群第 u 庫的儲存單元中所有 N 個輸入相關聯。

於一實施例中，該處理電路在編碼時會在該資料符號於資料緩衝器和其本身間被傳遞 R 次後才處理該資料符號。

於一實施例中，會在一循環中更新一「巨集層(macro

layer)」的檢查節點，和檢查節點權量無關。對編碼器來說，編碼等待時間可能和該同位檢查矩陣中的「巨集」層數量一樣少。實施例可能會在一時脈循環中產生一個(至少一個)同位檢查位元庫。

於一實施例中提供一種解碼電路系統，用於解碼所收到之根據低密度同位檢查(LDPC)碼被編碼的資料流，其中該電路系統包括：一變量節點記憶體，用於儲存初始機率數值及後續更新機率數值；多個同位檢查更新單元，用於更新該等機率數值並且產生檢查節點數值；多條硬繞線相互連接，用於將該等機率數值從該變量節點記憶體的輸出處路由繞送至該組同位檢查更新單元(舉例來說，同位檢查單元)；以及硬繞線相互連結，用於將該等經更新機率數值從該組同位檢查更新單元連結至該變量節點記憶體。

於一實施例中，該等同位檢查單元會在該等後續更新的機率數值於不同的變量節點記憶體和不同的同位檢查更新單元之間被傳遞 $B \cdot R$ 次之後處理該等後續更新的機率數值， B 為一整數。

於一實施例中，該等硬繞線相互連結會將該等 N/D 個同位檢查更新單元中每一者相同的第 $((r-1) \cdot K \cdot R + s)$ 個輸出路由繞送至第 r 群第 u 庫的儲存單元中經選定的 N/D 個輸入， s 和 u 不同；而後，該等 N/D 個同位檢查更新單元中每一者相同的第 $((r-1) \cdot K \cdot R + s)$ 個輸出會被路由繞送至第 r 群第 u 庫的儲存單元中經選定的另外 N/D 個輸入；因此，該等 N/D 個同位檢查更新單元中每一者相同的第

$((r-1)*K*R+s)$ 個輸出會被路由繞送至第 r 群第 u 庫的儲存單元中所有 N 個輸入。

實施例中所使用的記憶體可能係揮發性記憶體(舉例來說, DRAM(動態隨機存取記憶體)), 或是非揮發性記憶體(舉例來說, PROM(可程式化唯讀記憶體)、EPROM(可抹除式 PROM)、EEPROM(可電抹除式 PROM)), 或是快閃記憶體(舉例來說, 浮動閘記憶體、電荷陷捕記憶體、MRAM(磁阻式隨機存取記憶體)或是 PCRAM(相變式隨機存取記憶體))。

於一實施例中, 「電路」可被理解成任何種類的邏輯施行實體, 其可能係特別用於電路系統或一執行被儲存在一記憶體中的軟體的處理器、韌體、或兩者任何組合。因此於一實施例中, 「電路」可能係硬繞線邏輯電路或可程式化邏輯電路, 例如可程式化處理器(舉例來說, 複雜指令集電腦(Complex Instruction Set Computer, CISC)處理器或是精簡指令集電腦(Reduced Instruction Set Computer, RISC)處理器)。「電路」亦可能係一執行軟體(舉例來說, 任何種類電腦程式, 舉例來說, 利用例如 JAVA 程式之虛擬機械碼的電腦程式)的處理器。根據一替代實施例, 下文將更詳細說明個別功能的任何其它種類的施行方式亦可被理解為「電路」。舉例來說, 一「區塊」便可被理解為一電路。

圖 6 所示的係根據一實施例的編碼電路 600。

編碼電路 600 包括一資料緩衝器 601, 其包括複數個儲存元件 602, 用以儲存資料符號。該編碼電路 600 進一步包括一處理電路 603, 其包括複數個輸入 604 和複數個輸出

605。該處理電路 603 會被配置成用以處理透過該等複數個輸入 604 所收到的資料符號並且透過該等複數個輸出 605 來輸出該等經過處理的資料符號。該等複數個儲存元件 602 中的每一個儲存元件皆會被耦合至該等複數個輸入 604 中的一相關聯輸入，其中該等複數個儲存元件和該等複數個輸入 604 的關聯性係取決於一第一編碼參數。

進一步言之，該等複數個儲存元件 602 中的每一個儲存元件皆會被耦合至該等複數個輸出 605 中的一相關聯的輸出，其中該等複數個儲存元件和該等複數個輸出 605 的關聯性係取決於一第二編碼參數。

該第一編碼參數和該第二編碼參數皆取決於一編碼規則，其中該第一編碼參數和該第二編碼參數在整個編碼過程中皆不會改變。

例如，該等資料符號(至少部分)為待編碼的資訊位元。例如，該編碼器會產生該等資訊位元的同位檢查位元。

於一實施例中，該處理電路在解碼時會在該等後續更新機率數值於資料緩衝器和其本身之間被傳遞 $B \cdot R$ 次之後才處理該等後續更新的機率數值， B 為一整數。

該處理電路可用於進行編碼與解碼，也就是，電路 500 與 600 可被結合成一個電路。

於一實施例中提供一種通訊系統，其包括一具有上述解碼電路的接收器以及一具有上述編碼電路的傳送器。

在下文中會參考圖 7 來說明根據一實施例的高處理量 LDPC 解碼器架構的範例。

圖 7 所示的係根據一實施例的解碼電路 700。

於一實施例中，會運用分層解碼以達較佳收斂效果，如 2004 年 3 月 23 日所提申之共同申請且一起受讓的申請案第 10/806,879 號，其已被公開為美國專利申請公開案第 2005/0204271 A1 號，本文以引用方式將其併入。為簡化起見，在圖 7 中並未顯示該等輸入/輸出資料暫存器。

解碼電路 700 包括一記憶體 703，用以儲存一被接收編碼字元的對數似然比(LLR)(也就是，於一實施例中會利用該被接收編碼字元的對數似然比或是該被接收編碼字元的先驗預測值來初始化)。

記憶體 703 會藉由一第一相互連接 701 和一第二相互連接 702 來與一檢查節點處理器陣列 704 相互交換一後驗 LLR(Q_v)。舉例來說，在每一次重複作業中，被儲存在記憶體 703 中的資料符號皆會被更新(從接收電路 310 所供應的被接收編碼字元的 LLR 開始)為一後驗預測值 Q_v 。

於一實施例中，和習知解碼器不同係介於記憶體 703 和檢查節點處理器陣列 704 的相互連接 701、702 為硬繞線且不需複雜控制邏輯和多工器庫。再者於一實施例中，該解碼電路 700 並不包含用於儲存同位檢查矩陣的記憶體。

在圖 8 中會顯示根據一實施例的 LDPC 分層解碼器的更詳細架構的範例。

圖 8 所示的係根據一實施例的解碼器 800。

於此範例中，記憶體 703 係一包含複數個記憶體庫 801 至 805(編號 1 至 32)的變量節點(VN)陣列，而該檢查節點處

理器陣列則包含複數個檢查節點處理器 806 至 809。

於此範例中，記憶體庫的數量(32 個)及檢查節點處理器的數量(21 個)、每一個檢查節點處理器的輸入與輸出的數量(32 個)、以及介於該等記憶體庫和該等檢查節點處理器之間的相互連接(其會對應於相互連接線 701、702)會對應如在圖 4 中所示的同位檢查矩陣 401、402、403 所給定的 IEEE 802.15.3C 草案中所定義的 LDPC 碼。

變量節點(VN)陣列 801 至 805 係一變量節點記憶體。陣列 801 至 805 會利用通道 LLR 來初始化，也就是，利用接收電路 308 所供應的目前編碼字元(也就是，現在要被解碼的編碼字元)的對數似然比來初始化。

陣列 801 至 805 的長度為編碼字元長度 672。庫 801 至 805 會被聚集成 $M=8$ 個群。每一個庫 801 至 805 皆包括 $N=21$ 個儲存單元。每一個庫 801 至 805 中的該等 21 個儲存單元會被連接至該等 21 個檢查節點處理器 806 至 809 的輸入，其中每一個儲存單元皆會被耦合至剛好其中一個檢查節點處理器 806 至 809 的輸入。

解碼電路 800 包含一同位檢查功能方塊 810，用以測試解碼過程(舉例來說，其包括複數次重複作業)的收斂性並且用以為該解碼器提供固有早期停止機制。

如圖 7 中所示，圖中有兩個相互連接 701、702，其可被看作兩種類型的路由網路，也就是，VN 至 CNP 網路及 CNP 至 VN 網路。於一實施例中，該些網路皆為硬繞線。

VN 陣列 801 至 805 的輸出(也就是，庫 801 至 805 的儲

存元件)和 CNP 陣列 806 至 809 的輸入之間的連接可被視為由一第一解碼參數來給定，換言之，由第三同位檢查矩陣 403 的第一區塊列以循環移動方式來給定。

舉例來說，因為 $H(1,1)=0$ (請注意，此處的 H 被解釋為由多個子矩陣所組成的一 4×32 矩陣；登錄項 i 則代表置換矩陣 P_i)，所以第一 VN 庫 801 將會以 1 對 1 的方式被連接至每一個 CNP 的第一輸入而沒有任何置換，也就是，該第一 VN 庫 801 中的第一儲存元件會被耦合至第一 CNP 806 的第一輸入，該第一 VN 庫 801 中的第二儲存元件會被耦合至第二 CNP 807 的第一輸入，依此類推。

此部分的 VN 至 CNP 相互連接圖解在圖 8 中的第一庫連接 811 與 812。

因為 $H(1,2)=18$ ，所以第二 VN 庫 802 將會以 $VN2(19) \rightarrow CNP1$ 、 $VN2(20) \rightarrow CNP2$ 、...、 $VN2(2) \rightarrow CNP5$ 、 $VN2(1) \rightarrow CNP4$ 的方式被連接至每一個 CNP 的第二輸入，其中 $VN2(i) \rightarrow CNPj$ 係意謂該第二 VN 庫 802 的第 i 個儲存元件會耦合第 j 個 CNP 806 的(第二)輸入。

此部分的 VN 至 CNP 相互連接圖解在圖 8 中的第二庫連接 813 與 814。

CNP 至 VN 相互連接(亦即介於 CNP 陣列 806 至 809 的輸出和 VN 陣列 801 至 805 的輸入的連接)可被視為由一第二解碼參數來給定，換言之，由第三同位檢查矩陣 403 的 4 循環結構來給定。例如：在第三同位檢查矩陣 403 的第一區塊列中前四個登錄項 404、405、406、407(從左到右)會

依序於第四登錄項 407、第一登錄項 404、第二登錄項 405、及第三登錄項 406 來出現在第三同位檢查矩陣 403 的第二區塊列中，亦即以第一列為基準向右進行一個循環移動。

圖 8 中將對應於此規律編碼結構的 CNP 至 VN 相互連接(也就是，從 CNP 806 至 809 到 VN 陣列 801 至 805 的路由連接網路)圖解為第一群連接 815 至 818。請注意，可以將庫 801 至 805 視為構成 $M=8$ 群四庫，每一者皆根據此循環 CNP 至 VN 相互連接結構。

該等第一群連接 815 至 818 符合圖 4 中第三同位檢查矩陣 403 所給定的編碼循環結構：該 CNP 陣列中的第二輸出(也就是，所有 CNP 806 至 809 的第二輸出)會透過連接 816 被耦合至第一 VN 庫 801，該 CNP 陣列中第三輸出會透過連接 817 被耦合至第二 VN 庫 802，該 CNP 陣列中第四輸出會透過連接 818 被耦合至第三 VN 庫 803，而該 CNP 陣列中第一輸出則會透過連接 815 被耦合至第四庫 804。

依此方式達成的 VN 至 CNP 相互連接會幫助該解碼方法於一循環中更新一區塊列中的訊息並且開始在下一個循環中處理下一個區塊列的訊息。利用此結構，該解碼方法的一重複作業僅需用到四個循環：不僅適用於對應第三同位檢查矩陣 403 的編碼，亦適用於對應第一同位檢查矩陣 401 和第二同位檢查矩陣 402 的編碼，下文將作更詳細解釋。

利用上述直接硬繞線式 VN 至 CNP 以及 CNP 至 VN 相互連接，圖 8 中所示的示範性結構會特別適用於對應於同位檢查矩陣 401、402、以及 403 的 LDPC 碼。

根據一實施例的第一群庫(庫 801 至 804)的 VN 至 CNP 以及 CNP 至 VN 相互連接圖解在圖 9 中。

圖 9 所示的係根據一實施例的 VN 至 CNP 以及 CNP 至 VN 相互連接。

CNP 陣列 900 對應於 CNP 陣列 806 至 809。

第一庫 901、第二庫 902、第三庫 903、以及第四庫 904 對應於第一群庫 801 至 804。因此，圖 9 中所示的相互連接係根據第三同位檢查矩陣 403 中前四個登錄項的連接。

明確地說，第一循環移動區塊 905 至 908 對應於該第三同位檢查矩陣 403 中前四個登錄項，且每一個第一循環移動區塊 905 至 908 皆會根據該第三同位檢查矩陣 403 中的對應登錄項(也就是，對應的置換矩陣)來對被儲存在對應庫 901 至 904 中的資料符號實行循環移動。

為在下一個循環中有正確順序，CNP 陣列 900 的輸出會因第二循環移動區塊 909 至 912 而被循環移動，該等第二循環移動區塊 909 至 912 會實行由該等第一循環移動區塊 905 至 908 所實行之循環移動的反向循環移動。明確地說，循環移動 0 的反向為循環移動 0，循環移動 18 的反向為循環移動 3(因為每一個庫 901 至 904 的長度為 21，所以總數為對應於 0 的 21)，循環移動 6 的反向為循環移動 15(總數為 21)，而循環移動 5 的反向為循環移動 16(總數為 21)。

於一實施例中，如圖 8 中所示，被顯示為循環移動區塊 901 至 904 以及 909 至 912 的循環移動係藉由將儲存元件分別對應繞線連接至儲存元件的輸入與輸出來實現。

第一 VN 庫 901 的輸入/輸出繞線以「俯視圖」的方式顯示在圖 10A 中，而第二 VN 庫 902 的輸入/輸出繞線則以「俯視圖」的方式顯示在圖 10B 中。

圖 10A 與 10B 所示的係根據一實施例的一個 VN 庫之 VN 至 CNP 以及 CNP 至 VN 相互連接。

CNP 陣列 1003、1008 對應於 CNP 陣列 900。第一庫 1001 對應於第一庫 901，而第二庫 1006 對應於第二庫 902。第一循環移動區塊 1002、1007 分別對應於第一循環移動區塊 905、906，而第二循環移動區塊 1004、1009 分別對應於第一循環移動區塊 909、910。

第一庫 1001 的輸出會經由 0 移動第一循環移動單元 1002 直接連接至 CNP 陣列 1003 的第一輸入。第一庫 1001 的輸入來自 CNP 陣列 1003 的第二輸出，如第三同位檢查矩陣 403 的 4 循環循環結構所詳述。CNP 至 VN 相互連接循環移動(循環移動區塊 1004 所示)為第二 VN 庫 1006 連接至 CNP 陣列 1008 之第二輸入的 VN 至 CNP 相互連接的循環移動(循環移動區塊 1007 所示)的反向移動(循環移動 3)。

第一複數條連接 1005 為介於(第一庫)第二循環移動區塊 1004 和該第一庫 1001 的直接 1 對 1 連接線。請注意循環移動區塊 1004 的循環移動可藉由對應繞線連接來實現。

該第二 VN 庫 1006 的輸出會透過(第二庫)第一循環移動區塊 1007 被耦合至 CNP 陣列 1008 的第二輸入，用以施行 18 次循環移動，因為 $H(1,2)=18$ 。

該 CNP 至 VN 相互連接的循環移動(由循環移動區塊

1009 所示者)為第三 VN 庫 903 至 CNP 陣列 900 的第三輸入的 VN 至 CNP 相互連接的反向連接。第二複數條連接 1010 為介於(第二庫)第二循環移動區塊 1009 和該第二庫 1006 的直接 1 對 1 連接線。

圖 11 中以「正視圖」的方式圖解 VN 庫 801 至 805 和 CNP 陣列 806 至 809 的輸入/輸出繞線連接。

圖 11 所示的係根據一實施例的 VN 至 CNP 相互連接。

圖 11 中所示的 VN 至 CNP 相互連接圖式係 VN 至 CNP 相互連接的對應關係，其具有對應於第三同位檢查矩陣 403 的編碼的 4 循環結構。

第一群連接 1101(對應於第一群連接 815 至 818)符合第三同位檢查矩陣 403 所給定編碼的循環結構：該等第一群連接 1101 會連接 $CNP2 \rightarrow VN1$ ，也就是，該 CNP 陣列中的第二輸出會透過該等第一群連接 1101 被耦合至由 VN_1 所指定的第一 VN 庫。

同樣地，該等第一群連接 1101 會連接 $CNP3 \rightarrow VN2$ 、 $CNP4 \rightarrow VN3$ 、以及 $CNP1 \rightarrow VN4$ 。該等第一群連接線 1101 的連接線對應於該第三同位檢查矩陣 403 中區塊行 1 至 4 的 4 循環結構(也就是，在前面四個區塊行 1 至 4 中以逐個區塊列的方式循環向右移動一個區塊列)。

進一步言之，第一群連接 1102 同樣會連接 $CNP6 \rightarrow VN5$ 、 $CNP7 \rightarrow VN6$ 、 $CNP8 \rightarrow VN7$ 、以及 $CNP5 \rightarrow VN8$ ，其對應於該第三同位檢查矩陣 403 的 4 循環結構。該等第二群連接 1102 的連接對應於該第三同位檢查矩陣 403 中區

塊行 5 至 8 的 4 循環結構(也就是，在接續的四個區塊行 5 至 8 中以逐個區塊列的方式循環向右移動一個區塊列)。

對其它的六個庫群來說，VN 至 CNP 相互連接(VN 至 CNP 網路)包含考量到該第三同位檢查矩陣 403 中個別區塊行之 4 循環結構的雷同群連接。

本發明已經發現，該等同位檢查矩陣中該等區塊列被處理的特殊順序會影響解碼效能。上面所討論且圖解在圖 8 中的自然順序僅為達到解釋目的。於其它實施例中，可藉由重新排序區塊列解碼順序來達成更佳的錯誤率效能。對此來說，可以重新繞線連接圖 8 中所示的相互連接。

表 1 提出圖 1 中所示架構、圖 2 中所示架構、及一實施例架構(例如類似上面參考圖 8 所述架構)之間的比較。

方法	圖 1 架構	圖 2 架構	實施例
CNP→VN 相互連接	多工器庫	多工器庫	硬繞線
VN→CNP 相互連接	多工器庫	多工器庫	硬繞線
利用 ROM 儲存 H	是	是	否
儲存 R 與 LLR 的 RAM	相同	相同	相同
位元節點更新	複雜	簡單	簡單
整體記憶體需求	高	高	低
整體複雜性	高	高	低
總處理量	低	低	高
H 的循環需求	無	無	是

表 1

根據一實施例檢查節點處理器的架構圖解在圖 12 中。

圖 12 所示的係根據一實施例的檢查節點處理器 1200。

該檢查節點處理器 1200 包含複數個輸入 1201，如上面所述，它們會耦合 VN 庫 801 至 805 的輸出。

該檢查節點處理器 1200 進一步包含複數個輸出 1202，如上面所述，它們會耦合 VN 庫 801 至 805 的輸入。

對應於圖 8 中所示的範例，該檢查節點處理器包含 32 個輸入 1201 以及 32 個輸出 1202。

透過每一個輸入，該檢查節點處理器 1200 會接收一後驗預測值 Q_v ，並且透過個別的輸出來輸出一經過更新的後驗預測值 Q_v 。

為剛好在一循環中解碼一區塊層，該 CNP 1200 的資料路徑於一實施例中為純組合式。

一 Rcv 更新模組 1203 會實施機率數值 Rcv 的更新作業。

由該 Rcv 更新模組 120 所輸出的經更新 Rcv 數值輸出會被回授至對應於相同 VN 庫的個別記憶體 1204 當作 Q_v 數值，從中會產生經更新的 Rcv 數值。

每一個記憶體 1204 皆以先入先出(FIFO)方式來操作(舉例來說，利用多個偏移暫存器或一 RAM 來施行)，並且會被配置成用以儲存四個數值。因為在每一個循環中一個 Rcv 數值會被產生並且被回授至記憶體 1204，所以一經過更新的 Rcv 數值於四個循環之後(亦即在下一次重複作業中)便會被記憶體 1204 輸出，而且該經過更新的 Rcv 數值因而在合法 Q_v 被輸入時(亦即對應於(亦即作為一更新)其中產生該 Rcv 數值之 Q_v 數值的 Q_v)的循環中被該記憶體 1204 輸出。這係因為該等 Q_v 數值遵循該四循環結構(舉例來說，

圖 11 中所示)並且每隔四次循環便會重新造訪(其可能已經過更新)一 VN 庫，並且因而每隔四次循環便會透過一輸入 1201 被重新輸入(其可能已經過更新)。

減法器 1205 會以對應輸入 1201 所收到的 Q_v 數值扣除記憶體 1204 所輸出的 R_{cv} 數值。結果會被回授至 R_{cv} 更新模組 1203，且被回授至加法器 1205 而被加入該經過更新的 R_{cv} 數值中以產生經過更新的 Q_v 數值。

下文中會參考圖 13 與 14 來解釋根據一實施例的 R_{cv} 更新模組 1203 的架構。於此實施例中，會採用正規化最小和(normalized min-sum, NMS)演算法來作解釋。

圖 13 所示的係一 2 輸入次序模組 1301 和一 4 輸入次序模組 1302 的電路設計。

2 輸入次序模組 1301 會比較兩個振幅輸入並且以一經排序方式予以輸出(該等兩個數值中的最小值透過上方輸出而最大值透過下方輸出)。4 輸入次序模組 1302 會採用兩群經過事先定序的振幅輸入(也就是，每一群皆已被定序成該群的最小值和最大值)並且會輸出最小值和次小值(也就是，輸出該等四個輸入數值(x_1 至 x_4)中兩個最低的數值)。如圖所示，藉由在該 4 輸入次序模組 1302 的前方所耦合的兩個 2 輸入次序模組 1301 便可達成對該 4 輸入次序模組 1302 的輸入進行前置定序的目的。為決定次小值，該 4 輸入次序模組會用到一 3 輸入最小值模組 1303(也就是，一會輸出三個輸入數值中之最小數值的模組)。

為簡化起見，在圖 13 中並未顯示最小值的標示符號。

以 2 輸入次序模組 1301 和 4 輸入次序模組 1302 為基礎的 Rcv 更新模組圖解在圖 14 中。

圖 14 所示的係根據一實施例的 Rcv 更新模組 1400。

對應於圖 8 中所示之範例中的 VN 庫數量，該 Rcv 更新模組 1400 係一 32 輸入 Rcv 更新模組。該 Rcv 更新模組 1400 為純組合式。

該 Rcv 更新模組 1400 包含四個 8 輸入模組 1403，其中該等 8 輸入模組 1403 的結構如最上方 8 輸入模組 1403 所示的範例。

該等 8 輸入模組 1403 針對其各個輸入皆包含一分歧單元 1404，其會將透過該輸入所收到的數值分成其記號(從該分歧單元 1404 的上方輸出所輸出)以及其振幅(從該分歧單元 1404 的下方輸出所輸出)。

該等編號從 1 至 32 之 32 個輸入數值的記號會被分群成四個八記號群。此等四個群會被輸入至一記號以決定電路 1430，其可為該 Rcv 更新模組 1400 的一部分，但是為有最佳的審視效果起見，在圖 14 中將其分開顯示。

每一記號群中的記號會由第一 XOR 元件 1413 至 1416 進行 XOR 運算。該等第一 XOR 元件 1413 至 1416 的輸出會進一步被配對並且由第二 XOR 元件 1417、1418 進行 XOR 運算。該等第二 XOR 元件 1417、1418 的輸出會由產生一全域記號作為其輸出之第三 XOR 元件 1419 進行 XOR 運算。

每一個 8 輸入模組 1403 皆包含一四輸入模組 1402 作為最末級並且因而(參見圖 14)會輸出兩個數值。對每一個 8

輸入模組 1403 來說，由該 8 輸入模組 1403 所輸出的兩個數值會被縮放模組 1405 縮放相同的常數倍數，該縮放模組會產生個別經過縮放的輸出數值對 1406 至 1409。

和記號運算雷同，該些輸出數值對 1406 至 1409 會進一步被配對以作為兩個四輸入模組 1431 的輸入，該等四輸入模組 1431 會輸出再次被饋送至一四輸入模組 1432 的數值對 1410、1411，以產生一最終的輸出數值對 1412。

所有局部/全域振幅/記號(亦即由 XOR 元件所輸出的數值對 1406 至 1412 和記號)皆被輸入至一選擇模組 1420。

該選擇模組 1420 可為該 Rcv 更新模組 1400 的一部分，但是為有更加的審視效果起見，在圖 14 中將其分開顯示。

該選擇模組 1420 的操作可能會受控於編碼速率。

該選擇模組 1420 會根據此範例中所詳述 $1/2$ 、 $3/4$ 、或 $7/8$ 的編碼速率產生四群所希的記號和振幅 1421 至 1424。

每一群 1421 至 1424 皆包括下述記號和振幅群：最小值、次小值、記號、以及最小值的標示符號。

每一群 1421 至 1424 皆會控制四個多工器群中其中一群 1425，用以取得每一群的合法振幅。每一群多工器皆為一輸出級模組 1433 的一部分，但是為有更加的審視效果起見，在圖 14 中將其分開顯示。

在每一個輸出級模組 1433 之中，會藉由組合器 1426 來組合該等振幅和該等記號，用以取得構成該 Rcv 更新模組 1400 的 32 個輸出之經更新 Rcv 數值。

謹慎地設計該等同位檢查矩陣，如圖 7 中所示之實施

例的實施例便能夠支援具有相同長度和不同編碼速率的多重 LDPC 碼。於一實施例中，為支援此結果，會從一個「主」編碼中推知該些同位檢查矩陣。於一實施例中，會使用對應於該第三同位檢查矩陣 403 的編碼作為「主」編碼。其具有 4 層而編碼率 $R=7/8$ 。

從此碼中以保持 4 循環之循環特性的方式可以建構出由第二同位檢查矩陣 402 所給定編碼速率 $3/4$ 的編碼以及由第一同位檢查矩陣 401 所給定編碼速率 $1/2$ 的編碼。

經由對「主」同位檢查矩陣(亦及第三同位檢查矩陣 403)進行行擴張便可達成此目的。例如探討第二同位檢查矩陣 402。藉由對第三同位檢查矩陣 403 的一區塊列進行擴張便可產生第二同位檢查矩陣 402 的兩個區塊列。可以將對應於該第二同位檢查矩陣 402 的編碼視為具有擴張係數 2。

該等兩個區塊列群可保有該 4 循環的循環特性，如圖 4 中第二同位檢查矩陣 402 中的登錄項 408 至 411 所示。此等經過擴張的兩個區塊列可同時被處理，因為對此等兩個區塊列來說只有一個邊緣需要更新，所以不會有任何衝突存在。該第一同位檢查矩陣 401 具有擴張係數 4 並且可以雷同方式來解碼，四區塊列群可以同步被處理且一重複作業僅需要用到 4 個循環。

上面參考圖 7 所述的實施例支援所有此等編碼，其並不需要改變該等相互連接網路。圖 14 中所示的示範性 Rcv 控制模組 1420 能夠根據所詳述編碼速率及簡單控制邏輯和多工器來控制 Rcv 更新。雖然圖 8 中所示實施例能夠支援

最大擴張係數為 4 的編碼，不過該架構同樣可套用至具有任何擴張係數的任何編碼組。

上面參考圖 8 所述實施例係圖解圖 7 中所示 LDPC 解碼器的一種完全平行式施行方式。不過應該注意，亦可將實施例配置成半平行式施行方式。舉例來說，針對低複雜性應用來說，可藉由分時(time-sharing)CNP 而將 CNP 704 的數量(圖 7 中)縮減為三分之一。為支援該資源共享目的，舉例來說，可藉由插設一多工器庫來修正圖 7 中所示的直接相互連接 701 與 702。此作法圖解在圖 15 中。

圖 15 所示的係根據一實施例的解碼器 1500。

解碼器 1500 的架構和解碼器 800 的架構雷同，而且解碼器 1500 具有和參考圖 8 所述的解碼器 800 雷同的器件。

差別在於解碼器 1500 中僅例示 1/3 的檢查節點處理器(CNP1 至 CNP7，而非 CNP1 至 CNP21)。對此來說，在 VN 至 CNP 網路中會有一多工器庫 1501 且在 CNP 至 VN 網路中會有一解多工器庫 1502，也就是，在對應於圖 7 中所示解碼器的相互連接 701、702 之相互連接中。

藉由將被儲存在該等 VN 庫之不同儲存元件中的分量多工處理至相同 CNP(每一分量皆針對某一分時處理)並且將該輸出解多工處理至正確儲存元件，可讓一 CNP 處理被儲存在該等 VN 庫中之不同資料符號(在不同時間處，也就是在不同分時處理)。

依此方式所設計出來的 LDPC 解碼器具有較低的總處理量，不過矽材尺寸會縮減。

根據一實施例使用如圖 16 中所示的 LDPC 編碼器架構。

圖 16 所示的係根據一實施例的編碼器 1600。

對照於圖 7 中所示解碼器 700 的架構，編碼器 1600 包含和解碼器 700 的器件 701 至 704 雷同的器件 1601 至 1604。

編碼器 1600 和解碼器 700 的差別在於：編碼器 1600 已經移除 Rcv 記憶體 705 和同位檢查功能 706。進一步言之，編碼器 1600 包含一記憶體 1603，其位元寬度為一位元並且用來緩衝儲存該編碼字元，裝置 703 反之係用來儲存來自通道的軟 LLR 數值(亦即針對被收到訊號所產生的)。

編碼器 1600 進一步包含一 CNP 陣列 1604，根據一實施例，其複雜性小於如圖 7 中所示 CNP 陣列 704 的示範性施行方式。

總結來說，根據一實施例，相互連接 1601 與 1602、記憶體 1603、以及 CNP 陣列 1604 可分別被視為圖 7 中所示器件 701 至 704 的子集合。

根據一實施例的示範性 LDPC 編碼器顯示在圖 17 中。

圖 17 所示的係根據一實施例的編碼器 1700。

編碼器 1700 的架構和上面參考圖 8 所述的分層解碼器 800 雷同。

編碼器 1700 和解碼器 800 的差別在於 Qv 陣列(也就是，該等 VN 庫)係利用待編碼的資訊位元來初始化，且藉由編碼器 1700 中的相互連接線路 1711 至 1718 所交換之所有訊息(也就是，該等符號)皆為 1 位元的位元寬度。再者於一實施例中，CNP 1706 至 1709 所施行複雜性係低於(也就

是，比較簡單)編碼器 800 的 CNP 806 至 809。

圖 18 所示的係根據一實施例的檢查節點處理器 1800。

CNP 1800 係編碼器 1700 的 CNP 1706 至 1709 的範例。

CNP 1800 的器件和 Rcv 更新模組 1400 雷同，例如，分群/反向分群模組 1801 與 1802，以及 3 階互斥或(XOR)模組 1803 至 1805。

據此，數值 1806 至 1812 會在和圖 14 中的數值 1406 至 1412 雷同的處理過程中被產生。

CNP 1800 可在多工器 1813 和相關聯的控制邏輯中所看見的唯一經常性運算係將正確同位檢查位元選擇至對應埠(也就是，輸出)。

根據一實施例，圖 18 中所示針對檢查節點處理器 1800 的示範性電路能夠支援對應於圖 4 中所示之同位檢查矩陣 401 至 403 的所有編碼速率。

具有可用於對應第三同位檢查矩陣 403 之編碼的較低複雜性示範性編碼器 CNP 電路圖解在圖 19 中。

圖 19 所示的係根據一實施例的檢查節點處理器 1900。

此編碼並不需要用到分群/反向分群模組 1801、1802，因為一「巨集」層對此編碼來說僅係一區塊層。

編碼器 1600 的記憶體 1603(Qv 陣列)會以來自外來資訊位元串流的一 28 位元資訊位元字元來初始化。該 Qv 陣列中的同位檢查庫(也就是，該 Qv 中對應於該等同位位元的第 29 庫和第 32 庫)會(在剛開始)被零予以填充。

一 32 輸入 XOR 閘 1901 會計算不同分層的同位檢查位

元。經過 XOR 運算的位元接著會被輸出至第 29 輸出埠(透過多工器 1902)。在第一編碼循環中會產生第 29 位同位檢查位元，而且會經由 CNP 至 VN 網路(舉例來說，其配置如上面參考圖 11 所述)被循環移動至該 Qv 陣列的第 32 庫。

在第二編碼循環中會從所有 28 個輸入(也就是，資訊位元)加上新產生的第 29 位同位檢查位元(在第 32 個輸入埠處)處產生第 30 位同位檢查位元並且同樣將其輸出至第 29 輸出埠。依此方式會用到四個循環來填充對應於圖 4 中所示第三同位檢查矩陣 403 之編碼的四個同位檢查庫。

舉例來說，圖 17 中所示架構可以使用圖 18 與 19 中所示的示範性 CNP 電路系統。

此架構和圖 8 中所示的示範性解碼架構雷同。所以根據一實施例，在編碼過程能夠分享解碼過程之資源的半雙工應用中，編碼與解碼兩者皆會使用此架構。

根據一實施例，對於必須明確例示 LDPC 編碼器和解碼器兩者的全雙工、單工、以及廣播應用來說，會使用一較簡單的編碼器架構。此架構圖解在圖 20 中。

圖 20 所示的係根據一實施例的編碼器 2000。

編碼器 2000 包含：資訊位元庫 2001 至 2004；同位位元庫 2005；以及一 CNP 陣列，其具有 21 個檢查節點處理器 2006 至 2009。

於此範例中，該等資訊位元庫 2001 至 2004 彼此會局部連接，而該等 CNP 2006 至 2009 僅會輸出同位檢查位元。

和圖 8 中所示的解碼器 800 雷同，該編碼器 2000 包含

第一庫連接 2011 和 2012 以及第二庫連接 2013 和 2014。

圖 21 中給定編碼器 2000 之示範性架構的平面圖。

圖 21 所示的係根據一實施例的編碼器 2100。

編碼器 2100 對應於編碼器 2000 並且包含：資訊位元庫 2101；同位檢查位元庫 2102；以及 CNP 2105。

該等資訊位元庫 2101 會以待編碼的資訊位元來初始化，該等同位檢查位元庫 2102 全部會被初始化為零。對該等資訊位元庫 2101(以資訊位元來初始化)來說會使用一局部循環連接 2103，每一個資訊位元庫 2101 會在每一個循環中透過該局部循環連接 2103 來接收先前被儲存在其它資訊位元庫 2101 中一者的數值。相反地，被儲存在該等同位檢查位元庫 2102 中的數值則會透過 CNP 至 VN 連接 2104(對應於圖 20 中同位庫的 CNP 至 VN 連接 2015 至 2018)由個別 CNP 輸出來更新。應該注意：編碼器 2100 中的 VN 至 CNP 連接和 CNP 至 VN 連接係施行如上面參考圖 9 所解釋的循環移動。舉例來說，該等同位檢查位元庫 2102 中 VN 至 CNP 連接和 CNP 至 VN 連接的循環移動係由第三同位檢查矩陣 403 中編號 29 至 32 的最後四個區塊行來給定。

CNP 2006 至 2009 的架構範例顯示在圖 22a 與 22b 中。

圖 22a 與 22b 顯示根據一實施例的 CNP 2201、2202。

圖 22a 中所示的 CNP 2201 可以使用在對應於同位檢查矩陣 401 至 403 的所有編碼，也就是，用於所有編碼率。

CNP 2201 雷同於上面參考圖 8 所述的 CNP 1800，但是沒有標號 1 到 16 的輸出。

CNP 2202 可使用對應第三同位檢查矩陣 403 的編碼。其雷同上面參考圖 19 所述的 CNP 1900 但僅包括第 29 輸出。

雖然上述範例係參考 IEEE 802.15.3c 草案標準中所定義的 LDPC 碼來作說明，不過本發明實施例亦可用於預期用在 IEEE 802.15.3c 無線網路中的 LDPC 碼以外的其它編碼。舉例來說，參考圖 16 所述的實施例亦可用於針對新興 WiMedia 標準所提出的 LDPC 碼，如圖 23 中所示。

圖 23 顯示根據一實施例的同位檢查矩陣 2301、2302。

對應於第一同位檢查矩陣 2301 的編碼為編碼速率 0.6 的 LDPC 碼，而對應於第二同位檢查矩陣 2302 的編碼為編碼速率 0.8 的編碼。從被標記的登錄項 2303 至 2306 中可以看出，第二同位檢查矩陣 2302 的 4 循環循環結構如同圖 2 中所示的同位檢查矩陣 401 至 403。

為支援該些編碼，可以使用圖 17 和圖 20 兩者中所示的示範性結構。要使用在對應於第二同位檢查矩陣 2302 之編碼的 CNP 的示範性電路圖解在圖 24 中。

圖 24 所示的係根據一實施例的檢查節點處理器 2400。

與對應於第三同位檢查矩陣 403 之編碼的 CNP 1900 相比較，XOR 閘 2401 已變成 40 輸入 XOR 閘，而且除了多工器 2402 外，還會在輸出埠處增加一額外多工器 2403。這係因為該等同位檢查矩陣的同位檢查部分具有雷同的逐個區塊三角函數關係。對應於圖 23 中第一同位檢查矩陣 2301 的編碼可以使用雷同的電路系統。

利用本發明一實施例(舉例來說，僅具有硬繞線式相互

• 連接的 LDPC 碼施行方式)便會有下面的效用：

- 節省同位檢查矩陣儲存體的資源以及用於路由連接網路的複雜控制邏輯。
- 在數個循環中便能夠完成一次重複作業，其和 H 列權重無關，因而適用於高總處理量/低延遲應用。同時因為運用分層解碼還可保證達到快速收斂/效能。
- 對於從一「主」編碼中推知的多個 LDPC 碼來說，僅使用到固定的硬繞線式相互連接。這免除用於儲存 H 矩陣的 ROM 需求，並且大幅降低 IC 設計/配置與路線中相互連接的路由連接壅塞。所示的係有此等編碼的解碼等待時間皆為相同。
- 在硬體複雜性和處理延遲之間提供彈性折衷。
- 利用少許的硬體經常性運算，編碼器便能夠完全利用解碼器資源。
- 編碼器和解碼器兩者皆有非常低的延遲。

為達比較目的，圖 25 中圖解一種習知 LDPC 編碼器 2500。其包括一 H_c 分解器 2501 和一 u 計算器 2502，以及一 p 計算器 2503。為計算 u ，必須儲存同位檢查矩陣並且使用複雜的定址/控制邏輯。最重要在習知的 LDPC 編碼器中，完全沒有考量到解碼架構。相反地，根據一實施例的 LDPC 編碼器則完全利用 LDPC 解碼器的資源並且僅需要用到微乎其微的經常性運算。

【圖式簡單說明】

上述已經參考圖式解釋過本發明的例示性實施例。在解碼電路上下文中所說明的實施例同樣適用於編碼電路。

圖 1 所示的係一習知的 LDPC 解碼器。

圖 2 所示的係一習知的 LDPC 解碼器。

圖 3 所示的係根據一實施例的通訊系統。

圖 4 所示的係一第一同位檢查矩陣、一第二同位檢查矩陣、以及一第三同位檢查矩陣。

圖 5 所示的係根據一實施例的解碼電路。

圖 6 所示的係根據一實施例的編碼電路。

圖 7 所示的係根據一實施例的解碼電路。

圖 8 所示的係根據一實施例的解碼器。

圖 9 所示的係根據一實施例的 VN 至 CNP 以及 CNP 至 VN 相互連接。

圖 10A 與 10B 所示的係根據一實施例的一個 VN 庫的 VN 至 CNP 以及 CNP 至 VN 相互連接。

圖 11 所示的係根據一實施例的 VN 至 CNP 相互連接。

圖 12 所示的係根據一實施例的檢查節點處理器。

圖 13 所示的係一 2 輸入次序模組和一 4 輸入次序模組的電路設計。

圖 14 所示的係根據一實施例的 Rcv 更新模組。

圖 15 所示的係根據一實施例的解碼器。

圖 16 所示的係根據一實施例的編碼器。

圖 17 所示的係根據一實施例的編碼器。

圖 18 所示的係根據一實施例的檢查節點處理器。

圖 19 所示的係根據一實施例的檢查節點處理器。

圖 20 所示的係根據一實施例的編碼器。

圖 21 所示的係根據一實施例的編碼器。

圖 22a 與 22b 所示的係根據一實施例的 CNP。

圖 23 所示的係根據一實施例的同位檢查矩陣。

圖 24 所示的係根據一實施例的檢查節點處理器。

圖 25 所示的係根據一習知 LDPC 編碼器架構。

【主要元件符號說明】

100	LDPC(低密度同位檢查)解碼器
101	區塊列序列控制器
102	儲存記憶體
103	同位檢查更新區塊
104	同位檢查功能方塊
105	路由器電路系統
106	位元更新方塊
107	反向路由器電路系統
200	LDPC(低密度同位檢查)解碼器
201	ROM 圖形記憶體
202	第一 RAM(隨機存取記憶體)
203	切換器
204	檢查節點處理器方塊
205	第二 RAM
206	同位檢查功能方塊
300	通訊系統

301	傳送器
302	接收器
303	通訊通道
304	待傳送資料
305	編碼器
306	已編碼資料
307	發送電路
308	接收電路
309	接收資料/對數似然比(LLR)
310	解碼器
401	第一同位檢查矩陣
402	第二同位檢查矩陣
403	第三同位檢查矩陣
404-411	登錄項
500	解碼電路
501,601	資料緩衝器
502,602	儲存元件
503,603	處理電路
504,604	輸入
505,605	輸出
600	編碼電路
700	解碼電路
701	第一相互連接
702	第二相互連接

703	記憶體
704	檢查節點處理器陣列
705	Rcv 記憶體
706	同位檢查功能
800	解碼器
801-805	記憶體庫
806-809	檢查節點處理器
810	同位檢查功能方塊
811,812	第一庫連接
813,814	第二庫連接
815-818	第一群連接
900,1003,1008	檢查節點處理器 (CNP) 陣列
901,1001	第一 (VN) 庫
902,1006	第二 (VN) 庫
903	第三 (VN) 庫
904	第四 (VN) 庫
905-908,1002,1007	第一循環移動區塊
909-912,1004,1009	第二循環移動區塊
1005	第一複數條連接
1010	第二複數條連接
1101	第一群連接
1102	第二群連接
1200	檢查節點處理器 (CNP)
1201	輸入

1202	輸 出
1203	Rcv 更新模組
1204	記憶體
1205	減法器/加法器
1301	2 輸入次序模組
1302	4 輸入次序模組
1303	3 輸入最小值模組
1400	Rcv 更新模組
1402	4 輸入模組
1403	8 輸入模組
1404	分歧單元
1405	縮放模組
1406-1409	經過縮放的輸出數值對
1410,1411	輸出數值對
1412	最終輸出數值對
1413-1416	第一 XOR 元件
1417,1418	第二 XOR 元件
1419	第三 XOR 元件
1420	選擇模組
1421-1424	所希記號/振幅群
1425	多工器群
1426	組合器
1430	記號決定電路
1431,1432	4 輸入模組

1433	輸出級模組
1500	解碼器
1501	多工器庫
1502	解多工器庫
1600	編碼器
1601,1602	相互連接
1603	記憶體
1604	檢查節點處理器(CNP)陣列
1700	編碼器
1701-1705	記憶體庫
1706-1709	檢查節點處理器(CNP)
1711-1718	相互連接線路
1800	檢查節點處理器
1801,1802	分群模組/反向分群模組
1803-1805	3階互斥或(XOR)模組
1806-1812	數值
1813	多工器
1900	檢查節點處理器
1901	32輸入XOR閘
1902	多工器
2000	編碼器
2001-2004	資訊位元庫
2005	同位位元庫
2006-2009	檢查節點處理器

2011,2012	第一庫連接
2013,2014	第二庫連接
2015-2018	CNP 至 VN 連接
2100	編碼器
2101	資訊位元庫
2102	同位檢查位元庫
2103	局部循環連接
2104	CNP 至 VN 連接
2105,2201,2202	檢查節點處理器
2301	第一同位檢查矩陣
2302	第二同位檢查矩陣
2303-2306	經標記登錄項
2400	檢查節點處理器
2401	輸入 XOR 閘
2402	多工器
2403	額外多工器
2500	LDPC 編碼器
2501	Hc 分解器
2502	<u>u</u> 計算器
2503	p 計算器

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 98131028

※申請日： 98.9.15

※IPC 分類：H03M 17/11 (2006.01)

一、發明名稱：(中文/英文)

解碼電路及編碼電路

DECODING CIRCUIT AND ENCODING CIRCUIT

二、中文發明摘要：

本發明說明一種解碼電路，其包括：一資料緩衝器，其包括複數個儲存元件，用以儲存資料符號；一處理電路，其包括複數個輸入和複數個輸出，其中該處理電路會被配置成用以處理透過該等複數個輸入所收到的資料符號並且透過該等複數個輸出來輸出該等經過處理的資料符號。該等複數個儲存元件中每一個儲存元件皆會被耦合至該等複數個輸入中的一相關聯的輸入，其中該等複數個儲存元件和該等複數個輸入的關聯性係取決於一第一解碼參數，其中，該等複數個儲存元件中的每一個儲存元件皆會被耦合至該等複數個輸出中的一相關聯的輸出，其中該等複數個儲存元件和該等複數個輸出的關聯性係取決於一第二解碼參數，其中該第一解碼參數和該第二解碼參數皆取決於一解碼規則，且其中該第一解碼參數和該第二解碼參數在整個解碼過程中皆不會改變。

三、英文發明摘要：

A decoding circuit is described including a data buffer, comprising a plurality of storage elements for storing data symbols, a processing circuit comprising a plurality of inputs and a plurality of outputs, wherein the processing circuit is configured to process data symbols received via the plurality of inputs and output the processed data symbols via the plurality of outputs. Each storage element of the plurality of storage elements is coupled to an associated input of the plurality of inputs, wherein the association of the plurality of storage elements with the plurality of inputs is determined by a first decoding parameter, wherein each storage element of the plurality of storage elements is coupled to an associated output of the plurality of outputs, wherein the association of the plurality of storage elements with the plurality of outputs is determined by a second decoding parameter, wherein the first decoding parameter and the second decoding parameter are determined by a decoding rule and wherein the first decoding parameter and the second decoding parameter are not changed throughout the decoding process.

七、申請專利範圍：

1.一種解碼電路，其包括：

一資料緩衝器，其包括複數個儲存元件，用以儲存資料符號；

一處理電路，其包括複數個輸入和複數個輸出，

其中該處理電路會被配置成用以處理透過該等複數個輸入所收到的資料符號，且透過該等複數個輸出來輸出該等經過處理的資料符號；

其中該等複數個儲存元件中的每一個儲存元件皆會被耦合至該等複數個輸入中的一相關聯輸入，其中該等複數個儲存元件和該等複數個輸入的關聯性係取決於一第一解碼參數；

其中該等複數個儲存元件中的每一個儲存元件皆會被耦合至該等複數個輸出中的一相關聯輸出，其中該等複數個儲存元件和該等複數個輸出的關聯性係取決於一第二解碼參數；

其中該第一解碼參數和該第二解碼參數皆取決於一解碼規則，且其中該第一解碼參數和該第二解碼參數在整個解碼過程中皆不會改變。

2.如申請專利範圍第1項之解碼電路，其中該第一解碼參數和該第二解碼參數為非負的整數。

3.如申請專利範圍第1項之解碼電路，其中該第一解碼參數和該第二解碼參數會各自依照該等複數個輸入和該等複數個輸出來詳述一資料符號區塊的一移動。

4.如申請專利範圍第 1 項之解碼電路，其中該解碼規則係由一錯誤修正碼所給定。

5.如申請專利範圍第 4 項之解碼電路，其中該錯誤修正碼為一同位檢查碼。

6.如申請專利範圍第 5 項之解碼電路，其中該錯誤修正碼為一低密度同位檢查碼。

7.如申請專利範圍第 1 項之解碼電路，其中該等資料符號對應於透過一通訊通道所收到的傳送符號。

8.如申請專利範圍第 7 項之解碼電路，其中該等資料符號為該等傳送符號的對數似然比(LLR)。

9.如申請專利範圍第 1 項之解碼電路，其中該處理電路會被配置成用於以該等資料符號為基礎來檢查是否滿足一預設準則。

10.如申請專利範圍第 9 項之解碼電路，其中該預設準則係以該等資料符號的一同位檢查為基礎。

11.如申請專利範圍第 1 項之解碼電路，其中每一個儲存元件皆會被配置成用以將其已儲存的資料符號輸出至其相關聯輸入。

12.如申請專利範圍第 11 項之解碼電路，其中每一個儲存元件皆會被配置成用以在將其已儲存的資料符號輸出至其相關聯輸入之後從其相關聯輸出處接收另一資料符號，儲存該另一資料符號，並且將該另一資料符號輸出至其相關聯輸入。

13.如申請專利範圍第 1 項之解碼電路，其中每一個儲

存元件和其相關聯輸入的耦合處理為硬繞線。

14.如申請專利範圍第 1 項之解碼電路，其中每一個儲存元件和其相關聯輸出的耦合處理為硬繞線。

15.如申請專利範圍第 1 項之解碼電路，其中係作為用於編碼處理與解碼處理兩者的一電路。

16.一種編碼電路，其包括：

一資料緩衝器，其包括複數個儲存元件，用以儲存資料符號；

一處理電路，其包括複數個輸入和複數個輸出，

其中該處理電路會被配置成用以處理透過該等複數個輸入所收到的資料符號並且透過該等複數個輸出來輸出該等經過處理的資料符號；

其中該等複數個儲存元件中的每一個儲存元件皆會被耦合至該等複數個輸入中的一相關聯輸入，其中該等複數個儲存元件和該等複數個輸入的關聯性係取決於一第一編碼參數；

其中該等複數個儲存元件中的每一個儲存元件皆會被耦合至該等複數個輸出中的一相關聯輸出，其中該等複數個儲存元件和該等複數個輸出的關聯性係取決於一第二編碼參數，其中該第一編碼參數和該第二編碼參數皆取決於一編碼規則，其中該第一編碼參數和該第二編碼參數在整個編碼過程中皆不會改變。

17.一種通訊系統，其包括具有如申請專利範圍第 1 項之解碼電路的一接收器以及一具有編碼電路的傳送器，

該編碼電路包括：

一編碼器資料緩衝器，其包括複數個儲存元件，用以儲存資料符號；

一編碼器處理電路，其包括複數個輸入和複數個輸出，其中該編碼器處理電路會被配置成用以處理透過該等複數個輸入所收到的資料符號並且透過該等複數個輸出來輸出該等經過處理的資料符號；

其中該等複數個儲存元件中的每一個儲存元件皆會被耦合至該等複數個輸入中的一相關聯輸入，其中該等複數個儲存元件和該等複數個輸入的關聯性係取決於一第一編碼參數；

其中該等複數個儲存元件中的每一個儲存元件皆會被耦合至該等複數個輸出中的一相關聯輸出，其中該等複數個儲存元件和該等複數個輸出的關聯性係取決於一第二編碼參數，其中該第一編碼參數和該第二編碼參數皆取決於一編碼規則，其中該第一編碼參數和該第二編碼參數在整個編碼過程中皆不會改變。

18.一種用於解碼的方法，其包括：

將用於儲存資料符號之複數個儲存元件中的每一個儲存元件耦合至一處理電路之複數個輸入中的一相關聯輸入，該處理電路會被配置成用以處理透過該等複數個輸入所收到的資料符號，並且透過該等複數個輸出來輸出該等經過處理的資料符號，其中該等複數個儲存元件和該等複數個輸入的關聯性係取決於一第一解碼參數；

將該等複數個儲存元件中的每一個儲存元件耦合至該等複數個輸出中的一相關聯輸出，其中該等複數個儲存元件和該等複數個輸出的關聯性係取決於一第二解碼參數；其中該第一解碼參數和該第二解碼參數皆取決於一解碼規則，且其中該第一解碼參數和該第二解碼參數在整個解碼過程中皆不會改變。

19.一種用於編碼的方法，其包括：

將用於儲存資料符號之複數個儲存元件中的每一個儲存元件耦合至一處理電路之複數個輸入中的一相關聯輸入，該處理電路會被配置成用以處理透過該等複數個輸入所收到的資料符號、並且透過該等複數個輸出來輸出該等經過處理的資料符號，其中該等複數個儲存元件和該等複數個輸入的關聯性係取決於一第一編碼參數；

將該等複數個儲存元件中的每一個儲存元件耦合至該等複數個輸出中的一相關聯輸出，其中該等複數個儲存元件和該等複數個輸出的關聯性係取決於一第二編碼參數；

其中該第一編碼參數和該第二編碼參數皆取決於一編碼規則，且其中該第一編碼參數和該第二編碼參數在整個編碼過程中皆不會改變。

八、圖式：

(如次頁)

將該等複數個儲存元件中的每一個儲存元件耦合至該等複數個輸出中的一相關聯輸出，其中該等複數個儲存元件和該等複數個輸出的關聯性係取決於一第二解碼參數；其中該第一解碼參數和該第二解碼參數皆取決於一解碼規則，且其中該第一解碼參數和該第二解碼參數在整個解碼過程中皆不會改變。

19.一種用於編碼的方法，其包括：

將用於儲存資料符號之複數個儲存元件中的每一個儲存元件耦合至一處理電路之複數個輸入中的一相關聯輸入，該處理電路會被配置成用以處理透過該等複數個輸入所收到的資料符號、並且透過該等複數個輸出來輸出該等經過處理的資料符號，其中該等複數個儲存元件和該等複數個輸入的關聯性係取決於一第一編碼參數；

將該等複數個儲存元件中的每一個儲存元件耦合至該等複數個輸出中的一相關聯輸出，其中該等複數個儲存元件和該等複數個輸出的關聯性係取決於一第二編碼參數；

其中該第一編碼參數和該第二編碼參數皆取決於一編碼規則，且其中該第一編碼參數和該第二編碼參數在整個編碼過程中皆不會改變。

八、圖式：

(如次頁)

圖 1

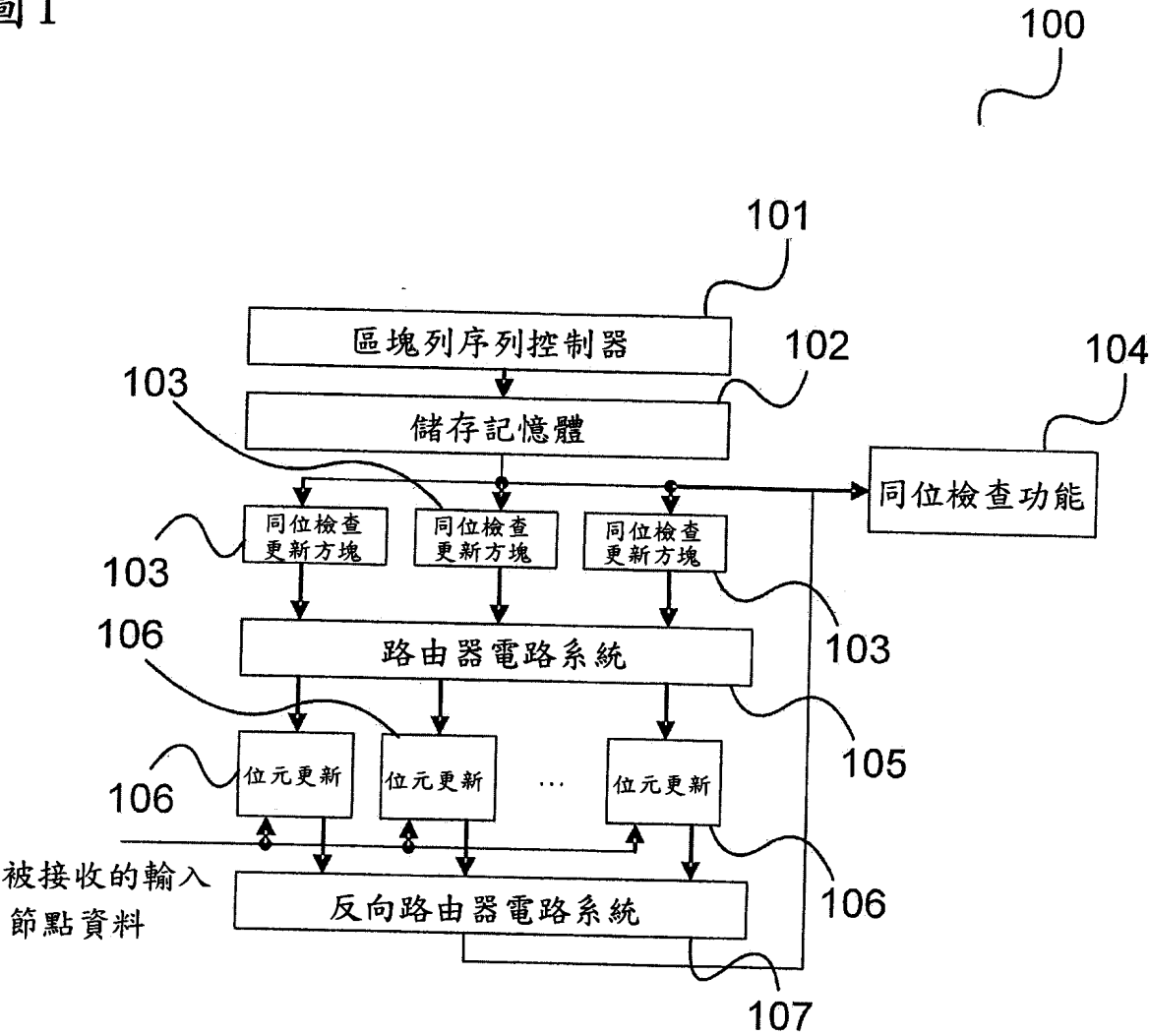


圖2

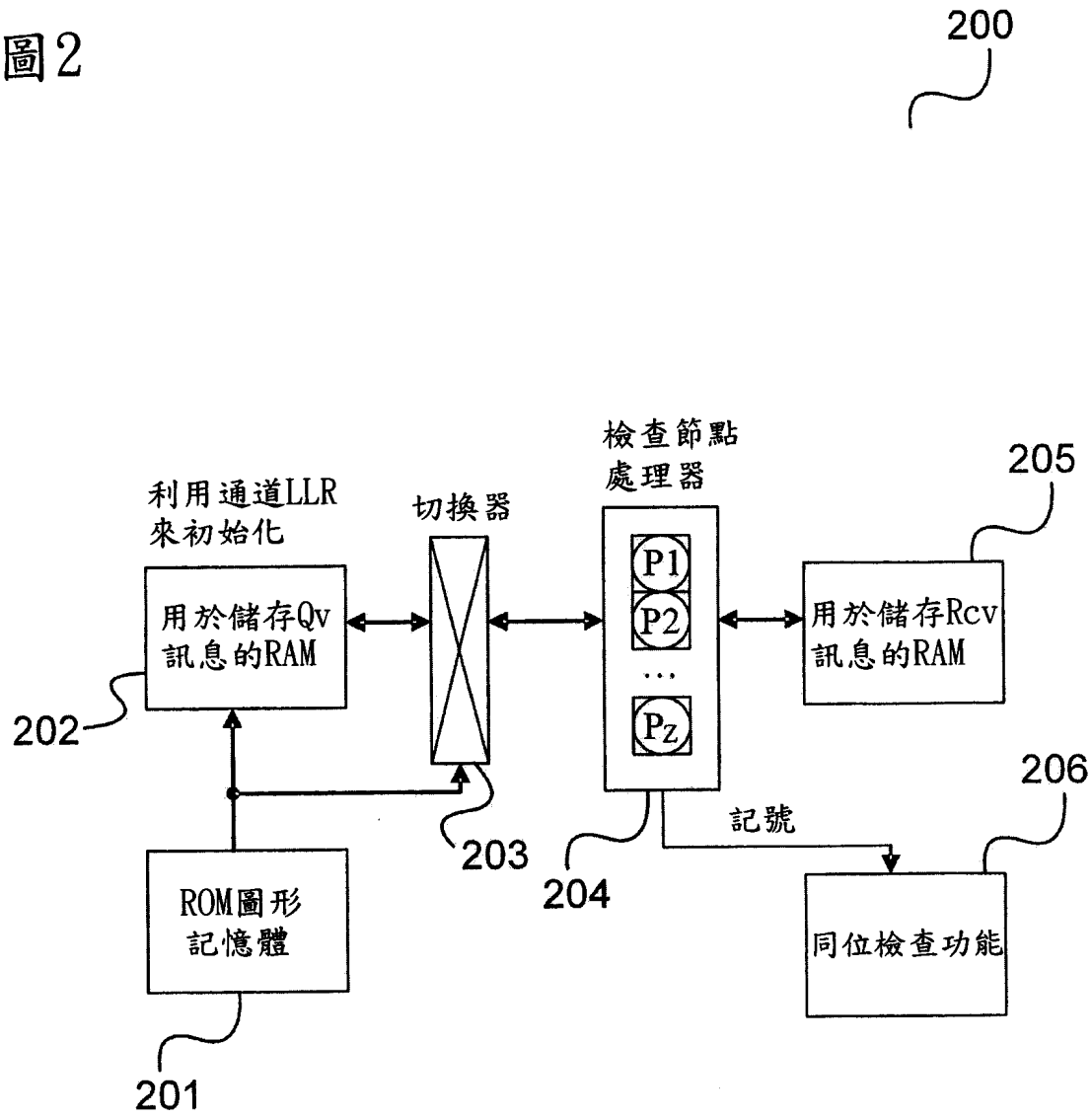


圖3

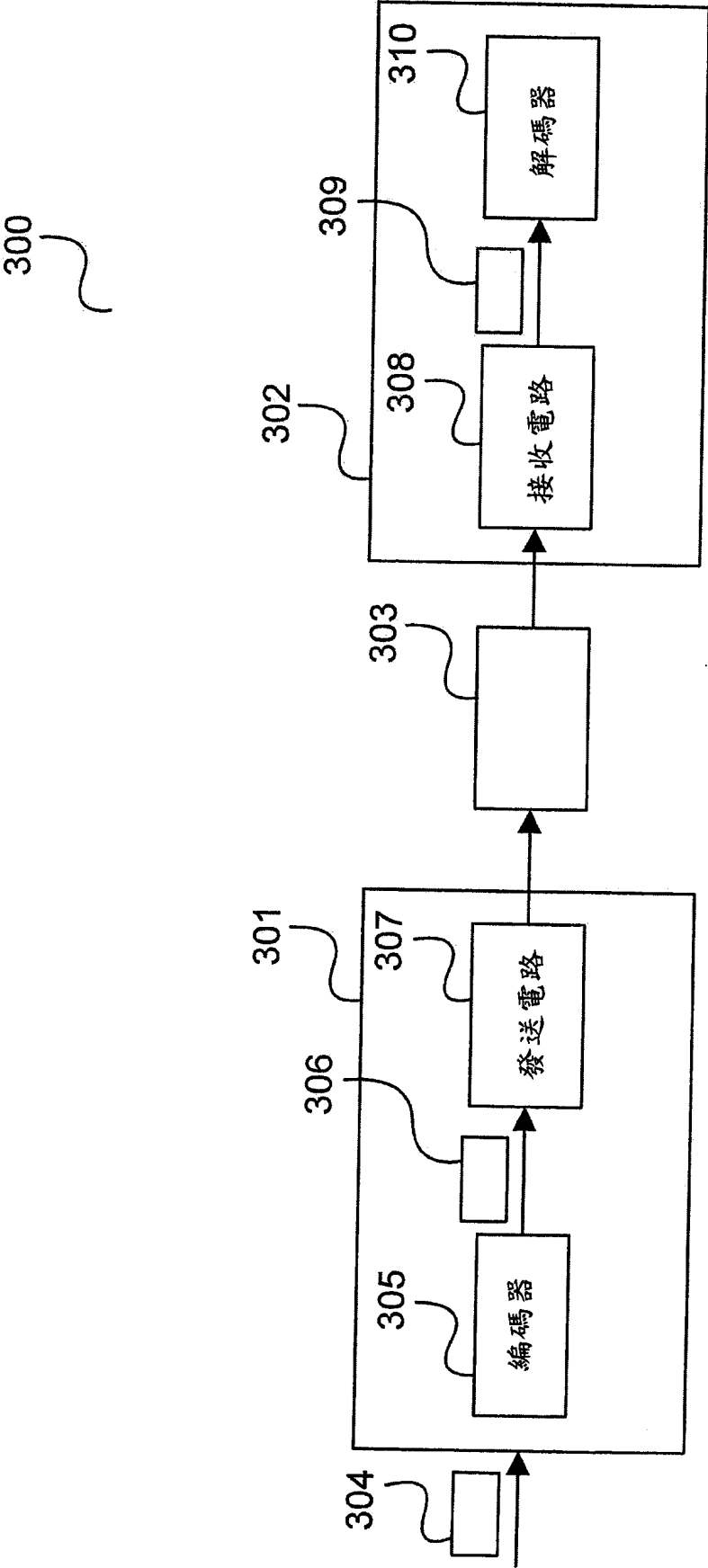


圖 4

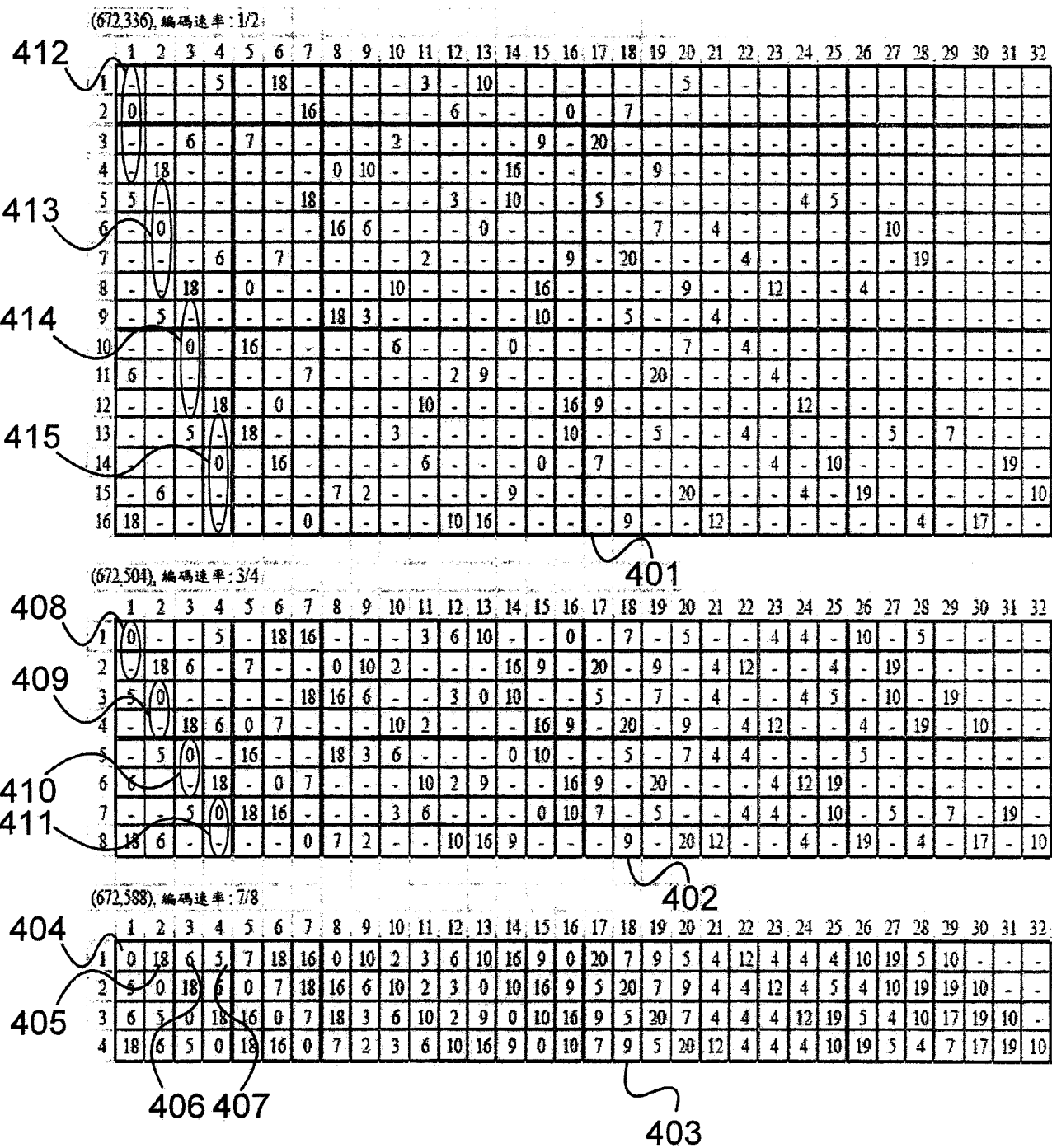
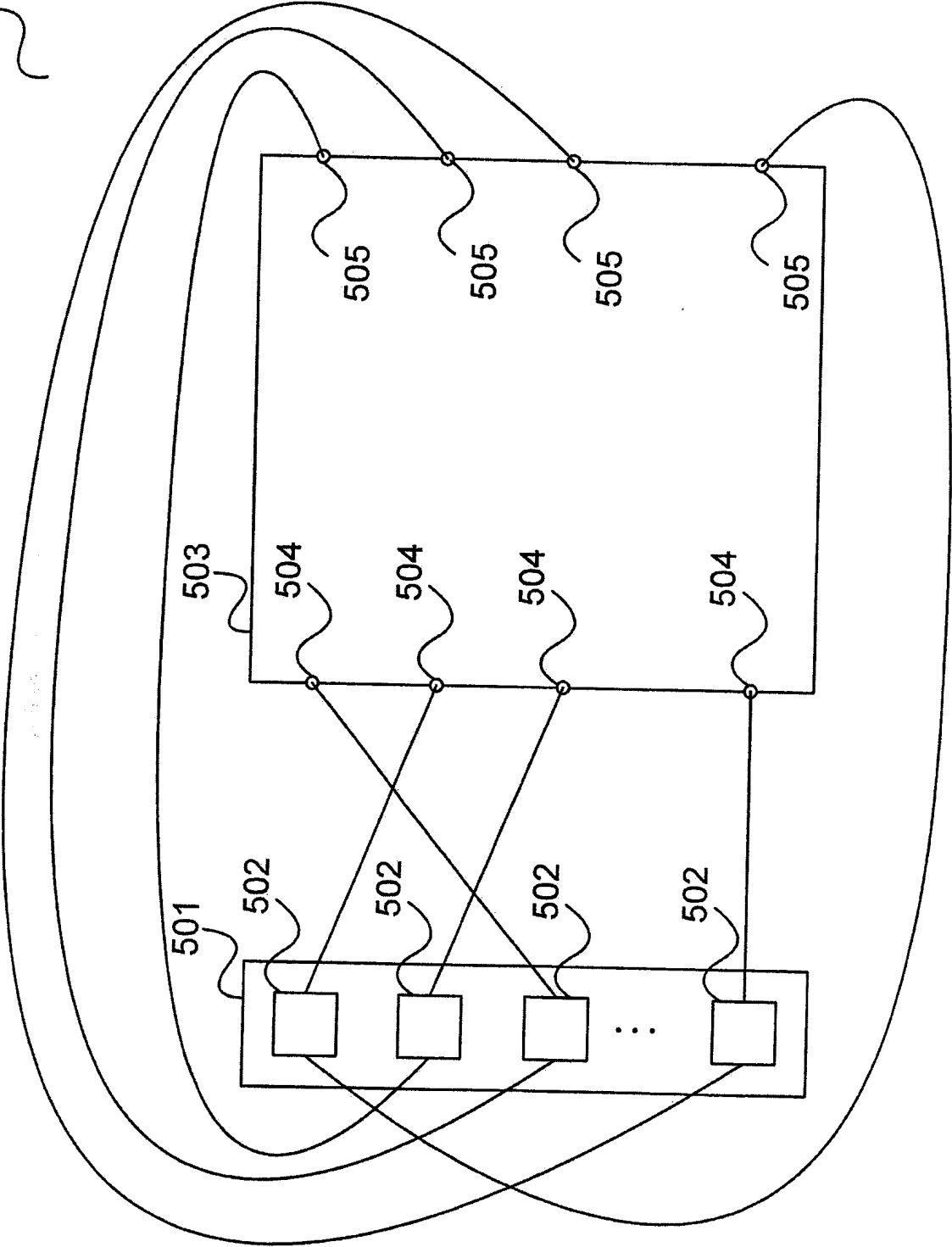


圖5

500



600

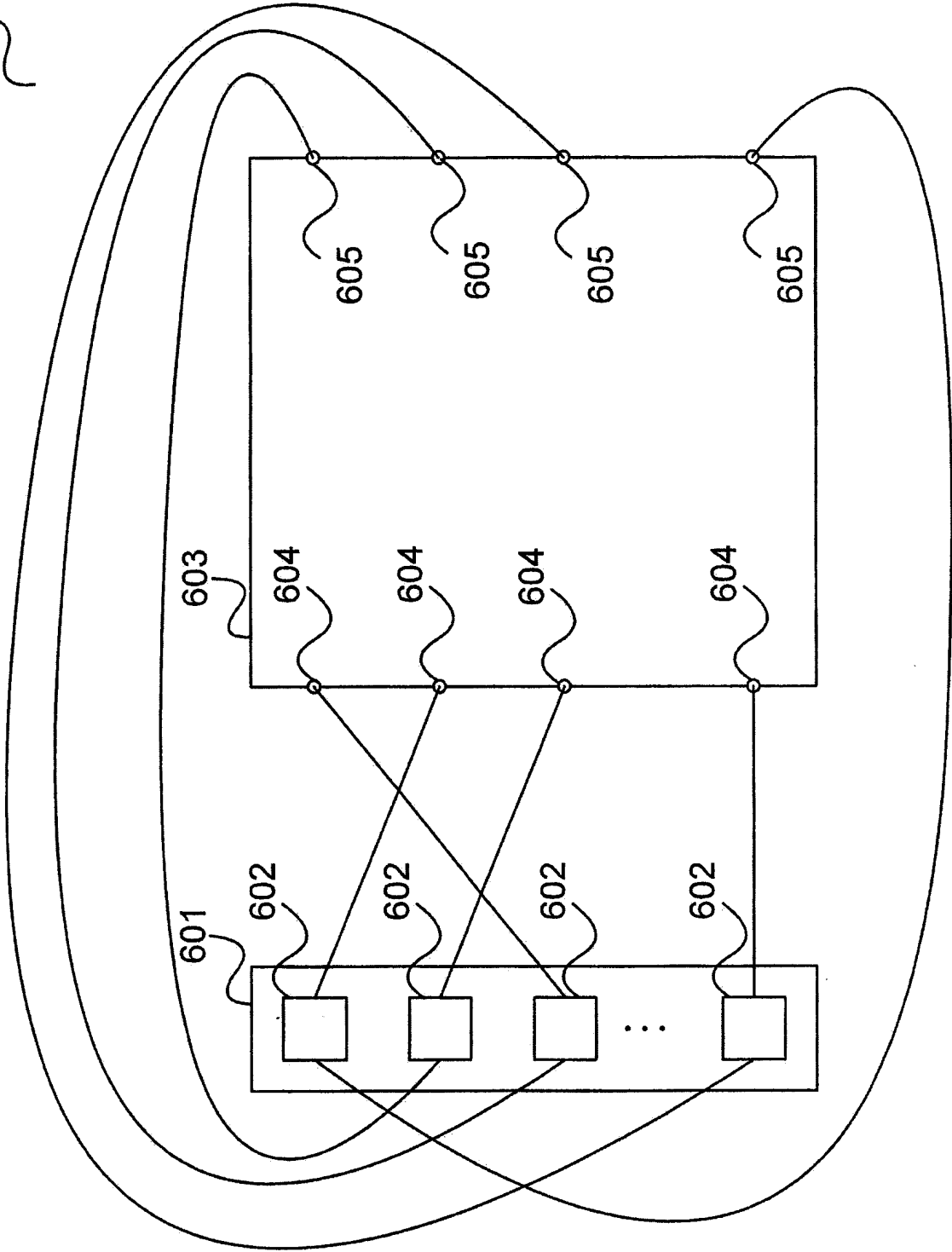


圖6

圖 7

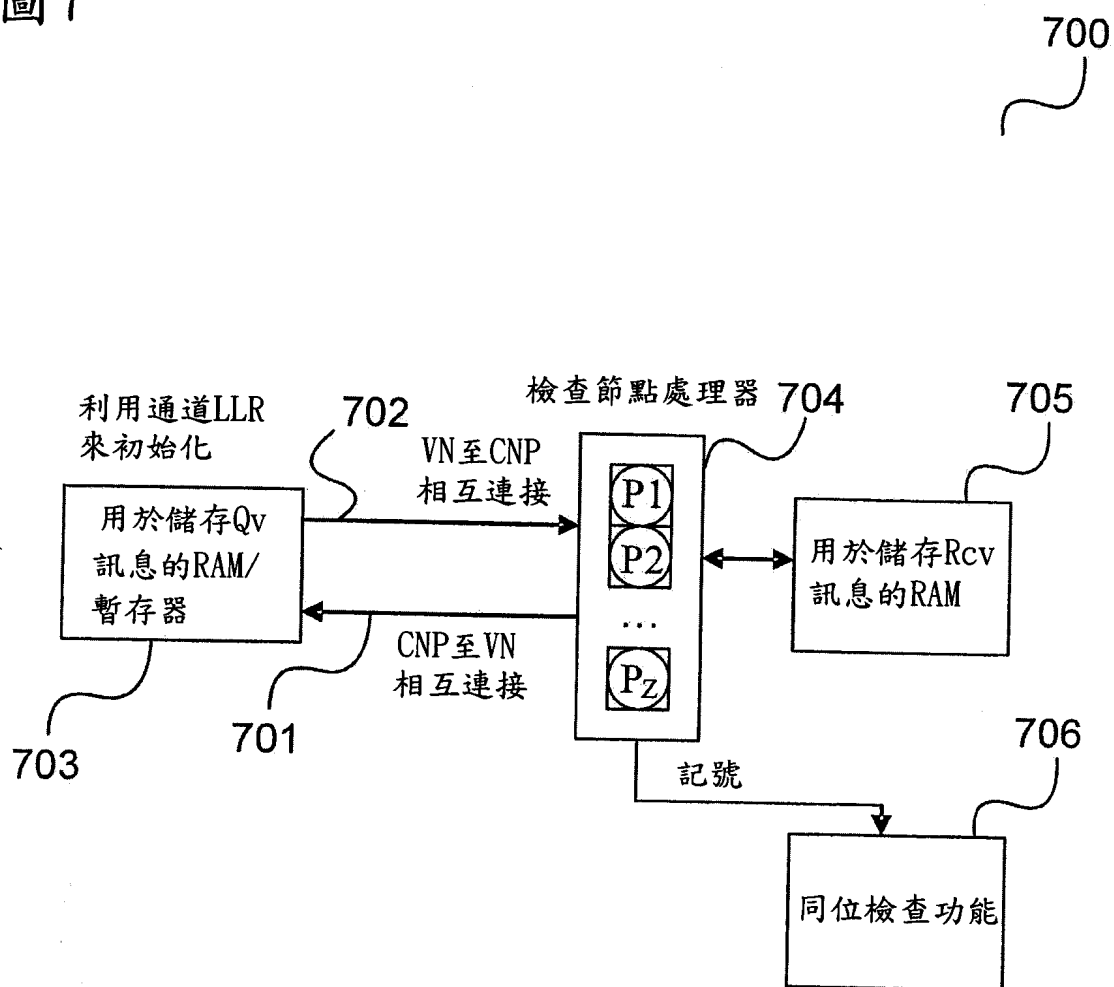


圖 8

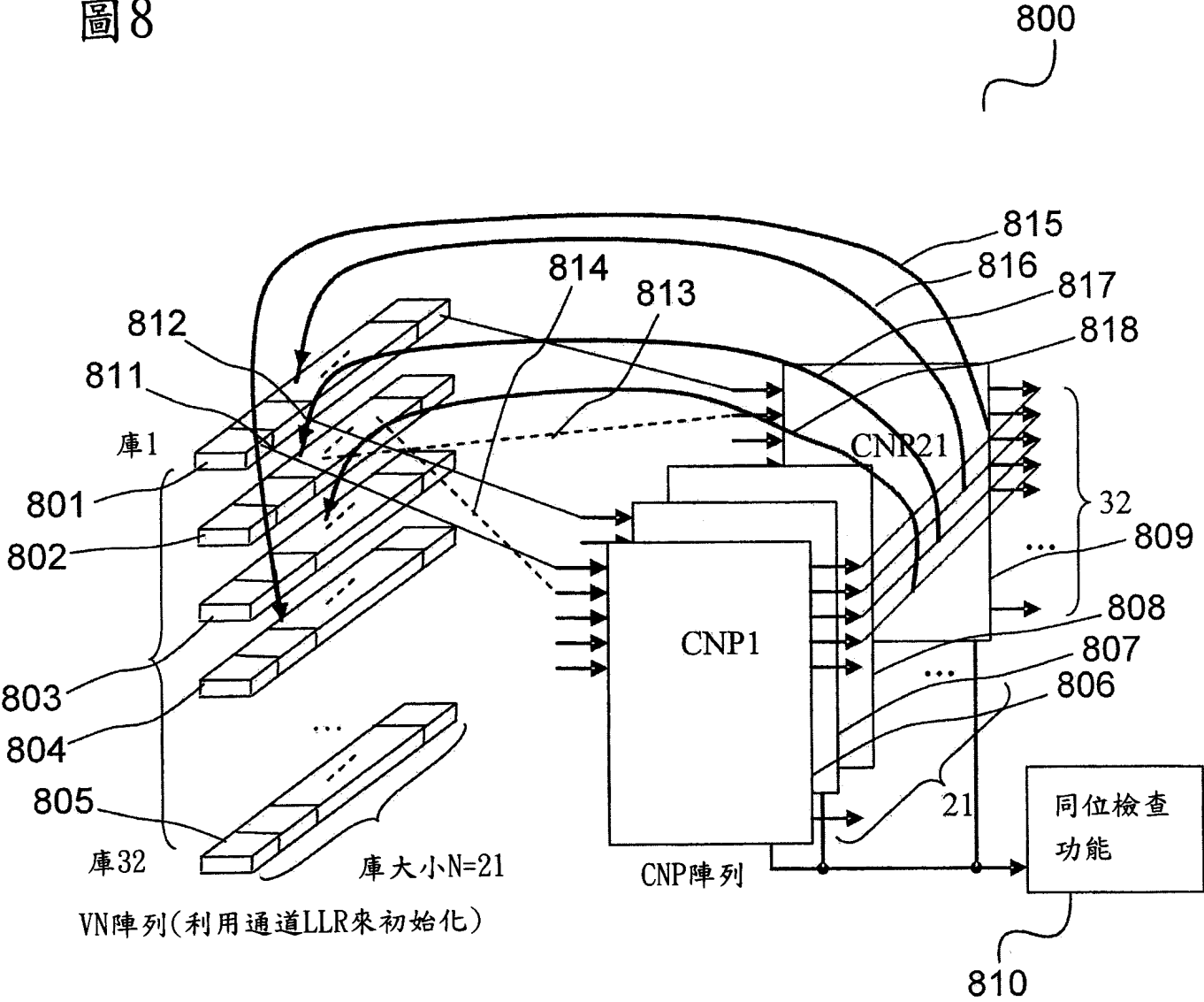
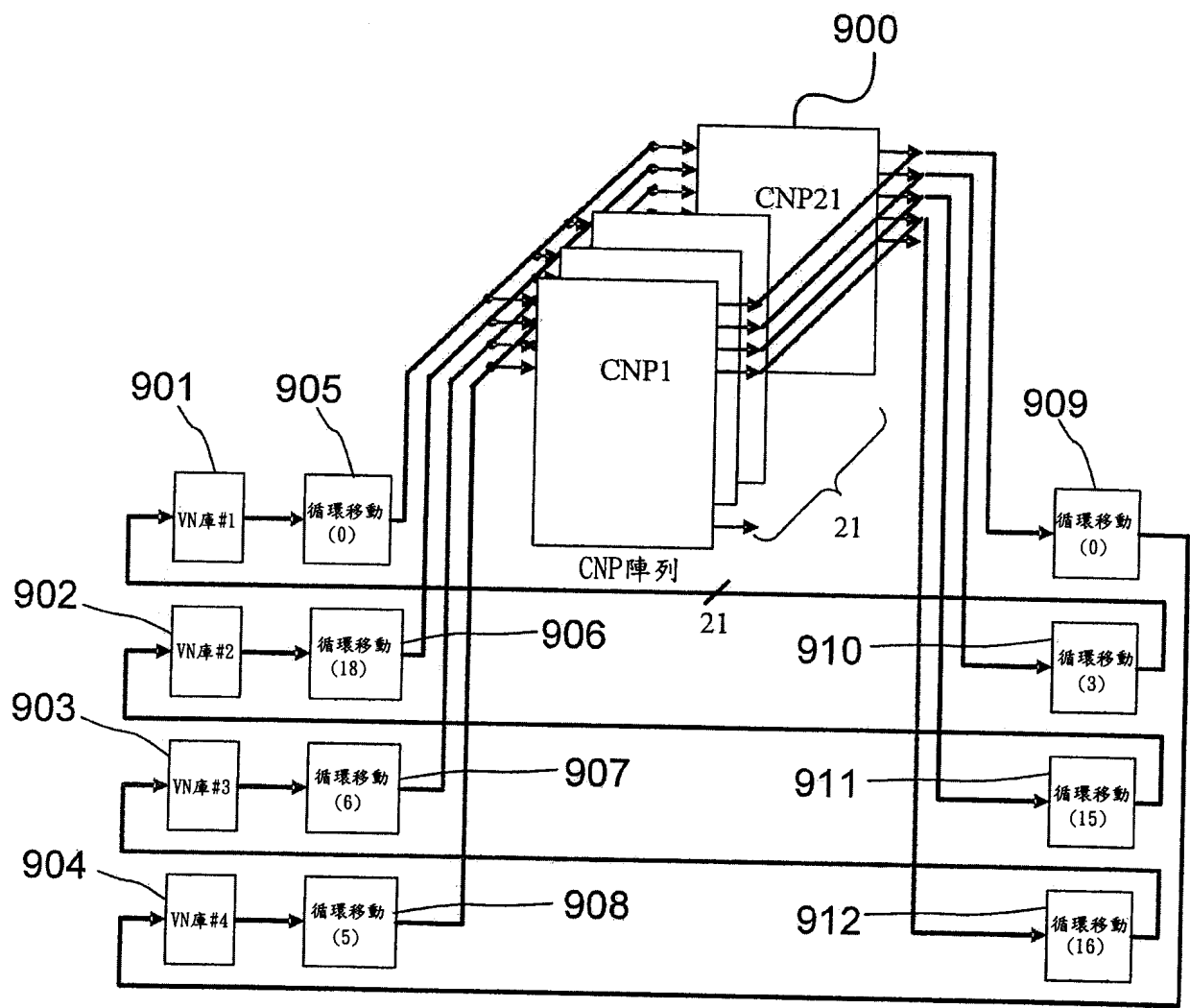


圖9



前4個VN庫(利用通道
LLR來初始化)

圖10A

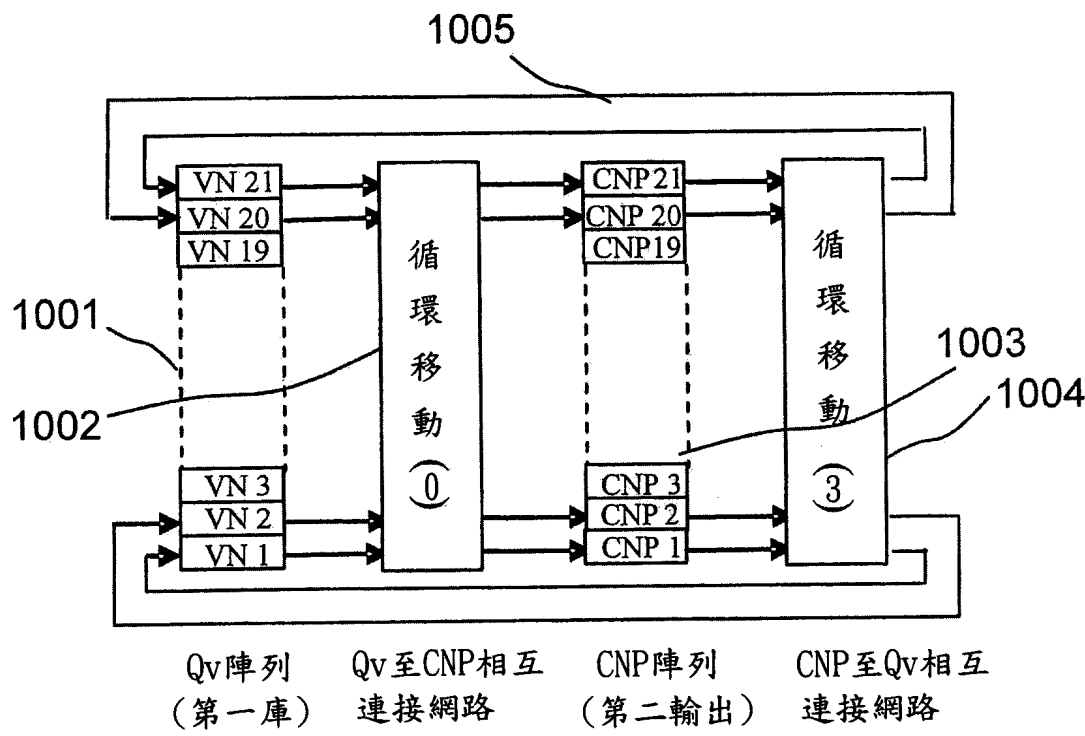


圖10B

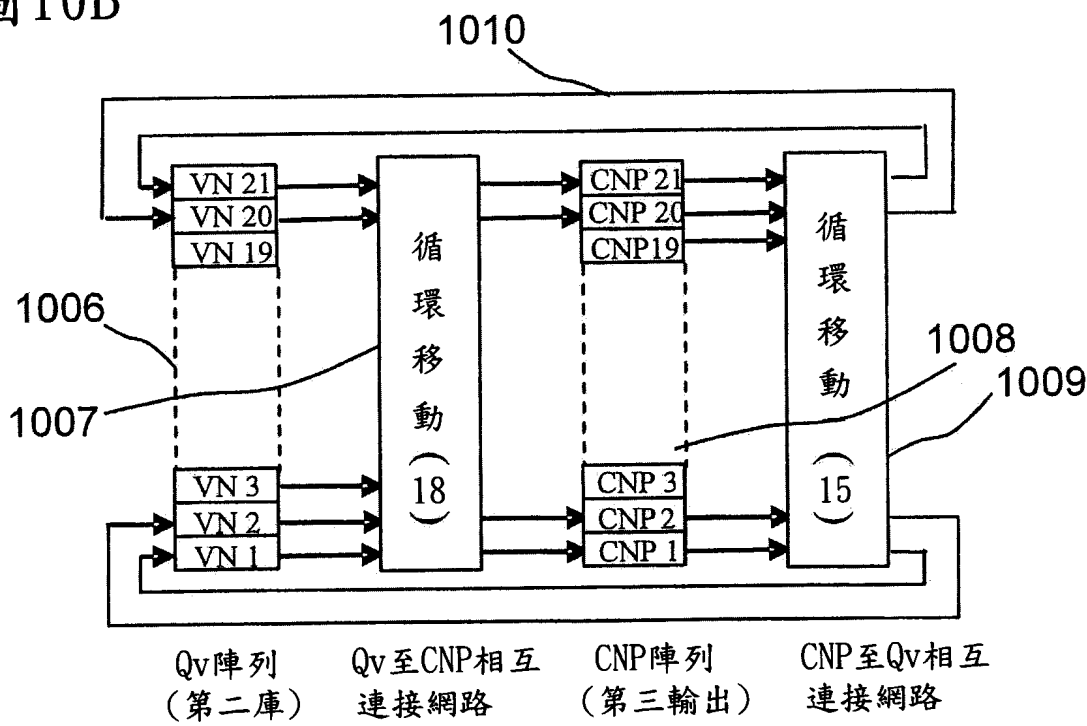


圖 11

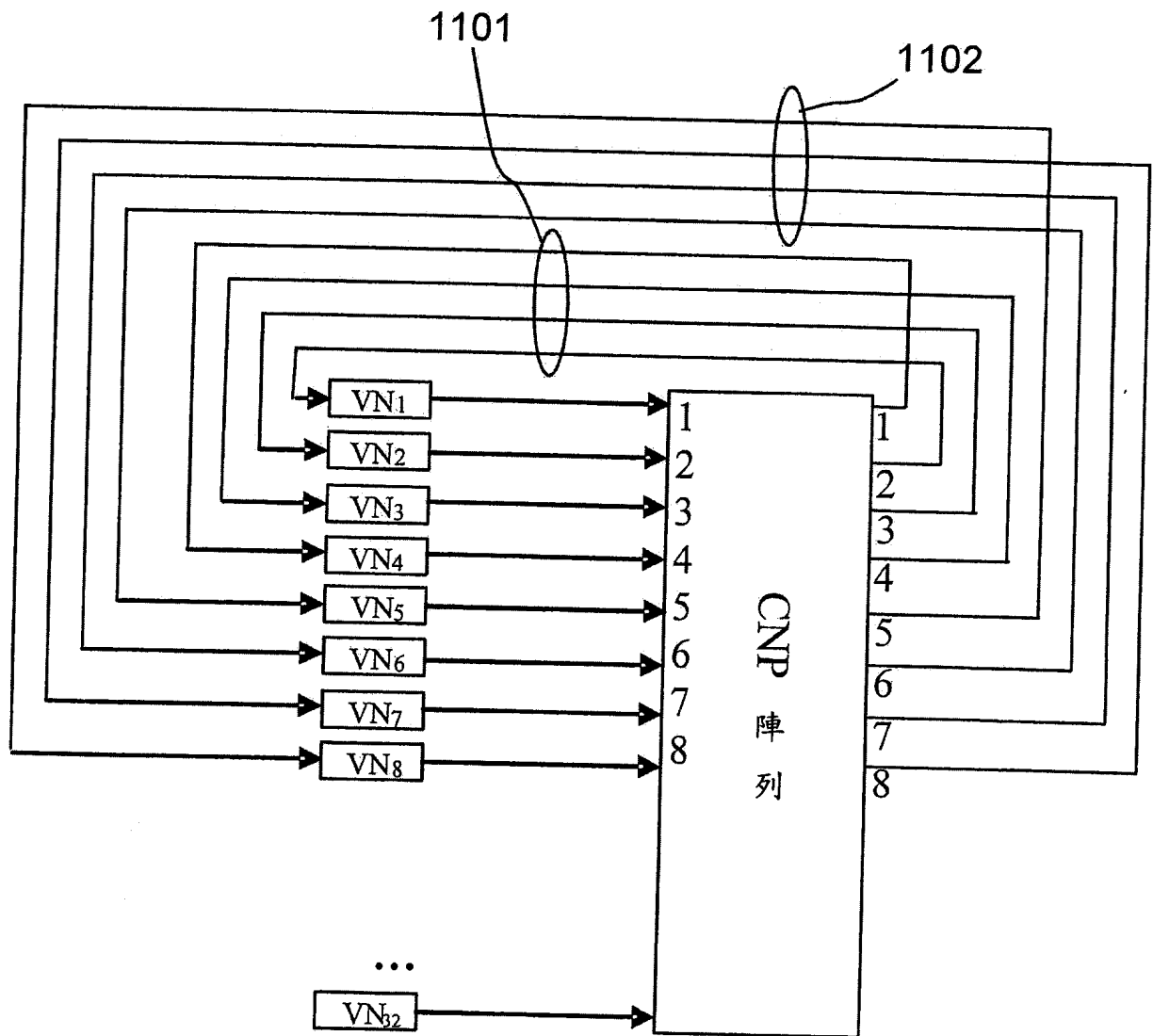


圖12

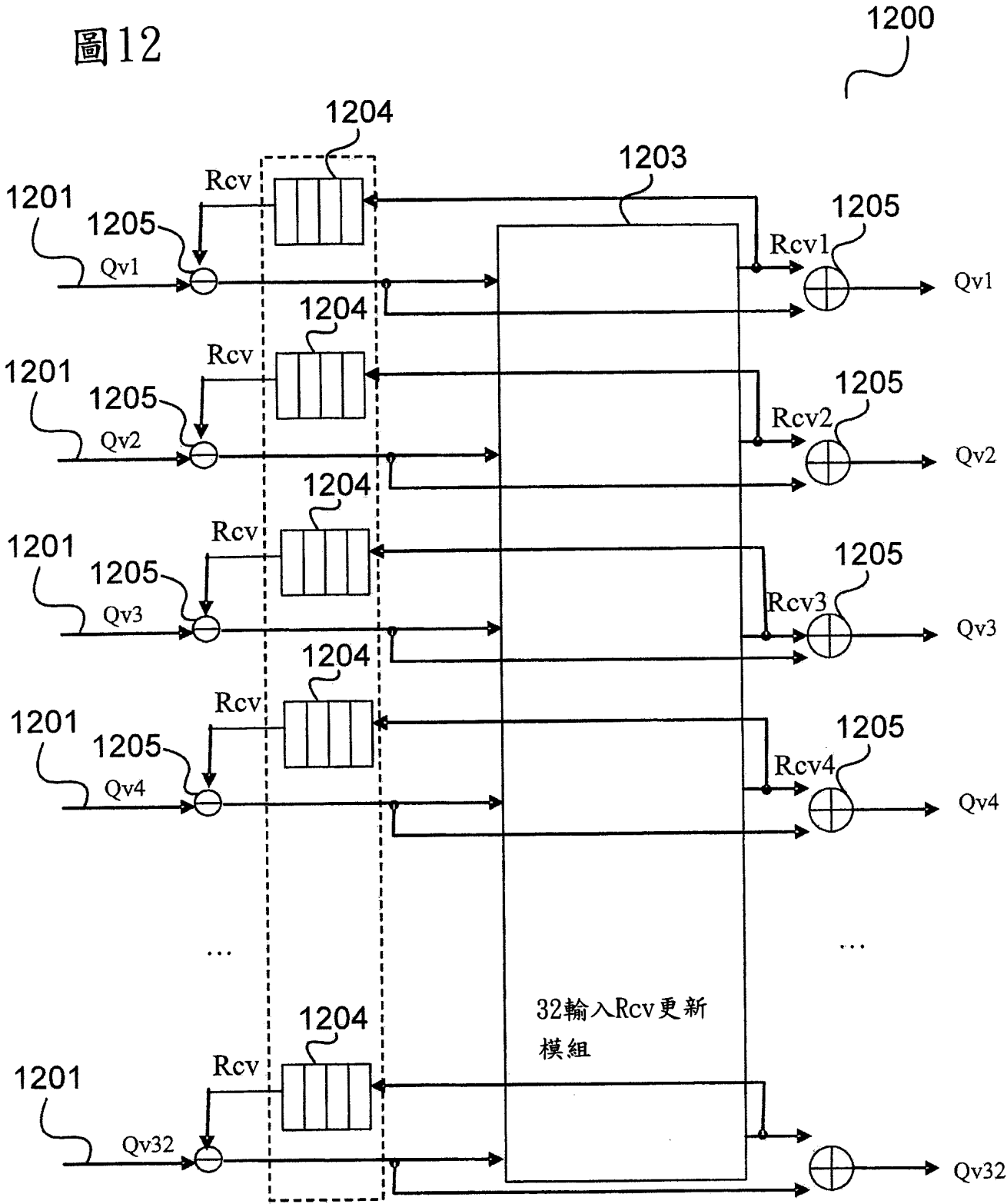


圖13

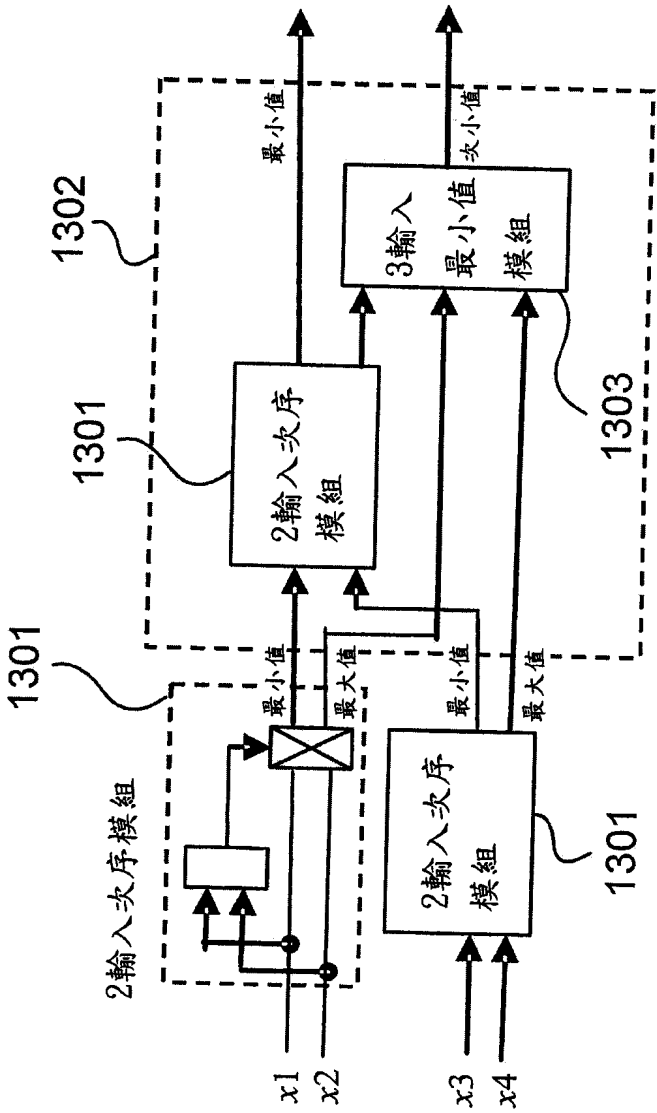


圖 14

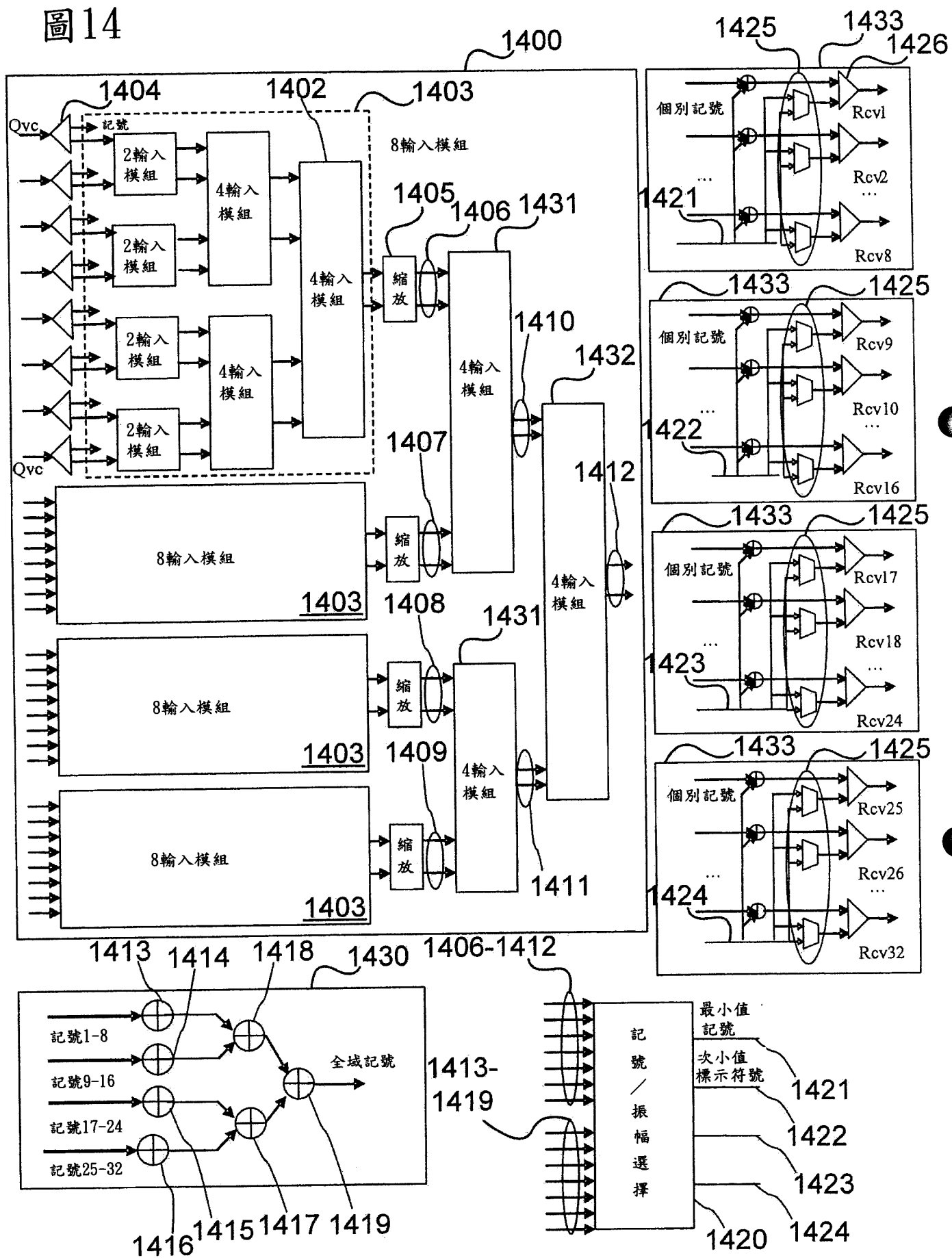


圖15

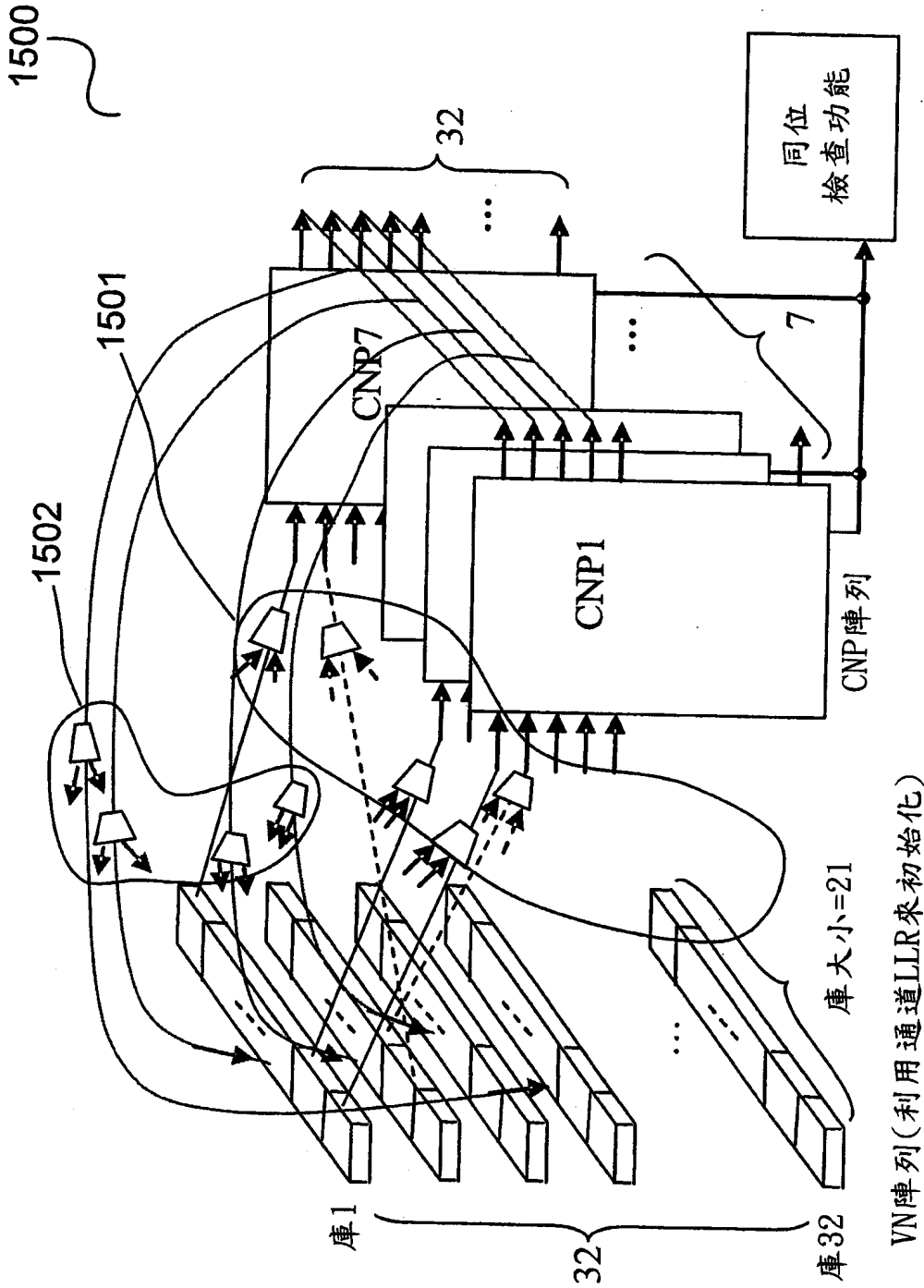


圖 16

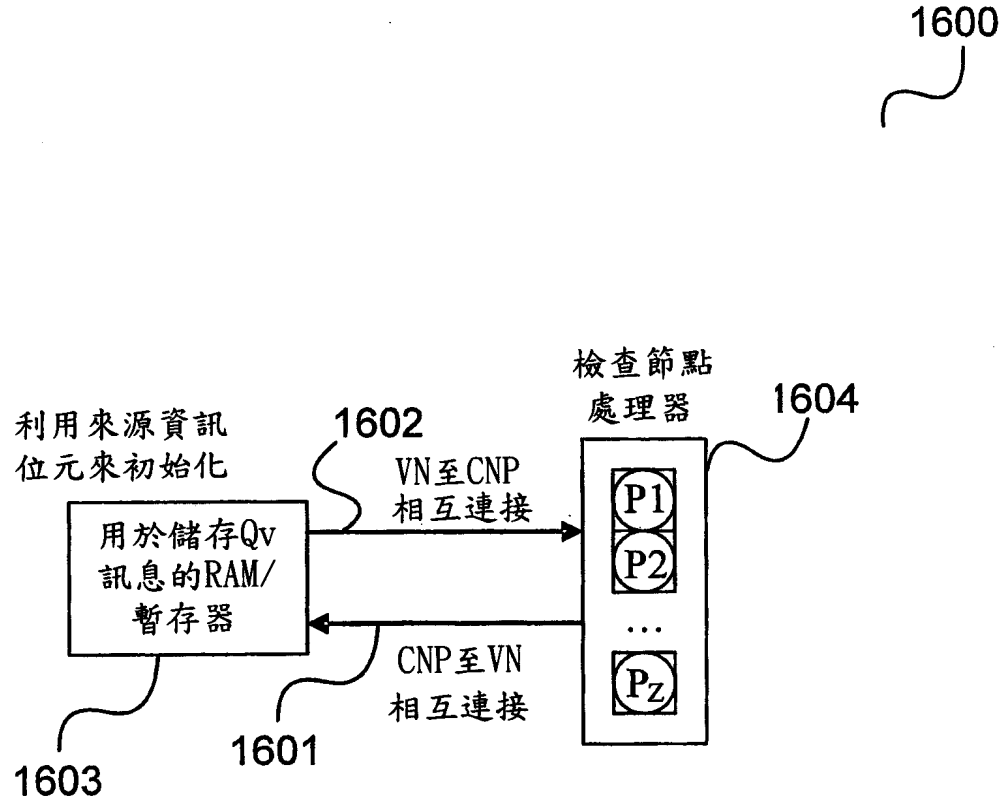


圖17

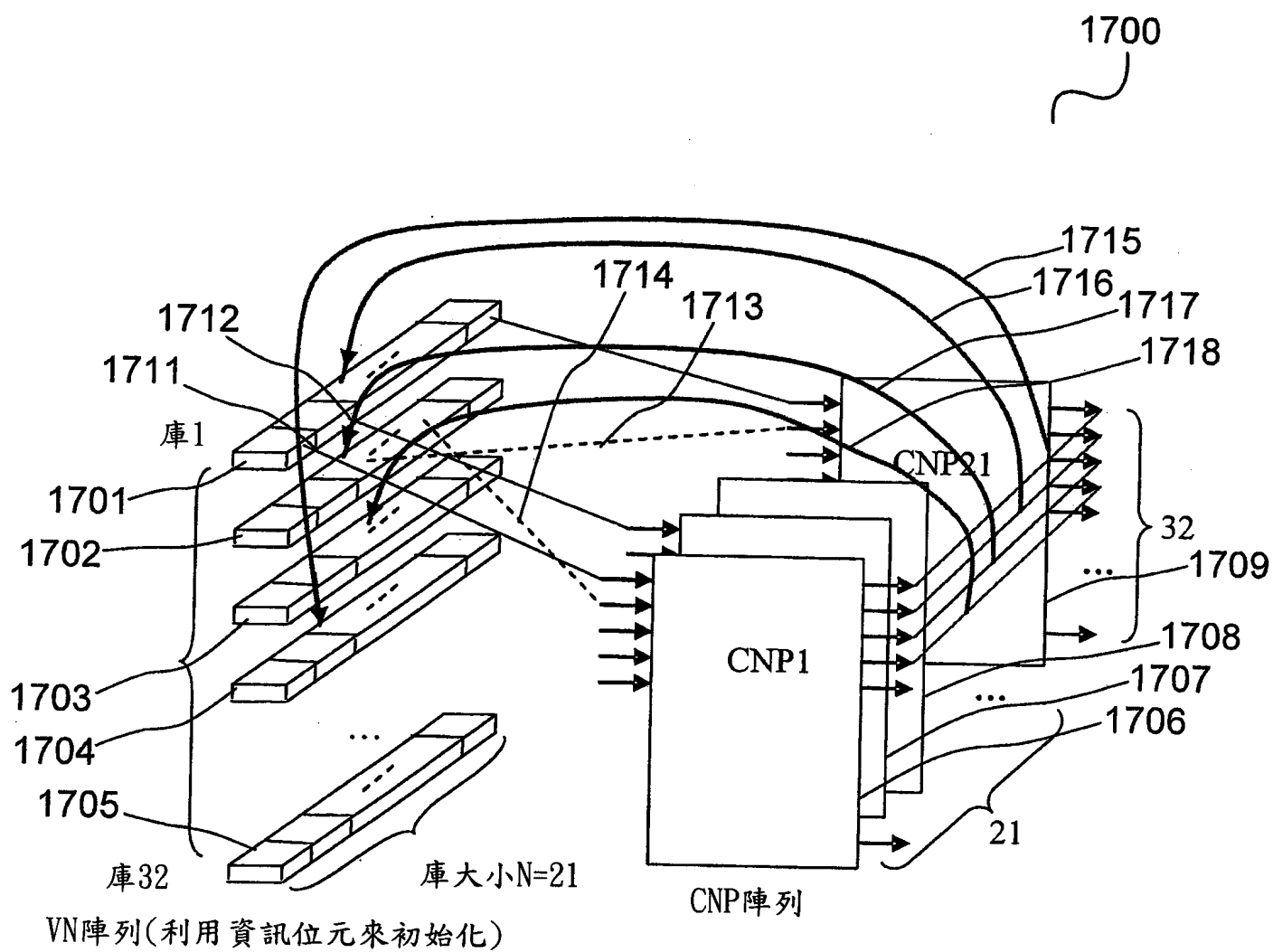


圖 18

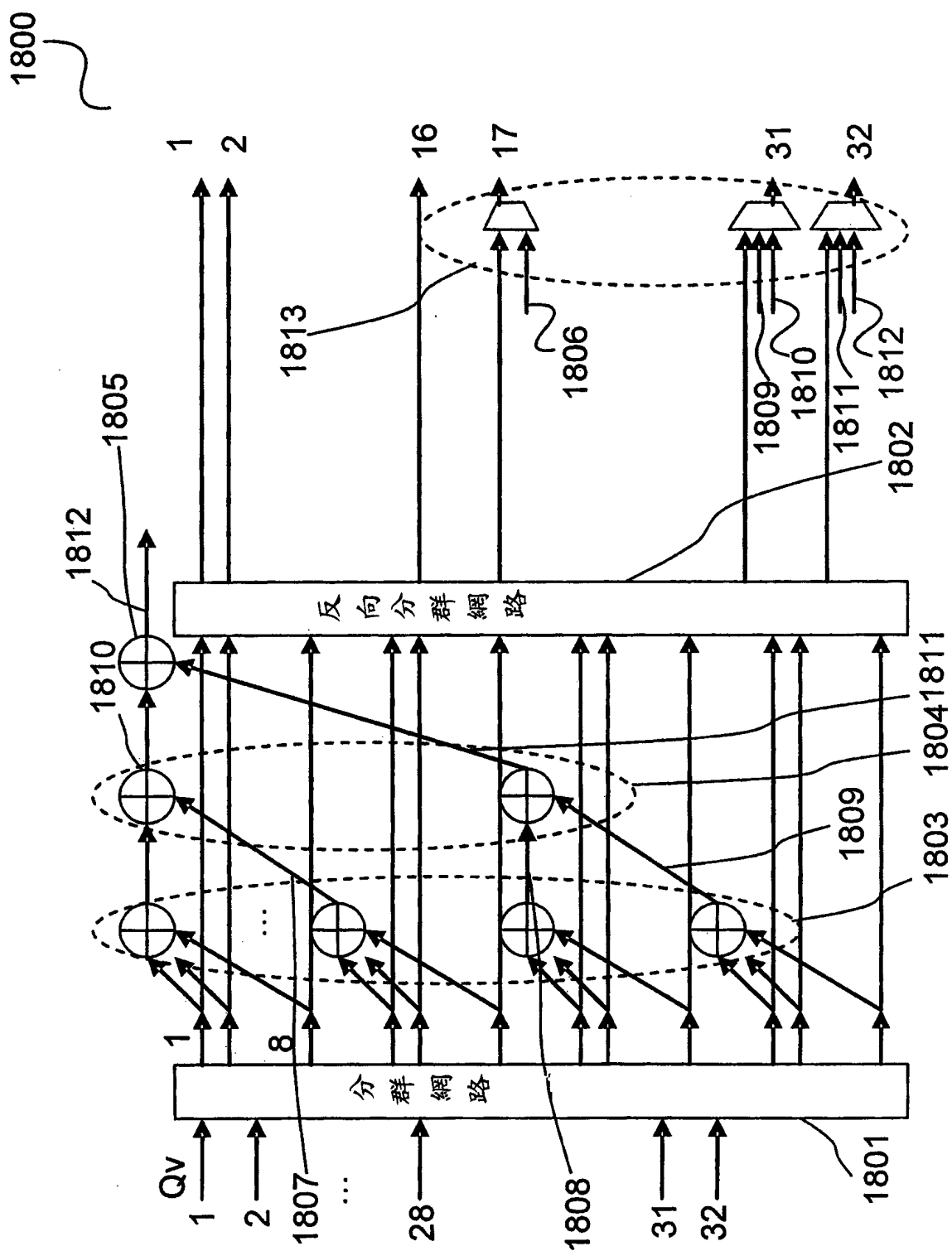
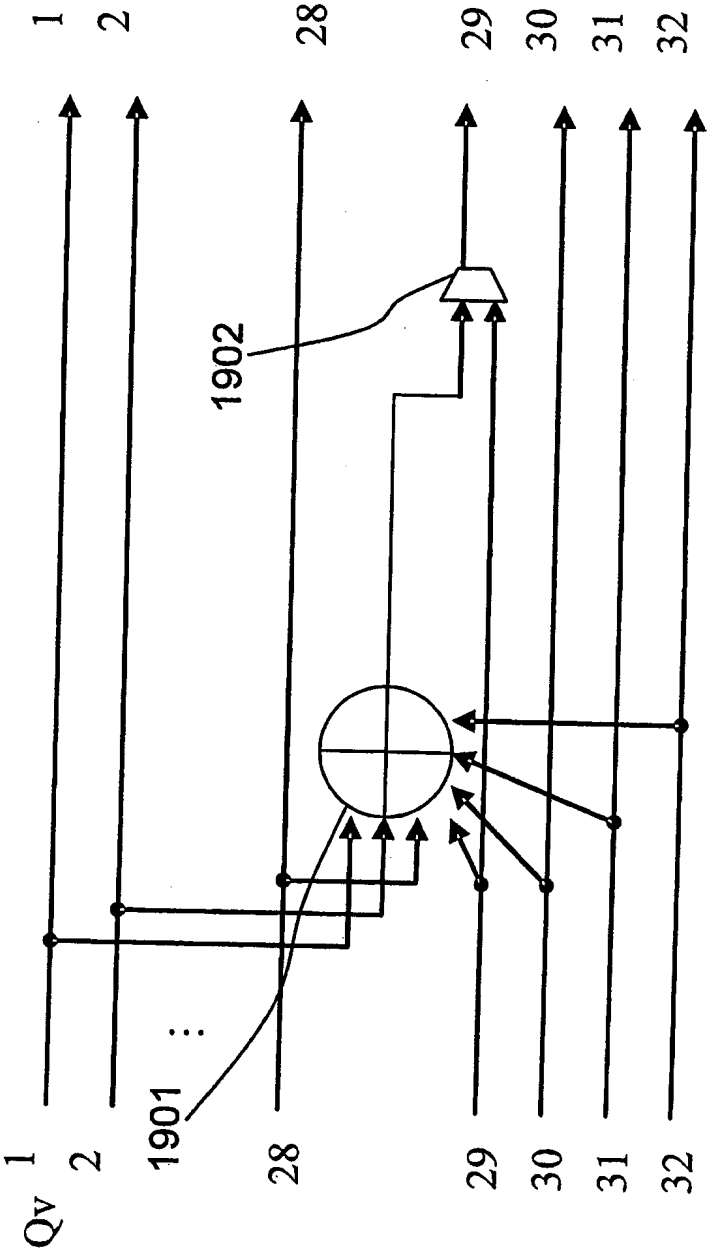


圖19

1900



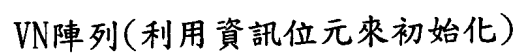


圖 21

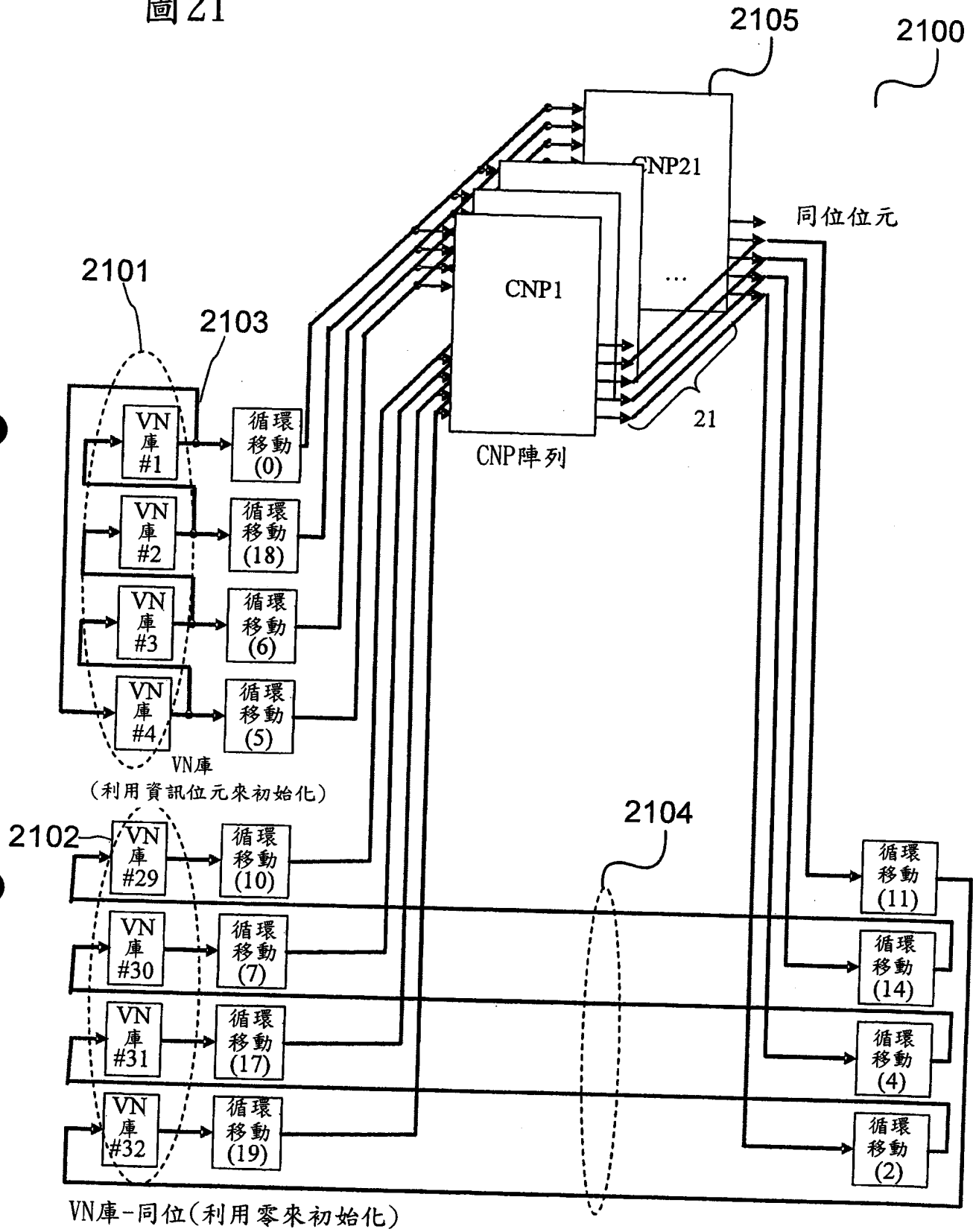


圖22A

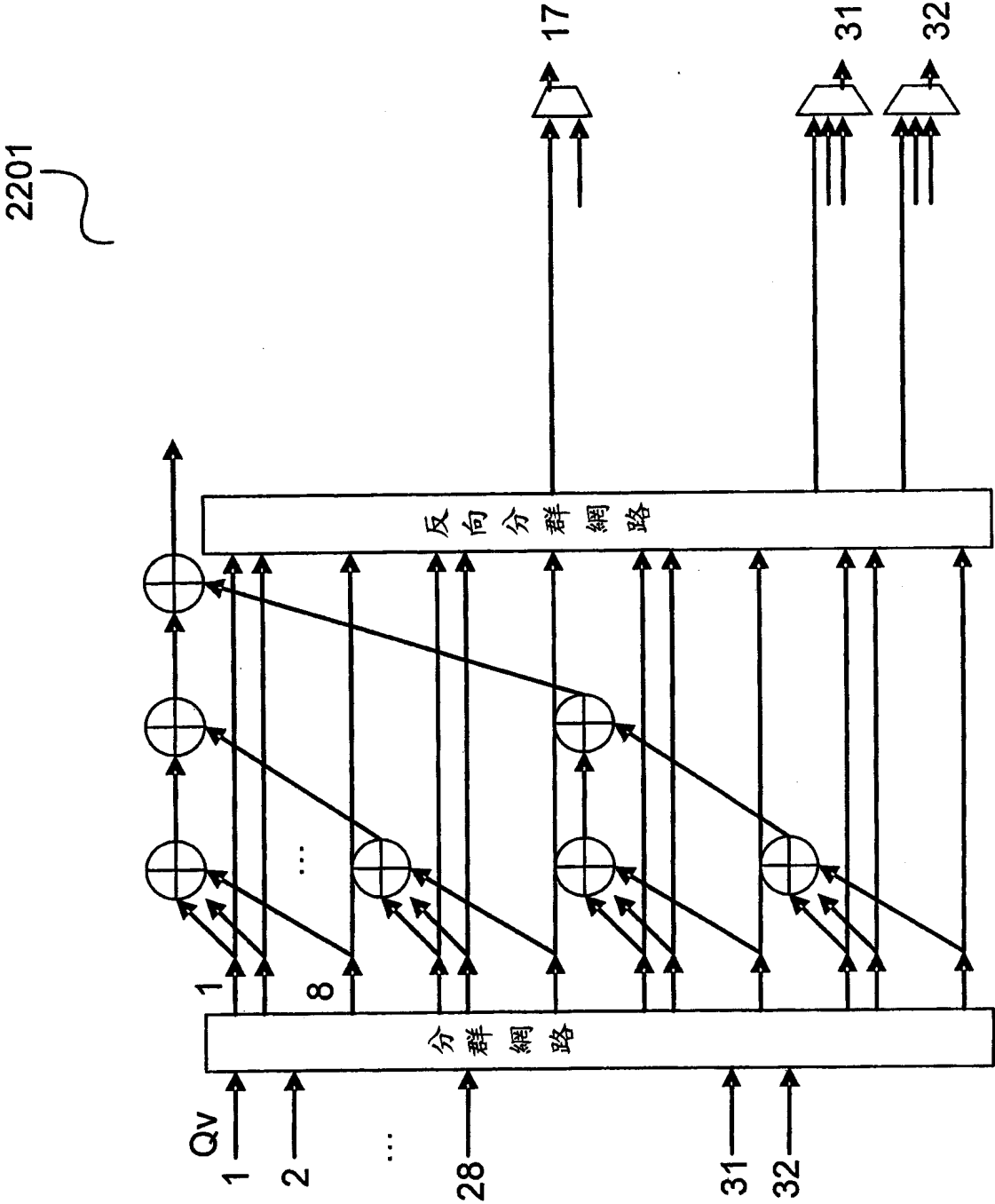
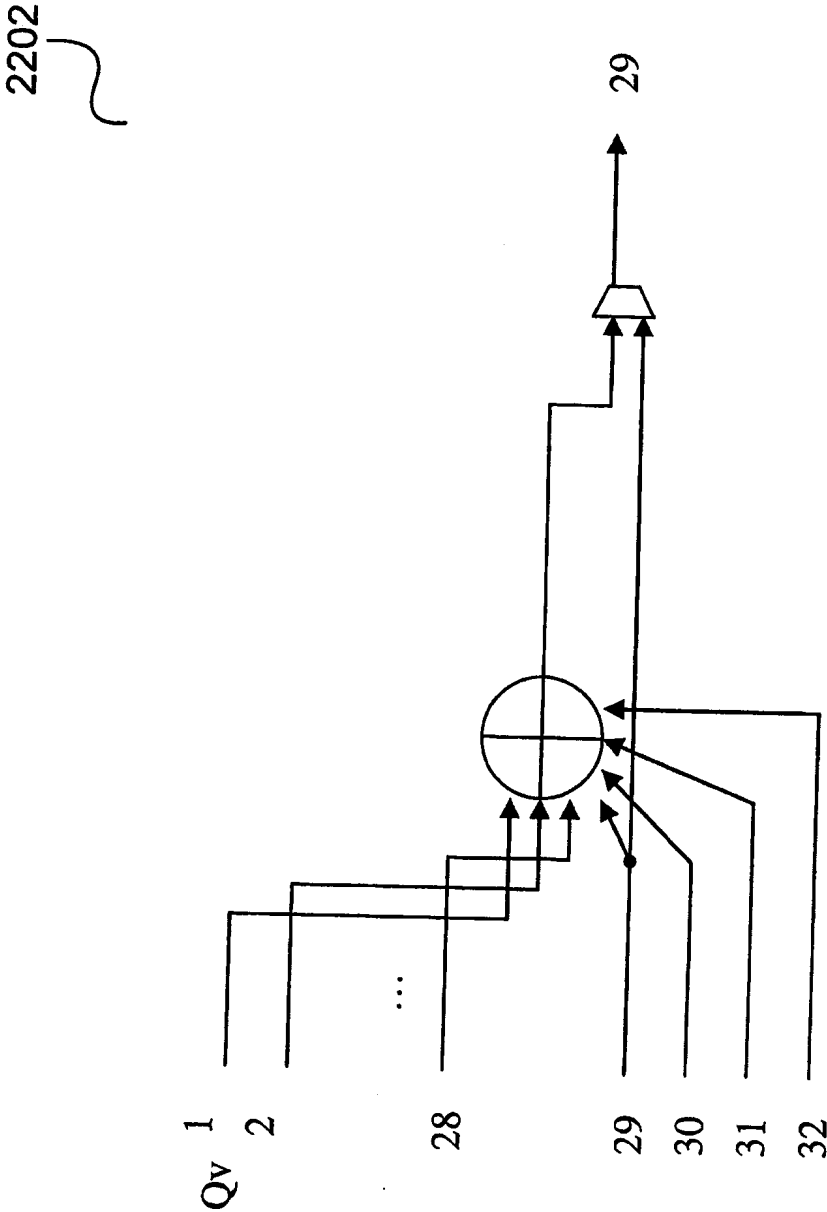


圖 22B



23012303

2304

2302

✓ 2306

2305

圖 24

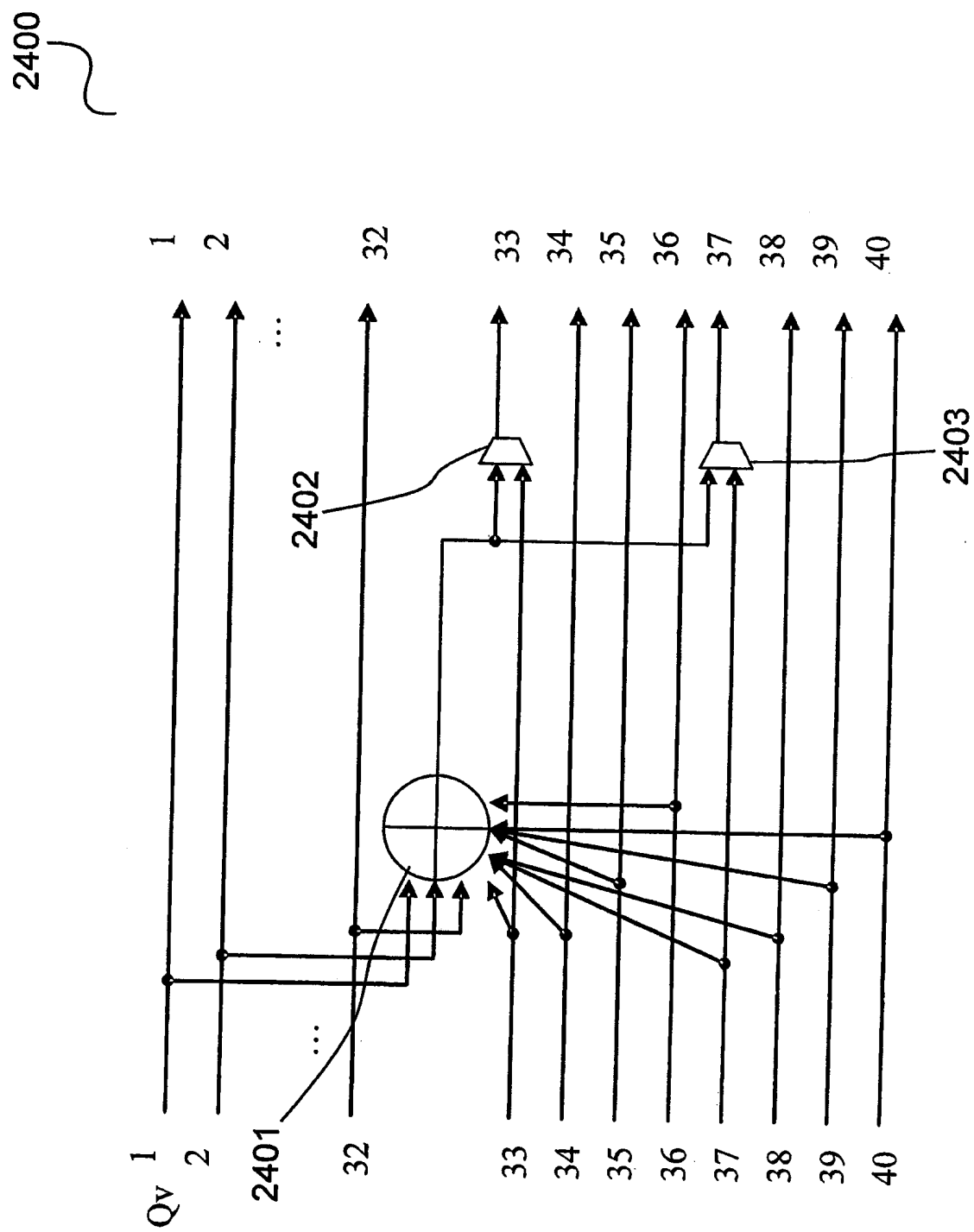
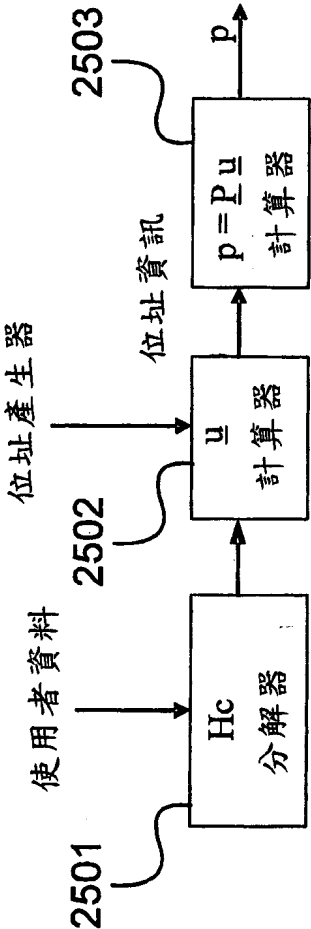


圖25

2500



四、指定代表圖：

(一)本案指定代表圖為：第（ 5 ）圖。

(二)本代表圖之元件符號簡單說明：

500	解碼電路
501	資料緩衝器
502	儲存元件
503	處理電路
504	輸入
505	輸出

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明實施例通常係關於一解碼電路與一編碼電路。

【先前技術】

低密度同位檢查(Low-density parity-check, LDPC)碼係一種線性區塊碼。「低密度」所指的特徵為，相較於 0 的數量，一 LDPC 同位檢查矩陣僅包括少數的「1」。LDPC 碼所提供的效能非常接近於許多不同通道的通道容量並且可以線性時間複雜性演算法來進行解碼。再者，LDPC 碼還適用於大量運用平行化(parallelism)的施行方式。

LDPC 碼係由其同位檢查矩陣 H 來定義。對任何的同位檢查矩陣 H 來說，皆存在一對應的雙分圖(bipartite graph)，稱為坦納圖(Tanner graph)，其包括一組變量節點(V)和一組檢查節點(C)。在坦納圖中，倘若該同位檢查矩陣 H 的元素 h_{ij} 為 1，那麼一檢查節點 C (標示符號為 i)便會被連接至一變量節點 V (標示符號為 j)。

在資料傳送背景下的解碼中，該同位檢查矩陣 H 的行數 N 會對應於一透過一通訊通道被傳送的編碼字元的編碼字元位元的數量。透過該通訊通道被傳送的編碼字元包括 K 個資訊位元以及 M 個同位檢查位元。該同位檢查矩陣 H 的列數會對應於同位檢查位元的數量 M 。該對應的坦納圖包括 $M=N-K$ 個檢查節點 C (其中每一個檢查節點皆對應於該矩陣 H 中一列所給定的一檢查公式)；以及 N 個變量節點，所接收的編碼字元中每一個位元具有一個變量節點。

習知的 LDPC 解碼器已圖解在圖 1 與 2 之中。

圖 1 所示係一 LDPC 解碼器 100。

LDPC 解碼器 100 包括一區塊列序列控制器 101、一儲存記憶體 102、同位檢查更新方塊 103、一同位檢查功能方塊 104、路由器電路系統 105、位元更新方塊 106、以及反向路由器電路系統 107。

舉例來說，一 ROM(唯讀記憶體)會被用來儲存該坦納圖，舉例來說，作為該區塊列序列控制器 101 的一部分。一般來說，需要用到一複雜的控制邏輯或狀態機來根據該坦納圖進行控制。

再者，該等路由/反向路由網路(它們會連接變量節點和檢查節點處理器)通常包含大量的多工器庫。

圖 2 所示的係一 LDPC 解碼器 200。

LDPC 解碼器 200 包含一 ROM 圖形記憶體 201 以儲存該坦納圖。該 LDPC 解碼器 200 還另外包含一第一 RAM(隨機存取記憶體)202 以儲存要被發送至該等檢查節點的資料(由先驗預測值或對數相似值比來初始化)；一切換器 203；一檢查節點處理器方塊 204；一第二 RAM 205 以儲存該等檢查節點處理器輸出(Rcv)；以及一同位檢查功能方塊 206。

同樣對此 LDPC 解碼器來說，切換器 203 通常包括大量的多工器庫。

【發明內容】

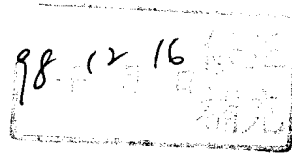
在實施例中可以看見的本發明的目的係提供比已知的 LDPC 編碼器和 LDPC 解碼器更有效及/或較不複雜的(LDPC)

編碼器和(LDPC)解碼器。

藉由具有根據申請專利範圍獨立項之特點的解碼電路和編碼電路便可達成此目的。

在一實施例中提供一種解碼電路，其包括：一資料緩衝器，其包括複數個儲存元件，用以儲存資料符號；以及一處理電路，其包括複數個輸入和複數個輸出。該處理電路會被配置成用以處理透過該等複數個輸入所收到的資料符號並且透過該等複數個輸出來輸出該等經過處理的資料符號。該等複數個儲存元件中的每一個儲存元件皆會被耦合至該等複數個輸入中的一相關聯的輸入，其中該等複數個儲存元件和該等複數個輸入的關聯性係取決於一第一解碼參數。該等複數個儲存元件中的每一個儲存元件皆會被耦合至該等複數個輸出中的一相關聯的輸出，其中該等複數個儲存元件和該等複數個輸出的關聯性係取決於一第二解碼參數。該第一解碼參數和該第二解碼參數皆取決於一解碼規則，而且該第一解碼參數和該第二解碼參數在整個解碼過程中皆不會改變。

於另一實施例中提供一種編碼電路，其包括：一資料緩衝器，其包括複數個儲存元件，用以儲存資料符號；以及一處理電路，其包括複數個輸入和複數個輸出。該處理電路會被配置成用以處理透過該等複數個輸入所收到的資料符號並且透過該等複數個輸出來輸出該等經過處理的資料符號。該等複數個儲存元件中的每一個儲存元件皆會被耦合至該等複數個輸入中的一相關聯的輸入，其中該等複



四、指定代表圖：

(一)本案指定代表圖為：第（ 5 ）圖。

(二)本代表圖之元件符號簡單說明：

500	解碼電路
501	資料緩衝器
502	儲存元件
503	處理電路
504	輸入
505	輸出

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無