



(12) 发明专利

(10) 授权公告号 CN 101162752 B

(45) 授权公告日 2010.06.23

(21) 申请号 200710126012.9

US 7026653 B2, 2006.04.11, 全文.

(22) 申请日 2007.06.29

US 20040081215 A1, 2004.04.29, 全文.

US 5959307 A, 1999.09.28, 全文.

(30) 优先权数据

11/461,353 2006.07.31 US

11/735,993 2007.04.16 US

审查员 赵星

(73) 专利权人 菲尼萨公司

地址 美国加利福尼亚州

(72) 发明人 拉尔夫·H·约翰逊

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 徐金国 梁挥

(51) Int. Cl.

H01L 33/00 (2006.01)

H01L 29/12 (2006.01)

H01S 5/30 (2006.01)

H01S 5/343 (2006.01)

(56) 对比文件

US 7065124 B2, 2006.06.20, 全文.

US 20030123513 A1, 2003.07.03, 全文.

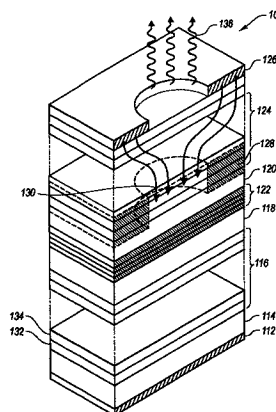
权利要求书 3 页 说明书 9 页 附图 5 页

(54) 发明名称

半导体器件中的有效载流子注入

(57) 摘要

本发明公开了一种诸如 VCSEL、SEL、LED 和 HBT 的半导体器件,制造该器件以具有接近窄能带隙材料的宽能带隙材料。通过位于宽能带隙材料和窄能带隙材料之间的中间结构而改善电子注入。中间结构为变形区,诸如在宽能带隙材料和窄能带隙材料之间的成分变化中的平台。该中间结构被重掺杂并具有所需低电子亲和力的成分。注入结构可在具有高空穴亲和力的 p 掺杂中间结构的器件的 p 侧上使用。



1. 一种具有从宽能带隙半导体材料到窄能带隙半导体材料的有效载流子注入的半导体器件,该半导体器件包括:

具有所需能带隙的第一半导体材料;

邻近所述第一半导体材料的注入结构,所述注入结构包括:

由具有比所述第一半导体材料宽的能带隙的第二半导体材料形成的限制区域;

位于所述第一半导体材料和第二半导体材料之间并提供在所述第一半导体材料和第二半导体材料之间成分变化的过渡区,所述过渡区包括掺杂的中间结构,该掺杂的中间结构具有在所述成分变化中的变形,其中 (i) 所述中间结构是 n 掺杂并且在变形处电子亲和力低于所述限制区域的电子亲和力或者 (ii) 所述中间结构是 p 掺杂并且在所述变形处空穴亲和力高于所述限制区域的空穴亲和力。

2. 根据权利要求 1 所述的半导体器件,其特征在于,所述半导体器件包含有源区域,并且所述过渡区进一步包含邻近所述有源区域的基本未掺杂的部分。

3. 根据权利要求 1 所述的半导体器件,其特征在于,所述中间结构包含平台。

4. 根据权利要求 1 所述的半导体器件,其特征在于,所述注入结构包含选自 AlGaAs、AlGaInP、GaAsP 或 SiGe 组成的组中的材料。

5. 根据权利要求 1 所述的半导体器件,其特征在于,所述成分变化包含 Al、P 或 Si 含量的变化并且 Al、P 或 Si 含量的变化在所述变化内提供最小的电子亲和力或者最大的空穴亲和力。

6. 根据权利要求 5 所述的半导体器件,其特征在于,所述变形在 Al、P 或 Si 含量在所述最小电子亲和力或最大空穴亲和力的 20% 内发生。

7. 根据权利要求 1 所述的半导体器件,其特征在于,所述变形在铝含量在所述最小电子亲和力或最大空穴亲和力的 15% 内发生。

8. 根据权利要求 1 所述的半导体器件,其特征在于,所述变形在铝含量是所述最小电子亲和力或最大空穴亲和力的 10% 内发生。

9. 根据权利要求 1 所述的半导体器件,其特征在于,所述限制区域的所述厚度在从 5nm 到 100nm 的范围内。

10. 根据权利要求 1 所述的半导体器件,其特征在于,所述中间结构内的掺杂为至少  $5 \times 10^{18}/\text{cm}^3$ 。

11. 根据权利要求 2 所述的半导体器件,其特征在于,在所述有源区域的 n 侧上的限制区域内的所述掺杂剂级别在  $5 \times 10^{17}/\text{cm}^3$  到  $1 \times 10^{19}/\text{cm}^3$  的范围内。

12. 根据权利要求 2 所述的半导体器件,其特征在于,在所述有源区域的 p 侧上的限制区域内的所述掺杂剂级别在  $5 \times 10^{17}/\text{cm}^3$  到  $6 \times 10^{18}/\text{cm}^3$  的范围内。

13. 根据权利要求 1 所述的半导体器件,其特征在于,进一步包括邻近所述限制区域的分隔层并具有低于所述限制区域铝含量的铝含量。

14. 根据权利要求 1 所述的半导体器件,其特征在于,所述半导体器件包含有源区域并且所述第一半导体材料沉积在所述有源区域中。

15. 根据权利要求 1 所述的半导体器件,其特征在于,所述半导体器件包含异质结双极型晶体管。

16. 一种具有从宽能带隙半导体材料到窄能带隙半导体材料的有效电子注入的发光半

导体器件,包括:

有源区域,其包括一个或多个量子阱和一个或多个量子阱势垒区;

邻近所述有源区域的注入结构,所述注入结构由包含 AlGaAs 的半导体材料形成,所述注入结构包含:

具有化学式  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  的 n 掺杂限制区域,其中 x 在 0.7 到 1.0 范围内;以及

位于所述限制区域和所述有源区域之间的 n 掺杂中间结构,所述中间结构具有化学式  $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ,其中 x 在 0.35 到 0.7 范围内。

17. 根据权利要求 16 所述的发光器件,其特征在于,所述中间结构包括在铝含量从所述有源区域到所述限制区域变化的变形。

18. 根据权利要求 16 所述的发光器件,其特征在于,在所述中间结构中的掺杂为至少  $5e18/\text{cm}^3$ 。

19. 根据权利要求 16 所述的发光器件,其特征在于,进一步包含位于所述中间结构和所述有源区域之间的基本未掺杂的部分。

20. 根据权利要求 16 所述的发光器件,其特征在于,所述限制区域的所述厚度在 5nm 到 100nm 的范围内。

21. 根据权利要求 16 所述的发光器件,其特征在于,在所述限制区域中的所述掺杂剂级别在  $5 \times 10^{17}/\text{cm}^3$  到  $1 \times 10^{19}/\text{cm}^3$  的范围内。

22. 根据权利要求 16 所述的发光器件,其特征在于,进一步包括邻近所述限制区域的分隔层,所述分隔层具有低于 45% 的铝成分。

23. 一种具有从宽能带隙半导体材料到窄能带隙半导体材料的有效电子注入的发光半导体器件,包括:

有源区域,其包括一个或多个量子阱和一个或多个量子阱势垒区;

邻近所述有源区域的注入结构,所述注入结构由包含 AlInGaP 的半导体材料形成,所述注入结构包含:

具有化学式  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  的 n 掺杂限制区域,其中 x 在 0.6 到 1.0 范围内;以及

位于所述限制区域和所述有源区域之间的 n 掺杂中间结构,所述中间结构具有化学式  $(\text{Al}_x\text{Ga}_{1-x})\text{InP}$ ,其中 x 在 0.5 到 0.75 范围内。

24. 根据权利要求 23 所述的半导体器件,其特征在于,所述中间结构包括铝含量从所述有源区域到所述限制区域变化的变形。

25. 根据权利要求 23 所述的半导体器件,其特征在于,在所述中间结构中的掺杂为至少  $5e18/\text{cm}^3$ 。

26. 根据权利要求 23 所述的半导体器件,其特征在于,进一步包括位于所述中间结构和所述有源区域之间的基本未掺杂的部分。

27. 根据权利要求 23 所述的半导体器件,其特征在于,所述  $(\text{Al}_x\text{Ga}_{1-x})\text{InP}$  与 GaAs 晶格匹配。

28. 根据权利要求 23 所述的半导体器件,其特征在于,所述限制区域的所述厚度在 5nm 到 100nm 的范围内。

29. 根据权利要求 23 所述的半导体器件,其特征在于,在所述限制区域中的所述掺杂剂级别在  $5 \times 10^{17}/\text{cm}^3$  到  $1 \times 10^{19}/\text{cm}^3$  的范围内。

30. 根据权利要求 23 所述的半导体器件,其特征在于,进一步包括邻近所述限制区域的分隔层,所述分隔层具有小于所述限制区域铝含量的铝含量。

## 半导体器件中的有效载流子注入

### 技术领域

[0001] 本发明主要涉及诸如半导体激光器、发光二极管和异质结双极型晶体管的半导体器件。更具体来说,本发明涉及电子或空穴从较宽能带隙半导体材料到较窄能带隙半导体材料的有效注入。

### 背景技术

[0002] 垂直空腔表面发射激光器 (VCSEL)、表面发射激光器 (SEL)、发光二极管 (LED) 和异质结双极型晶体管 (HBT) 对于包括集成电路的光学互连、光计算系统、光学记录和读出系统和无线电通讯的多种应用已经变得越来越重要。

[0003] VCSEL、SEL 和 LED 主要形成为半导体二极管。二极管由 p 型材料和 n 型材料之间的结形成。在 VCSEL 中, p 型半导体材料最经常为掺杂有引入自由空穴或者正电荷载流子的诸如砷的材料的镓铝砷 (AlGaAs), 而 n 型半导体材料典型为掺杂有引入自由电子或者负电荷载流子的诸如硅的 AlGaAs。

[0004] PN 结形成有源区域。有源区域典型地包括多个量子阱。当 PN 结通过电流被正向偏置时,空穴和电子形式的自由载流子注入到量子阱中。在足够高的偏置电流下,注入的少数载流子在量子阱中形成产生光增益的粒子数反转,该光增益在共振腔中使用以产生激光发射。共振腔通过在有源区域每侧上适当间隔的反射镜 (mirror) 形成。

[0005] 逃逸出量子阱进入周围半导体材料并在那里符合的自由载流子不对光增益产生贡献。这些事件是产生热量并降低发光器件效率的寄生电流。“载流子泄露”是与电流曲线相比光的图像跳动的原因之一。电流仅能增加那么多,然后光输出达到最大值并逐渐减少。一般地,较高的温度导致较小的光输出,部分原因在于载流子、电子和空穴的热能增加对载流子泄露影响较大。在有源区域中的电局限在 VCSEL 器件中成为显著的问题,其趋于需要高电流密度用于操作并且在使用最高电流密度的最大频率 VCSEL 中更糟糕。

[0006] 为了改善目前的局限,大多数半导体激光器具有紧接有源区域的限制层。限制层具有比量子阱的能带隙宽许多的能带隙和量子阱势垒区。对于从有源区域逃逸的载流子,该载流子需要较高的能量通过限制层。限制层中的较高能量需要使载流子将更可能保持在有源区域中并有助于在所需波长处的受激发射。

[0007] 关于有源区域中局限电子的一个潜在问题为限制层对载流子注入到有源区域中的影响。在一些情形下,将载流子限制在有源区域中的措施可能会降低载流子注入到有源区域中的效率。

### 发明内容

[0008] 本发明涉及改善在邻近或接近窄能带隙材料处具有宽能带隙材料的半导体器件,诸如 VCSEL、SEL、LED 或 HBT,的电子或空穴注入效率。(例如,在 AlGaAs 或 AlInGaAs 系统中低铝有源区域附近的高铝限制区域)。通过提供两个区域之间成分变化的过渡区,宽能带隙材料与窄能带隙材料分离。通过在过渡区的成分变化中产生变形点(例如,平台

(plateau)) 而改善载流子注入效率。在成分变化中的变形都被掺杂并且位于具有所需的低级别电子亲和力 (或者对于空穴注入为高级别的空穴亲和力, 其中空穴亲和力定义为电子亲和力和能带隙能量的总和) 的成分处。成分变形处或附近的掺杂和低电子亲和力的结合改善了电子注入。电子或空穴注入中的改善发生, 原因在于从变形处到窄能带隙材料 (例如, 量子阱) 变化的过渡区部分通过在具有低电子亲和力 (或者高空穴亲和力) 的材料中的掺杂剂而有效调制。

[0009] 本发明的半导体器件可以由适宜形成宽能带隙和窄能带隙结的材料的任意半导体类型制造。适宜的材料实施例包括 III-V 族半导体材料 (例如, GaAs 和 / 或 InP 基材料) 和诸如 SiGe 的 IV 族材料类型。

[0010] 在一实施方式中, 半导体器件可包括具有一个或多个量子阱和一个或多个量子阱势垒区的有源区域。电限制层将有源区域夹在中间并通过将载流子限制到有源区域而提供光增益效率。限制层具有高能带隙区域, 其在许多 III-V 族成分转换为高铝含量的情形下 (例如, 对于 III 族材料为 70% -100% 的 Al)。与在有源区域的量子阱势垒区中的能带隙相比, 选择铝含量以为材料提供相对宽的能带隙。宽能带隙材料为限制层提供了好的载流子限制并且增加了有源区域的效率。在示例性实施方式中, 高铝区域还包含掺杂的增加。限制层可以由 p 型或 n 型掺杂剂掺杂, 取决于限制势垒区在有源区域的 n 侧或者 p 侧。

[0011] 用于改善电子注入到有源区域中的过渡区位于高铝含量区域和有源区域的外量子阱势垒区之间。在一实施方式中, 过渡区由包括铝的 III-V 族半导体材料制造, 尽管可以使用其它半导体材料。过渡区中的铝含量从量子阱势垒区中的铝含量变化到高铝含量限制区域中的铝含量。如果使用非铝材料, 所述变化为加宽能带隙的半导体成分的变化。例如, 在 GaAsP 系统中, P 含量可以变化 (随着 As 的降低); 在 SiGe 系统中 Si 含量可以变化。

[0012] 为了改善从限制区域 (即, 高能带隙半导体材料) 到量子阱势垒区 (即, 窄能带隙材料) 的电子注入, 过渡区包括在有源区域和限制区域之间过渡的掺杂的中间结构。中间结构是掺杂的, 例如, 具有约  $1e18/cm^3$  的施主掺杂。配置掺杂的中间结构以具有对于 n 型掺杂的低电子亲和力或者对于 p 型掺杂的高的空穴亲和力。

[0013] 在一实施方式中, 可以描述中间结构为半导体成分 (例如, 铝含量) 变化中的变形。在成分的变化速度 (从有源区域向限制区域) 增加处发生变化中的变形, 其中, 然后增加到较小程度, 然后再次增加 (该变化可类似地描述为从限制区域向有源区域的成分减少)。在成分含量中平台可通过在生长的特定深度上降低变化速度至零然后再次增加变化速度而产生。对于特定的生长深度, 可通过降低变化速度至稍微高于零而产生非平台结构。在一实施方式中, 非平坦的中间结构可以为线性或者弯曲或者其结合。在一实施方式中, 对于至少 5nm 的深度, 而更优选为至少约 20nm 的深度, 中间结构在成分变化中变平。

[0014] 选择形成变形的成分以提供低的电子亲和力结构。电子亲和力是半导体材料的性能。在一些包括铝的 III-V 族半导体材料中, 电子亲和力一般随着铝的增加而降低, 直到达到最低量, 然后电子亲和力随着铝的增加而增加。

[0015] 在最小电子亲和力处 (或者最大空穴亲和力) 或者其附近形成掺杂的中间结构 (即, 平台或者变形点) 改善了器件的载流子注入效率。给予最小值或者几乎为最小值的成分依赖于使用的特定半导体材料。在一实施方式中, 中间结构包含 AlGaAs 并且中间结构具有约 0.4 到约 0.7 的铝含量。可选地, 中间结构包含 AlInGaP 并且该中间结构具有约 0.5

和 0.8 之间的铝含量。在另一实施方式中,中间结构包含 GaAsP 并且 P 含量在 0.4 和 0.6 之间(V 族材料)。在又一实施方式中,中间结构包含 SiGe 并且 Si 含量在约 0.2 和 0.5 之间。

[0016] 与低电子亲和力(或高空穴亲和力)结合的中间结构中的掺杂允许中间结构为良好的载流子源以有效调制掺杂和较低的能带隙区域(例如,有源区域和到有源区域的变化)。在中间结构中的低电子亲和力电子源提供了通过过渡区的低电阻电子传导。方便载流子注入允许在限制区域中使用较宽能带隙材料而不会显著降低载流子注入到有源区域中。所改善的限制和/或所改善的载流子注入导致在量子阱中复合的载流子的较大比例,其提供所需的光发射或者光增益。

[0017] 除了中间结构,过渡区可以可选地包括基本未掺杂部分。该未掺杂部分位于掺杂的中间结构和有源区域之间。在美国专利 No. 7,023,896 中描述了关于有源区域的未掺杂部分的其它细节,在此引入其作为参考。

[0018] 在另一可选实施方式中,高铝限制区域可以做得较薄(例如,在 5nm 和 100nm 厚之间),从而形成限制势垒区。在限制势垒区中具有足够高的铝,在邻近层(即,分隔层)中的铝含量可以降低(例如,至低于 40%),同时保持或改善在有源区域中自由载流子的限制。限制势垒区的变薄能使垂直电阻最小并改善外延结构的可制造性。高铝含量材料典型地需要较高的晶体生长温度。较高的温度可能使工作困难并会使其它半导体层恶化或者导致晶格中的缺陷。通过使限制层变薄,可以避免或者最小化许多这些问题。

[0019] 本发明提供一种具有从宽能带隙半导体材料到窄能带隙半导体材料的有效载流子注入的半导体器件,该半导体器件包括:

[0020] 具有所需能带隙的第一半导体材料;

[0021] 邻近所述第一半导体材料的注入结构,所述注入结构包括:由具有比所述第一半导体材料宽的能带隙的第二半导体材料形成的限制区域;位于所述第一半导体材料和第二半导体材料之间并提供在所述第一半导体材料和第二半导体材料之间成分变化的过渡区,所述过渡区包括掺杂的中间结构,该掺杂的中间结构具有在所述成分变化中的变形,其中 (i) 所述中间结构是 n 掺杂并且在变形处电子亲和力低于所述限制区域的电子亲和力或者 (ii) 所述中间结构是 p 掺杂并且在所述变形处空穴亲和力高于所述限制区域的空穴亲和力。

[0022] 根据上述本发明,所述中间结构可具有在从 5nm 到 100nm 范围的厚度。

[0023] 根据上述本发明,所述中间结构内的掺杂可高于  $5 \times 10^{17}/\text{cm}^3$ 。

[0024] 根据上述本发明,所述限制区域内的所述掺杂剂级别可在  $5 \times 10^{17}/\text{cm}^3$  到  $1 \times 10^{19}/\text{cm}^3$  的范围内。

[0025] 本发明还提供一种具有从宽能带隙半导体材料到窄能带隙半导体材料的有效电子注入的发光半导体器件,包括:

[0026] 有源区域,其包括一个或多个量子阱和一个或多个量子阱势垒区;

[0027] 邻近所述有源区域的注入结构,所述注入结构由包含 AlGaAs 的半导体材料形成,所述注入结构包含:具有化学式  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  的 n 掺杂限制区域,其中 x 在 0.7 到 1.0 内;以及位于所述限制区域和所述有源区域之间的 n 掺杂中间结构,所述中间结构具有化学式  $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ,其中 x 在 0.35 到 0.7 范围内。

[0028] 根据上述本发明,可进一步包括邻近所述限制区域的分隔层,所述分隔层具有化学式  $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ,其中  $x$  在 0.4 到 0.6 的范围内。

[0029] 本发明还提供一种具有从宽能带隙半导体材料到窄能带隙半导体材料的有效电子注入的发光半导体器件,包括:

[0030] 有源区域,其包括一个或多个量子阱和一个或多个量子阱势垒区;

[0031] 邻近所述有源区域的注入结构,所述注入结构由包含  $\text{AlInGaP}$  的半导体材料形成,所述注入结构包含:具有化学式  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  的  $n$  掺杂限制区域,其中  $x$  在 0.8 到 1.0 范围内;以及位于所述限制区域和所述有源区域之间的  $n$  掺杂中间结构,所述中间结构具有化学式  $(\text{Al}_x\text{Ga}_{1-x})\text{InP}$ ,其中  $x$  在 0.4 到 0.8 范围内。

[0032] 根据上述本发明,在所述中间结构中的掺杂高于  $5 \times 10^{17}/\text{cm}^3$ 。

[0033] 根据上述本发明,所述  $(\text{Al}_x\text{Ga}_{1-x})\text{InP}$  与  $\text{GaAs}$  晶格匹配。

[0034] 本发明的这些和其它特征从下面的说明书和所附权利要求书完全清楚,或由下文中的本发明的实施方式理解。

### 附图说明

[0035] 为了进一步说明本发明上述和其它的优点和特征,本发明的详细说明书将参照附图中示出的具体实施方式。应当理解,这些附图仅说明本发明的典型实施方式并因此不作为对本发明范围的限制。本发明将通过采用附图具体和详细的说明和解释,其中:

[0036] 图 1 是根据本发明的示例性垂直空腔表面发射激光器的视图;

[0037] 图 2 更详细的示出了图 1 的激光器的限制层和有源区域;

[0038] 图 3 是根据本发明的半导体器件的铝分布图;以及

[0039] 图 4 是示出对  $\text{AlGaAs}$  材料的电子亲和力的图;

[0040] 图 5 是示出电子传导有效质量与  $\text{AlGaAs}$  中铝成分的比较图;以及

[0041] 图 6 是根据本发明另一示例性半导体器件的铝分布图。

### 具体实施方式

[0042] 本发明涉及在邻近有源区域处具有注入结构的诸如 VCSEL、SEL、LED 或 HTJ 的半导体器件,其改善了电子或空穴从有源区域的较宽能带隙半导体材料到较窄能带隙半导体材料的注入。

[0043] 为了本发明的目的,术语“基本未掺杂”包括但是不局限于具有少量的非故意掺杂的材料(例如,通过扩散或其它方法发生的非故意掺杂)。

[0044] 为了本发明的目的,术语“空穴亲和力”定义为电子亲和力和能带隙宽度的总和。

[0045] 为了本发明的目的,在  $\text{AlGaAs}$  中或者  $\text{AlGaInP}$  系统中 Al 的含量是指在 AlGa 部分中 Al 的百分数。

[0046] 为了本发明的目的,在  $\text{GaAsP}$  系统中 P 的含量指在 AsP 部分中 P 的百分数。

[0047] 本发明的各种方案将以 VCSEL 在上下文中示出。然而,该领域的普通技术人员能认识到,本发明的特征可以结合到具有有源区域的其它发光半导体器件中,包括但不限于 SEL 和 LED。

[0048] 图 1 示出了具有成对的顶部和底部布拉格反射镜的周期层的垂直空腔表面发射



激光器 (VCSEL) 100。衬底 114 在底接触层 112 上形成并由第一类型的杂质 (即, p 型或 n 型掺杂剂) 掺杂。底部反射镜叠层 116 在衬底 114 上形成, 而底部限制层 118 在底部叠层 116 上形成。底部限制层 118 和顶部限制层 120 将有源区域 122 夹在中间。上部反射镜叠层 124 在顶部限制层 120 上形成。金属层 126 在部分叠层 124 上形成接触。

[0049] 隔离区域 128 限定电流 130 通过有源区域 122 的面积。区域 128 可以通过离子注入和 / 或氧化形成。

[0050] 叠层 116 和 124 可以为分布式布拉格反射器 (DBR) 叠层, 并包括周期层 (例如, 132 和 134)。典型地, 周期层 132 和 134 分别为 AlGaAs 和 AlAs, 但是可以由其它 III-V 族半导体材料制成。叠层 116 和 124 可以掺杂或者不掺杂, 并且根据特定的 VCSEL、SEL 或 LED 设计, 掺杂可以为 n 型或 p 型。本发明讨论的各种部分可能指器件的几种构造。

[0051] 金属接触层 112 和 126 可以为允许 VCSEL 100 适当电偏置的欧姆接触。当 VCSEL 100 在接触层 126 上正向偏置—不同于在接触层 112 上的电压时, 有源区域 122 发出通过叠层 124 的光 136。本领域的普通技术人员将认识到, 接触的其它构造也可以用于产生穿过有源区域 122 的电压并产生光 136。

[0052] 图 2 示出了有源区域 122 及限制层 118 和 120。有源区域 122 由通过量子阱势垒区 140 分离的一个或多个量子阱 138 形成。在一实施方式中, 限制层 118 和 120 分别包括高铝含量区域 142 和 144。高铝成分区域在有源区域 122 中提供良好的载流子限制。

[0053] 限制层 120 包括位于有源区域 122 和高铝含量区域 144 之间的过渡区 146。如下所述, 高铝含量区域 144 和过渡区 146 的结合提供了具有良好载流子限制和良好电子注入的注入结构。

[0054] 根据器件的设计以及高铝含量区域 142 和 144 的厚度, 限制区域 118 和 120 可分别可选地包括分隔层 148 和 150。分隔层 148 和 150 的厚度取决于要制造的器件类型。在诸如 VCSEL 或者 VECSEL 的垂直空腔共振器件中, 分隔层提供在反射镜之间的共振间隔, 并提供有源区域的量子阱集中于光学场的峰值上。在 LED 中, 分隔层 148 和 150 可以简单地将注入结构连接到器件剩余部分和 / 或提供器件的其它功能。

[0055] 限制层 118 和 120 以及有源区域 122 由一种或多种类型的半导体材料形成。适宜的半导体材料的实施例包括 GaAs、AlAs、InP、AlGaAs、InGaAs、InAlAs、InGaP、AlGaAsP、AlGaInP、InGaAsP、InAlGaAs、SiGe 等等。

[0056] 本发明的半导体器件中的各种层和区域至少部分是通过改变半导体材料的成分制造。例如, 在一实施方式中, III-V 族半导体材料的铝含量可以变化。在一实施方式中, 半导体材料为  $Al_xGa_{1-x}As$ , 其中  $x$  在 0.0 和 1.0 之间 (即, 铝为 0.0% 到 100%)。  $Al_xGa_{1-x}As$  有助于制造 850nm VCSEL, 其需要高的电流密度和高的光学输出。在一可选的实施方式中, 半导体材料为  $(Al_xGa_{1-x})InP$ , 其中  $x$  在 0.0 和 1.0 之间 (即, 对于 AlGa 部分铝为 0.0% 到 100%)。典型地, 选择 In 与 AlGa 的比率以提供晶格匹配和 / 或提供所需的能带隙。在一实施方式中, 在 AlGaInP 系统中 In 分数为约 0.51 的 III 族材料。

[0057] 电子注入结构可以通过示出用于半导体期间的各层和区域的铝成分而示出。图 3 示出了根据本发明一实施方式在示例性器件中的铝含量。其示出了用于有源区域 122、高铝限制区域 142 和 144 以及过渡区 146 的铝含量。

[0058] 从分隔层 150 开始, 分隔层分隔层 150 中的铝含量以斜坡 (ramp) 153 增加到高铝

区域 144 内的最大铝含量 154。在过渡区 146 中,铝含量在最大铝含量 154 和量子阱势垒区 140 的铝含量之间变化。过渡区 146 包括斜坡 156、中间结构 158、阶梯 160 和斜坡 162。有源区域 122 包括形成量子阱 138 的几个阶梯。斜坡 164 提供在有源区域 122 和高铝含量区域 142 之间的过渡。斜坡 168 提供分隔层 148 的铝含量和高铝区域 142 中的最大铝含量 166 之间的过渡。载流子和有效电子注入的限制通过高铝区域 142 和 144 以及过渡区 146 的特定特征提供,如下所述。

#### [0059] A. 过渡区

[0060] 配置过渡区 146 以提供高铝限制区域 144 中的电子到有源区域 122 的有效电子注入。过渡区 146 包括具有低电子亲和力的中间结构。低电子亲和力和高掺杂给予高导带并允许在该区域中的 n 型掺杂剂以提供到邻近区域的调制掺杂。

[0061] 过渡区 146 包括中间结构。在图 3 中,中间结构是铝变化中的平台 (plateau) 158。然而,中间结构不局限于平台。中间结构可以为在窄能带隙材料和宽能带隙材料之间成分变化中的任意变形。在铝变化速度(从有源区域朝向限制区域)增加处提供该变化中的变形,然后增加到较小的程度,并且然后再次增加(该变化可类似地描述为从限制区域朝向有源区域的铝的减少)。通过在生长的特定深度上平坦化铝的变化至零或者接近零并且然后再次增加变化速度而提供在铝含量中的平台。本发明还包括非平面的中间结构,对于特定的生长深度其通过平坦化变化至稍微高于零而形成。在一实施方式中,铝的非平坦中间结构可以是线性或曲线形及其结合。在一实施方式中,该中间结构在至少 5nm 深度的成分变化中是平坦的,更优选为至少约 20nm。

[0062] 选择形成变形的成分(即,铝含量)以提供低电子亲和力结构。电子亲和力是半导体材料的属性。在具有铝的一些 III-V 族半导体材料中,电子亲和力一般随着增加铝而减少直到达到最小值,并且然后电子亲和力随着增加的铝而增加。

[0063] 图 4 示出了随着铝量变化的 AlGaAs 系统的电子亲和力。可以在图 4 的图表中看出,在 AlGaAs 系统中,电子亲和力基本随着增加铝而降低直到在约 45% 铝时达到最小电子亲和力。增加铝超过约 45% 导致较高的电子亲和力。

[0064] 选择中间结构的铝含量,使得中间结构中的电子亲和力低于有源区域和高铝区域中的电子亲和力。具有低亲和力的中间结构改善了器件的电子注入。中间结构的特定铝含量将依赖于用于制造器件的特定半导体材料、该半导体材料的最小电子亲和力、有源区域的量子阱势垒区域中的铝含量和高铝含量区域中的铝含量。在一实施方式中,铝含量在约 35% 到约 80% (AlGa 中的 Al) 的范围内。在可选实施方式中,从电子亲和力最小值中选择中间结构的铝成分以在铝的期望百分比内。在一实施方式中,铝成分在最小值的约 20% 内,更优选在最小值的约 15% 内,并且最优选为在最小值的约 10% 内。

[0065] 更特别地,对于  $\text{Al}_x\text{Ga}_{1-x}\text{As}$ , 铝成分可以在约  $0.35 < x < 0.7$  的范围内,更优选为在约  $0.4 < x < 0.65$  范围内。对于  $(\text{Al}_x\text{Ga}_{1-x})\text{InP}$  系统,电子亲和力最小值在 0.7 的 Al 含量处。在该系统中中间结构的铝含量的优选范围可以在  $0.5 < x < 0.75$  的范围内,更优选为约  $x = 0.7$ 。

[0066] 在一些材料中,由于不期望的副作用,给出最小电子亲和力的铝成分可能不是最优的成分。例如,在 AlGaAs 系统中,最小电子亲和力发生在已知具有降低电子传导的 DC 中心的铝成分处。图 5 是示出对于 AlGaAs 电子导带有效质量与铝成分相比较的图表。DX

中心现象发生在紧接  $x = 0.45$  电子有效质量突增处的成分中,但是在稍微高于或者低于该铝成分处显著降低。因此,在一些实施方式中,期望选择最小化电子传导同时最小化电子亲和力的铝成分。在 AlGaAs 系统中,可以使用约 50% 和 60% 之间的铝含量。

[0067] 可选地,关于 DX 中心的问题可以利用现有技术中的已知技术通过降低由 DX 中心引起的不良传导来解决,诸如增加光以将载流子激发出 DX 中心。在又一实施方式中,可以使用在接近电子亲和力最小值处不具有 DX 中心的 III-V 族半导体材料。例如,已知 AlGaInP 在接近电子亲和力最小值的铝成分处不具有 DX 中心。

[0068] 过渡区 146 包括在中间结构 158 每侧上的斜坡和 / 或阶梯以获得有源区域 122 和高铝区域 144 之间的连续变化。图 3 示出了斜坡 156、斜坡 162 和阶梯 160 以实现该连续变化。在一实施方式中,阶梯 160 可以有利于避免接近 DX 中心的成分。然而,并不需要阶梯,并且在实施方式中,斜坡 162 可以在中间结构 158 和量子阱势垒区域 140 之间延伸。

[0069] 斜坡 162 可以用于多个目的。在一方面,斜坡 162 提供邻近残留场的量子阱的低载流子和电荷区域以下落。能带隙的变化速度在斜坡 162 处较大以提供大部分空穴局限。在一实施方式中,部分斜坡 162 可以基本未掺杂。未掺杂部分典型地从量子阱延伸到少于 45% 铝的成分。未掺杂部分的斜坡 162 可以提供残留电压的区域以下落。

[0070] 中间结构 158 的另一特征是使用掺杂。在一实施方式中,掺杂为至少约  $5 \times 10^{18} / \text{cm}^3$ ,更优选为  $2 \times 10^{18} / \text{cm}^3$ 。在耦接到低电子亲和力的中间结构中的掺杂允许中间结构为良好的电子源以有效调整掺杂较低的 Al 区域(例如,斜坡 162 和有源区域 122)。中间结构中的低电子亲和力电子源提供通过过渡区的低电阻电子传导。通过获得低电阻电子传导,减小了否则由电阻降诱发的电场,从而增加了空穴限制。

#### [0071] B. 宽能带隙区域

[0072] 本发明的电子器件包括一个或多个宽能带隙材料的区域(例如,诸如区域 142 和 144 的高铝含量区域),也称为“限制区域”。高铝限制区域 142 和 144 有利地提供有源区域中自由载流子的限制。器件 100 典型地包括在有源区域上方和下方的高铝限制区域以限制空穴和电子(即,区域 142 和 144)。然而,本发明包括仅具有一个高铝含量区域的器件。当提供两个高铝区域时,在不同区域中铝含量可以相同或者不同。

[0073] 高铝限制区域 142 和 144 可以延伸任意厚度。在一实施方式中,限制限制区域的厚度以最小化器件的垂直电阻并方便制造。高铝限制区域可以小于 100nm,更优选为小于 50nm。在优选实施方式中,限制区域的厚度小于约 50nm,并且更优选为约 20nm。可选地,限制层的厚度在从约 2nm 到约 50nm 的范围内,更优选为在从约 5nm 到约 30nm 的范围内,并且最优选为在 8nm 和 30nm 之间。

[0074] 在优选实施方式中,在高铝限制区域 142 和 144 中的铝含量为在从约 60% 到约 100% 的范围内,更优选为在约 70% 和 100% 之间。对于氧化的局限激光器,其可以有利地在限制区域 142 和 144 中具有小于 100% 的铝含量以避免不期望的氧化。在该实施方式中,在限制区域中的铝含量优选为在从 60% 到 90% 的范围内,更优选为约 85%。

[0075] 在一实施方式中,可以根据限制区域和邻近的分隔层之间的铝含量的差别描述限制区域 142 和 144。在优选实施方式中,在限制层中铝含量的百分比高至少约 15%,更优选为高至少约 20%,并且最优选为高至少约 25%(例如,分隔层具有 40% 的 Al 以及局限势垒区具有 65% 的 Al)。

[0076] 在本发明的一实施方式中,高铝限制区域 142 和 144 包括除了铝刺 (spike) 之外的掺杂刺。掺杂刺在有源区域的 n 侧上优选为在从约  $5 \times 10^{17}$  到约  $1 \times 10^{19}$  的范围内,以及在有源区域的 p 侧上在限制区域中优选为在从约  $5 \times 10^{17}$  到约  $6 \times 10^{18}$  的范围内。更优选地在每个限制区域中的掺杂为在从约  $1 \times 10^{18}$  到约  $3 \times 10^{18}$  的范围内。类似于铝刺,在限制区域中的掺杂刺可以相对于分隔层中的掺杂剂级别进行选择。在一示例性实施方式中,在分隔层中的掺杂剂级别为在从约  $1 \times 10^{17}$  到约  $1 \times 10^{18}$  的范围内。在优选实施方式中,在限制势垒区中的掺杂剂为大于分隔层的约 1.5 和 8 之间,更优选为比在分隔层中的高约 1.5 和 4 倍之间。

[0077] 高铝限制区域可以特别有利于在少量载流子限制可能丢失的高温和 / 或高偏置电流下的器件操作。限制的损失是不期望的,原因在于其降低发光半导体器件的效率。关于限制势垒区中的 n 掺杂,AlGaAs 或类似材料的全能带隙变量增量 ( $\Delta$ ) 可以延伸到提供良好空穴限制的价带。2nm 到 20nm 的限制区域厚度,更优选为 8nm 到 10nm 的厚度应该足以限制空穴。因此,注入到量子阱区域的少量载流子可通过该限制区域的存在而包含在该区域中 (即,空穴势垒区限定空穴而电子势垒区限定电子)。可能大量降低或甚至消除自由载流子限制的损失。

#### [0078] C. 分隔层

[0079] 在 VCSEL 中,Al. 65Ga. 35As 可以在分隔层中正常使用以提供在价带中自由载流子的大势垒,其可以确保在大偏置级别和高温时的良好限制,但是其具有不期望的间接能带隙。这对在 n 间隔垫中给定的掺杂级别给予了相对低的电子迁移率和高垂直串联电阻。

[0080] 可选地,器件 100 的分隔层 148 和 / 或分隔层 150 可以具有低于 45% (例如,0.39 或者 0.19) 的铝成分,其可以几种方式有益于器件。首先,在布拉格反射镜和分隔垫之间的分级区域可以由对于与反射镜层具有相同电子亲和力的合金的成分阶梯取代。其将势垒降低至利用铝成分中的线性级别的先前设计中所发现的电子流,并导致串联电阻的降低。然后,该分隔层可以为直接的能带隙半导体。从间接 X 导带到直接  $\Gamma$  导带的大多数载流子的散射现在发生在布拉格反射镜处,而不是在量子阱附近。

[0081] 第二,分隔垫为直接能带隙材料的事实给予其相当高的电子迁移率。因此,可以获得已知的串联电阻,并且具有相当低的施主掺杂浓度。这降低了其中电场驻波具有最大幅值的量子阱附近处自由载流子的吸收。降低的自由载流子吸收可以改善 VCSEL 的效率。

#### [0082] D. 实施例成分

[0083] 图 6 示出了的实施例成分  $\text{Al}_x\text{Ga}_{1-x}\text{As}$ , 其中铝成分变化以在有源区域上方和下方形成有源区域和限制层。器件在 n 和 p 限制层中包括高铝含量区域 254 和 266 并且在 n 侧上的铝变化中包含变形 258。从分隔垫 250 开始,分隔垫 250 具有在 10% 和 20% 之间 (即, x 在 0.1 和 0.2 之间) 的铝成分并以  $2 \times 10^{16}$ – $5 \times 10^{17}/\text{cm}^3$  进行 n 型掺杂。较低的分隔垫之后为铝成分至 25% 的线性斜坡 251, 其中掺杂从分隔垫以约 10nm 厚的线形斜坡变化至约  $2 \times 10^{18}/\text{cm}^3$  n 型。之后为铝成分至约 85% 的阶梯 252。85% 的层 254 由约  $2 \times 10^{18}/\text{cm}^3$  的 n 型进行掺杂并具有在 12nm 和 25nm 之间的厚度。之后为在成分中铝成分至约 65% 的线形斜坡 256, 其约 5nm 并且具有  $2 \times 10^{18}/\text{cm}^3$  的 n 型掺杂。之后为具有 10nm 厚度并且铝成分为 65% 的区域 258, 其以  $2 \times 10^{18}/\text{cm}^3$  进行 n 型产则。之后为具有从 65% 到 20% 的 15nm 厚度的基本未掺杂的线性斜坡 262。之后为具有量子阱 238 和势垒区 240 的量子阱有源区域。P 侧从约 7.5nm

厚的  $3 \times 10^{18}/\text{cm}^3$  p 掺杂斜坡 264 开始, 其中铝成分为 85%。85% 层 266 从  $2 \times 10^{18}/\text{cm}^3$  p 掺杂开始并且具有约 20nm 的厚度。之后为在  $2 \times 10^{18}/\text{cm}^3$  变化处开始到具有与 p 分隔垫 248 匹配的最终成分的约  $5 \times 10^{17}/\text{cm}^3$  掺杂的 20nm 斜坡 268。p 分隔垫具有 10% 和 20% 之间的成分以及  $5 \times 10^{18}/\text{cm}^3$  的 p 型掺杂。

[0084] 本发明还包括使用不包含铝的成分发动的能带隙的半导体材料。适宜的不含铝的材料包括在成分处电子亲和力最小而不是能带隙最大的半导体材料。在这些材料中, 具有中间结构的过渡区 (例如, 在成分的变化中的变形) 可以用于改善载流子注入。适宜的不含铝系统的实施例包括 GaAsP 和 SiGe。

[0085] 当不使用铝时, 其它元素在成分中 (例如, P 或者 Si) 的含量变化以获得宽能带隙材料和窄能带隙材料。另外, 在过渡区中的变化是该元素 (例如, P 或者 Si) 而不是铝的含量变化。不含铝的成分可以在元素变化的特定部分处具有最小的电子亲和力或者最大的空穴亲和力。在一实施方式中, 中间结构放置在这些材料的最小电子亲和力或者最大空穴亲和力处或者其附近。优选地, 在中间结构中变化元素 (例如, P、Si 或者 Al) 的含量在给予最小电子亲和力或最大空穴亲和力的含量的约 20% 以内, 更优选为在至少约 15% 以内, 甚至更优选为在至少约 10% 以内, 并且最优选为在至少约 5% 以内。为了本发明的目的, 前述的百分比指改变成分的部分以获得半导体材料中的宽带和窄能带隙。

[0086] 在  $\text{GaAs}_{1-x}\text{P}_x$  系统中, 通过调整 P 的含量 (即, 部分 x), 成分可以在窄能带隙材料和宽能带隙材料之间变化。在窄能带隙材料 (例如, 有源区域) 中, P 的含量可以在约 0.0 和 0.5 之间; 在宽能带隙材料 (例如, 限制区域) 中, P 的含量可以在约 0.7 和 1.0 之间; 并且中间结构可以具有约 0.5 和 0.7 之间的 P 含量。

[0087] 对于  $\text{Si}_x\text{Ge}_{1-x}$ , 成分可以在窄能带隙材料和宽能带隙材料之间通过调整 Si 的成分 (即, 部分 x) 而变化。在窄能带隙材料 (例如, 有源区域) 中, Si 的含量可以在约 0.0 和 0.2 之间变化; 在宽能带隙材料 (例如, 限制区域) 中, Si 的含量可以在约 0.5 和 1.0 之间变化; 并且中间结构可以具有约 0.2 和 0.5 之间的 P 含量。

[0088] 尽管部分前述实施例描述了 VCSEL, 本发明可以在除了 VCSEL 之外的器件中实施。本领域的普通技术人员将认识到本发明可以在需要载流子从宽能带隙材料注入到窄能带隙材料的其它发光二极管中执行。该注入结构还可有利地与不具有量子阱的器件一起使用。例如, 本发明的注入结构可以与异质结双极晶体管一起执行, 其包括宽能带隙材料和窄能带隙材料的结。

[0089] 本发明还包括在半导体器件 p 侧上的注入结构。在半导体器件 p 侧上的注入结构类似于以上描述的注入结构, 除了在限制层 (在过渡区中包含掺杂) 中的掺杂剂为 p 型掺杂剂。另外, 除了在电子亲和力最小处或者其附近处放置铝变形, 该铝变形发生在空穴亲和力最大处。如以上所限定地, 空穴亲和力是电子亲和力和能带隙的和。空穴注入结构可以单独使用或者与电子注入结构一起使用。

[0090] 在不脱离本发明的精神或本质特征的情况下, 本发明可以在其它具体形式中实现。所说明的实施方式被认为仅仅是示例性的而不作为限制。因此, 本发明的范围由所附权利要求书而不是上述说明书限定。所有落入所附权利要求及其等效物的含意和范围之内内的修改将包含在其范围内。

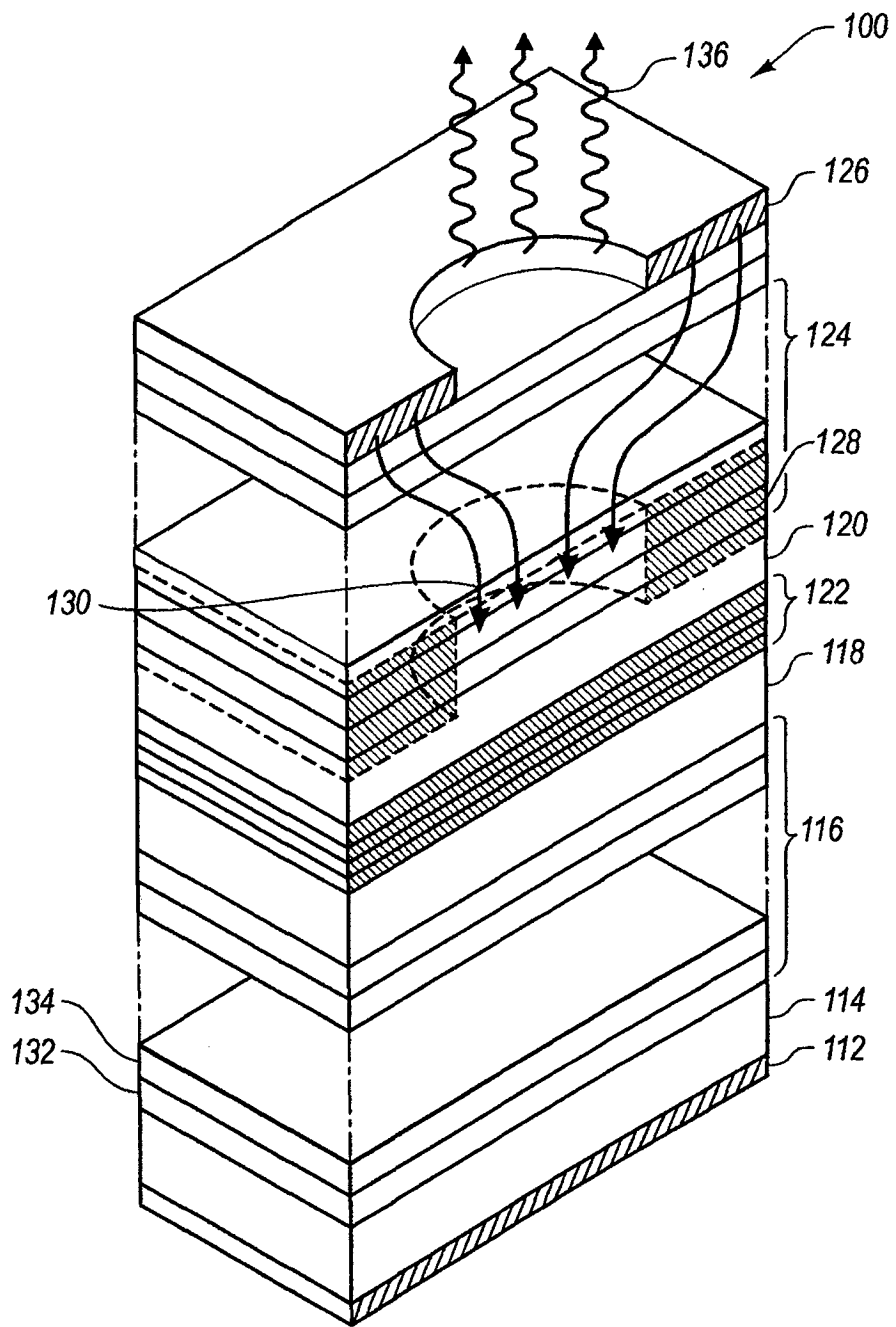


图 1

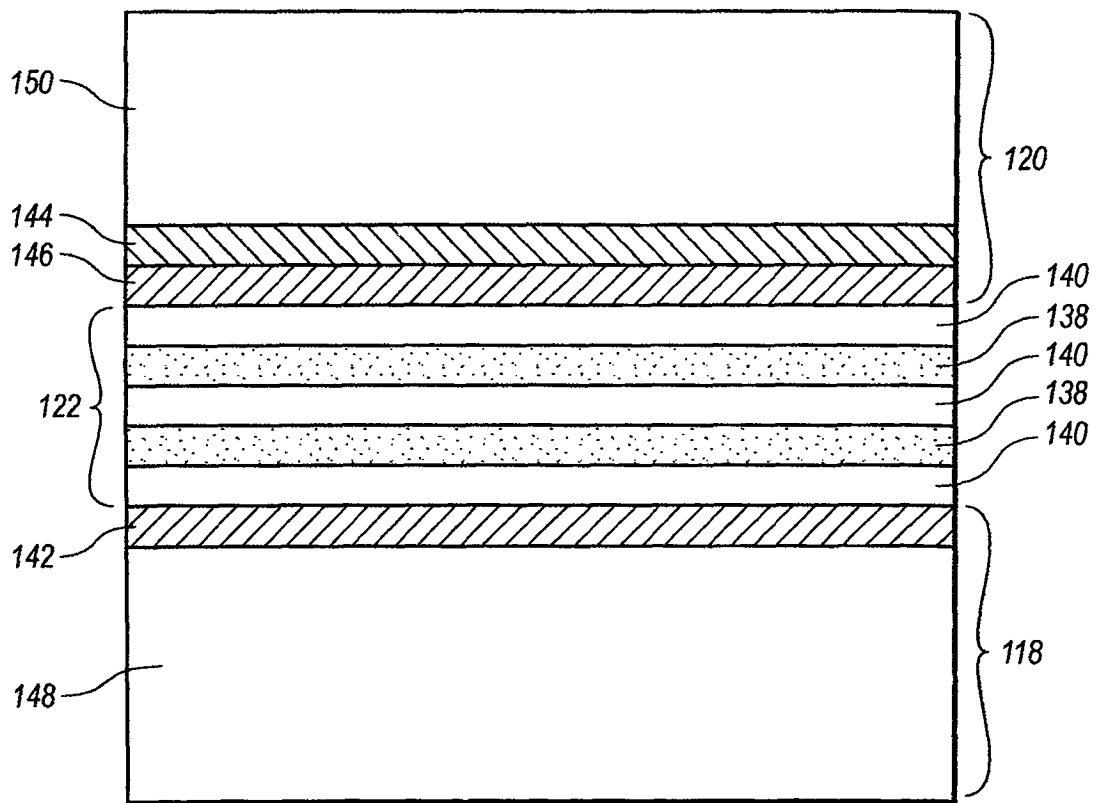


图 2

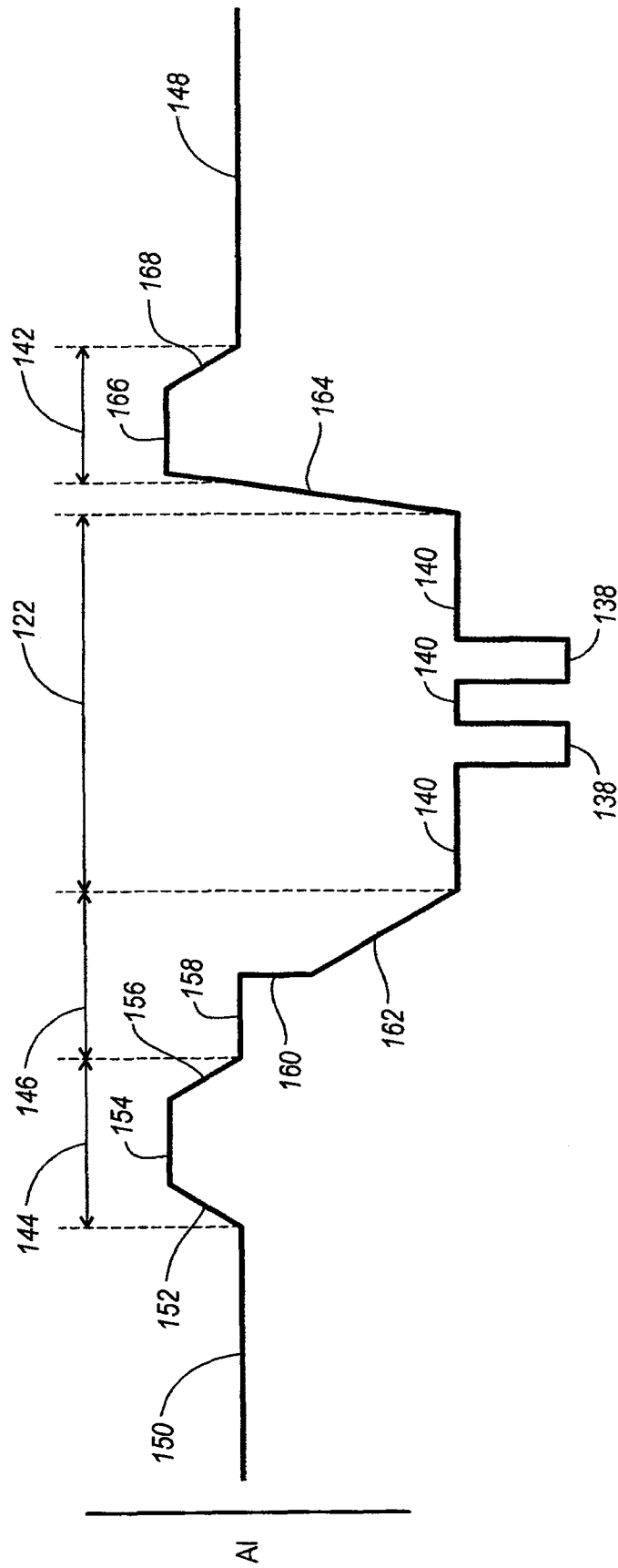


图 3



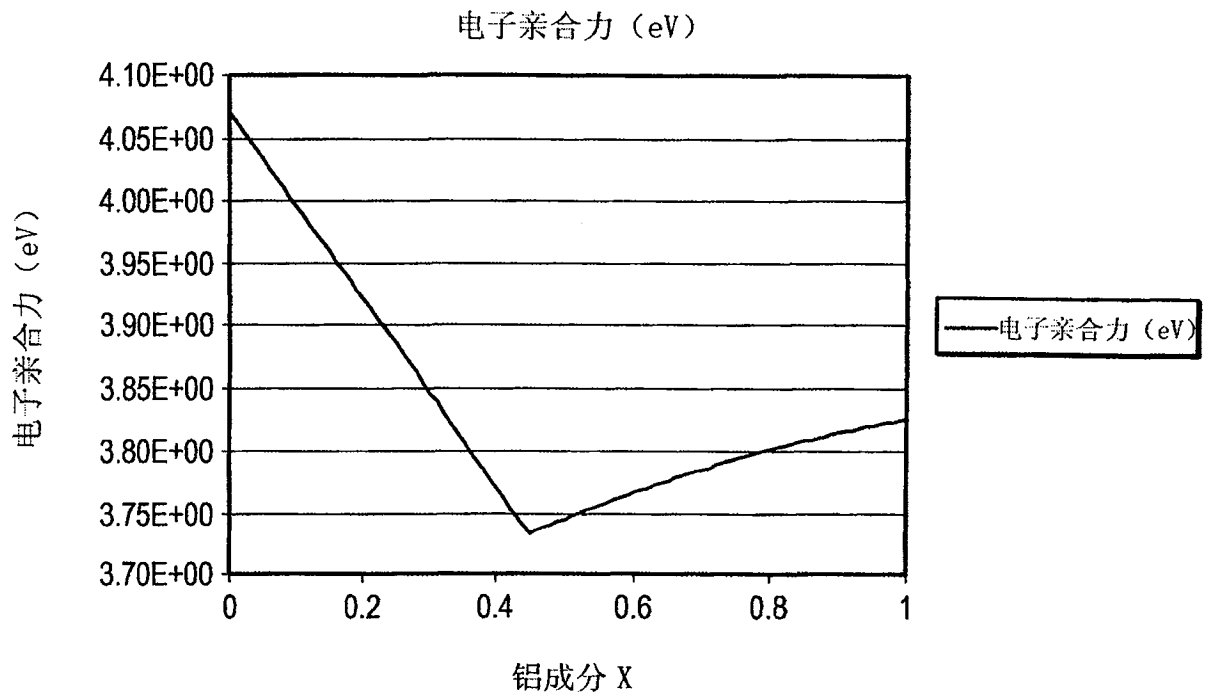


图 4

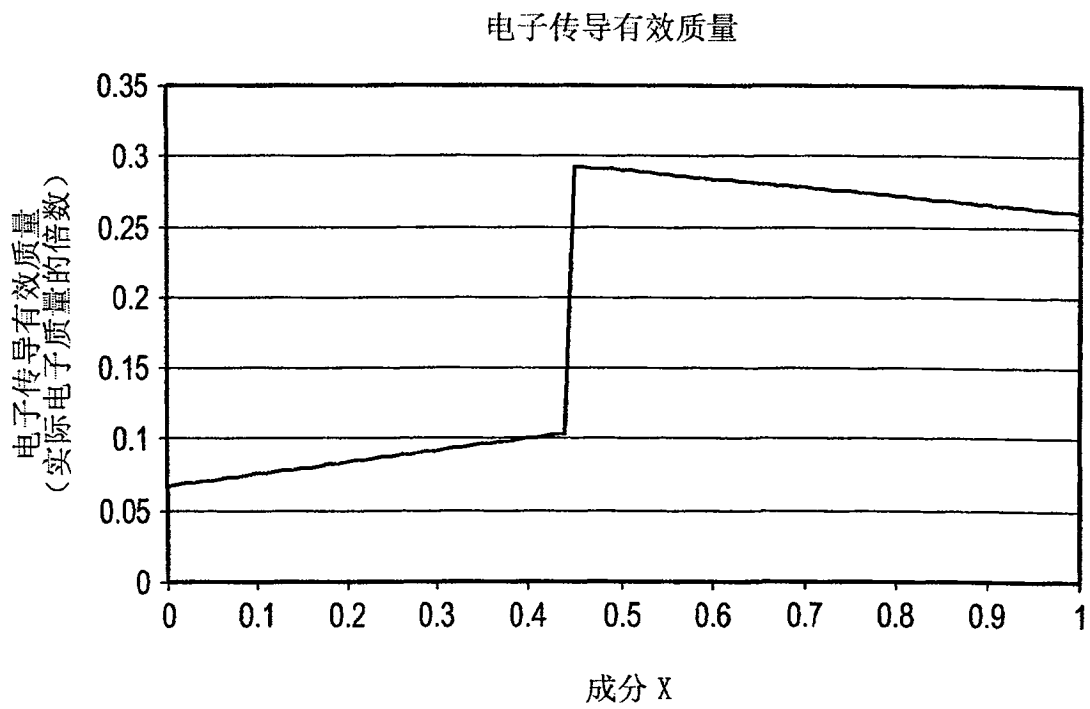


图 5

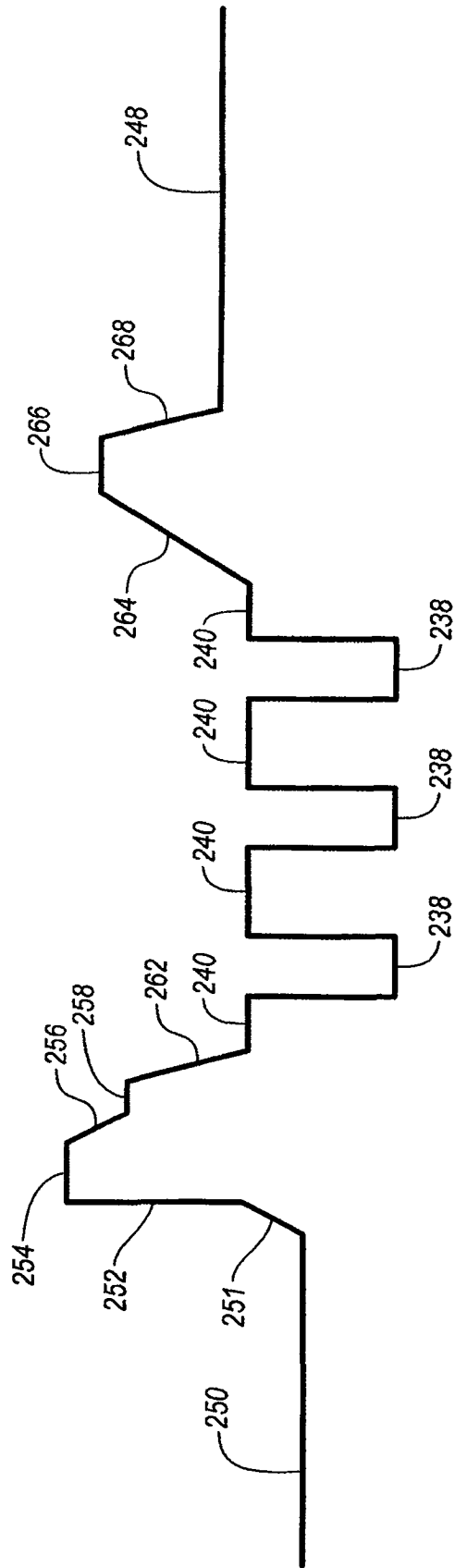


图 6