

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6599229号
(P6599229)

(45) 発行日 令和1年10月30日(2019. 10. 30)

(24) 登録日 令和1年10月11日(2019. 10. 11)

(51) Int.Cl. F I
H03F 1/02 (2006.01) H03F 1/02

請求項の数 36 (全 25 頁)

(21) 出願番号 特願2015-524487 (P2015-524487)
(86) (22) 出願日 平成25年7月26日 (2013. 7. 26)
(65) 公表番号 特表2015-523821 (P2015-523821A)
(43) 公表日 平成27年8月13日 (2015. 8. 13)
(86) 国際出願番号 PCT/US2013/052405
(87) 国際公開番号 W02014/018935
(87) 国際公開日 平成26年1月30日 (2014. 1. 30)
審査請求日 平成28年6月28日 (2016. 6. 28)
審判番号 不服2018-9994 (P2018-9994/J1)
審判請求日 平成30年7月20日 (2018. 7. 20)
(31) 優先権主張番号 61/676, 083
(32) 優先日 平成24年7月26日 (2012. 7. 26)
(33) 優先権主張国・地域又は機関
米国 (US)

(73) 特許権者 595020643
クゥアルコム・インコーポレイテッド
QUALCOMM INCORPORATED
アメリカ合衆国、カリフォルニア州 92
121-1714、サン・ディエゴ、モア
ハウス・ドライブ 5775
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100109830
弁理士 福原 淑弘
(74) 代理人 100158805
弁理士 井関 守三
(74) 代理人 100112807
弁理士 岡田 貴志

最終頁に続く

(54) 【発明の名称】 低電圧マルチステージ増幅器

(57) 【特許請求の範囲】

【請求項 1】

入力信号を受信する第1のステージと、
前記第1のステージの出力に結合された第2のステージと、
前記第2のステージの出力に結合された供給ステージと、
出力信号を出力する出力ステージと、ここにおいて、前記出力ステージは、第1のトランジスタ347と第2のトランジスタ346を具備し、前記第1のトランジスタ347のドレインは、前記第2のトランジスタ346のドレインに結合され、前記出力信号を出力し、ここにおいて、前記供給ステージは、前記出力ステージの静止電流を生成し、前記第2のステージの出力は、前記出力ステージに結合される、
前記供給ステージの入力に結合され、前記供給ステージを介して前記出力ステージの適切な動作のための静止電流を設定するバイアス回路と、ここにおいて、前記バイアス回路は、複製した電流ステージと、最少セレクトと、エラー増幅器とを具備し、ここにおいて、前記複製した電流ステージは、第1のトランジスタ455a、第2のトランジスタ455b、第3のトランジスタ457、第4のトランジスタ454、及び第5のトランジスタ453を具備し、前記第1のトランジスタ455aのゲートと前記第2のトランジスタ455bのゲートは、前記第1のトランジスタ455aのドレイン及び前記第4のトランジスタ454のドレインに結合され、前記第1のトランジスタ455aのソースと前記第2のトランジスタ455bのソースは、互いに正の供給電圧に結合され、前記第4のトランジスタ454のソースは、前記第5のトランジスタ453のドレインに結合され、前記第

10

20

3のトランジスタ457のサイズは、前記出力ステージの前記第1のトランジスタ347のサイズと関連し得、前記第5のトランジスタ453のサイズは、前記出力ステージの前記第2のトランジスタ346のサイズと関連し得、前記第5のトランジスタ453のソースと前記第2のトランジスタ455bのドレインと前記第3のトランジスタ457のドレインは、互いに可変の負の供給電圧に結合され、ここにおいて、前記第2のトランジスタ455bの前記ドレインは、抵抗456aを介して前記可変の負の供給電圧に結合され、前記第3のトランジスタ457の前記ドレインは、抵抗456bを介して前記可変の負の供給電圧に結合され、前記複製した電流ステージは、前記最少セレクトに前記複製した電流ステージの前記第2のトランジスタ455bのドレイン電圧である第1のバイアス電圧と、前記複製した電流ステージの前記第3のトランジスタ457のドレイン電圧である第2のバイアス電圧とを供給し、前記最少セレクトは、前記第1のバイアス電圧と前記第2のバイアス電圧とを比較することに基づいて、前記エラー増幅器に所定の電圧を供給し、ここにおいて、前記エラー増幅器は、前記供給ステージを制御し、ここにおいて、前記複製した電流ステージの前記第3のトランジスタ457のゲート電圧は、前記出力ステージの前記第1のトランジスタ347のゲート電圧になり得、前記複製した電流ステージの前記第5のトランジスタ453のゲート電圧は、前記出力ステージの前記第2のトランジスタ346のゲート電圧になり得る、

を具備する、低電圧マルチステージ増幅器。

【請求項2】

前記供給ステージは、前記低電圧マルチステージ増幅器に関する必要な減衰を供給する減衰ステージとしても動作する、請求項1の低電圧マルチステージ増幅器。

【請求項3】

前記所定の電圧は、前記第1のバイアス電圧と前記第2のバイアス電圧とが互いの最少セレクトトランジスタの飽和電圧内である場合、前記第1のバイアス電圧と前記第2のバイアス電圧との平均であり、前記所定の電圧は、前記第1のバイアス電圧と前記第2のバイアス電圧とが、互いの前記最少セレクトトランジスタの飽和電圧内でない場合、前記第1のバイアス電圧と前記第2のバイアス電圧のうち小さい方であり、前記最少セレクトトランジスタの飽和電圧は、前記最少セレクト中で使用されるトランジスタの飽和電圧である、請求項1の低電圧マルチステージ増幅器。

【請求項4】

前記エラー増幅器は、前記供給ステージに第1の制御電圧と第2の制御電圧とを出力する、請求項1の低電圧マルチステージ増幅器。

【請求項5】

前記第2のステージ内の電流が再利用されるので、前記供給ステージをサポートするための更なるバイアス電流は、必要とされない、請求項1の低電圧マルチステージ増幅器。

【請求項6】

前記低電圧マルチステージ増幅器は、クラスGの増幅器である、請求項1の低電圧マルチステージ増幅器。

【請求項7】

前記低電圧マルチステージ増幅器は、クラスHの増幅器である、請求項1の低電圧マルチステージ増幅器。

【請求項8】

前記低電圧マルチステージ増幅器は、前記出力ステージの出力信号に前記出力ステージの供給電圧を一致させるよう構成される、請求項1の低電圧マルチステージ増幅器。

【請求項9】

前記出力ステージは、 $\pm 0.45\text{ V}$ の供給電圧で動作する、請求項1の低電圧マルチステージ増幅器。

【請求項10】

前記出力ステージは、nチャネル型トランジスタとpチャネル型トランジスタとを備える、請求項1の低電圧マルチステージ増幅器。

10

20

30

40

50

【請求項 1 1】

前記 n チャンネル型トランジスタは、第 1 の電圧に結合され、前記 p チャンネル型トランジスタは、第 2 の電圧に結合される、請求項 1 0 の低電圧マルチステージ増幅器。

【請求項 1 2】

第 1 の電圧および前記第 2 の電圧は、前記バイアス回路によって前記出力ステージに供給される、請求項 1 1 の低電圧マルチステージ増幅器。

【請求項 1 3】

前記出力ステージは、前記第 1 のトランジスタ 3 4 7 を備え、前記供給ステージは、第 2 のトランジスタ 3 4 4 を備える、請求項 1 の低電圧マルチステージ増幅器。

【請求項 1 4】

前記出力ステージは、前記出力ステージにおける前記第 1 のトランジスタ 3 4 7 のしきい値電圧と、前記供給ステージの前記第 2 のトランジスタ 3 4 4 の飽和電圧と、の合計と同じくらい低い供給電圧で動作する、請求項 1 3 の低電圧マルチステージ増幅器。

【請求項 1 5】

前記第 1 のトランジスタ 3 4 7 は、p チャンネル型トランジスタであり、ここにおいて、前記第 2 のトランジスタ 3 4 4 は、n チャンネル型トランジスタである、請求項 1 3 の低電圧マルチステージ増幅器。

【請求項 1 6】

前記第 1 のトランジスタ 3 4 7 のソースは、可変の正の供給電圧に結合され、ここにおいて、前記第 1 のトランジスタ 3 4 7 のゲートは、前記第 2 のトランジスタ 3 4 4 のドレインに結合され、ここにおいて、前記第 2 のトランジスタ 3 4 4 のソースは、可変の負の供給電圧に結合される、請求項 1 5 の低電圧マルチステージ増幅器。

【請求項 1 7】

増幅に関する方法であって、前記方法は、

入力信号を取得することと、

入力信号を受信する第 1 のステージと、

前記第 1 のステージの出力に結合された第 2 のステージと、

前記第 2 のステージの出力に結合された供給ステージと、

出力信号を出力する出力ステージと、ここにおいて、前記出力ステージは、第 1 のトランジスタ 3 4 7 と第 2 のトランジスタ 3 4 6 を具備し、前記第 1 のトランジスタ 3 4 7 のドレインは、前記第 2 のトランジスタ 3 4 6 のドレインに結合され、前記出力信号を出力し、ここにおいて、前記供給ステージは、前記出力ステージの静止電流を生成し、前記第 2 のステージの出力は、前記出力ステージに結合される、

前記供給ステージの入力に結合され、前記供給ステージを介して前記出力ステージの適切な動作のための静止電流を設定するバイアス回路と、ここにおいて、前記バイアス回路は、複製した電流ステージと、最少セレクトと、エラー増幅器とを具備し、ここにおいて、前記複製した電流ステージは、第 1 のトランジスタ 4 5 5 a、第 2 のトランジスタ 4 5 5 b、第 3 のトランジスタ 4 5 7、第 4 のトランジスタ 4 5 4、及び第 5 のトランジスタ 4 5 3 を具備し、前記第 1 のトランジスタ 4 5 5 a のゲートと前記第 2 のトランジスタ 4 5 5 b のゲートは、前記第 1 のトランジスタ 4 5 5 a のドレイン及び前記第 4 のトランジスタ 4 5 4 のドレインに結合され、前記第 1 のトランジスタ 4 5 5 a のソースと前記第 2 のトランジスタ 4 5 5 b のソースは、互いに正の供給電圧に結合され、前記第 4 のトランジスタ 4 5 4 のソースは、前記第 5 のトランジスタ 4 5 3 のドレインに結合され、前記第 3 のトランジスタ 4 5 7 のサイズは、前記出力ステージの前記第 1 のトランジスタ 3 4 7 のサイズと関連し得、前記第 5 のトランジスタ 4 5 3 のサイズは、前記出力ステージの前記第 2 のトランジスタ 3 4 6 のサイズと関連し得、前記第 5 のトランジスタ 4 5 3 のソースと前記第 2 のトランジスタ 4 5 5 b のドレインと前記第 3 のトランジスタ 4 5 7 のドレインは、互いに可変の負の供給電圧に結合され、ここにおいて、前記第 2 のトランジスタ 4 5 5 b の前記ドレインは、抵抗 4 5 6 a を介して前記可変の負の供給電圧に結合され、前記第 3 のトランジスタ 4 5 7 の前記ドレインは、抵抗 4 5 6 b を介して前記可変の負

10

20

30

40

50

の供給電圧に結合され、前記複製した電流ステージは、前記最少セクタに前記複製した電流ステージの前記第2のトランジスタ455bのドレイン電圧である第1のバイアス電圧と、前記複製した電流ステージの前記第3のトランジスタ457のドレイン電圧である第2のバイアス電圧とを供給し、前記最少セクタは、前記第1のバイアス電圧と前記第2のバイアス電圧とを比較することに基づいて、前記エラー増幅器に所定の電圧を供給し、ここにおいて、前記エラー増幅器は、前記供給ステージを制御し、ここにおいて、前記複製した電流ステージの前記第3のトランジスタ457のゲート電圧は、前記出力ステージの前記第1のトランジスタ347のゲート電圧になり得、前記複製した電流ステージの前記第5のトランジスタ453のゲート電圧は、前記出力ステージの前記第2のトランジスタ346のゲート電圧になり得る、

10

を具備する、低電圧マルチステージ増幅器を用いて前記入力信号を増幅することと、
を具備する、方法。

【請求項18】

前記供給ステージは、前記低電圧マルチステージ増幅器に関する必要な減衰を供給する減衰ステージとしても動作する、請求項17の方法。

【請求項19】

前記所定の電圧は、前記第1のバイアス電圧と前記第2のバイアス電圧が、互いの最少セクタトランジスタの飽和電圧内である場合、前記第1のバイアス電圧と前記第2のバイアス電圧との平均であり、前記所定の電圧は、前記第1のバイアス電圧と前記第2のバイアス電圧とが、互いの前記最少セクタトランジスタの飽和電圧内でない場合、前記第1のバイアス電圧と前記第2のバイアス電圧のうちより小さい方であり、前記最少セクタトランジスタの飽和電圧は、前記最少セクタ中で使用されるトランジスタの飽和電圧である、請求項17の方法。

20

【請求項20】

前記エラー増幅器は、第1の制御電圧及び第2の制御電圧を前記供給ステージに出力する、請求項17の方法。

【請求項21】

前記出力ステージは、第1のトランジスタ347を備え、前記供給ステージは、第2のトランジスタ344を備え、ここにおいて、前記第1のトランジスタ347は、pチャネル型トランジスタであり、ここにおいて、前記第2のトランジスタ344は、nチャネル型トランジスタである、請求項17の方法。

30

【請求項22】

前記第1のトランジスタ347のソースは、可変の正の供給電圧に結合され、ここにおいて、前記第1のトランジスタ347のゲートは、前記第2のトランジスタ344のドレインに結合され、ここにおいて、前記第2のトランジスタ344のソースは可変の負の供給電圧に結合される、請求項21の方法。

【請求項23】

前記第2のステージ内の電流が再利用されるので、前記供給ステージをサポートするための更なるバイアス電流は、必要とされない、請求項17の方法。

【請求項24】

前記低電圧マルチステージ増幅器は、クラスGの増幅器である、請求項17の方法。

40

【請求項25】

前記低電圧マルチステージ増幅器は、クラスHの増幅器である、請求項17の方法。

【請求項26】

前記低電圧マルチステージ増幅器は、前記出力ステージの供給電圧を前記出力ステージの出力信号に一致させるよう構成される、請求項17の方法。

【請求項27】

前記出力ステージは、 $\pm 0.45\text{ V}$ の供給電圧で動作する、請求項17の方法。

【請求項28】

前記出力ステージは、nチャネル型トランジスタとpチャネル型トランジスタとを備え

50

る、請求項 17 の方法。

【請求項 29】

前記 n チャネル型トランジスタに第 1 の電圧を供給することと、前記 p チャネル型トランジスタに第 2 の電圧を供給することとをさらに備える、請求項 28 の方法。

【請求項 30】

入力信号を取得する手段と、

前記入力信号を増幅する手段と、

を具備し、ここにおいて、前記入力信号を増幅する前記手段は、

入力信号を受信する第 1 のステージと、

前記第 1 のステージの出力に結合された第 2 のステージと、

前記第 2 のステージの出力に結合された供給ステージと、

出力信号を出力する出力ステージと、ここにおいて、前記出力ステージは、第 1 のトランジスタ 347 と第 2 のトランジスタ 346 を具備し、前記第 1 のトランジスタ 347 のドレインは、前記第 2 のトランジスタ 346 のドレインに結合され、前記出力信号を出力し、ここにおいて、前記供給ステージは、前記出力ステージの静止電流を生成し、前記第 2 のステージの出力は、前記出力ステージに結合される、

前記供給ステージの入力に結合され、前記供給ステージを介して前記出力ステージの適切な動作のための静止電流を設定するバイアス回路と、ここにおいて、前記バイアス回路は、複製した電流ステージと、最少セレクトと、エラー増幅器とを具備し、ここにおいて、前記複製した電流ステージは、第 1 のトランジスタ 455a、第 2 のトランジスタ 455b、第 3 のトランジスタ 457、第 4 のトランジスタ 454、及び第 5 のトランジスタ 453 を具備し、前記第 1 のトランジスタ 455a のゲートと前記第 2 のトランジスタ 455b のゲートは、前記第 1 のトランジスタ 455a のドレイン及び前記第 4 のトランジスタ 454 のドレインに結合され、前記第 1 のトランジスタ 455a のソースと前記第 2 のトランジスタ 455b のソースは、互いに正の供給電圧に結合され、前記第 4 のトランジスタ 454 のソースは、前記第 5 のトランジスタ 453 のドレインに結合され、前記第 3 のトランジスタ 457 のサイズは、前記出力ステージの前記第 1 のトランジスタ 347 のサイズと関連し得、前記第 5 のトランジスタ 453 のサイズは、前記出力ステージの前記第 2 のトランジスタ 346 のサイズと関連し得、前記第 5 のトランジスタ 453 のソースと前記第 2 のトランジスタ 455b のドレインと前記第 3 のトランジスタ 457 のドレインは、互いに可変の負の供給電圧に結合され、ここにおいて、前記第 2 のトランジスタ 455b の前記ドレインは、抵抗 456a を介して前記可変の負の供給電圧に結合され、前記第 3 のトランジスタ 457 の前記ドレインは、抵抗 456b を介して前記可変の負の供給電圧に結合され、前記複製した電流ステージは、前記最少セレクトに前記複製した電流ステージの前記第 2 のトランジスタ 455b のドレイン電圧である第 1 のバイアス電圧と、前記複製した電流ステージの前記第 3 のトランジスタ 457 のドレイン電圧である第 2 のバイアス電圧とを供給し、前記最少セレクトは、前記第 1 のバイアス電圧と前記第 2 のバイアス電圧とを比較することに基づいて、前記エラー増幅器に所定の電圧を供給し、ここにおいて、前記エラー増幅器は、前記供給ステージを制御し、ここにおいて、前記複製した電流ステージの前記第 3 のトランジスタ 457 のゲート電圧は、前記出力ステージの前記第 1 のトランジスタ 347 のゲート電圧になり得、前記複製した電流ステージの前記第 5 のトランジスタ 453 のゲート電圧は、前記出力ステージの前記第 2 のトランジスタ 346 のゲート電圧になり得る、

を具備する、装置。

【請求項 31】

前記装置は、出力ステージの供給電圧を、前記出力ステージの出力信号に一致させるよう構成される、請求項 30 の装置。

【請求項 32】

前記出力ステージは ± 0.45 V の供給電圧で動作する、請求項 30 の装置。

【請求項 33】

10

20

30

40

50

前記出力ステージは、 n チャネル型トランジスタと p チャネル型トランジスタとを備える、請求項30の装置。

【請求項34】

入力信号の増幅することに関して構成された、命令を有するコンピュータ可読記憶媒体あって、前記命令は、

低電圧マルチステージ増幅器に入力信号を取得させるためのコードと、

前記低電圧マルチステージ増幅器に前記入力信号を増幅させるためのコードと、

を具備し、ここにおいて、前記低電圧マルチステージ増幅器は、

入力信号を受信する第1のステージと、

前記第1のステージの出力に結合された第2のステージと、

前記第2のステージの出力に結合された供給ステージと、

出力信号を出力する出力ステージと、ここにおいて、前記出力ステージは、第1のトランジスタ347と第2のトランジスタ346を具備し、前記第1のトランジスタ347のドレインは、前記第2のトランジスタ346のドレインに結合され、前記出力信号を出力し、ここにおいて、前記供給ステージは、前記出力ステージの静止電流を生成し、前記第2のステージの出力は、前記出力ステージに結合される、

前記供給ステージの入力に結合され、前記供給ステージを介して前記出力ステージの適切な動作のための静止電流を設定するバイアス回路と、ここにおいて、前記バイアス回路は、複製した電流ステージと、最少セクタと、エラー増幅器とを具備し、ここにおいて、前記複製した電流ステージは、第1のトランジスタ455a、第2のトランジスタ455b、第3のトランジスタ457、第4のトランジスタ454、及び第5のトランジスタ453を具備し、前記第1のトランジスタ455aのゲートと前記第2のトランジスタ455bのゲートは、前記第1のトランジスタ455aのドレイン及び前記第4のトランジスタ454のドレインに結合され、前記第1のトランジスタ455aのソースと前記第2のトランジスタ455bのソースは、互いに正の供給電圧に結合され、前記第4のトランジスタ454のソースは、前記第5のトランジスタ453のドレインに結合され、前記第3のトランジスタ457のサイズは、前記出力ステージの前記第1のトランジスタ347のサイズと関連し得、前記第5のトランジスタ453のサイズは、前記出力ステージの前記第2のトランジスタ346のサイズと関連し得、前記第5のトランジスタ453のソースと前記第2のトランジスタ455bのドレインと前記第3のトランジスタ457のドレインは、互いに可変の負の供給電圧に結合され、ここにおいて、前記第2のトランジスタ455bの前記ドレインは、抵抗456aを介して前記可変の負の供給電圧に結合され、前記第3のトランジスタ457の前記ドレインは、抵抗456bを介して前記可変の負の供給電圧に結合され、前記複製した電流ステージは、前記最少セクタに前記複製した電流ステージの前記第2のトランジスタ455bのドレイン電圧である第1のバイアス電圧と、前記複製した電流ステージの前記第3のトランジスタ457のドレイン電圧である第2のバイアス電圧とを供給し、前記最少セクタは、前記第1のバイアス電圧と前記第2のバイアス電圧とを比較することに基づいて、前記エラー増幅器に所定の電圧を供給し、ここにおいて、前記エラー増幅器は、前記供給ステージを制御し、ここにおいて、前記複製した電流ステージの前記第3のトランジスタ457のゲート電圧は、前記出力ステージの前記第1のトランジスタ347のゲート電圧になり得、前記複製した電流ステージの前記第5のトランジスタ453のゲート電圧は、前記出力ステージの前記第2のトランジスタ346のゲート電圧になり得る、

を具備するコンピュータ可読記憶媒体。

【請求項35】

前記低電圧マルチステージ増幅器は、前記出力ステージの供給電圧を、前記出力ステージの出力信号に一致させるよう構成された、請求項34のコンピュータ可読記憶媒体。

【請求項36】

前記出力ステージは、 ± 0.45 Vの供給電圧で動作する、請求項34のコンピュータ可読記憶媒体。

10

20

30

40

50

【発明の詳細な説明】

【米国特許法（35 U.S.C.）§ 119に基づく優先権の主張】

【0001】

[0001] 本特許出願は、2012年7月26日に出願され、“低電圧クラスABの増幅器（LOW VOLTAGE CLASS-AB OPAMP）”と題され、この譲受人に譲渡され、これにより参照によってここに明確に組み込まれた米国特許仮出願61/676,083号の優先権を主張する。

【技術分野】

【0002】

[0002] 本開示は、一般的に電子通信に関する。さらに具体的は、本開示は低電圧マルチステージ増幅器に関する方法及びシステムに関する。

【背景技術】

【0003】

[0003] 無線通信システムは、音声、ビデオ、データ等のような通信コンテンツの様々なタイプを提供するために広く展開されている。これらのシステムは、1つまたは複数の基地局との、マルチプルの無線通信デバイスの同時通信をサポートすることが出来る多元接続システムであり得る。

【0004】

[0004] 無線通信デバイスは、典型的にバッテリーによって動力を供給されている。無線通信デバイスの機能が更に複雑になるにつれて、バッテリー寿命を最大化する無線通信デバイスに対する要望がある。無線通信デバイスの電力消費を低減することによって、バッテリー寿命は増加され得る。電力消費を低減させる1つの方法は、無線通信デバイスにおいて、より効率的な増幅器を使用することである。例えば、より低い供給電圧を用いる増幅器は、より高い供給電圧を使用する増幅器よりも更に効率的であり得る。未だに必要な利得を供給している間では、恩恵はより低い供給電圧を用いる増幅器によって実現され得る。

【発明の概要】

【0005】

[0005] 低電圧マルチステージ増幅器が、説明される。低電圧マルチステージ増幅器は、マルチプルの前段のステージを含む。低電圧マルチステージ増幅器は、供給ステージをも含む。低電圧マルチステージ増幅器は、供給ステージの第2トランジスタの飽和電圧と、出力ステージ中の第1トランジスタのしきい値電圧と、の合計と同じ低さの供給電圧で作動する出力ステージを更に含む。供給ステージは、出力ステージを供する。

【0006】

[0006] 供給ステージは、減衰ステージとしても動作し得る。低電圧マルチステージ増幅器は、供給ステージを介して出力ステージの適切な動作のために静止電流（無信号時電流、自己消費電流）を設定するバイアス回路をも含む。バイアス回路は、複製した電流ステージ、最少セレクト及びエラー増幅器を含み得る。複製した電流ステージは、最少セレクトに第2のバイアス電圧及び第1のバイアス電圧を供給し得る。最少セレクトは、エラー増幅器に所定の電圧を供給し得る。エラー増幅器は、出力ステージの静止電流を設定する供給ステージを制御し得る。

【0007】

[0007] 所定の電圧は、仮に第1のバイアス電圧と第2のバイアス電圧が、互いの最少セレクトトランジスタの飽和電圧内にある場合、第1のバイアス電圧と第2のバイアス電圧との平均となり得る。所定の電圧は、仮に第1のバイアス電圧と第2のバイアス電圧が、互いの最少セレクトトランジスタの飽和電圧内にない場合、第1のバイアス電圧及び第2のバイアス電圧の小さい方となり得る。エラー増幅器は、第1の制御電圧と第2の制御電圧とを供給ステージに出力し得る。

【0008】

[0008] 第1のトランジスタはpチャネルトランジスタとなり得、第2のトランジスタはnチャネルトランジスタとなり得る。第1のトランジスタのソースは、可変の正の供給

10

20

30

40

50

電圧に結合し得る。第1のトランジスタのゲートは、第2のトランジスタのドレインに結合され得る。第2のトランジスタのソースは、可変の負の供給電圧に結合され得る。

【0009】

[0009] マルチプルの前段ステージは、第1ステージ及び第2ステージを含み得る。第1のステージは入力信号を受信し得る。第1のステージの出力は、第2のステージに結合し得る。第2のステージの出力は、出力ステージに結合し得る。出力ステージは出力信号を出力し得る。第2のステージ中の電流は再利用されるので、供給ステージをサポートするための更なるバイアス電流は、必要とされ得ない。低電圧マルチステージ増幅器は、クラスGの増幅器又はクラスHの増幅器となり得る。低電圧マルチステージ増幅器は、出力ステージの出力信号に、出力ステージの供給電圧を、一致させるよう構成され得る。出力ステージは、 $\pm 0.45V$ の供給電圧で動作し得る。

10

【0010】

[0010] 増幅に関する方法も説明される。入力信号は、取得される。入力信号は、低電圧マルチステージ増幅器を用いて増幅される。低電圧マルチステージ増幅器は、マルチプルの前段ステージをも含む。低電圧マルチステージ増幅器は、供給ステージをも含み得る。低電圧マルチステージ増幅器は、出力ステージ中の第1のトランジスタのしきい値電圧と供給ステージの第2のトランジスタの飽和電圧との合計と同じ低さの供給電圧で動作する出力ステージを更にも含み得る。供給ステージは、出力ステージを供する。

【0011】

[0011] 装置が、説明される。装置は、入力信号を取得する手段を含む。装置は、出力ステージ中の第1のトランジスタのしきい値電圧と、供給ステージの第2のトランジスタの飽和電圧と、の合計と同じ低さの供給電圧で動作する出力ステージ、供給ステージ、及びマルチプルの前段のステージを含む入力信号を増幅する手段をも含む。供給ステージは、出力ステージを供する。

20

【0012】

[0012] 入力信号を増幅するために構成されたコンピュータプログラム製品も説明される。コンピュータプログラム製品は、その命令を有する非一時的なコンピュータ可読媒体を含む。命令は、低電圧マルチステージ増幅器に入力信号を取得させるためのコードを含む。命令は、低電圧マルチステージ増幅器に入力信号を増幅させるためコードをも含む。低電圧マルチステージ増幅器は、出力ステージ中の第1のトランジスタのしきい値電圧と、供給ステージの第2のトランジスタの飽和電圧と、の合計と同じ低さの供給電圧で動作する出力ステージ、供給ステージ及びマルチプルの前段のステージを含む。供給ステージは、出力ステージを供する。

30

【図面の簡単な説明】

【0013】

【図1】[0013] 図1は、低電圧マルチステージ増幅器を示すブロック図である。

【図2】[0014] 図2は、本システム及び方法で使用するための低電圧マルチステージ増幅器を示すブロック図である。

【図3】[0015] 図3は、本システム及び方法で使用するための低電圧マルチステージ増幅器を示す回路図である。

40

【図4】[0016] 図4は、本システム及び方法で使用するためのバイアス回路の回路図である。

【図5】[0017] 図5は、エラー増幅器の回路図である。

【図6】[0018] 図6は、最少セレクタの回路図である。

【図7】[0019] 図7は、低電圧マルチステージ増幅器を使用する増幅器に関する方法のフロー図である。

【図8】[0020] 図8は、低電圧マルチステージ増幅器を使用する電子デバイス/無線デバイスのハードウェアの履行の一部を示す。

【発明の詳細な説明】

【0014】

50

[0021] 図1は、低電圧マルチステージ増幅器106を図示したブロック図である。低電圧マルチステージ増幅器106は、無限に可変な供給レールを有する、増幅器、レールスイッチング増幅器、クラスHの増幅器、クラスGの増幅器又はクラスABの増幅器になり得る。低電圧マルチステージ増幅器106は、オペアンプ、パワー増幅器又は分配増幅器になり得る。増幅器106中の電力供給レールを調整することにより、増幅器106の電力消費は減少され得る（なぜなら、電力供給レールが、歪みを回避するための入力信号に関して必要とされる電圧の最少量を供給だけしているからである）。

【0015】

[0022] 低電圧マルチステージ増幅器106は、マルチプルの増幅ステージを含み得る。例えば、低電圧マルチステージ増幅器106は、第1のステージGm1 110、第2のステージGm2 112、減衰ステージGmD 114及び出力ステージGm3 116を含み得る。マルチプルの増幅ステージは、低電圧マルチステージ増幅器106に入力信号108を増幅させ、最少の歪み及び最少の電力消費で増幅された出力信号120を生成させる。第1のステージ増幅器Gm1 110は伸縮自在の増幅器となり得る。

【0016】

[0023] クラスBの増幅器は、入力信号108の波長の周期の半分のみを増幅し得る。増加した歪みの支出（expense）で、クラスBの増幅器は、高い効率を有し（なぜならば、クラスBの増幅器の増幅要素は半分の時間でスイッチがオフするからである。）、結果として電力消費を低減させる。相補の組を用いることで、マルチプルのクラスBの増幅器は、入力信号の双方の半分かを増幅するために使用され得、従って歪みを低減させ得る。しかしながら、クラスBの増幅器の相補の組は、重複する歪みに苦しみ得、ここにおいて、増加した歪みは、クラスBの増幅器の1つがターンオフし、別のクラスBの増幅器がターンオンした時に経験される。

【0017】

[0024] 重複する歪みを取り除く1つの方法は、クラスABの増幅器を使用することである。クラスABの増幅器において、各々のデバイスが信号の半分を増幅し得、（むしろシャットオフする）他の半分の期間に少量を誘導し得る。（静止電流として参照される）信号がないとき、歪みの量は、両デバイスを通る不変電流に依存する。静止電流は、直接、バイアス電圧に依存する。クラスABの増幅器は、クラスBの増幅器よりも低い性能を有するが、高い直線性を有する。

【0018】

[0025] クラスGとクラスHの増幅器は、歪みを増加させずに高い性能を得ることでクラスABの出力ステージを向上させる。クラスGの増幅器では、レールスイッチングは性能を増加させるために使用される。レールスイッチングにおいて、異なる供給電圧は、出力信号120中の振幅を調整させるために使用される。出力ステージGm3 116は、最大の出力電流を経験し、従って性能において最大の増加を得ることができるため、典型的には、レールスイッチングは、出力ステージGm3 116中で使用される。クラスGの増幅器に関して、マルチプルの別々の供給電圧が使用され得る。クラスHの増幅器に関して、（出力信号120への供給電圧を一致させることで）無限に可変な供給電圧が使用され得る。出力信号120への供給電圧を一致させることは、時々、包絡線軌道として参照され得る。

【0019】

[0026] 低電圧マルチステージ増幅器106は、バイアス回路118を含み得る。バイアス回路118は、出力ステージGm3 116の静止電流を設定し得、従って出力ステージGm3 116の適切な動作に関して要求される最少のヘッドルームを供給し得る。バイアス回路118は、出力ステージGm3 116に最少の供給電圧（±0.45ボルト（V）へ低下させた動作（operation down to +/- .45 volts (V)））で動作させる、出力信号120に依存する減衰ステージGmD 114を通じて出力ステージGm3 116へと制御電圧を供給し得る。最少の供給電圧で出力ステージGm3 116を動作させることで、低電圧マルチステージ増幅器106の電力消費は低減し得る。

【 0 0 2 0 】

[0027] 図 2 は、本システム及び方法で使用するためのマルチステージ増幅器 2 0 6 を図示するブロック図である。図 2 の低電圧マルチステージ増幅器 2 0 6 は、図 1 の低電圧マルチステージ増幅器 1 0 6 の一形態になり得る。低電圧マルチステージ増幅器 2 0 6 は、バイアス回路 2 1 8、第 1 のステージ G m 1 2 1 0、第 2 のステージ G m 2 2 1 2、減衰ステージ G m D 2 1 4 及び出力ステージ G m 3 2 1 6 を含み得る。第 1 のステージ G m 1 2 1 0 は、入力信号 V i 2 0 8 を受信し、電圧 V O 1 2 2 1 を出力する。電圧 V O 1 2 2 1 は、第 2 のステージ G m 2 2 1 2 の入力に供給され得る。第 2 のステージ G m 2 2 1 2 は、電圧 V O 2 2 2 4 を出力し得る。電圧 V O 2 2 4 は、出力ステージ G m 3 2 1 6 の入力に供給され得る。出力ステージ G m 3 2 1 6 は、出力信号 V O 2 2 0 を出力し得る。出力ステージ G m 3 2 1 6 の出力は、配線容量 C L 2 2 9 を介してグラウンドに結合され得る。

10

【 0 0 2 1 】

[0028] 第 1 のステージ G m 1 2 1 0 の出力は、キャパシタ C C 2 2 6 にも結合され得る。キャパシタ C C 2 2 6 は、並列の抵抗 R c 2 2 8 とキャパシタ C c 2 2 2 7 との両方に結合され得る。抵抗 R c 2 2 8 とキャパシタ C c 2 2 2 7 とは、出力ステージ G m 3 2 1 6 の出力に結合され得る。

【 0 0 2 2 】

[0029] 第 2 のステージ G m 2 2 1 2 の出力は、キャパシタ C D 2 2 3 0 を介して出力ステージ G m 3 2 1 6 の出力にも結合され得る。第 2 のステージ G m 2 2 1 2 の出力は、更に減衰ステージ G m D 2 1 4 の出力に結合され得る。第 2 ステージ G m 2 2 1 2 の出力は、キャパシタ C D 2 2 5 を介して減衰ステージ G m D 2 1 4 の入力にも結合され得る。

20

【 0 0 2 3 】

[0030] バイアス回路 2 1 8 は、制御電圧 V B 2 2 2 を出力し得る。バイアス回路 2 1 8 の出力は、抵抗 R B 2 2 3 を介して減衰ステージ G m D 2 1 4 の入力に結合され得る。(図示せぬ) バイアス回路 2 1 8 への更なるフィードバックは、適切な制御電圧 V B 2 2 2 の生成を促進するためにも使用され得る。上述したように、制御電圧 V B 2 2 2 は、抵抗 R B 2 2 3 を通じて通過し、減衰ステージ G m D 2 1 4 は出力ステージ G m 3 2 1 6 の動作に関して必要とされる適切な静止電流を生成し得る。

30

【 0 0 2 4 】

[0031] 減衰ステージ G m D 2 1 4 の出力から減衰ステージ G m D 2 1 4 に向かうインピーダンスは、負の供給電圧に結合される

【 数 1 】

$$\text{抵抗 } R1 = \frac{1}{GmD}$$

【 0 0 2 5 】

に結合されるキャパシタ C e q 1 2 3 1 によって接近し得る。減衰ステージ G m D 2 1 4 の出力から低電圧マルチステージ増幅器 2 0 6 の出力に向かうインピーダンスは、負の供給電圧に結合される

40

【 数 2 】

$$\text{抵抗 } R2 = \frac{C_L}{C_{m3} C_{D2}} 234$$

【 0 0 2 6 】

50

に結合されるキャパシタ C_{eq2} によって接近し得る。減衰ステージ G_{mD2} 14、抵抗 R_{GB2} 及びキャパシタ C_{D25} によって形成された減衰回路は、
【数3】

$$R1 \approx \frac{1}{G_{mD}}$$

【0027】

の減衰抵抗と

【数4】

10

$$C_{eq1} \approx G_{mD} * R_B * C_D$$

【0028】

の等価ブロッキングキャパシタンスをエミュレート (emulate) する。

【0029】

[0032] 図3は、本システム及び方法での使用に関する低電圧マルチステージ増幅器306を図示する回路図である。低電圧マルチステージ増幅器306は、第1のステージ G_{m1} 310、第2のステージ G_{m2} 312、減衰ステージ G_{mD} 314、出力ステージ G_{m3} 316及び電流ミラー335を含み得る。制御電圧 V_{cP} 322及び V_{ctN} 322bは、バイアス回路118から供給され得る。

20

【0030】

[0033] 第1ステージ G_{m1} 310は、入力信号308を受信し得る。第1ステージ G_{m1} 310は、正の供給電圧 $V_{dd_{rx}}$ 339及び負の供給電圧 $V_{neg_{reg}}$ 338に結合され得る。正の供給電圧 $V_{dd_{rx}}$ 339は、(出力信号320に従って変化しない) 1.8Vのアナログ供給となり得る。負の供給電圧 $V_{neg_{reg}}$ 338は、固定された小さな -ve 電圧 (例えば、-0.3V) となり得る。第1ステージ G_{m1} 310の出力は、第2ステージ G_{m2} 312に結合され得る。カレントミラー335は、pチャネル型トランジスタ341、pチャネル型トランジスタ M_{342a} 、及びpチャネル型トランジスタ M_{342b} を含み得る。pチャネル型トランジスタ341のソースは、 $V_{dd_{rx}}$ 339に結合され得る。pチャネル型トランジスタ341のゲートは、pチャネル型トランジスタ341のドレインに結合され得る。pチャネル型トランジスタ341のドレインはnチャネル型トランジスタ337のドレインにも結合され得る。nチャネル型トランジスタ337のソースは、 $V_{neg_{reg}}$ 338に結合され得る。nチャネル型トランジスタ337のゲートは、第1のステージ G_{m1} 310の出力に結合され得る。キャパシタ C_c 336は、第1のステージ G_{m1} 310と出力信号 V_o 320との間で結合され得る。

30

40

【0031】

[0034] pチャネル型トランジスタ M_{342a} のソース及びpチャネル型トランジスタ M_{342b} のソースは、互いに $V_{dd_{rx}}$ 339に結合され得る。pチャネル型トランジスタ M_{342a} のゲート及びpチャネル型トランジスタ M_{342b} のゲートは、互いにpチャネル型トランジスタ341のゲートに結合され得る。第2のステージ G_{m2} 312は、カレントミラー335及びnチャネル型トランジスタ337を含み得る。

【0032】

[0035] 減衰ステージ G_{mD} 314は、低電圧マルチステージ増幅器306に関する必要な減衰を供給する。減衰ステージ G_{mD} 314は、第2のステージ G_{m2} 312に

50

関する電流源としても再び利用され得る。減衰ステージGmD314は、供給ステージとしても参照され得る。減衰ステージGmD314は、第1の抵抗350a、第2の抵抗350b、nチャネル型トランジスタM4344、nチャネル型トランジスタM5345、第1のキャパシタ343a及び第2のキャパシタ343bを含み得る。nチャネル型トランジスタM4344のゲートは、第1の抵抗350aを介して制御電圧VctP322aに結合され得る。nチャネル型トランジスタM5345のゲートは、第2の抵抗350bを介して制御電圧VctN322bに結合され得る。制御電圧VctP322a及び制御電圧VctN322bは、図4との関連で下記で説明されるバイアス回路によって供給され得る。第1の抵抗350を通じた制御電圧VctP322a及び第2の抵抗350bを通じて制御電圧VctN322bは、出力ステージGm3316の適切な動作に関して必要とされる静止電流を設定し得る。

10

【0033】

[0036] nチャネル型トランジスタM4344のドレインは、第2のステージGm2312のpチャネル型トランジスタM3342aのドレインに結合され得る。nチャネル型トランジスタM4344のドレインは、第1のキャパシタ343aを介してnチャネル型トランジスタM4344のゲートにも結合され得る。nチャネル型トランジスタM4344のソースは、可変の負の供給電圧Vneg340に結合され得る。nチャネル型トランジスタM5345のドレインは、第2のステージGm2312のpチャネル型トランジスタM3'342bのドレインに結合され得る。nチャネル型トランジスタM5345のドレインは、第2のキャパシタ343bを介してnチャネル型トランジスタM5345のゲートにも結合され得る。nチャネル型トランジスタM5345のソースは、可変の負の供給電圧Vneg340に結合され得る。第2のステージGm2312中の電流は再利用されるため、減衰ステージGmD314をサポートするための更なるバイアス回路は必要とされない。

20

【0034】

[0037] 出力ステージGm3316は、pチャネル型トランジスタM2347及びnチャネル型トランジスタM1346を含み得る。pチャネル型トランジスタM2347のソースは、可変の正の供給電圧Vpos352に結合され得る。pチャネル型トランジスタM2347のドレインは、nチャネル型トランジスタM1346のドレインに結合され得る。pチャネル型トランジスタM2347のドレインは、出力信号Vo320にも結合され得る。pチャネル型トランジスタM2347のゲートは、減衰ステージGmD314におけるnチャネル型トランジスタM4344のドレインに結合され得る。pチャネル型トランジスタM2347のゲートは、第3のキャパシタ343cを介して出力信号Vo320にも結合され得る。pチャネル型トランジスタM2347のゲートでの電圧vgp348は、バイアス回路118に供給され得る。

30

【0035】

[0038] nチャネル型トランジスタM1346のソースは、可変の負の供給電圧Vneg340に結合され得る。nチャネル型トランジスタM1346のゲートは、減衰ステージGmD314のnチャネル型トランジスタM5のドレインに結合され得る。nチャネル型トランジスタM1346のゲートは、第4のキャパシタ343dを介して出力信号Vo320にも結合され得る。nチャネル型トランジスタM1346のゲートでの電圧vgn349は、バイアス回路118に結合され得る。

40

【0036】

[0039] 低電圧マルチステージ増幅器306の適切な動作に関して求められている最少のヘッドルームは、 $V_{pos} - V_{neg} > V_{gsM2} + V_{dsatM4}$ 、であり、ここで V_{gsM2} はpチャネル型トランジスタM2347のゲートからソースへの電圧であり、 V_{dsatM4} は、飽和動作（こうして、nチャネル型トランジスタM4344を三極管領域にて動作させることを防ぐ）を満足するために要求されるnチャネル型トランジスタM4344のドレインからソースへの最少電圧である。これは高度な補償を可能にさせる。制御電圧VctP322a及び制御電圧VctN322bは、M1346、M2

50

３４７及びＭ４３４４によって形成される低電圧構造の適切な動作を確保する。

【００３７】

[0040] 図４は、本システム及び方法での使用に関するバイアス回路４１８の回路図である。図４のバイアス回路は、図１のバイアス回路１１８の一形態となり得る。バイアス回路４１８は複製した電流ステージ４８２、最少セクタ４５９及びエラー増幅器４６０を含み得る。複製した電流ステージは、第１のバイアス電圧４５８ａ及び第２のバイアス電圧４５８ｂを生成し得る。

【００３８】

[0041] 複製した電流ステージ４８２は、第１のｐチャネル型トランジスタＭ４５５ａ、第２のｐチャネル型トランジスタ４５５ｂ、ｐチャネル型トランジスタＭ２／Ｎ４５７、
 ｎチャネル型トランジスタ４５４及びｎチャネル型トランジスタＭ１／Ｋ４５３を含み得る。ｐチャネル型トランジスタＭ２／Ｎ４５７のサイズは、出力ステージＧｍ３３１
 ６のｐチャネル型トランジスタＭ２３４７を整数Ｎで割ったサイズとなり得る。ｎチャ
 ネル型トランジスタＭ１／Ｋ４５３のサイズは、出力ステージＧｍ３３１６のｎチャ
 ネル型トランジスタＭ１３４６を整数Ｋで割ったサイズになり得る。

【００３９】

[0042] 第１のｐチャネル型トランジスタ４５５ａ及び第２のｐチャネル型トランジスタ４５５ｂのソースは、互いに正のレール電圧Ｖｄｄ_r４３９に結合され得る。ｐチャ
 ネル型トランジスタ４５５ａのゲートは、第２のｐチャネル型トランジスタ４５５ｂの
 ゲートに結合され得る。第１のｐチャネル型トランジスタ４５５ａのゲートは、第１の
 ｐチャネル型トランジスタ４５５ａのドレインにも結合され得る。第１の
 ｐチャネル型トランジスタ４５５ａのゲートは、更にｎチャネル型トランジスタ４５４のドレインに結合され得る。

【００４０】

[0043] ｎチャネル型トランジスタ４５４のゲートは、電圧ｖ_b４５１に結合され得る。
 電圧ｖ_b４５１は、ｎチャネル型トランジスタＭ１／Ｋ４５３のドレイン電圧を設定す
 るために用いられる任意の電圧となり得る。ゼロ信号条件（例えば０Ｖ）で、ｎチャネル
 型トランジスタＭ１／Ｋ４５３のドレイン電圧が出力信号に近くなるよう電圧ｖ_b４５
 １を設定することが望まれる。ｎチャネル型トランジスタ４５４のソースは、ｎチャネル
 型トランジスタＭ１／Ｋ４５３のドレインに結合され得る。ｎチャネル型トランジスタ
 ４５４のゲートは、電圧ｖ_g４４９に結合され得る。電圧ｖ_g４４９は、図
 ３の電圧ｖ_g３４９になり得る。ｎチャネル型トランジスタＭ１／Ｋのソースは、可
 変の負の供給レールＶ_{neg}４４０に結合され得る。

【００４１】

[0044] 第２のｐチャネル型トランジスタ４５５ｂのドレインは、抵抗４５６ａを介し
 て可変の負の供給電圧Ｖ_{neg}４４０に結合され得る。第２のｐチャネル型トランジスタ
 ４５５ｂのドレインの電圧は、第１のバイアス電圧４５８ａになり得る。

【００４２】

[0045] ｐチャネル型トランジスタＭ２／Ｎ４５７のソースは、可変の正の供給レー
 ルＶ_{pos}４５２に結合され得る。ｐチャネル型トランジスタＭ２／Ｎ４５７のゲート
 は、電圧ｖ_g４４８に結合され得る。電圧ｖ_g４４８は、図３の電圧ｖ_g３４８
 になり得る。ｐチャネル型トランジスタＭ２／Ｎ２４５７のドレインは、抵抗４５６ｂ
 を介して可変の負の供給レールＶ_{neg}４４０に結合され得る。ｐチャネル型トランジ
 スタＭ２／Ｎ４５７のドレインの電圧は、第２のバイアス電圧４５８ｂとなり得る。

【００４３】

[0046] 第１のバイアス電圧４５８ａ及び第２のバイアス電圧４５８ｂの両者は、最少
 セクタ４５９に提供され得る。最少セクタ４５９は、所定の電圧Ｖ_{det}４６１を
 出力し得る。所定の電圧Ｖ_{det}４６１は、仮に第１のバイアス電圧４５８ａ及び第２
 のバイアス電圧４５８ｂに近い（例えば、（最少セクタトランジスタの飽和電圧として
 参照される）最少セクタ４５９中で使用されるトランジスタの飽和電圧に満たない）と

10

20

30

40

50

、第1のバイアス電圧458aと第2のバイアス電圧458bとの平均となり得る。仮にバイアス電圧458の1つが、より他のバイアス電圧458よりも大きい場合（例えば、クラスABの増幅器が高い電流をドライブしている時）、最少セクタ459は、所定の電圧Vdet 461としてより小さなバイアス電圧458を出力する。最少セクタ459が、図6に関して以下更なる詳細で説明される。

【0044】

[0047] 所定の電圧Vdet 461は、エラー増幅器460に供給され得る。エラー増幅器460は、選択されたバイアス電圧458（例えば、所定の電圧Vdet 461）と、負のフィードバックに基づいて制御電圧VctN 422b及び制御電圧VctP 422aを設定するためのリファレンス電圧Vref 462と、を比較し得る。エラー増幅器460は、それ故に制御電圧VctP 422aと、制御電圧VctN 422bと、を出力し得る。エラー増幅器460が、図5に関して以下の更なる詳細において説明される。

10

【0045】

[0048] 図5は、エラー増幅器560の回路図である。図5のエラー増幅器560は、図4におけるエラー増幅器460の一形態である。上述したように、エラー増幅器560は、バイアス電圧Vdet 561と、制御電圧VctP 522a及びVctN 522bを設定するためのリファレンス電圧Vref 562と、を比較する。エラー増幅器560は、それ故に（差動出力によって制御される）出力ステージGm3 166の静止電流を制御し得る。エラー増幅器560は、（共通モードフィードバック（CMFB）を介して共通モード出力によって制御される）第2のステージGm2 112のバイアス電流をも制御し得る。エラー増幅器560は、相互コンダクタンス（gm）と、エラー増幅器560のループの安定性と、を制御するためのソースデジェネレートになり得る。

20

【0046】

[0049] エラー増幅器560は、第1のpチャネル型トランジスタ563a、第2のpチャネル型トランジスタ563b、第3のpチャネル型トランジスタ563c、第4のpチャネル型トランジスタ563d、第1のnチャネル型トランジスタ564a、第2のnチャネル型トランジスタ564b、第3のnチャネル型トランジスタ564c及び第4のnチャネル型トランジスタ564dを含み得る。エラー増幅器560は、抵抗565及びキャパシタ566も含み得る。pチャネル型トランジスタ563a-dの各々のボディは、正の供給レールVdd_rx 539に結合され得る。nチャネル型トランジスタ564a-dの各々のボディは、nチャネル型トランジスタ564a-dの各々をバイアスするため、可変の負の供給レールVneg 540に結合され得る。

30

【0047】

[0050] 第1のpチャネル型トランジスタ563aのソースと、第2のpチャネル型トランジスタ563bのソースとは、各々が正の供給レールVdd_rx 539に結合され得る。第1のpチャネル型トランジスタ563aのゲートは、第2のpチャネル型トランジスタ563bのゲートに結合され得る。第1のpチャネル型トランジスタ563aのドレインは、第2のpチャネル型トランジスタ563bのドレインに結合され得る。第1のpチャネル型トランジスタ563aのドレインは、第3のpチャネル型トランジスタ563cのソースにも結合され得る。第2のpチャネル型トランジスタ563bのドレインは、第4のpチャネル型トランジスタ563dのソースにも結合され得る。

40

【0048】

[0051] 第3のpチャネル型トランジスタ563cのゲートと、第4のpチャネル型トランジスタ563dのゲートとは、互いにバイアス飽和電圧567に結合され得る。バイアス飽和電圧567は、飽和領域中で動作させるためのバイアスカスコードトランジスタ563c-dのために用いられる接地電圧（又は他の電圧）である。第3のpチャネル型トランジスタ563cのドレインは、nチャネル型トランジスタ564aのドレインに結合され得る。第3のpチャネル型トランジスタ563cのドレインでの電圧は、制御電圧VctP 522aとなり得る。第4のpチャネル型トランジスタ563dのドレインは

50

、第2のnチャネル型トランジスタ564bのドレインに結合され得る。第4のpチャネル型トランジスタ563dのドレインでの電圧は、制御電圧 $V_{ctN\ 522b}$ となり得る。第1のnチャネル型トランジスタ564aのゲートは、電圧 $V_{det\ 561}$ に結合され得る。図5の電圧 $V_{det\ 561}$ は、図4の電圧 $V_{det\ 461}$ になり得る。第2のnチャネル型トランジスタ564bのゲートは、リファレンス電圧 $V_{ref\ 562}$ に結合され得る。図5の電圧 $V_{ref\ 562}$ は、図4の電圧 $V_{ref\ 462}$ になり得る。第1のnチャネル型トランジスタ564aのソースは、抵抗564bを介して第2のnチャネル型トランジスタ564bのソースにも結合され得る。第1のnチャネル型トランジスタ564aのソースは、キャパシタ566を介して第2のnチャネル型トランジスタ564bのソースに結合され得る。

10

【0049】

[0052] 第1のnチャネル型トランジスタ564aのソースは、さらに第3のnチャネル型トランジスタ564cのドレインに結合され得る。第2のnチャネル型トランジスタ564bのソースは、第4のnチャネル型トランジスタ564dのドレインに結合され得る。第3のnチャネル型トランジスタ564cのゲート及び第4のnチャネル型トランジスタ564dのゲートは、互いにリファレンス信号 $n_{ref\ 568}$ に結合され得る。リファレンス信号 $n_{ref\ 568}$ は、制御電圧 $V_{ctP\ 522a}$ 及び制御電圧 $V_{ctP\ 522b}$ の共通モード電圧を設定する共通モードフィードバック(CMFB)増幅器から提供され得る。第3のnチャネル型トランジスタ564cのソース及び第4のnチャネル型トランジスタ564dのソースは、互いに可変の負の供給レール $V_{neg\ 540}$ に結合され得る。

20

【0050】

[0053] 図6は、最少セクタ659の回路図である。図6の最少セクタ659は、図4の最少セクタ459の一形態である。上述したように、最少セクタ459は、第1のバイアス電圧658aと第2のバイアス電圧658bと、を受信し得る。最少セクタ659は、次いで(バイアス電圧658が近ければ)バイアス電圧658の平均を、電圧 $V_{det\ 661}$ として、又は(一方のバイアス電圧658が他方のバイアス電圧658よりもより大きければ)より小さなバイアス電圧658を電圧 $V_{det\ 661}$ として、出力し得る。他の増幅器のデザインにおいて、最少セクタ659は、増幅器中に内蔵され、複雑なマルチステージのトポロジー(topology)で使用されることが出来ない。

30

【0051】

[0054] 最少セクタ659は、第1のpチャネル型トランジスタ673a、第2のpチャネル型トランジスタ673b、第3のpチャネル型トランジスタ673c及び第4のpチャネル型トランジスタ673dを含み得る。pチャネル型トランジスタ673a-dの各々のボディは、pチャネル型トランジスタ673a-dの各々をバイアスするための正の供給レール $V_{dd_rx\ 639}$ に結合され得る。第1のpチャネル型トランジスタ673aのソースは、正の供給レール $V_{dd_rx\ 639}$ に結合され得る。第1のpチャネル型トランジスタ673aのゲートは、電圧 $p_{ref\ 674}$ を受信し得る。第1のpチャネル型トランジスタ673aのドレインは、第2のpチャネル型トランジスタ673bのソースに結合され得る。第2のpチャネル型トランジスタ673bのゲートは、電圧 $p_{rfcas\ 675}$ を受信し得る。電圧 $p_{ref\ 674}$ 及び $p_{rfcas\ 675}$ は、pチャネル型トランジスタ673及び673dが適切な電流でバイアスされるよう設定され得る。

40

【0052】

[0055] 第2のpチャネル型トランジスタ673bのドレインは、第3のpチャネル型トランジスタ673bのソース及び第4のpチャネル型トランジスタ673dのソースに結合され得る。第2のpチャネル型トランジスタ673bのドレインでの電圧は、最少セクタ659によるバイアス電圧 $V_{det\ 661}$ の出力になり得る。第3のpチャネル型トランジスタ673cのドレイン及び第4のpチャネル型トランジスタ673dのドレインは、各々が可変の負の供給レール $V_{neg\ 640}$ に結合され得る。第3のpチャネ

50

ル型トランジスタ 673c のゲートは、抵抗 656a (例えば、抵抗 456a) を介して、可変の負の供給レール Vneg 640a に結合され得る。第 3 の p チャネル型トランジスタ 673c のゲートは、第 1 のバイアス電圧 658a にも結合され得る。第 4 の p チャネル型トランジスタ 673d のゲートは、抵抗 656b (例えば抵抗 456b) を介して可変の負の供給レール Vneg 640 に結合され得る。第 4 の p チャネル型トランジスタ 673d のゲートは、第 2 のバイアス電圧 658b にも結合され得る。

【0053】

[0056] 図 7 は、低電圧マルチステージ増幅器 106 を使用する増幅に関する方法 700 のフロー図である。方法 700 は、低電圧マルチステージ増幅器 106 によって実行され得る。低電圧マルチステージ増幅器 106 は、702 において、入力信号 108 を受信し得る。低電圧マルチステージ増幅器 106 は、704 において、電圧 VO1 221 を得るために第 1 ステージ Gm1 110 を用いて入力信号 108 を増幅し得る。低電圧マルチステージ増幅器 106 は、706 において、電圧 VO2 224 を得るために第 2 のステージ Gm2 112 を用いて電圧 VO1 221 を増幅し得る。

10

【0054】

[0057] 低電圧マルチステージ増幅器 106 は、708 において、バイアス回路 118 を用いて、出力ステージ Gm3 116 に関する制御電圧 VctN 322b と制御電圧 VctP 322a を生成し得る。低電圧マルチステージ増幅器 106 は、710 において、減衰ステージ GmD 114 を介して出力ステージ Gm3 116 に制御電圧 VctN 322b 及び制御電圧 VctP 322a を供給し得る。低電圧マルチステージ増幅器 106 は、712 において、出力信号 120 を得るために出力ステージ Gm3 116 を用いて電圧 VO2 224 を増幅し得る。

20

【0055】

[0058] 図 8 は、低電圧マルチステージ増幅器 106 を使用する電子デバイス / 無線デバイス 801 内に含まれ得るある構成要素を示す。電子デバイス / 無線デバイス 801 は、アクセス局、モバイル局、無線通信デバイス、ユーザ装置 (UE)、ベース局、ノード B、手持ち式の電子デバイスなどである。電子デバイス / 無線デバイス 801 は、プロセッサ 803 を含む。プロセッサ 803 は、汎用シングルチップまたはマルチチップマイクロプロセッサ (例えば、ARM (登録商標))、特殊目的マイクロプロセッサ (例えば、デジタル信号プロセッサ (DSP))、マイクロ制御装置、プログラム可能ゲートアレイ等であり得る。プロセッサ 803 は、中央処理ユニット (CPU) と称され得る。図 9 の電子デバイス / 無線デバイス 801 には単一のプロセッサ 803 だけが示されているが、代替的な構成では、プロセッサの組み合わせ (例えば、ARM と DSP) が使用されることもできる。

30

【0056】

[0059] 電子デバイス / 無線デバイス 801 は、メモリ 805 も含む。メモリ 805 は、電子情報を記憶することができる電子構成要素であり得る。メモリ 805 は、ランダムアクセスメモリ (RAM)、読取専用メモリ (ROM)、磁気ディスク記憶媒体、光学記憶媒体、RAM におけるフラッシュメモリデバイス、プロセッサと共に含まれるオンボードメモリ、EPROM メモリ、EEPROM メモリ、抵抗、等、及びそれらの組み合わせとして具現化され得る。

40

【0057】

[0060] データ 807 及び命令 809a は、メモリ 805 内に記憶され得る。命令 809a は、本明細書で開示された方法を履行するためにプロセッサ 803 によって実行可能とされ得る。命令 809a を実行することは、メモリ 805 内に記憶されているデータ 807a の使用を含み得る。プロセッサ 803 が命令 809a を実行する時、命令 809b の様々な部分がプロセッサ 803 の上にロードされ、データ 807b の様々な部分がプロセッサ 803 の上にロードされ得る。

【0058】

[0061] 電子デバイス / 無線デバイス 801 は、電子デバイス / 無線デバイス 801 か

50

ら及び電子デバイス／無線デバイス 801 への信号の受信及び送信を可能にするために、送信機 811 及び受信機 813 をも含み得る。送信機 811 及び受信機 813 は、トランシーバ 815 と総称され得る。アンテナ 817 は、電氣的にトランシーバ 815 に結合されうる。電子デバイス／無線デバイス 801 は、(図示せぬ) マルチプルの送信機、マルチプルの受信機、マルチプルのトランシーバ、及び/又はマルチプルのアンテナをも含む得る。

【0059】

[0062] 電子デバイス／無線デバイス 801 は、デジタル信号プロセッサ(DSP) 821 を含む得る。電子デバイス／無線デバイス 801 は、通信インターフェース 823 をも含み得る。通信インターフェース 823 は、ユーザに電子デバイス／無線デバイス 801 と対話することを可能にし得る。

10

【0060】

[0063] 電子デバイス／無線デバイス 801 の様々な構成要素が、1つまたは複数のバスによって共に結合され、電力バス、制御信号バス、状態信号バス、データバスなどを含み得る。明確にするために、様々なバスが、バスシステム 819 として、図9において例示される。

【0061】

[0064] ここで説明された技術は、直交多重化スキームに基づく通信システムを含む、様々な通信システムに使用され得る。このような通信システムの例には、直交周波数分割多元接続(OFDMA)システム、単一キャリア周波数分割多元接続(SC-FDMA)システム、等が含まれる。OFDMAシステムは、システム帯域幅全体を複数の直交サブキャリアに分割する変調技術である、直交周波数分割多重化(OFDM)を利用する。本明細書に説明された技術は、直交多重化スキームに基づく通信システムを含む様々な通信システムに使用され得る。SC-FDMAシステムは、インターリーブされたFDMA(IFDMA)を利用して、システム帯域幅にわたって分散されているサブキャリア上で送信し、局所化されたFDMA(LFDMA)を利用して、隣り合ったサブキャリアのブロック上で送信し、または、拡張されたFDMA(EFDMA)を利用して、隣り合ったサブキャリアのマルチプルのブロック上で送信することができる。一般的に、変調シンボルは、OFDMを用いて周波数ドメインで送られ、SC-FDMを用いて時間ドメインで送られる。

20

30

【0062】

[0065] 用語「判定すること(determining)」は、多種多様なアクションを包含する、したがって、「判定すること」とは、計算すること、演算すること、処理すること、導出すること、調査すること、調べること(例えば、表、データベース、あるいは別のデータ構造を調べること)、確認することなどを含みうる。また、「判定する」は、受信すること(例えば、情報を受信すること)や、アクセスすること(例えば、メモリ中のデータにアクセスすること)などを含み得る。また、「判定すること」は、決定することや、選択することや、選ぶことや、確立することなどを含み得る。

【0063】

[0066] フレーズ「～に基づく」は、そうではないと明確に特定されていない限りは、「～のみに基づく」ことを意味しているわけではない。言い換えると、フレーズ「～に基づく」は、「～のみに基づく」および「少なくとも～に基づく」の両方ともを表す。

40

【0064】

[0067] 用語「プロセッサ」は、汎用プロセッサ、中央処理ユニット(CPU)、マイクロプロセッサ、デジタル信号プロセッサ(DSP)、コントローラ、マイクロコントローラ、ステートマシンなどを包含するように広く解釈されるべきである。いくつかの状況下では、「プロセッサ」は、特定用途向け集積回路(ASIC)、プログラマブル論理デバイス(PLD)、フィールドプログラマブルゲートアレイ(FPGA)、などを参照し得る。用語「プロセッサ」は、処理デバイスの組み合わせ、例えば、DSPとマイクロプロセッサの組み合わせ、複数のマイクロプロセッサ、DSPコアと連結した1つまたは複

50

数のマイクロプロセッサ、または、そのような構成のあらゆる他のものを参照し得る。

【0065】

[0068] 用語「メモリ」は、電子情報を記憶することができるあらゆる電子コンポーネントを包含するように広く解釈されるべきである。用語メモリは、ランダムアクセスメモリ(RAM)、読取専用メモリ(ROM)、不揮発性ランダムアクセスメモリ(NVRAM)、プログラマブル読取専用メモリ(PROM)、消去可能なプログラマブル読取専用メモリ(EPROM)、電氣的消去可能PROM(EEPROM)、フラッシュメモリ、磁気または光学データ記憶デバイス、レジスタなどのような、様々なタイプのプロセッサ読取可能媒体を指しうる。メモリは、プロセッサが、メモリから情報を読み取る、および/または、メモリに情報を書き込むことができる場合に、プロセッサと電子通信中であると言われる。プロセッサに集積されているメモリは、そのプロセッサと電子通信中である。

10

【0066】

[0069] 用語「命令群」及び「コード」は、あらゆるタイプのコンピュータ可読ステートメントを含むように広く解釈されるべきである。例えば、用語「命令」及び「コード」は、1つまたは複数のプログラム、ルーチン、サブルーチン、機能、手順などのことを参照しうる。「命令」及び「コード」は、単一のコンピュータ読み取り可能ステートメント又は多くのコンピュータ読み取り可能ステートメントを含み得る。

【0067】

[0070] 本明細書で説明された機能は、ハードウェアによって実行されているファームウェア又はソフトウェアで実現されうる。機能は、1つまたは複数の命令として、コンピュータ読取可能な媒体に記憶され得る。用語「コンピュータ読取可能な媒体」又は「コンピュータプログラム製品」は、コンピュータ又はプロセッサによってアクセスされ得る任意の有形な記憶媒体を指す。限定ではなく例として、コンピュータ読取可能な媒体は、RAM、ROM、EEPROM、CD-ROM、または他の光学ディスク記憶装置、磁気ディスク記憶装置あるいは他の磁気記憶デバイス、または、命令あるいはデータ構造の形態で所望のプログラムコードを搬送あるいは記憶するために使用され得、かつ、コンピュータによってアクセスされ得るあらゆる他の媒体を含みうる。ここで使用される場合、ディスク(disk)およびディスク(disc)は、コンパクトディスク(CD)、レーザーディスク(登録商標)、光ディスク、デジタル多目的ディスク(DVD)、フロッピー(登録商標)ディスクおよびブルーレイ(登録商標)ディスクを含み、ここでディスク(disks)は、通常磁氣的にデータを再生し、一方ディスク(disks)は、レーザーを用いて光学的にデータを再生する。コンピュータ可読媒体が、有形および非一時的であり得ることに注意されたい。用語「コンピュータプログラム製品(computer-program product)」は、コンピューティングデバイス又はプロセッサによって計算、処理、又は実行され得る命令又はコード(例えば、「プログラム」と組み合わせたコンピューティングデバイスまたはプロセッサを参照する。本明細書で使用される場合、用語「コード(code)」は、コンピューティングデバイスまたはプロセッサによって実行可能であるソフトウェア、命令、コードまたはデータを指し得る。

20

30

【0068】

[0071] 本明細書において開示される方法は、説明された方法を達成するための1又は複数のステップを備える。方法ステップおよび/あるいはアクションは、請求項の範囲から逸脱することなくお互いと交換されうる。言い換えると、ステップあるいはアクションの特定の順序が、説明されている方法の適切な動作のために必要とされない限り、特定のステップおよび/あるいはアクションの順序および/あるいは使用が、特許請求の範囲から逸脱することなく変形されうる。

40

【0069】

[0072] 更に、図7によって示されたもののような、本明細書において説明された方法および技術を実行するためのモジュールおよび/または他の適切な手段が、デバイスによってダウンロード、および/または、他の方法で取得されうることは認識されるべきであ

50

る。例えば、デバイスは、本明細書において説明された方法を実行する手段の転送を容易にするためにサーバに連結されうる。代替的に、本明細書において説明されている様々な方法は、デバイスが、記憶手段（例えば、ランダムアクセスメモリ（RAM）、読み取り専用メモリ（ROM）、コンパクトディスク（CD）のような物理記憶媒体あるいはフロッピーディスクなど）を、そのデバイスに結合あるいは提供する際に様々な方法を取得しうるように、その記憶手段を通して提供されうる。

【0070】

[0073] 特許請求の範囲は、上記に例示された正確な構成およびコンポーネントに限定されるわけではないということが理解されるべきである。様々な修正、変更、および、バリエーションが、本明細書において説明されたシステム、方法、および装置の配置、オペレーション、および、詳細において、特許請求の範囲から逸脱することなく行われうる。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

〔C1〕

1つまたは複数の前段のステージと、
供給ステージと、

出力ステージ中の第1のトランジスタのしきい値電圧と、前記供給ステージの第2のトランジスタの飽和電圧との合計と同じ低さの供給電圧で動作する前記出力ステージと、
ここにおいて前記供給ステージは前記出力ステージを供する、

を具備する低電圧マルチステージ増幅器。

〔C2〕

前記供給ステージは減衰ステージとしても動作する、C1の低電圧マルチステージ増幅器。

〔C3〕

バイアス回路を更に具備し、

ここにおいて、前記バイアス回路は、前記供給ステージを介して前記出力ステージの適切な動作のための静止電流を設定する、C1の低電圧マルチステージ増幅器。

〔C4〕

前記バイアス回路は、

複製した電流ステージと、

最少セレクトと、

エラー増幅器とを具備するC3の低電圧マルチステージ増幅器。

〔C5〕

前記複製した電流ステージは、前記最少セレクトに第1のバイアス電圧と第2のバイアス電圧とを供給し、ここにおいて前記最少セレクトは、前記エラー増幅器に所定の電圧を供給し、ここにおいて前記エラー増幅器は、前記出力ステージの静止電流を設定する前記供給ステージを制御する、

C4の低電圧マルチステージ増幅器。

〔C6〕

所定の電圧は、仮に第1のバイアス電圧と第2のバイアス電圧とが互いの最少セレクトトランジスタ内での飽和電圧内であれば、前記第1のバイアス電圧と前記第2のバイアス電圧との平均であり、ここにおいて、前記所定の電圧は、仮に前記第1のバイアス電圧と前記第2のバイアス電圧とが、互いの前記最少セレクトトランジスタ内での飽和電圧内でない場合、前記第1のバイアス電圧と前記第2のバイアス電圧のうち小さい方である、

C5の低電圧マルチステージ増幅器。

〔C7〕

前記エラー増幅器は、前記供給ステージに第1の制御電圧と第2の制御電圧とを出力する、C5の低電圧マルチステージ増幅器。

〔C8〕

前記第1のトランジスタは、pチャネル型トランジスタであり、ここにおいて前記第2のトランジスタは、nチャネル型トランジスタである、C1の低電圧マルチステージ増幅

10

20

30

40

50

器。

[C 9]

前記第 1 のトランジスタのソースは、可変の正の供給電圧に結合され、ここにおいて前記第 1 のトランジスタのゲートは、前記第 2 のトランジスタのドレインに結合され、ここにおいて前記第 2 のトランジスタのソースは、可変の負の供給電圧に結合される、C 8 の低電圧マルチステージ増幅器。

[C 1 0]

前記 1 つまたは複数の前段のステージは、第 1 のステージと第 2 のステージとを具備し、

ここにおいて前記第 1 のステージは入力信号を受信し、ここにおいて前記第 1 のステージの出力は、前記第 2 のステージに結合され、ここにおいて前記第 2 のステージの出力は、前記出力ステージに結合され、ここにおいて前記出力ステージは出力信号を出力する、C 1 の低電圧マルチステージ増幅器。

10

[C 1 1]

第 2 のステージ内の電流が再利用されるので、供給ステージをサポートするための更なるバイアス電流は、必要とされない、C 1 0 の低電圧マルチステージ増幅器。

[C 1 2]

前記低電圧マルチステージ増幅器は、クラス G の増幅器である、C 1 の低電圧マルチステージ増幅器。

[C 1 3]

前記低電圧マルチステージ増幅器は、クラス H の増幅器である、C 1 の低電圧マルチステージ増幅器。

20

[C 1 4]

前記低電圧マルチステージ増幅器は、前記出力ステージの出力信号に前記出力ステージの供給電圧を一致させるよう構成される、C 1 の低電圧マルチステージ増幅器。

[C 1 5]

前記出力ステージは、 ± 0.45 V の供給電圧で動作する、C 1 の低電圧マルチステージ増幅器。

[C 1 6]

増幅に関する方法であって、前記方法は、入力信号を取得することと、
低電圧マルチステージ増幅器に用いる前記入力信号を増幅することとは、
1 つまたは複数の前段のステージと、

30

供給ステージと、

出力ステージ内の第 1 のトランジスタのしきい値電圧と前記供給ステージの第 2 のトランジスタの飽和電圧と、の合計と同じくらい低い供給電圧で動作する前記出力ステージと、
ここにおいて前記供給ステージは前記出力ステージを供する、を具備する、増幅に関する方法。

[C 1 7]

前記供給ステージは減衰ステージとしても動作する、C 1 6 の方法。

[C 1 8]

前記低電圧マルチステージ増幅器は、バイアス回路を更に具備し、ここにおいて前記バイアス回路は、前記供給ステージを介して前記出力ステージの適切な動作に関する静止電流を設定する、C 1 6 の方法。

40

[C 1 9]

前記バイアス回路は、
複製した電流ステージと、
最少セレクタと、
エラー増幅器とを具備する C 1 8 の方法。

[C 2 0]

前記複製した電流ステージは、前記最少セレクタに第 1 のバイアス電圧と第 2 のバイア

50

ス電圧とを供給し、ここにおいて、前記最少セレクトは、所定の電圧を前記エラー増幅器に供給し、ここにおいて前記エラー増幅器は前記出力ステージの静止電流を設定する前記供給ステージを制御する、C 19の方法。

[C 2 1]

前記所定の電圧は、仮に前記第1のバイアス電圧と前記第2のバイアス電圧が、互いの最少セレクトトランジスタの飽和電圧内であれば、前記第1のバイアス電圧と前記第2のバイアス電圧との平均であり、

ここにおいて、前記所定の電圧は、仮に前記第1のバイアス電圧と前記第2のバイアス電圧とが、互いの前記最少セレクトトランジスタの飽和電圧内でないと、前記第1のバイアス電圧と前記第2のバイアスのうちより小さい方である、C 20の方法。

10

[C 2 2]

前記エラー増幅器は、第1の制御電圧及び第2の制御電圧を前記供給ステージに出力する、C 20の方法。

[C 2 3]

前記第1のトランジスタは、pチャネル型トランジスタであり、ここにおいて、前記第2のトランジスタは、nチャネル型トランジスタである、C 16の方法。

[C 2 4]

前記第1のトランジスタのソースは、可変の正の供給電圧に結合され、ここにおいて前記第1のトランジスタのゲートは、前記第2のトランジスタのドレインに結合され、ここにおいて前記第2のトランジスタのソースは可変の負の供給電圧に結合される、C 23の方法。

20

[C 2 5]

前記1つまたは複数の前段のステージは、第1のステージと第2のステージとを具備し、ここにおいて前記第1のステージは、入力信号を受信し、ここにおいて前記第1のステージの出力は前記第2のステージに結合され、ここにおいて前記第2のステージの出力は、前記出力ステージに結合され、ここにおいて前記出力ステージは出力信号を出力する、C 16の方法。

[C 2 6]

前記第2のステージ内の電流が再利用するので、前記供給ステージをサポートするための更なるバイアス電流は、必要とされない、C 25の方法。

30

[C 2 7]

前記低電圧マルチステージ増幅器は、クラスGの増幅器である、C 16の方法。

[C 2 8]

前記低電圧マルチステージ増幅器は、クラスHの増幅器である、C 16の方法。

[C 2 9]

前記低電圧マルチステージ増幅器は、前記出力ステージの供給電圧を前記出力ステージの出力信号に一致させるよう構成される、C 16の方法。

[C 3 0]

前記出力ステージは、 $\pm 0.45\text{ V}$ の供給電圧で動作する、C 16の方法。

[C 3 1]

入力信号を取得する手段と、
前記入力信号を増幅する手段と、ここにおいて、前記入力信号を増幅する前記手段は、1つまたは複数の前段のステージと、
供給ステージと、

40

出力ステージ内の第1のトランジスタのしきい値電圧と、前記供給ステージの第2のトランジスタの飽和電圧と、の合計と同じくらい低い供給電圧で動作する前記出力ステージと、ここにおいて前記供給ステージは前記出力ステージを供する、を具備する、デバイス。

[C 3 2]

前記入力信号を増幅する前記手段は、バイアス回路を更に具備し、ここにおいて前記バ

50

イアス回路は、前記供給ステージを介して前記出力ステージの適切な動作に関する静止電流を設定する、C 3 1 のデバイス。

[C 3 3]

前記バイアス回路は、

複製した電流ステージと、

最少セレクトと、

ミラー増幅器とを具備する C 3 2 のデバイス。

[C 3 4]

前記デバイスは、出力ステージの供給電圧を、前記出力ステージの出力信号に一致させるよう構成される、C 3 1 のデバイス。

[C 3 5]

前記出力ステージは ± 0.45 V の供給電圧で動作する、C 3 1 のデバイス。

[C 3 6]

入力信号の増幅することに関して構成されたコンピュータプログラム製品であって、前記コンピュータプログラム製品は、それに命令を有する非一時的なコンピュータ可読媒体を具備し、

前記命令は、

低電圧マルチステージ増幅器に入力信号を取得するためのコードと、

前記低電圧マルチステージ増幅器に前記入力信号を増幅させるコードと、

ここにおいて前記低電圧マルチステージ増幅器は、1 つまたは複数の前段のステージと

、

供給ステージと、

出力ステージにおける第 1 のトランジスタのしきい値電圧と、前記供給ステージの第 2 のトランジスタの飽和電圧と、の合計と同じくらい低い供給電圧で動作する前記出力ステージと、ここにおいて前記供給ステージは前記出力ステージを供する、を具備するコンピュータプログラム製品。

[C 3 7]

前記低電圧マルチステージ増幅器は、バイアス回路を更に具備し、ここにおいて前記バイアス回路は、前記供給ステージを介して前記出力ステージの適切な動作に関して静止電流を設定する、C 3 6 のコンピュータプログラム製品。

[C 3 8]

前記バイアス回路は、

複製した電流ステージと、

最少セレクトと、

エラー増幅器と

を具備する C 3 7 のコンピュータプログラム製品。

[C 3 9]

前記低電圧マルチステージ増幅器は、出力ステージの供給電圧を、前記出力ステージの出力信号に一致させるよう構成された、C 3 6 のコンピュータプログラム製品。

[C 4 0]

前記出力ステージは、 ± 0.45 V の供給電圧で動作する、C 3 6 のコンピュータプログラム製品。

10

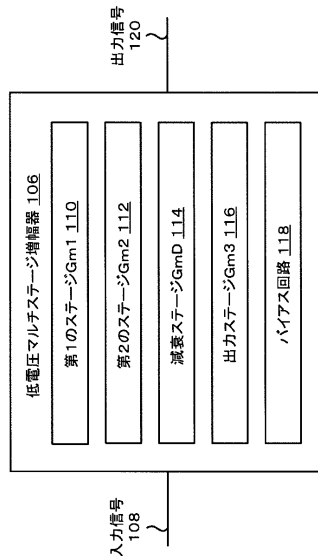
20

30

40

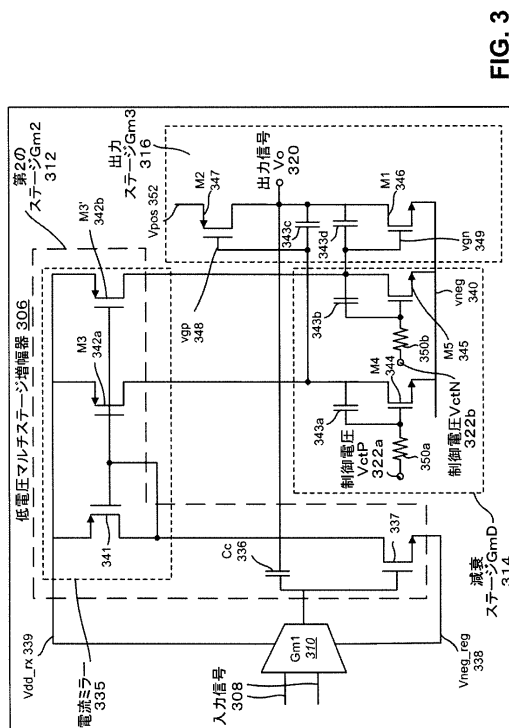
【 図 1 】

图 1



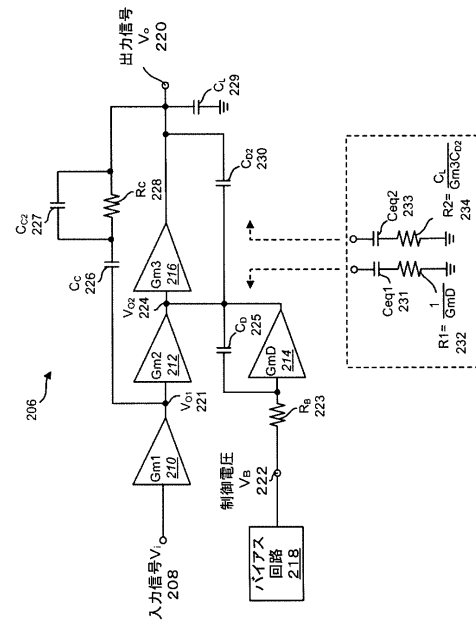
【 図 3 】

图 3



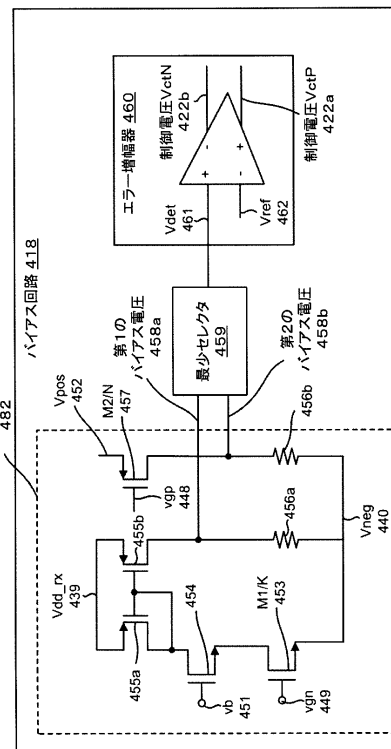
【 図 2 】

图 2



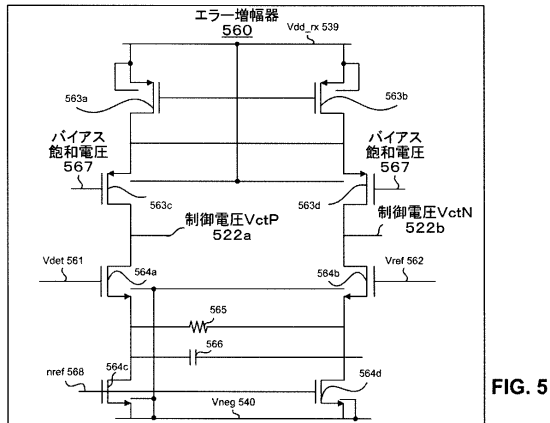
【 図 4 】

图 4



【 図 5 】

图 5



【 圖 7 】

图 7

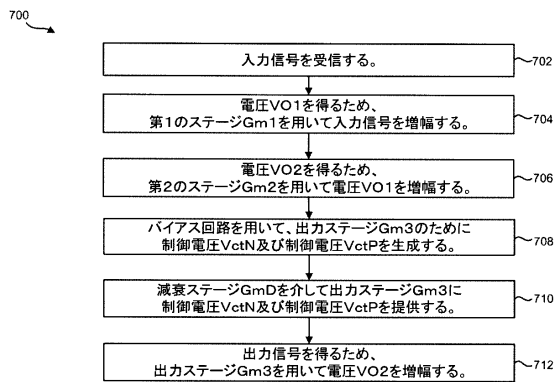


FIG. 7

FIG. 8

フロントページの続き

- (31)優先権主張番号 13/793,933
(32)優先日 平成25年3月11日(2013.3.11)
(33)優先権主張国・地域又は機関
米国(US)

早期審査対象出願

- (74)代理人 100184332
弁理士 中丸 慶洋
(72)発明者 ダナセカラン、ビジャクマー
アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

合議体

審判長 吉田 隆之
審判官 中野 浩昌
審判官 富澤 哲生

- (56)参考文献 特表2012-513174(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H03F 1/02