

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl.<sup>7</sup>  
G09G 3/28  
G09G 3/30  
G09G 3/20

(11) 공개번호 10-2005-0047042  
(43) 공개일자 2005년05월19일

(21) 출원번호 10-2005-0027646(분할)  
(22) 출원일자 2005년04월01일  
(62) 원출원 특허10-2001-0055312  
원출원일자 : 2001년09월08일 심사청구일자 2001년09월08일

(30) 우선권주장 JP-P-2000-00273205 2000년09월08일 일본(JP)  
JP-P-2001-00197797 2001년06월29일 일본(JP)

(71) 출원인 파이오니아 가부시킴가이샤  
일본 도쿄도 메구로구 메구로 1초메 4반 1고  
파이오니아 디스플레이 프로덕츠 가부시킴가이샤  
(72) 발명자 일본 시즈오카 후쿠로이시 와시주 아자 니시노야 15-1  
이와미 타카시  
일본 야마나시 나카코마군 타토미초 니시하나와 넘버 2680 시즈오카 파  
이오니아 가부시킴가이샤 코우푸 플랜트 내  
(74) 대리인 백덕열  
이태희

심사청구 : 있음

(54) 표시 패널 구동용 구동 장치

요약

표시 패널 구동 장치는 화소 데이터 기입 시에 전력 소비를 감소시킬 수 있다.

상기 표시 패널 구동 장치는 열 방향으로 서로 인접한 공급된 화소 데이터 중 적어도 2개가 서로 같은 논리 값을 취할 때, 화소 데이터 펄스를 생성하고 그의 최대 전위 레벨을 유지하는 공진 펄스 전원의 공진 진폭을 감소시킨다.

대표도

도 4

명세서

도면의 간단한 설명

도1은 표시 패널로서 플라즈마 표시 패널을 사용하는 플라즈마 표시장치의 구조를 도시하는 개략적인 도면이다.

도2는 1서브 필드의 PDP(10)로의 각종 구동 펄스의 인가 타이밍을 도시하는 도면이다.

도3은 본 발명의 구동 장치를 사용하여 구비된 플라즈마 표시장치의 구성을 도시하는 도면이다.

도4는 본 발명의 구동 장치로서의 열전극 구동 장치(20)의 내부 동작을 도시하는 도면이다.

도5는 본 발명의 구동 장치로서의 열전극 구동 장치(20)의 내부 구성을 도시하는 도면이다.

도6은 열전극 구동 장치(20)의 다른 구성을 도시하는 도면이다.

도7은 도6에 도시한 열전극 구동 장치(20)의 내부 동작을 도시하는 도면이다.

도8은 열전극 구동장치(20)의 다른 내부 동작중 하나를 도시하는 도면이다.

도9는 열전극 구동장치(20)의 다른 구성을 도시하는 도면이다.

도10은 수정된 열전극 구동장치(20)를 도시하는 도면이다.

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 AC 구동형 플라즈마 또는 일렉트로루미네스스 표시 패널 등의 평판 표시 패널을 구동하기 위한 구동 장치에 관한 것이다.

플라즈마 표시 패널(PDP) 또는 일렉트로루미네스스 표시 패널(ELP) 등의 용량성 발광 소자에 의해 구성된 평판 표시 패널이 개발되어 왔다.

도1은 평판 패널 등의 PDP를 포함하는 플라즈마 표시 장치의 일반적인 구성을 도시한다.

도1에서, PDP(10)는 단일 프레임 또는 스크린의 제1 내지 제n 행 각각에 대응하는 각 행전극쌍들을 구성하는 행전극( $Y_1 \sim Y_n$ ,  $X_1 \sim X_n$ )을 포함한다. PDP는 단일 프레임의 제1 내지 제m 열에 각각 대응하는 열전극( $Z_1 \sim Z_m$ )을 더 포함한다. 열전극(Z)은 행전극쌍(X,Y)과 교차하며, 방전셀이 1쌍의 행전극쌍(X,Y)과 하나의 열전극(Z) 사이의 각 교차점에서 형성되도록 행전극쌍(X,Y)과 함께, 유전체층(도시하지 않음)과 방전 공간(도시하지 않음)을 개재한다.

이 경우, 각 방전셀은 "발광"과 "비발광"의 두 상태 중 어느 하나를 취한다고 생각할 수 있다. 즉, 방전셀은 최저 휘도(비발광 상태)와 최대 휘도(발광 상태)의 두 계조만을 표시할 수 있다.

따라서, PDP(10) 구동용 구동 장치(100)는 PDP(10)를 구동하는 소위 서브 필드 방법을 채용하여, 입력 영상 신호에 응답하여 휘도의 중간 계조를 실현한다.

서브 필드 방법에서, 입력 영상 신호에 의해 수반된 각 화소는 N 비트의 영상 데이터로 변환된다. 영상 신호에 의해 저장된 1 필드 또는 프레임은 영상 데이터 중 하나의 각 디지털트에 대응하는 N개의 각 서브 필드로 분할된다. 적절한 방전 횟수는 서브 필드에 주어진 웨이트에 따라, 서브 필드에 할당된다. 각 방전 공간은 트리거되어, 방전 활동을 개시하여, 각 서브 필드를 구성한다. 각 화소는 1 필드 또는 프레임 내의 각 서브 필드 내에 각각 발생된 각 방전 횟수의 총합에 대응하는 중간 계조의 휘도를 취한다.

선택 소거 어드레스 방법은 상기 서브 필드 방법을 사용하는 것에 의해, 실제로 PDP를 구동하기 위한 방법의 예로서 알려져 있다.

도2는 계조 구동이 선택 소거 어드레스 방법에 기초하여 행해질 때, 서브 필드 내의 드라이버(100)에 의해 PDP(10)의 열전극 및 행전극에 인가되는 각종 구동 펄스의 인가 타이밍을 도시한 도면이다.

우선, 드라이버(100)는 각 행전극( $X_1 \sim X_n$ )에 부극성을 갖는 리셋 펄스( $RP_x$ )를 동시에 인가하고, 각 행전극( $Y_1 \sim Y_n$ )에 정극성을 갖는 리셋 펄스( $RP_y$ )를 동시에 인가한다(동시 리셋 단계(RC)).

리셋 펄스( $RP_x, RP_y$ )의 인가에 따라, PDP(10)의 전체 방전셀은 방전되어 리셋되고, 소정의 장벽(wall) 전하가 각 방전셀에 균일하게 형성된다.

이 공정에 의해, PDP(10) 내의 모든 방전셀이 "발광셀" 상태로 초기화된다.

다음, 드라이버(100)는 입력되는 영상 신호를 예컨대 8비트의 화소 데이터로 변환한다. 상기 드라이버(100)는 화소 데이터 비트를 얻기 위해, 각 비트 디지털트에 대한 8비트 화소 데이터의 각 비트를 분리하여, 대응하는 비트의 논리 레벨(또는 값)에 따른 펄스 전압을 갖는 화소 데이터 펄스를 생성한다. 예컨대, 드라이버(100)는 상기 화소 데이터 비트의 논리 레벨이 "1"이면 고전압을 갖고, 화소 데이터 비트의 논리 레벨이 "0"이면 저전압(0볼트)을 갖는 화소 데이터 펄스(DP)를 생성한다. 또한, 도2에 도시한 바와 같이, 드라이버(100)는 각 표시 라인(m 라인)에 대한 일 스크린의 화소 데이터 펄스( $DP_{11} \sim DP_{nm}$ )(n행과 m열)를 그룹화함으로써 형성되는 화소 데이터 펄스( $DP_{11-1m}, DP_{21-2m}, DP_{31-3m}, \dots, DP_{n1-nm}$ )의 각 m그룹을 열전극( $Z_1 \sim Z_m$ )에 순차 인가한다. 또한, 드라이버(100)는 도2에 도시한 바와 같이, 각 화소 데이터 펄스 그룹(DP)의 각 인가 타이밍에 동기하여, 주사 펄스(SP)를 생성하고, 이를 행전극( $Y_1 \sim Y_n$ )에 순차 인가한다(화소 데이터 기입 공정(Wc)). 이 동작에 의해, 주사 펄스(SP)에 의해 인가된 "행"과 고전압을 갖는 화소 데이터 펄스에 의해 인가된 "열"의 교차 부분의 방전셀에서만 방전(선택 소거 방전)이 발생되어, 방전셀에 남아있는 장벽 전하를 선택 소거한다. 상기 공정에 의해, 상기 동

시 리셋 공정에서 "발광셀" 상태로 초기화된 방전셀이 "비발광셀"로 시프트된다. 반면, 선택 소거 방전은 주사 펄스(SP)가 인가되는 동안, 저전압을 갖는 화소 데이터 펄스를 인가하는 "행"과 "열"을 교차시키기 위해 형성된 방전셀에서 발생되지 않으므로, 동시 리셋 공정(Rc)에서 초기화된 상태, 즉 "발광셀"의 상태를 유지한다.

다음, 드라이버(100)는 도2에 도시한 바와 같이, 정극성을 갖는 유지 펄스(IP<sub>x</sub>)를 행전극(X<sub>1</sub>~X<sub>n</sub>)에 반복적으로 인가하고, 도2에 도시한 바와 같이, 유지 펄스(IP<sub>x</sub>)가 인가되지 않는 기간동안, 행전극(Y<sub>1</sub>~Y<sub>n</sub>)에 정극성을 갖는 유지 펄스(IP<sub>y</sub>)를 반복적으로 인가한다(발광 유지 단계(Ic)).

상기 공정에서, 장벽 전하가 유지되는 동안의 방전셀, 즉 "발광셀" 상태로 된 방전셀만이 유지 펄스(IP<sub>x</sub>, IP<sub>y</sub>)가 교대로 인가될 때마다, 방전(방전 유지)을 행한다. 즉, 상기 화소 데이터 기입 단계(Wc)에서, "발광셀" 상태로 설정된 방전셀만이 각 서브 펄드의 웨이트에 대응하는 횟수로 지속적인 방전에 따른 발광을 반복하여, 발광 상태를 유지한다. 유지 펄스(IP<sub>x</sub>, IP<sub>y</sub>)의 인가의 횟수는 각 서브 펄드의 웨이트에 따라 사전에 설정된다.

그 후, 드라이버(100)는 도2에 도시한 바와 같이, 행전극(X<sub>1</sub>~X<sub>n</sub>)에 소거 펄스(EP)를 인가한다(소거 단계(E)). 이 단계에 의하여, 각 방전셀에 남아있는 장벽 전하를 소멸시키기 위해, 소거 방전이 전체 방전셀에서 동시에 발생한다.

1 펄드 내에서 여러번 상기 공정의 시퀀스를 반복함으로써, 영상 신호에 대응하는 중간 휘도를 시각적으로 얻는다.

그러나, 화소 데이터를 기입하기 위해 열전극에 인가되는 화소 데이터 펄스에 관해, PDP 및 ELP 등의 용량성 표시 패널의 경우, 각 행의 데이터가 기입될 때마다, 데이터의 기입이 행해지지 않는 다른 행에서도, 충전과 방전이 실행되어야 한다. 또한, 이웃하는 열전극들 사이의 용량성 충전 및 방전도 행해져야 한다. 따라서, 화소 데이터의 기입시, 전기 소비가 크다는 문제에 직면하게 된다.

### 발명이 이루고자 하는 기술적 과제

본 발명의 목적은 화소 데이터 기입 중에 소비되는 전력을 감소시킬 수 있는 표시 패널의 구동 장치를 제공하는 것이다.

본 발명에 따른 표시 패널의 구동 장치는 영상 신호에 따른 화소 데이터에 대응하는 펄스 전압을 가진 화소 데이터 펄스를, 스크린의 행을 형성하는 복수의 행전극 및 스크린의 열을 형성하는 복수의 열전극의 교차부에 용량성 발광 셀이 형성된 표시 패널의 열전극 각각에 인가하는 구동 장치이다. 상기 구동 장치는: 최대 전위 레벨이 소정의 제 1 전위를 취하는 공진 진폭을 가진 공진 펄스 전원전위를 생성하여, 전원라인에 인가하는 전원 회로; 및 상기 화소 데이터에 따라 전원 라인에 열전극을 접속하여 상기 열전극 상에 화소 데이터 펄스를 생성하는 화소 데이터 펄스 생성 회로를 포함하며, 상기 전원 회로는 열방향으로 인접해 있는 적어도 2개의 화소 데이터가 같은 논리 레벨을 가지며 상기 공진 펄스 전원 전위중 제 1 전위를 유지할 때 공진 진폭을 감소시키기에 적합하다.

### 발명의 구성 및 작용

도3은 본 발명에 의한 구동 장치가 구비된 플라즈마 표시장치의 구성을 나타낸 도면이다.

도3에서, PDP(10)는 행전극(Y<sub>1</sub>~Y<sub>n</sub>) 및 행전극(X<sub>1</sub>~X<sub>n</sub>)이 구비된 플라즈마 표시 패널이며, 상기 행전극(Y<sub>1</sub>~Y<sub>n</sub>) 및 행전극(X<sub>1</sub>~X<sub>n</sub>)은 각각 행전극(X, Y)의 각 쌍들을 갖는 PDP(10)의 각 라인(제 1 표시라인 ~ n번째 표시 라인)에 대응하는 행전극 쌍을 구성한다. 또한, PDP(10)는 우측 각도에서 상기 행전극 쌍들이 교차하고, 도면에 도시되지 않은 유전체층 및 방전 스페이스를 갖는 일 스크린의 각 열들(제 1 열 ~ m 번째 열)에 대응하는 열전극(Z<sub>1</sub>~Z<sub>m</sub>)이 구비된다. 표시 화소들을 수반하는 방전 셀들은 행전극쌍(X, Y) 및 열전극(Z)에 의해 각각 형성되는 교차부들에서 형성된다.

구동제어회로(50)는 도2에 나타난 리셋 펄스(RPx, RPy), 주사 펄스(SP), 및 유지 펄스(IPx, IPy)를 생성하기 위한 각종 타이밍 신호들을 생성하여, 각각의 행전극 구동회로(30, 40)에 공급한다. 상기 타이밍 신호들에 따라, 행전극 구동회로(30)는 리셋 펄스(RPx) 및 유지 펄스(IPx)를 생성하여, 도2에 나타난 타이밍에서 PDP(10)의 행전극(X<sub>1</sub>~X<sub>n</sub>)에 인가한다. 한편, 행전극 구동회로(40)는 리셋 펄스(RPy), 주사 펄스(SP), 유지 펄스(IPy)를 생성하고, 구동 제어회로(50)에 의해 공급된 각종 타이밍 신호들에 따라 펄스(EP)를 소거하여, 도2에 나타난 타이밍에서 PDP(10)의 행전극(Y<sub>1</sub>~Y<sub>n</sub>)에 인가한다.

또한, 구동제어회로(50)는 입력되는 영상 신호를 예컨대 각 화소들에 대해 8비트의 화소 데이터로 변환하는 동작을 한다. 그 후, 구동제어회로(50)는 상기 화소 데이터를 각 비트 디지털마다 분할하여 화소 데이터 비트(DB)를 얻는다. 구동제어회로(50)는, 동일한 비트 디지털의 비트들 중에서, 각 행마다, 하나의 행에 속하는 제 1 내지 제 m 행에 각각 대응하는 화소 데이터 비트(DB<sub>1</sub> ~ DB<sub>m</sub>)를 추출하여, 상기 추출된 데이터 비트를 열전극 구동회로(20)에 공급한다. 상기 공정시, 구동제어회로(50)는 도4에 나타난 바와 같이 스위칭 신호(SW<sub>1</sub>~SW<sub>3</sub>)를 생성하여, 열전극 구동회로(20)에 공급한다. 보다 구체적으로, 구동제어회로(50)는 각각 다음 논리 레벨을 갖는 스위칭 신호(SW<sub>1</sub>~SW<sub>3</sub>)를 생성한다:

구동공정(G1)에서,

SW1="1",

SW2="0",

SW3="0";

구동 단계(G2)에서,

SW1="0",

SW2="0",

SW3="1"; 및

구동 단계(G3)에서,

SW1="0",

SW2="1",

SW3="0".

구동제어회로(50)는 상기 구동 단계(G1~G3)를 1 주기로 선택하여, 상기한 바와 같이 변하는 스위칭 신호(SW1~SW3)를 열전극 구동회로(20)에 각각 공급한다.

도5는 열전극 드라이버(20)의 구조를 나타낸 도면이다.

도5에 나타낸 바와 같이, 열전극 드라이버(20)는 소정 진폭을 갖는 공진 펄스 전원 전위를 생성하는 전원회로(21), 및 공진 펄스 전원 전위에 기초하여 화소 데이터 펄스를 생성하는 화소 데이터 펄스 발생회로(22)로 구성된다.

전원 회로(21)는 커패시터(C1)를 포함하며, 그 단자들은 PDP(10)의 접지 전위로서 기능하는 PDP 접지 전위(Vs)에 접속되어 있다. 스위칭 소자(S1)는 논리 레벨이 "0"인 스위칭 소자(SW1)가 상기 구동제어회로(50)로부터 공급되는 동안 OFF 상태로 설정된다. 반대로, 스위칭 소자(SW1)의 논리 레벨이 "1"이면, 스위칭 소자(S1)는 ON되어, 상기 커패시터(C1)의 타단자에서 생성된 전위를 코일(L1) 및 다이오드(D1)를 통해 전원 라인(2)에 인가한다. 스위칭 신호(SW2)는 논리 레벨이 "0"인 스위칭 신호가 상기 구동제어회로(50)로부터 공급되는 동안 OFF 상태로 설정된다. 스위칭 신호(SW2)의 논리 레벨이 "1"이면, 스위칭 소자(S2)가 ON 상태로 설정되어, 상기 전원 라인(2)에서의 전위를 코일(L2) 및 다이오드(D2)를 통해 커패시터(C1)의 타단자에 공급한다. 상기 공정에서, 커패시터(C1)는 상기 전원 라인(2)에서의 전위에 의해 충전된다. 스위칭 소자(S3)는 논리 레벨이 "0"인 스위칭 신호(SW3)가 상기 구동제어회로(50)로부터 공급될 때 OFF 상태로 설정된다. 스위칭 신호(SW3)의 논리 레벨이 "1"이면, 스위칭 소자(S3)가 ON 상태로 설정되어, DC 전원(B1)에 의한 전원 전위(Va)가 전원 라인(2)에 공급된다. DC 전원(B1)은 PDP 접지 전위(Vs)에 접지되어 있는 부측 단자를 갖는다.

상기 구동회로(21)의 동작에 의해, 공진 진폭(V1)을 갖는 공진 펄스 전원 전위는 최대 전위가 상기 전원 전위(Va)로 설정된다. 화소 데이터 펄스 발생회로(22)는 스위칭 소자(SWZ1~SWZm), 및 하나의 라인에 대해 구동 제어회로(50)로부터 공급되는 스위칭 소자(SWZ10~SWZm0)가 공급되는 m개의 화소 데이터 비트(DB1~DBm)의 각각에 따라 별도로 ON-OFF가 제어된다. 각각의 스위치(SWZ1~SWZm)는 각각 공급되는 화소 데이터 비트(DB)가 논리 레벨 "1"을 가질 때만 ON 상태로 설정되고, 전원 라인(2)에 인가된 상기 공진 펄스 전원 전위를 PDP(10)의 각 열전극(Z1~Zm)에 인가한다. 반대로, 각 스위치(SWZ10~SWZm0)는 각각 공급되는 화소 데이터 비트(DB)가 논리 레벨 "0"을 갖는 경우에만 ON 상태로 설정되어 각 열전극(Z)의 전위가 접지 전위(Vs)로 접지된다.

도5에 나타낸 구성을 갖는 열전극 구동회로 내부의 동작은 도4의 부분 (a) 내지 (c)를 참조하여 설명한다.

도4에서, 설명의 편의를 위해 인용한 PDP(10)의 i 번째(i는 1 내지 m에서 선택된 수이다) 열에서 제 1 내지 제 7 라인의 화소 데이터 펄스(DP)의 공급동작, 및 도2에 나타낸 화소 데이터 기입 공정(Wc)에서 전원 라인(2)의 전위의 변화 방식을 각 부분 (a) 내지 (c)에 나타낸다.

특히, 도4의 부분 (a)는 i번째 열의 제 1 내지 제 7 행에 대응하는 화소 데이터 비트(DB)의 비트 시퀀스가:

[1, 0, 1, 0, 1, 0, 1]인 경우에 대응하고,

부분 (b)는 i번째 열의 제 1 내지 제 7 행에 대응하는 화소 데이터 비트의 비트 시퀀스가:

[1, 1, 1, 1, 1, 1, 1]인 경우에 대응하며,

부분 (c)는 i번째 열의 제 1 내지 제 7 행에 대응하는 화소 데이터 비트(DB)의 비트 시퀀스가:

[0, 0, 0, 0, 0, 0, 0]인 경우에 대응한다.

우선, I번째 열의 제 1 내지 제 7 행에 대응하는 화소 데이터 비트(DB)의 비트 시퀀스가 [1, 0, 1, 0, 1, 0, 1]인 경우, 도4의 부분 (a)에 나타낸 바와 같이, 스위칭 소자(SWZi, SWZi0)가 ON 상태와 OFF 상태 사이를 교대로 반복한다.

이 상태에서는, 구동 단계(G1)에서의 스위칭 소자(SW1~SW3)들 중에서 단지 스위칭 소자(S1)만이 ON 상태로 설정되어, 커패시터(C1)에 저장된 전하가 방전된다. 도4에 나타난 제 1 주기(CYC1)에서, 스위칭 소자(SWzi)가 ON 상태로 설정되기 때문에, 상기 방전과 관련된 방전 전류가 스위칭 소자(S1), 코일(L1), 다이오드(D1), 전원 라인(2), 및 스위칭 소자(SWzi)를 통해 PDP(10)의 열전극(Zi)에 흐른다. 이 상태에서는, 열전극(Zi)의 기생 부하 커패시턴스가 충전되어, 전하가 부하 커패시턴스(C0)에서 발생한다. 상기 커패시터(C1)의 방전과 관련하여, 전원 라인(2)의 전위는 코일(L1) 및 부하 커패시턴스(C0)에 의한 공진 동작에 의해 점차 증가한다. 그 후, 도4의 부분 (a)에 나타난 바와 같이, 전원 라인(2)의 전위는 커패시터(C1)의 일 단자에서 전위 (Vc)의 2배인 전위(Va)에 도달한다. 상기 전원 라인(2)에서의 전위가 서서히 증가하는 것에 의해, 공진 펄스 전원 전위의 전방 에지부가 형성된다.

제 1 주기(CYC1)에서는, 상기 공진 펄스 전원 전위의 전방 에지부가 도4의 부분 (a)에 나타난 바와 같이 열전극(Zi)에 인가될 화소 데이터 펄스(DP1i)의 전방 에지부를 직접 형성한다.

그 후, 구동 단계(G2)를 행하고, 스위치 소자들(S1~S3) 중에서 스위칭 소자(S3)만이 ON된다. 그 후, 스위칭 소자(S3)를 통해 DC 전위(Va)가 DC 전원(B1)으로부터 전원 라인(2)으로 인가된다. 이 순간에, 상기 전위(Va)는 상기 공진 펄스 전위의 최대 전위로 된다. 도4a에 나타난 바와 같이, 제 1 주기(CYC1)동안, 공진 펄스 전위(전위(Va))의 최대 전위는 행전극(Zi)에 인가된 화소 데이터 펄스(DP1i)의 최대 전위로 된다. 이 순간에, 행전극(Zi)을 통해 전류가 흘러, 행전극(Zi)의 기생 부하 커패시턴스(C0)가 충전되어 전하가 저장된다.

그 후, 구동 공정(G3)를 행하면, 스위칭 소자들(S1~S3) 중에서 스위칭 소자(S2)만이 ON된다. 그 후, PDP(10)의 부하 커패시턴스(C0)만이 방전을 개시한다. 방전에 의해 전류가 행전극(Zi), 스위칭 소자(SWzi), 전원 라인(2), 코일(L2), 다이오드(D2), 및 스위칭 소자(S2)를 통해 커패시터(C1)에 흐른다. 즉, PDP(10)의 부하 커패시턴스(C0)에 저장된 전하가 전원(21)에 제공된 커패시터(C1)로 복구된다. 이 때, 전원 라인(2)의 전위는 도4a에 나타난 바와 같이, 코일(L2) 및 부하 커패시터(C0)에 의해 정의된 시정수에 의해 점차 감소한다. 이 때, 상기 점차 감소하는 전원 라인(2)의 전위는 상기 공진 펄스 전위의 후방 에지로 된다. 또한, 제 1 주기(CYC1)에서는, 상기 공진 펄스 전위의 후방 에지가 도4a에 나타난 바와 같이 행전극(Zi)에 인가된 화소 데이터 펄스(DP1i)의 후방 에지로 된다.

구동 단계(G3)가 종료한 후, 구동 단계(G1~G3)를 포함하는 동작이 각각의 제 2 내지 제 7 주기(CYC2~CYC7)에서 반복된다.

도4a를 참조하면, 스위칭 소자(SWzi)는 각각의 제2 주기(CYC2), 제4 주기(CYC4) 및 제6 주기(CYC6) 동안 오프된다. 따라서, 상기 제2, 제4 및 제6 행에 각각 대응하는 각각의 화소 데이터 펄스(DP2i, DP4i, DP6i)로서의 저전압(0V)이 행전극(Zi)에 인가된다. 또한, 이들 짝수 주기(CYC)에서, 스위칭 소자(SWzi)는 온된다. 그 후, PDP(10)의 부하 커패시터(C0)에 잔존하는 모든 전하는 행전극(Zi)과 스위칭 소자(SWzi)를 포함하는 전류 경로를 통해 복구된다. 따라서, 제2 주기(CYC2)가 종료되고 다음 제3 주기(CYC3)의 개시 직후 스위칭 소자(SWzi)가 OFF 상태에서 ON 상태로 전환될 때, 전원 라인(2)의 전위는 도4a에 도시된 바와 같이 거의 0이 된다.

즉, 화소 데이터 비트(DB)가 [1,0,1,0,1,0,1]과 같이 매 2열마다 각각의 행에 대한 비트가 반전되는 비트 열을 가질 때, 도4a에 도시된 바와 같이, 최대 전위(Va)에서 공진 진폭(V1)을 가지는 공진 펄스 전위가 전원 라인(2)에 인가된다.

반면, 소정의 열에 대한 화소 데이터 비트(DB)가 [1,1,1,1,1,1,1]과 같이 매 2열마다 각각의 행에 대한 비트가 연속적으로 "1"의 논리 레벨을 가질 때, 도4b에 도시된 바와 같이, 스위칭 소자(SWzi)는 ON 상태를 유지하며, 스위칭 소자(SWzi)는 OFF 상태를 유지한다. 즉, 상기 기간 동안, 전하는 행전극(Zi)과 스위칭 소자(SWzi)를 포함하는 전류 경로를 통해 복구되지 않으며, 이는 도4a에 도시된 상황과는 다르다. 따라서, 각 주기(CYC)의 단계(G3)를 구동하는 동안 복구되지 않은 전하는 점차로 PDP(10)의 부하 커패시터(C0)에 저장된다. 그 결과, 전원 라인(2)에 인가된 공진 펄스 전위는 최대 전위(Va)를 유지하고 있는 공진 진폭(V1)을 점차로 감소시킨다. 그 후, 결과적인 공진 펄스 전위는 고전압을 가지는 화소 데이터 펄스(DP11~DP71)로서 열전극(Z1)에 인가된다.

즉, 소정 열에 대한 각각의 화소 데이터 비트가 각각의 행에 대해 순차적으로 "1"의 논리 레벨을 가질 때, 각각의 열전극(Z)에 인가될 전압은 펄스화될 필요가 없다. 따라서, 상기의 경우, 전원 라인(2)에 인가될 공진 펄스 전위의 공진 진폭은 최대 전위(Va)를 유지한 채 감소된다. 따라서, 이 때 상기 공진에 수반되는 충전 및 방전은 행해지지 않으며, 그 결과 무효전력은 억제된다.

또한, 소정의 열에 대한 화소 데이터 비트(DB)가 [0,0,0,0,0,0,0]과 같이 "0"의 논리 레벨을 각각의 행 비트가 가지는 비트 열을 가질 때, 스위칭 소자(SWzi)는 OFF 상태, 스위칭 소자(SWzi)는 ON 상태를 유지한다. 이 때, 구동 단계(G1) 동안, 커패시터(C1)에 저장된 전하는 도4a에 도시된 경우와 마찬가지로 방전된다. 상기 방전으로, 커패시터(C1)의 단부에 나타나는 전위(Vc)는, 도4c에 도시된 바와 같이, 코일(L1)과 전원 라인(2)의 기생용량(Ce)에 의한 공진으로 인해 점차 증가한다. 그 후, 전원 라인(2)에 인가되는 최종 전위는 상기 전위(Vc)의 2배를 가지는 전위(Va)에 도달한다. 이 때, 상기 전원 라인(2)상에 점진적으로 상승하는 전위는 공진 펄스 전위의 전방 에지(front edge)가 된다. 그 후, 구동 단계(G2)가 행해질 때, DC 전원(Ba)로부터의 전위(Va)는 스위칭 소자(S3)를 통해 전원 라인(2)에 인가된다. 이 때, 전원 라인(2)의 기생용량(Ce)은 충전되며, 따라서 전하가 충전된다. 상기 전위(Va)는 공진 펄스 전위의 최대 전위가 됨을 주목할 필요가 있다. 그 후, 구동 단계(G3)가 행해질 때, 기생용량(Ce)은 방전을 개시한다. 다음으로, 기생용량(Ce)에 저장된 전하는 전원(21)

에 제공된 커패시터(C1)로 복구된다. 이 때, 전원 라인(2)의 전위는, 도4c에 도시된 바와 같이, 코일(L2)과 기생용량(C<sub>e</sub>)에 의해 정의되는 시정수로 인해 점차로 감소한다. 반면, 각각의 주기의 구동 단계(G3) 동안 복구되지 않은 전하는 점차로 기생용량(C<sub>e</sub>)에 저장된다. 따라서, 전원 라인(2)에 인가된 공진 펄스 전위는 최대 전위(V<sub>a</sub>)를 유지한 채 공진 진폭(V<sub>1</sub>)을 감소시킨다.

즉, 소정 열에 대한 화소 데이터 비트들이 각각의 행에 대해 연속적으로 "0"의 논리 레벨을 가질 때, 전원 라인(2)에 인가될 전위는 펄스화될 필요가 없다. 따라서, 상기의 경우, 전원 라인(2)의 전위는 전원 라인(2)에 인가될 공진 펄스 전위의 진폭 변화를 억제한 채 실질적인 직류 전류(전위(V<sub>a</sub>))를 유지함으로 정류된다. 따라서, 전술한 공진에 수반되는 충전 및 방전은 행해지지 않으며, 무효전력은 억제된다.

도5에 도시된 구성에서, 공진 펄스 전위의 공진 진폭(V<sub>1</sub>)은, 도4b 및 4c에 도시된 바와 같이, 점차로 감소된다. 다른 실시예에서, 전술한 바와 같은 화소 데이터 비트의 패턴이 검출되면, 공진 펄스 전위의 공진 진폭은 즉시 감소될 수 있다.

도6은 상기 문제를 해결하는 다른 실시예의 열 전극 드라이버(20)를 나타낸다. 도6은 상기 열 전극 드라이버의 내부 구조를 나타낸다.

도6의 열 전극 드라이버(20)는 화소 데이터 비트 패턴 분석기(200)와 가변 전압원(B2)을 포함한다. 상기 열 전극 드라이버(20)는 커패시터(C1)가 다른 커패시터(C1')로 치환되는 점을 제외하고는 도5의 드라이버와 동일한 구조를 갖는다. 커패시터(C1')는 커패시터(C1)보다 매우 작은 용량을 갖는다.

도6을 참조하면, 화소 데이터 비트 패턴 분석기(200)는 구동 콘트롤러(50)로부터 제공된 각각의 열에 대한 화소 데이터 비트(DB<sub>1</sub>-DB<sub>m</sub>)를 수신하여 상기 수신된 데이터 비트를 근거로 행과 열에 대한 비트 패턴을 분석한다. 그 후, 상기 화소 데이터 비트 패턴 분석기(200)는 상기 분석 결과를 근거로 전압제어신호를 생성하여 상기 전압제어신호를 가변 전압원(B2)에 공급한다.

상기 화소 데이터 비트패턴 분석회로(200)는, 예컨대 전압제어신호를 가변 전압원(B2)에 공급하여, 상기 공급된 화소 데이터 비트(DB)의 논리 레벨이 매 라인마다 교대로 변경될 때 전압(V<sub>v</sub>)(V<sub>v</sub> = 0.5\*V<sub>a</sub>)을 생성한다. 이 때, 도6에 도시된 열 전극 구동회로(20)는 도5에 도시된 구성과 실질적으로 동일하므로, 공진 진폭(V<sub>1</sub>)과 최대 전위(V<sub>a</sub>)를 가지는 공진 펄스 전위가, 도7a에 도시된 바와 같이 전원 라인(2)에 인가된다.

반면, 화소 데이터 비트패턴 분석회로(200)는 전압제어신호를 가변 전압원(B2)에 공급하여 동일 논리 레벨을 가지는 연속적인 화소 데이터 비트(DB) 수에 응답하는 전압(V<sub>v</sub>)(0.5\*V<sub>a</sub> < V<sub>v</sub> < V<sub>a</sub>)을 생성하며, 이 때 상기 공급된 화소 데이터 비트(DB)는 열 방향에서 동일한 논리 레벨을 연속적으로 가진다. 따라서, 커패시터(C1')의 일측 단자의 전위는 전압(V<sub>v</sub>)으로 고정된다. 따라서, 전위(V<sub>v</sub>)에 따른 진폭만큼 공진 진폭(V<sub>1</sub>)이 감소된 공진 펄스 전위가 도7b에 도시된 바와 같이 전원 라인(2)에 인가되는 한편, 최대 전위(V<sub>a</sub>)는 유지된다. 이러한 경우에, 소정 수 이상의 연속적인 화소 데이터 비트(DB)(예컨대, 7이상의 연속적인 화소 데이터 비트)가 열 방향에서 동일 논리 레벨을 가질 때, 화소 데이터 비트패턴 분석회로(200)는 전압공급신호를 가변 전압원(B2)에 공급하여 전압(V<sub>a</sub>)을 생성한다. 따라서, 공진 진폭(V<sub>1</sub>)은 0이 되며, 직류 전위(V<sub>a</sub>)가 도7c에 도시된 바와 같이 전원 라인(2)에 인가된다.

가변 전압원(B2)은 커패시터(C1')의 역할을 할 수 있으므로, 커패시터(C1')는 도6에 도시된 구성에서 제거될 수 있다.

화소 데이터 비트(DB)의 열 방향 비트 시퀀스가 "1"의 연속적인 논리 레벨(즉, 선택적인 방전을 유발하는 논리 레벨)을 가질 때, 다음과 같은 문제가 발생할 수 있다.

상기의 경우, 커패시터(C1')의 전위는 점차로 증가하므로 공진 진폭은 0이 된다. 그 결과, 전원 라인(2)의 전위는 전원(B1)의 전위(V<sub>a</sub>)로 고정된다(즉, 직류 구동된다). 따라서, PDP(10)의 대부분의 열들은 "1"의 연속적인 논리 레벨의 비트 시퀀스를 포함한다. 일부에서 [1,0,1,0, ..., 1,0]의 비트 시퀀스를 가지는 특정 화면을 표시할 때, 직류 전위(V<sub>a</sub>)는 도8a에 도시된 바와 같이 비트 시퀀스 [1,0,1,0, ..., 1,0]에 따라 열 전극(Z<sub>1</sub>)에 인가된다. 따라서, 열 전극(Z<sub>1</sub>)은 DC 구동되어 큰 전력 손실을 일으킨다.

도9는 전술한 문제를 극복하는 열 전극 구동회로(20)의 다른 구성을 도시한다.

도9에 도시된 열 전극 구동회로의 구성은 클램핑(clamping) 회로(23)가 제공되는 점을 제외하고는 도5에 도시된 것과 유사하다. 이하, 클램핑 회로(23)의 동작에 대해 주로 설명한다.

도9는 상기 문제를 해결하기 위해 구성된 다른 열 전극 구동회로(20)를 도시한다.

도9에 도시된 열 전극 구동회로(20)의 구성요소들은 클램핑 회로(23)를 제외하고는 도5에 도시된 것과 동일하다. 따라서, 이하 클램핑 회로(23)의 동작을 주로 설명한다.

상기 클램핑 회로(23)는 트랜지스터(Q1), 저항(R1-R3), 커패시터(C2) 및 다이오드(D3,D4)로 구성된다. 커패시터(C1')의 일측 단자에서의 전위(V<sub>c</sub>)는 다이오드(D3)를 통해 트랜지스터(Q1)의 에미터 단자에 인가된다. PDP의 접지 전위(V<sub>s</sub>)는 저항(R1)을 통해 트랜지스터(Q1)의 콜렉터 단자에 인가된다. 또한, 전원(B1)의 전위(V<sub>a</sub>)는 저항(R2)과 다이오드(D4)를 통해 트랜지스터(Q1)의 베이스 단자에 인가된다. 또한, 특정 베이스 단자는 PDP의 접지 전위(V<sub>s</sub>)에 접지된 저항(R3)과 커패시터(C2)에 접속된다. 따라서, 전원(B1)의 전위(V<sub>a</sub>)는 저항(R2,R3)에 의해 분배되며, 기준전위(V<sub>ref</sub>)가 생성된다. 따라서, 기준전위(V<sub>ref</sub>)는 트랜지스터(Q1)의 베이스 단자에 인가된다.

또한, 기준전위(Vref)는 다음과 같은 범위 내에 미리 설정된다.

$$(V_a/2) < V_{ref} < V_a.$$

상기 구성에서, 커패시터(C1')의 전위(Vc)가 기준전위(Vref)를 초과하면, 트랜지스터(Q1)는 ON 상태가 되어 커패시터(C1')의 전위(Vc)를 기준전위(Vref)로 클램핑한다. 즉, 클램핑 회로(23)는 커패시터(C1') 전위의 기준전위(Vref)로의 클램핑에 의해 전원회로(21)에서 공진 진폭이 사라지는 것을 방지한다. 클램핑 회로(23)의 동작에 따라, 전원 라인(2)의 전위 변동은 도8b 및 8c에 도시된 바와 같이 작은 공진 진폭을 갖는다. 따라서, 커패시터(C1')가 전하를 충전하므로 전력소모는 도8a에 도시된 구동 동작에 비해 억제된다.

또한, 도9에 도시된 클램핑 회로(23)는 항상 전술한 클램핑 동작을 행한다. 상기 클램핑 회로(23)의 클램핑 동작은 필요한 경우 외에는 중단될 수 있다.

도10은 상기와 같은 조건용으로 구성된 다른 클램핑 회로(23')를 도시한다.

상기 클램핑 회로(23')는 도9에 도시된 클램핑 회로(23)에 트랜지스터(Q2)를 추가함으로써 구성된다. 트랜지스터(Q2)의 에미터와 콜렉터 단자는 저항(R2)의 양 단자에 접속된다. 클램핑 디스에이블 신호는 트랜지스터(Q2)의 베이스 단자에 공급된다. 트랜지스터(Q2)가 OFF 상태에 유지됨과 동시에 저전압을 갖는 클램핑 디스에이블 신호가 구동제어회로(50)로부터 공급된다. 이 때, 클램핑 회로(23')는 클램핑 회로(23)와 등가회로이며, 따라서 전술한 클램핑 동작이 행해진다. 반면, 클램핑 디스에이블 신호의 고전압이 구동제어회로(50)로부터 공급되는 동안, 트랜지스터(Q2)는 ON 상태가 되어 저항(R2)의 양 단자간에 단락회로를 형성한다. 따라서, 트랜지스터(Q1)의 베이스 단자의 전위는 전위(Va)와 동일하게 되며, 트랜지스터(Q1)는 클램핑 회로(23')의 클램핑 동작을 중단시킨다.

그림을 포함하는 이미지용 타겟 데이터를 입력할 때 전술한 바와 같은 특수 화상을 표시할 가능성은 전혀 없으므로 TV 신호와 같은 단일 화면 내에 행과 열 방향에서의 상관관계가 존재한다. 따라서, 구동제어회로(50)는 입력 영상신호를 근거로 영상신호의 유형을 구분한다. 입력 영상신호가 TV 신호라고 판단될 때, 구동제어회로(50)는 고전압의 클램핑 디스에이블 신호를 클램핑 회로(23')에 공급하여 클램핑 동작을 중단한다. 반면, 입력 영상신호가 그래픽 영상신호와 같은 그림, 도형 또는 그래프 등을 수반하는 특수 화상을 표시하기 위한 영상신호라고 판단될 때, 구동제어회로(50)는 저전압의 클램핑 디스에이블 신호를 클램핑 회로(23')에 공급하여 클램핑 동작을 행한다. 상기 동작에 의해, 전술한 바와 같은 특수 화상을 표시하는 동안 발생하는 전원의 과도한 소모가 방지된다.

### 발명의 효과

상기로부터 명백하듯이, 본 발명에 따른 표시패널 구동장치는 진폭의 최대 레벨을 일정하게 유지하면서 공진 펄스 전압원 전위의 공진 진폭을 작게 하며, 이 때 서로 이웃하는 적어도 2개의 공급된 화소 데이터는 열 방향으로 서로 동일한 논리 값을 갖는다.

따라서, 본 발명에 따른 표시장치는 공진 펄스 전압원 전위를 변경하기 위한 원치 않는 충전 동작을 억제할 수 있으므로 전력소모를 줄인다.

### (57) 청구의 범위

#### 청구항 1.

주사 펄스가 연속적으로 인가되는 복수의 행전극 및 상기 행전극과 교차하며 화소 데이터가 인가되는 복수의 열전극의 교차부에 용량성 발광 소자를 형성하고, 화소 펄스들이 각각 입력 영상 신호에 따라 화소 데이터를 나타내는 표시 패널을 구동하는 구동 장치로서,

제 1 소정 전위의 최대 전위 레벨을 가지도록 가변적인 공진 진폭을 갖는 공진 펄스 소스 전위를 생성하여 상기 생성된 공진 펄스 소스 전위를 전원 라인에 공급하는 전원 회로; 및

상기 열전극들 중 하나에 화소 데이터 펄스가 나타나도록 화소 데이터에 따라 상기 열전극들 중 하나와 상기 전원 라인 및 접지전위를 선택적으로 접속함에 의해 화소 데이터를 생성하는 화소 데이터 펄스 생성 회로를 포함하고,

상기 전원 회로는 열 방향으로 서로 인접한 상기 화소 데이터 중 적어도 2개가 같은 논리 값을 가질 때 상기 공진 진폭을 감소시키고 동시에 상기 최대 전위를 상기 제 1 소정 전위로 유지시키되,

상기 전원 회로는 일 단자가 기준 레벨에 접속되어 있는 커패시터, 상기 커패시터의 타 단자 및 상기 전원 라인 사이에서 서로 직렬로 접속된 제 1 스위칭 소자 및 제 1 코일, 상기 커패시터의 타 단자 및 상기 전원 라인 사이에서 서로 직렬로 접속된 제 2 스위칭 소자 및 제 2 코일, 제 1 전위를 생성하는 DC 전원, 및 상기 DC 전원 및 전원 라인 사이에 접속된 제 3 스위칭 소자를 포함하며,

상기 화소 데이터 펄스 생성 회로는 상기 화소 데이터의 논리 값에 따라 상기 열전극들 중 하나와 전원 라인을 접속하는 제 4 스위칭 소자, 및 상기 화소 데이터의 문턱값에 따라 상기 열전극들 중 하나를 기준 레벨에 접속시키는 제 5 스위칭 소자를 포함하고,

상기 전원 회로는, 제1 스위칭 소자를 온으로 하여 커패시터에 축적된 전하를 방출시켜 상기 전원 라인의 전위를 상승시키고, 그 후에 제3 스위칭 소자를 온으로 하여 상기 전원 라인을 제1 전위로 고정시키고, 그 후에 제3 스위칭 소자를 오프로 함과 동시에 제2 스위칭 소자를 온으로 하여 전원 라인의 전위를 하강시키는 주기(사이클)를 반복하고,

소정 열에 대한 화소 데이터 비트가 연속해서 동일 논리 레벨을 갖는 경우, 제4 스위칭 소자(SWZ1)를 온으로 하고 제5 스위칭 소자(SWZ10)를 오프로 하거나, 제4 스위칭 소자(SWZ1)를 오프로 하고 제5 스위칭 소자(SWZ10)를 온으로 함에 의해, 상기 제1 전위를 유지한 채로 공진진폭을 작게 하며,

상기 커패시터의 전위가 소정 기준 전위를 초과할 때 커패시터의 전위를 소정 기준 전위로 되게 하는 클램프 회로를 더 포함하는 표시 패널 구동용 구동 장치.

**청구항 2.**

제 1 항에 있어서, 상기 소정 기준 전위는 상기 제 1 전위의 절반보다는 높지만 상기 제 1 전위보다는 낮은 구동 장치.

**청구항 3.**

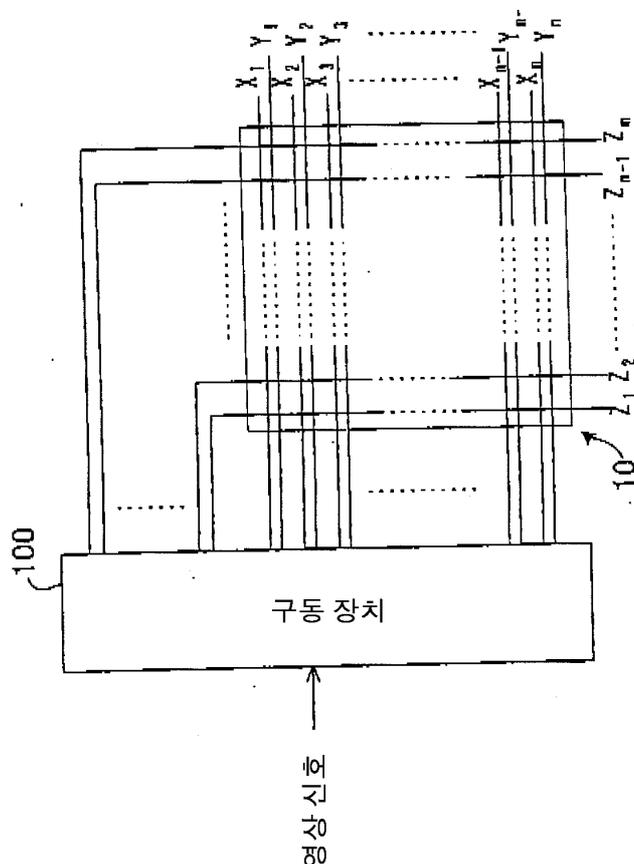
제 1 항에 있어서, 상기 클램프 회로를 동작 상태에서 비동작 상태로 또는 그 반대로 그의 상태를 변화시키는 클램프 동작 제어 수단을 더 포함하는 구동 장치.

**청구항 4.**

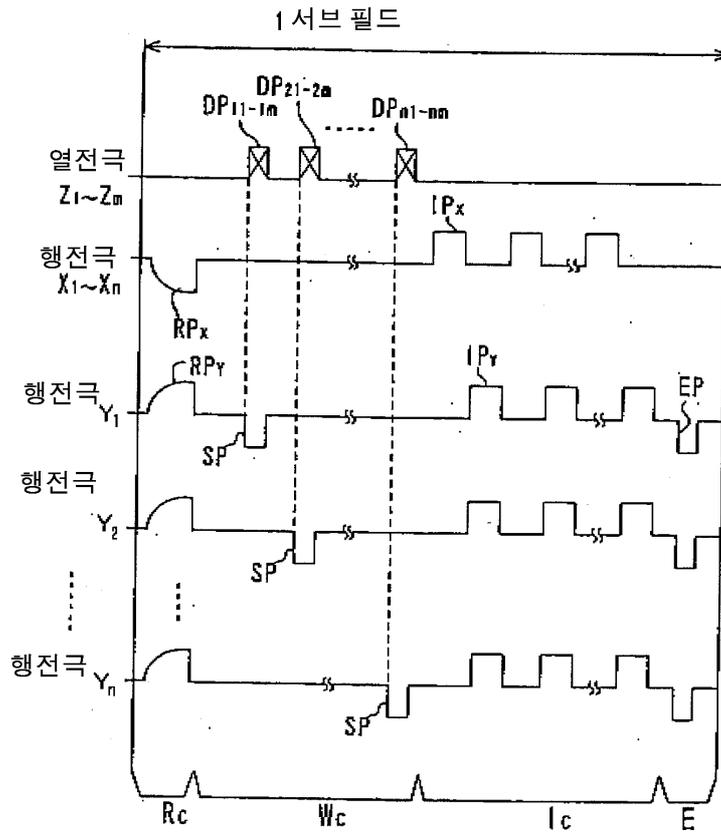
제 3 항에 있어서, 상기 클램프 동작 제어 수단은 상기 입력 영상 신호의 종류를 결정하여 상기 클램프 회로가 상기 결정 결과에 따라 동작 상태에서 비동작 상태로 또는 그 반대로 그의 상태를 변화시키도록 하는 구동 장치.

**도면**

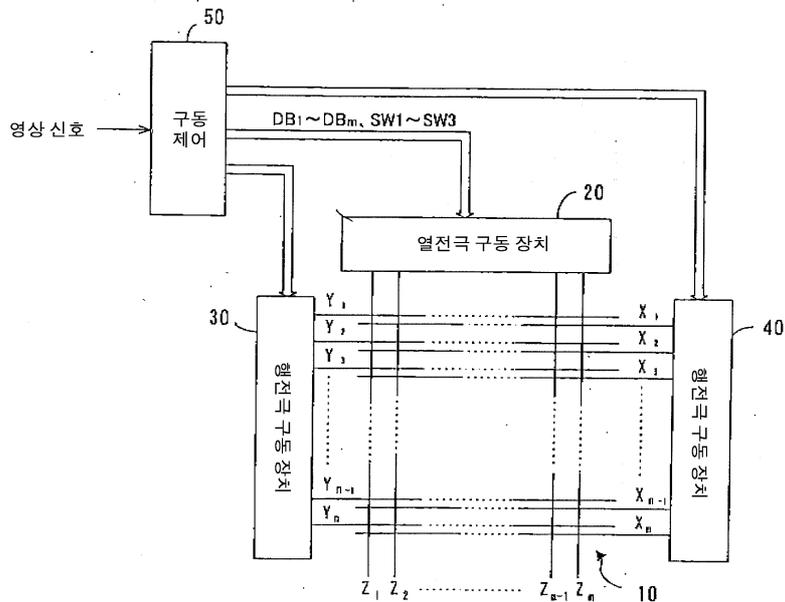
도면1



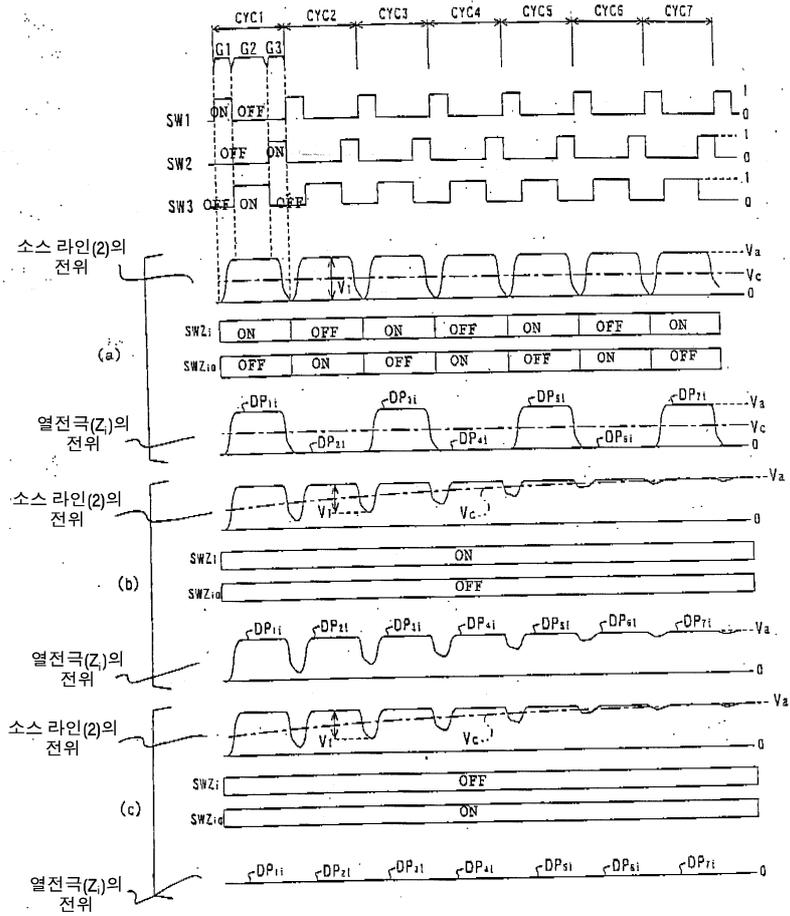
도면2



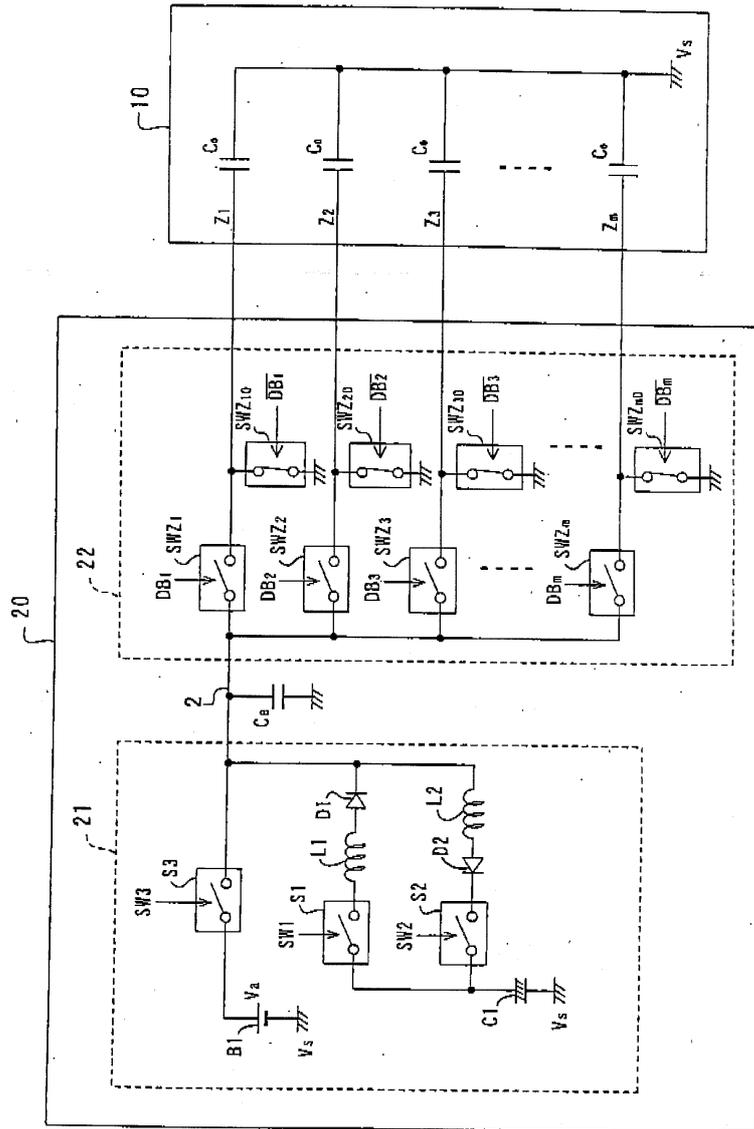
도면3



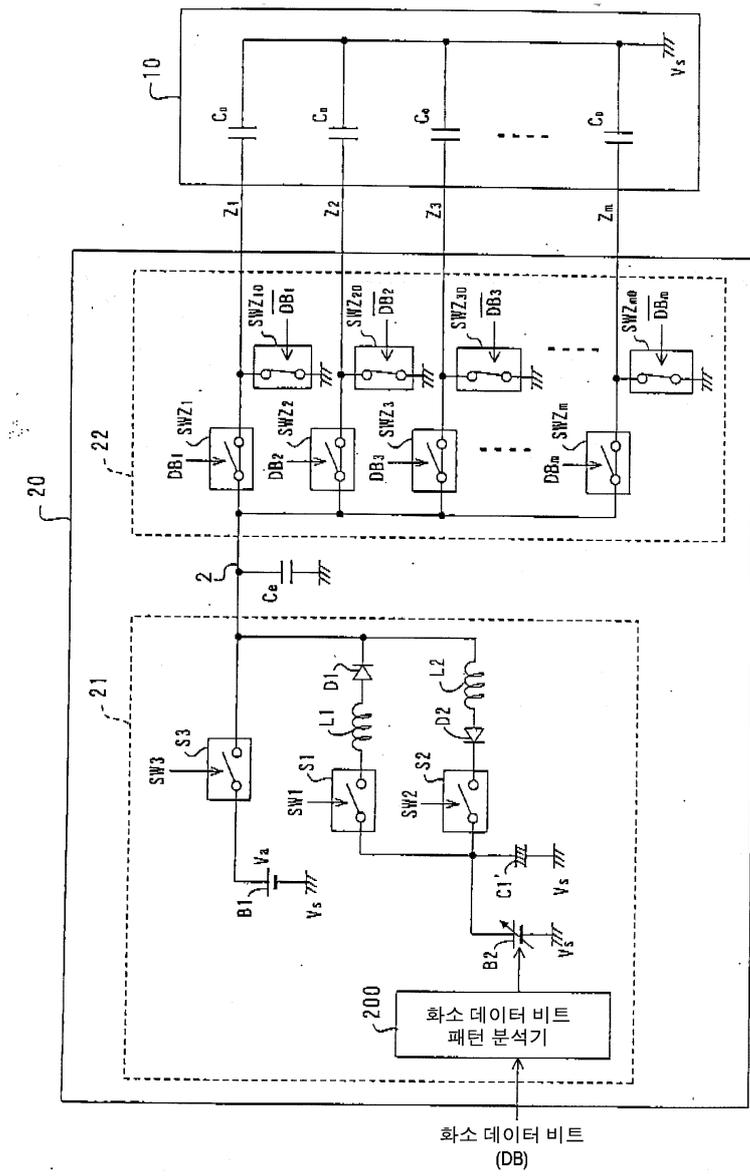
도면4



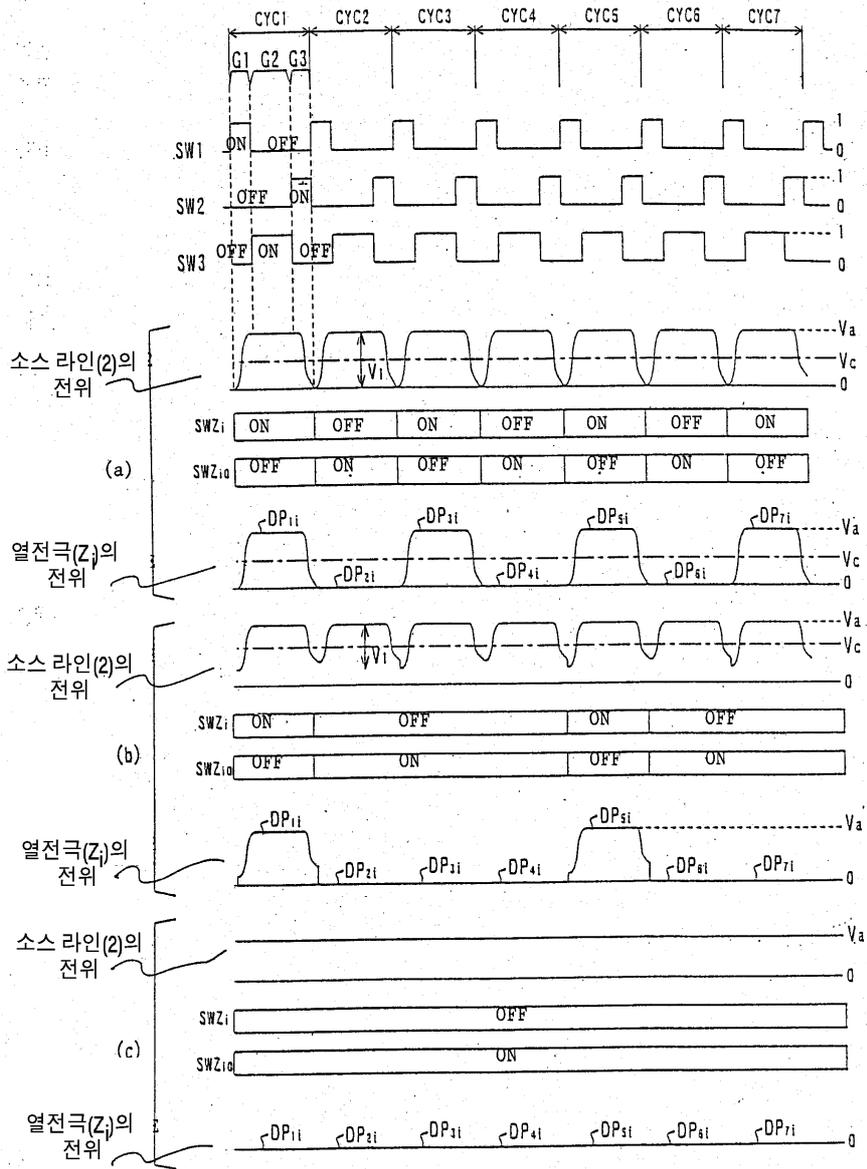
도면5



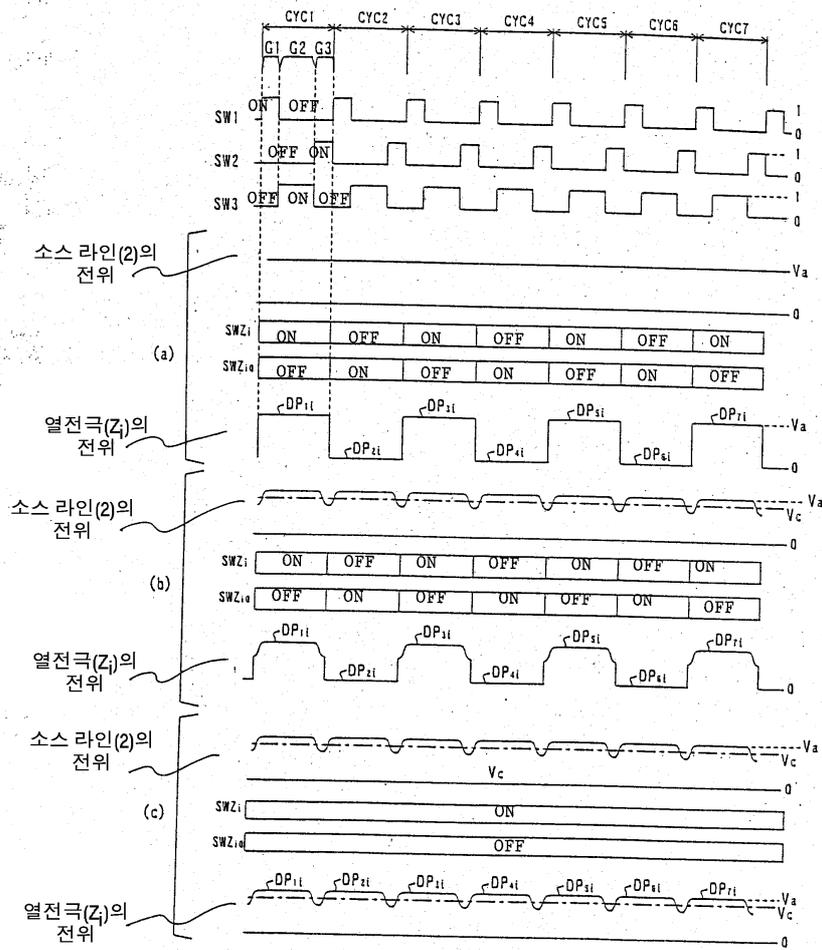
도면6



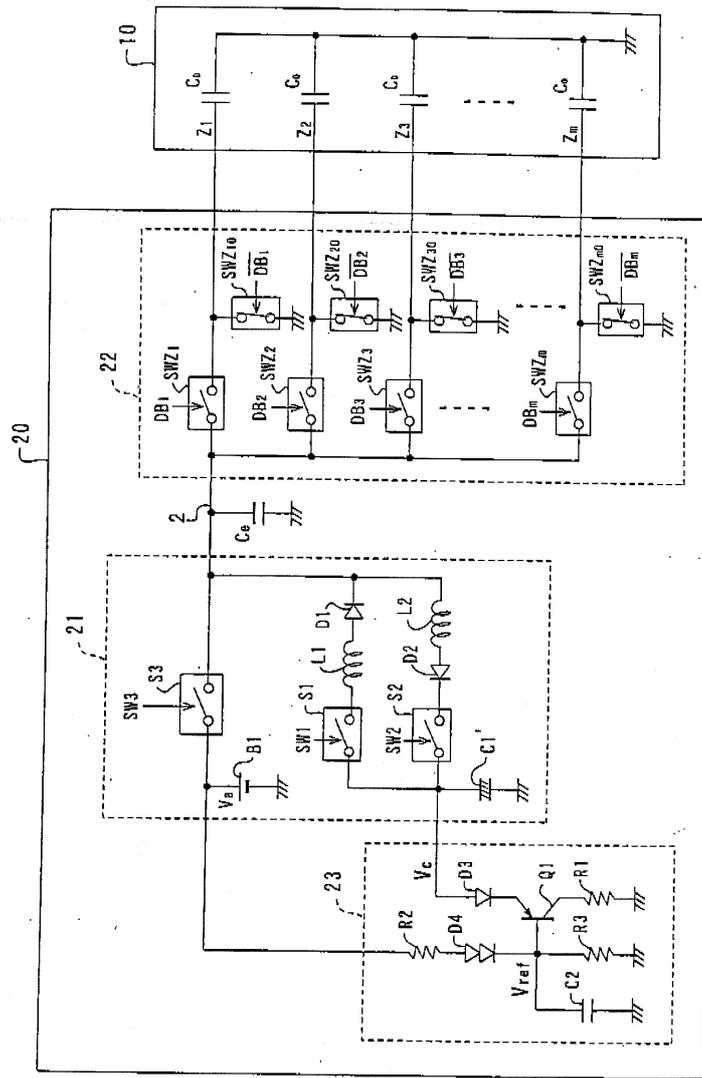
도면7



도면8



도면9



도면10

