

199248

## 公告本

申請日期	80年8月21日
案 號	80106646
類 別	H03L 1/02

A4  
C4

(以上各欄由本局填註)

發明  
新型 專利說明書

一、發明 名稱	中 文	將同步數位信號變換成非同步數位信號的去同步器
	英 文	Synchronous digital signal to asynchronous digital signal desynchronizer
二、發明 人	姓 名	1.唐納·杜夫 Duff Donald G. 2.唐納·連恩 Lane Donald A. 3.李卡多·米戴菲拉 Mediavilla Ricardo
	籍 貫 (國籍)	美國
	住、居所	1.美國新澤西州07738林克羅特果耐特路8號 8 Coronet Ave. Lincroft, NJ 07738, U.S.A. 2.美國新罕布夏州03079珊倫校街45號 45 School Street, Salem, NH 03079, U.S.A. 3.美國新澤西州07724伊特鎮維多利亞大道65號 65 Victoria Drive, Eatontown, NJ 07724, U.S.A.
三、申請人	姓 名 (名稱)	美國電話電報公司 American Telephone and Telegraph Company
	籍 貫 (國籍)	美國
	住、居所 (事務所)	美國紐約州10022紐約麥迪遜路550號 550 Madison Avenue, New York NY 10022, U.S.A.
	代表人 姓 名	艾·易·小奚爾斯 Hirsch Jr. A. E.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明 (1)

## 技術背景

本發明有關數位輸系統，尤指一種將同步數位信號轉換成非同步數位信號之數位傳輸系統。

## 本發明之背景

將同步數位傳輸信號轉換成非同步數位信號之先前技術是已知的，在最近的數位傳輸系統中，其由一般數元移動及材料數元所提供之資料信號中之大間隙的平順則變得極為重要，例如，將一 S O N E T S T S - 1 同步數位信號轉換成一 D S . 3 非同步數位信號則更為重要，如所週知，在 S T S - 1 信號格式中，所謂之指示器調整係用來調和從一輸入的 S T S - 1 信號導出之一時序信號及一本機的時序信號間之不同的小相位及頻率，此調整之進行係以一如同數元組為基礎，且可為正或負，在正常的系統運作期間，指示器調整之發生相當地罕見，此即產生該信號中之一低頻的相當大的峰間顫動成份，當系統運作退化時，指示器調整即可能更常發生，若此，一大範圍之指示器調整比率即成為可能，與一相位鎖定環及一同步緩衝儲存器相關聯之一所謂數元漏洩配技術在由一 S O N E T 信號格式中之指示器調整所產生之一資料信號中之間隙平順的嘗試中已有提及，1 數元漏洩係被界定為被提供至一相位鎖定環之一數元的相位錯誤，這些技術之一則使用一數元接一數元之漏洩調整，故具有一“較寬”的頻帶寬度之一相位鎖定環可能被使用於去同步器中，然而，此數元接著

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 (2)

數元之技術並不適於供可能發生的指示器調整比率之全部範圍之補償用，供使用一適當的數元漏洩配置之指示器調整補償用之一種嘗試亦已被提出，然而，就提出適當的數元漏洩配置之我們的知識中之最好的而言，仍於例如 D S<sub>3</sub> 信號之非同步數位信號中發生過度的顫動，或僅簡單地並不滿意地操作。

## 本發明之摘要

根據本發明，先已知數元漏洩配置之難題即藉使用與一同步緩衝儲存器及數位相位鎖定環相關之一唯一適合的數元漏洩配置予以克服，在其數元被漏洩至相位鎖定環以進行相位調整之一間隔藉使用一唯一數元漏洩間隔估算技術可控制地且適合地被更新，此唯一數元漏洩間隔估算技術在一最終之非同步數位信號中導致顫動行為之重要改進。

更特別地，此唯一數元漏洩間隔估算技術係藉以所謂所接收的信號指示器調整之一過去的結果為基礎產生一需求的數元漏洩間隔來達成顫動行為之改良。

在本發明之一具體化實施例中，其數元漏洩間隔係藉使用所接收信號之連續的指示器調整間之時間間隔的平均值而適當地獲得。

在本發明之一具體化實施例中，其數元漏洩係藉有利地使用一儲存器及其有關之比較器而於平順方式中被完全理解，其儲存器係回應所接收的信號中之指示器調整及所

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 (3)

估算的數元漏洩間隔之表示法以提供一數元漏洩計數至比較器，另供應至比較器者係產生來回應一間隙輸入時序信號之緩衝儲存器之電流寫入位址，其比較器提供位於估算的漏洩間隔處之需求的漏洩數元至相位鎖定環以於一平順方式下進行相位調整，其相位鎖定環即依次產生供緩衝儲存器用之一平順的讀出時序信號。

本發明之一技術的優點係當使用具有較所需求的其他方面實質上“較寬”的頻帶寬度之一數位相位鎖定環時即可完全瞭解滿意的顫動行為。

圖 1 顯示一簡化的方塊圖型態，係包括本發明之一具體化實施例之一同步數位信號至非同步數位信號的轉換配置；

圖 2 係以一簡單化之方塊圖型態描述圖 1 之間隔估算及可規劃程式的漏洩計數器之細節；及

圖 3 及圖 4 係圖 1 之數元漏洩控制 110 之操作型態的流程圖。

## 詳細說明：

圖 1 之簡化的方塊圖型態係顯示包括本發明之一具體化實施例之同步至非同步數位信號轉換配置之細節，因此，其所顯示者係輸入信號源 101 及輸入時序信號源 102，在一例子中，輸入信號係 S T S - 1 S O N E T 信號，而輸入時序信號係 51.84 M H z 之 S T S - 1 時序信號，其輸入時序信號係典型地從已知型

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

五、發明說明 ( )  
4

態中之輸入信號導出，輸入時序源 1 0 2 亦產生一圖框同步信號，在此例子中，此圖框同同步信號係 8 K H z 之 S T S - 1 比率，其 S O N E T S T S - 1 信號格式係被描述於 1 9 8 9 年二月，具有通信研究，T A - T S Y - 0 0 0 2 5 3，名為“S O N E T 傳輸系統：一般共同的標準”之技術顧問中及 1 9 9 0 年二月，命名為“數位階組 - 光學介面比率及格式規格 ( S O N E T ) ”之 A N S I 製圖標準中。

在此例子中，解碼器 1 0 3 提供有輸入信號，輸入計時信號，圖框同步信號且被用來將 S T S - 1 信號轉換成一間隙 D S 3 數位信號，並將 S T S - 1 時序信號轉換成一間隙的時序信號，其 D S 3 數位信號格式係眾所週知且被描述於 1 9 7 7 年第 2 卷，A T & T 之“電傳輸送工程”中，解碼器 1 0 3 提供一所謂的間隙資料信號及間隙時序信號至同步緩衝儲存器 1 0 4，解碼器 1 0 3 亦產生於輸入 S T S - 1 信號中指示一指示器調整之一指示器 F L A G 及其是否為一正向或負向調整，為從一 S T S - 1 信號格式獲得一 D S 3 酬載信號之配置係眾所週知的，如何從上述 A N S I 製圖標準或技術顧問中檢測指示器調整之出現亦係顯而易見之一般性的個別處理技術，特別是，在 S T S - 1 信號格式中之 H 1 及 H 2 數元數組則指出一指示器調整之發生及該調整係正或負，在 S T S - 1 信號格式中之 H 1 及 H 2 數元組之檢測係相當有條理地向前。

同步圖框係被提供至數元漏洩控制 1 1 0 及間隔估算

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 (5)

器及可規劃程式的漏洩計數器 1 0 5，指示器 F L A G 則從解碼器 1 0 3 被提供至數元漏洩控制 1 1 0 及間隔估算器及可規劃程式漏洩計數器 1 0 5 及數元漏洩儲存器 1 0 6，根據本發明，數元漏洩控制 1 1 0 係運作適當地漏洩可控制之一數元計數以於輸入數位信號中補償指示器調整，前述輸入數位信號於此實施例中係指 S T S - 1 數位信號，其正向及負向指示器調整均可能發生，必然地，正向及負向漏洩亦是需要的，如上所述，指示器調整發生之比率可能改變，間隔估算器及可規劃程式之漏洩計數器 1 0 5 即根據本發明而有利地被使用來適當地調整所謂的數元漏洩間隔，故其數元即於適當的瞬間漏洩以平順地以不同比率補償指示器調整，為了減小從緩衝儲存器 1 0 4 輸出之平順資料信號中之顫動而言前述方式係極重要的，若數元漏洩間隔太長，將可獲得“好的”顫動行為，但緩衝儲存器 1 0 4 於相關的計數器頻率出現補償之情況將易於超限，若數元漏洩間隔太短，緩衝儲存器 1 0 4 將不會超限，但將產生“不好的”顫動行為，一預定數目之同步 S O N E T S T S - 1 酬載波封數元將被漏洩以供每一接收之指示器調整用，其時間之分隔將由數元漏洩間隔來決定，最好是，八 (8) 個同步 S T S - 1 酬載波封數元係於由間隔估算器及可規劃程式之漏洩計數器 1 0 5 所決定之一數元漏洩間隔中被漏洩出來，其 S O N E T S T S - 1 酬載比率係 5 0 . 1 1 2 M H z，到其末端時，漏洩脈衝即於估算間隔被從間隔估算器及可規劃程式之

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 (6)

漏洩計數器 1 0 5 供應至數元漏洩儲存器 1 0 6，間隔估  
算器及可規劃程式之漏洩計數器 1 0 5 之細節將顯示於圖  
2 中且描述於下，數元漏洩控制 1 1 0 之運作係顯示於圖  
3 及圖 4 之流程圖中且描述如下：

來自數元漏洩儲存器 1 0 6 之數元漏洩計數器係被提  
供至比較器 1 0 7，以與緩衝儲存器 1 0 4 之電流寫入位  
址 (W A D D R) 相比較，縱使寫入位址顯示出如同於緩  
衝儲存器 1 0 4 中被產生其他的配置，例如一間隔計數器  
，即可能被用來獲得寫入位址，若此，其他配置亦可被考  
慮係位於緩衝儲存器 1 0 4 內，比較器 1 0 7 中之比較結  
果即被提供至數位相位鎖定環 1 0 8 及相位比較器 1 1 1  
，數位相位鎖定環 1 0 8 亦包括濾波器 1 1 2 及一所謂電  
壓控制振盪器 1 1 4，此數位相位鎖定環配置係習用的且  
敏捷地使用數位電路技術，當一指示器調整發生時，緩衝  
儲存器 1 0 4 之寫入地址 (W A D D R) 及數元漏洩儲存  
器 1 0 6 之漏洩數元計數輸出均藉一數元組，亦即八數元  
，端視其調整係正向或負向而使其前進或遲延，若指示器  
調整係正向，則寫入位址及儲存器 1 0 6 之計數均減少，  
若指向器調整係負向，其寫入位址及儲存器 1 0 6 之計數  
則均增加，若此，於發生指示器調整之下，比較器 1 0 7  
初始時看起來並無改變，然後，於估算間隔時，數元漏洩  
控制 1 1 0 即於一控制方式下每次漏洩一指示器調整數元  
至比較器 1 0 7，數元之漏洩乃係數元漏洩儲存器 1 0 6  
之計數移向一中心位置，與儲存器 1 0 6 之計數及緩衝儲

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 (7)

存器 1 0 4 寫入位址有關之唯一使用的比較器 1 0 7 即避免因由被提供至數位相位鎖定環 1 0 8 之指示器調整而正常地產生之大相位調整，且容許根據本發明控制相位調整數之漏洩至數位相位鎖定環 1 0 8，與數位相位鎖定環 1 0 8 有關之數元漏洩控制 1 1 0 之適當的數元漏洩間隔控制即意義重大地改進了例如一 D S 3 信號之最終的平順資料信號中之顫動行為，前述平順資料信號係存在於例如 S T S - 1 信號之輸入數位信號中之指示器調整中，數位相位鎖定環 1 0 8 之一輸出即經濾波器 1 0 8 提供至緩衝儲存器之讀出計時 (R C L K) 輸入，濾波器 1 0 9 於此實施例中係用來將來自數位相位鎖定環 1 0 8 之輸出信號中之“高”頻顫動進行濾波，來自濾波器 1 0 9 之輸出係需求之平順讀出計時信號，例如一 D S 3 數位信號之需求的平順資料信號係被提供作為來自緩衝儲存器 1 0 4 之資料輸出。

簡化的方塊圖型態之圖 2 係顯示間隔估算器及可規劃程式之漏洩計數器 1 0 5 之細節，如上述，數元係以一控制方式被漏洩，亦即被提供至數位相位鎖定環 1 0 8 以供於輸入 S T S - 1 信號中之指示器調整所產生之相位及頻率的不同進行平順地調整，數元漏洩所發生處之間隔係良好的顫動行為被獲得之處係非常重要的，根據本發明，藉可控制地數元漏洩間隔之適當地調整可明瞭，在本發明之此一具體化實施例中，係藉產生以一指示器調整之過去的順序為基礎之一數元漏洩間隔即可獲得適當的調整，至此

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 (8)

末端，間隔估算器及可規劃程式之漏洩計數器 105 即產生藉使用所接收的 S T S - 1 信號中之連續的指示器調整時間間隔的移動平均數所決定之一間隔處之一所謂的漏洩脈衝，因此，圖框同步信號即被提供至除法器 201 及可規劃程式之漏洩計數器 202，在此實施例中，圖框同步信號係 8 K H z，除法器 201 係將圖框同步信號除以 Y 以獲得計數器計時，Y 係有關緩衝儲存器 104 之平順讀出計時比率之一預定數目，Y 最好係一大於每一指示器調整所漏洩出之平順資料數元之相關數目之一數目，在此例子中，此平順資料信號係 D S 3 信號而 Y 是八 (8)，其指示器 F L A G 係被提供至計數器 203 - 0 到 203 - 7 及可規劃程式漏洩計數器 202，八個計數器 203 係用來在連續的指示器調整間獲得一需求的間隔之移動平均數，數目八於顫動行為及緩衝儲存器 104 之儲存容量大小及數元漏洩儲存器 106 (圖 1) 間係一合理的協定，來自除法器 201 之一輸出係計數器時鐘，係經由及開 204 將其提供至每一個計數器 203 - 0 到 203 - 7 及至計時器 205，又，分別被提供至計數器 203 - 0 到 203 - 7 者係起始參數 I C 0 到 I C 7，在此例子中

$$3200i$$

，這些 起始參數係根據  $I C i = \frac{\quad}{Y}$ ，其 i

係計數器的數目，即 0，…… 7，而 Y 則為除法器 201 之除數，來自每一個計數器 203 之讀數均可控制地為了

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 (9)

獲得移動平均而被提供至下一個計數器 203，其計數即回應指示器 FLAG 信號而移位，計數器 203-0 之計數輸出即被提供至單元 206 以決定計數器 203-0 是否處於一飽和狀態，此一狀態係當計數器 203-0 之計數達到 3200/Y 時，此時，單元 206 即產生一抑制信號使及閘 204 失效而計數器 203 之計數則停止不動，此即使數元漏洩間隔之適當的調整失效。

來自計數器 203-1 之計數輸出亦被提供至除法器 207，在此例子中，除法器 207 具有一 2 之除數並提供一超過計數 2 之平均至可控制選擇器 208，計數計 205 促使選擇器 208 提供超過計數 2 之平均至可規劃程式之漏洩計數器 202 以供於系統起動或重置後之一預定間隔用，否則，選擇器 208 即從除法器 209 提供超過計數 8 之平均至可規劃程式之漏洩計數器 202，所選擇之平均計數則負載於可規劃程式漏洩計數器 202 以回應指示器 FLAG，故於系統起動或重置相同，數元漏洩儲存器 106 及緩衝儲存器 104 即更快速地聚合，否則，即需具有更多儲存容量之儲存器及緩衝儲存器，計時器 205 亦於預定的間隔內提供一信號至失效的除法器 209，除法器 209 之除數數係 8，並從計數器 203-7 獲得超過輸計數值 8 之一平均，超過計數 8 之平均係經由位於預定間隔終端之選擇器 208 提供至可規劃程式之漏洩計數器 202，所選擇之平均計數則負載於可規劃程式漏洩計數器 202 內以回應指示器 FLAG，可規劃

(請先閱讀背面之注意事項再填寫本頁)

.....裝.....訂.....線.....

## 五、發明說明 (10)

程式漏洩計數器 202 係回應於所提供之平均計數信號並於達到平均計數時產生一漏洩脈衝以回應圖框同步信號。

當圖 3 及 4 連接 1-1 及 2-2 形成一流程圖時即顯示數元漏洩控制 110 之運作，其中，間隔估算器及可規劃程式漏洩計數器 105 及數元漏洩儲存器 106 即於一適當的數元漏洩間隔適切地產生一漏洩數元計數值，因此，其過程即由起動步驟 301 開始，在步驟 302 中，數元漏洩控制 110 即被重置，計數值則如上述，係起始於每一計數器 203 (圖 2) 中，步驟 303 指出下一圖框以回應圖框同步信號，而步驟 304 則更新可規劃程式漏洩計數器 202，步驟 305 則測試在數元漏洩儲存器 106 中之值是否為 0，若其測試結果係“是”，控制即進行步驟 310，若步驟 305 之測試結果係“非”，步驟 306 即測試可規劃程式漏洩計數器 202 中之計數是否等於平均計數值，即適當地估算之數元漏洩間隔，若步驟 306 之測試結果係“非”，控制即進行至步驟 310，若步驟 306 之測試結果係“是”，其數元漏洩運作即係有效的，至其末端時，步驟 307 即促使數元漏洩儲存器 106 移動 1 數元至中心，儲存器 106 即回應指示器 FLAG 以增加或減少其計數  $Y-1$ ，在此例子中， $Y-1$  等於指示器調整中之 DS3 數元之數目，步驟 308 則重置可規劃程式漏洩計數器 202 至其起始計數，在步驟 309 中，數元漏洩儲存器 106 之值即被提供至比較器 107 (圖 1)，數元係直到一指示器調整已發生時方才

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線





四、中文發明摘要(發明之名稱：

將同步數位信號變換成非同步數位信號的去同步器

改良的顫動行為係由供從一例如 S O N E T S T S - 1 信號之接收的同步數位信號來獲得一例如一 D S 3 信號之非同步數位信號用之一去同步器中即可明瞭，其改良顫動行為係使用與一數位相位鎖定環及同步化緩衝存儲器相關之唯一的適當之數元漏洩配置所得之結果，一數元漏洩間隔之估算係適當地以如 S T S - 1 信號之接收的信號中連續的指示器調整順序間之間隔為基礎而獲得，在一具體化實施例中，其數元漏洩間隔估算係藉使用指示器調整間之間隔的移動平均而得，其需求之數元漏洩即因使用一儲存器而有效，該儲存器係回應於接收的指示器調整及估算的數元漏洩間隔之一代表，而與一比較器相結合，其儲存器輸出計數，係沿著緩衝存儲器之電流寫入位址而提供至比較器，漏洩數元即比較器一次一個地提供至相位鎖定環而依序產生平順讀出時序以供緩衝存儲器用(圖1)。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱：

SYNCHRONOUS DIGITAL SIGNAL TO  
ASYNCHRONOUS DIGITAL SIGNAL DESYNCHRONIZER

**Abstract**

Improved jitter performance is realized in a desynchronizer for obtaining an asynchronous digital signal, e.g., a DS3 signal, from a received synchronous digital signal, e.g., a SONET STS-1 signal. The improved jitter performance results from the use of a unique adaptive bit leaking arrangement in conjunction with a digital phase locked loop and synchronizing elastic store. An estimate of a bit leaking interval is adaptively obtained based on the intervals between a sequence of consecutive pointer adjustments in the received signal, i.e., the STS-1 signal. In one embodiment, the bit leaking interval estimate is obtained by employing a moving average of the intervals between the pointer adjustments. The desired bit leaking is effected by employing an accumulator which is responsive to the received pointer adjustments and a representation of the estimated bit leaking interval, in conjunction with a comparator. The accumulator output count is supplied to the comparator along with the current write address of the elastic store. Leak bits are supplied as an output from the comparator one at a time to the phase locked loop which, in turn, generates a smooth read clock for the elastic store. (FIG. 1)

訂

線

附註：本案已向

國(地區) 申請專利，申請日期：

案號：

美國

1990.8.24 07/572,740

## 六、申請專利範圍

1. 一種將於一輸入數位計時比率之一輸入數位信號去同步以獲得不同於輸入數位計時比率之一輸出數位計時比率之一輸出數位信號之裝置，包括：

一輸入數位信號之一來源；

一輸入時序信號及輸入圖框同步信號之一來源；

供獲得一來自前述輸入數位信號之間隙資料用之設備；

供獲得來自前述輸入時序信號之一間隙時序信號用之設備；

供檢測在前述輸入數位信號中指示器調整之發生用及供產生代表該發生之第一個控制信號及前述指示器調整之方向用之設備，每一前述指示器調整均包括一預定數目之數元；

供產生一輸出計時信號用之一數位相位鎖定環，前述數位相位鎖定環係回應於一相位調整信號；及

提供有前述間隔資料信號，前述間隙時序信號及前述輸出時序信號以供作為一輸出用之緩衝儲存器設備，一平順資料信號則同步於前述輸出時序信號，前述緩衝儲存器包括回應於前述間隙時序信號以供產生前述寫入位址之設備，該裝置之特徵係在於：

提供有前述圖框同步信號及回應於前述第一個控制信號以供適當地於前述指向器調整中之前述數元間產生一估算間隔且供於前述估算間隔中產生一第二個控制信號用之設備；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

回應於前述第一及第二個控制信號以供產生指示一數元調整之第三個控制信號之設備；及

供比較前述第三個控制信號及一寫入位址以獲得前述相位調整信號設備。

2. 如申請專利範圍第1項所界定之裝置，其特徵在於：供適當地產生前述估算之設備包括供於連續發生之前述指示器調整間獲得一規定的間隔平均之設備。

3. 如申請專利範圍第2項所界定之裝置，其特徵在於：供獲得前述一規定的平均之設備包括供獲得於前述一連串連續發生的指示器調整間之前述間隔之一移動平均之設備。

4. 如申請專利範圍第3項所界定之裝置，其特徵在於：供獲得前述移動平均之前述設備包括供獲得一第一個移動平均用之設備；供獲得至少一第二個移動平均用之設備；及供可控制地以一預定的標準為基礎選擇前述第一個移動平均或前述至少二個移動平均作為一輸出之設備。

5. 如申請專利範圍第4項所界定之裝置，其特徵在於：前述第一個移動平均之數目係二而前述至少第二個移動平均之數目是八。

6. 如申請專利範圍第4項所界定之裝置，其特徵在於：一計時器及前述預定標準係用來選擇前述第一個移動平均以供藉由前述計時器於系統被起動或重置後決定一預定間隔用，然後則選擇前述至少第二個移動平均。

7. 如申請專利範圍第2項所界定之裝置，其特徵在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

於：前述供產生一估算及供產生一第二個控制信號之設備更包括有提供前述圖框同步信號之可規劃程式計數器及供可控制地提供一前述規定的平均之代表以供產生前述第二個控制信號用之設備。

8. 如申請專利範圍第4項所界定之裝置，其特徵在於：前述供產生一估算及供產生一第二個控制信號用之設備更包括提供前述圖框同步信號。前述選擇的第一個移動平均或至少第二個移動平均輸出及前述供產生前述第二個控制信號用之一個控制信號之一可規劃程式計數器。

9. 如申請專利範圍第1項所界定之裝置，其特徵在於：前述輸入數位信號係一同步數位信號而前述輸出數位信號一非同步數位信號。

10. 如申請專利範圍第9項所界定之裝置，其特徵在於：前述同步數位信號係一SONET STS-1數位信號而前述非同步數位信號係一DS3數位信號。

11. 如申請專利範圍第1項所界定之裝置，其特徵在於：供產生前述第三個控制信號之設備包括一數位儲存器，該數位儲存器係回應前述第一及第二個控制信號以產生代表一數元漏洩計數之第三個控制信號。

12. 如申請專利範圍第1項所界定之裝置，其特徵在於：更包括從前述相位鎖定環提供有一輸出以從前述輸出計時器信號濾掉高頻顫動之濾波設備。

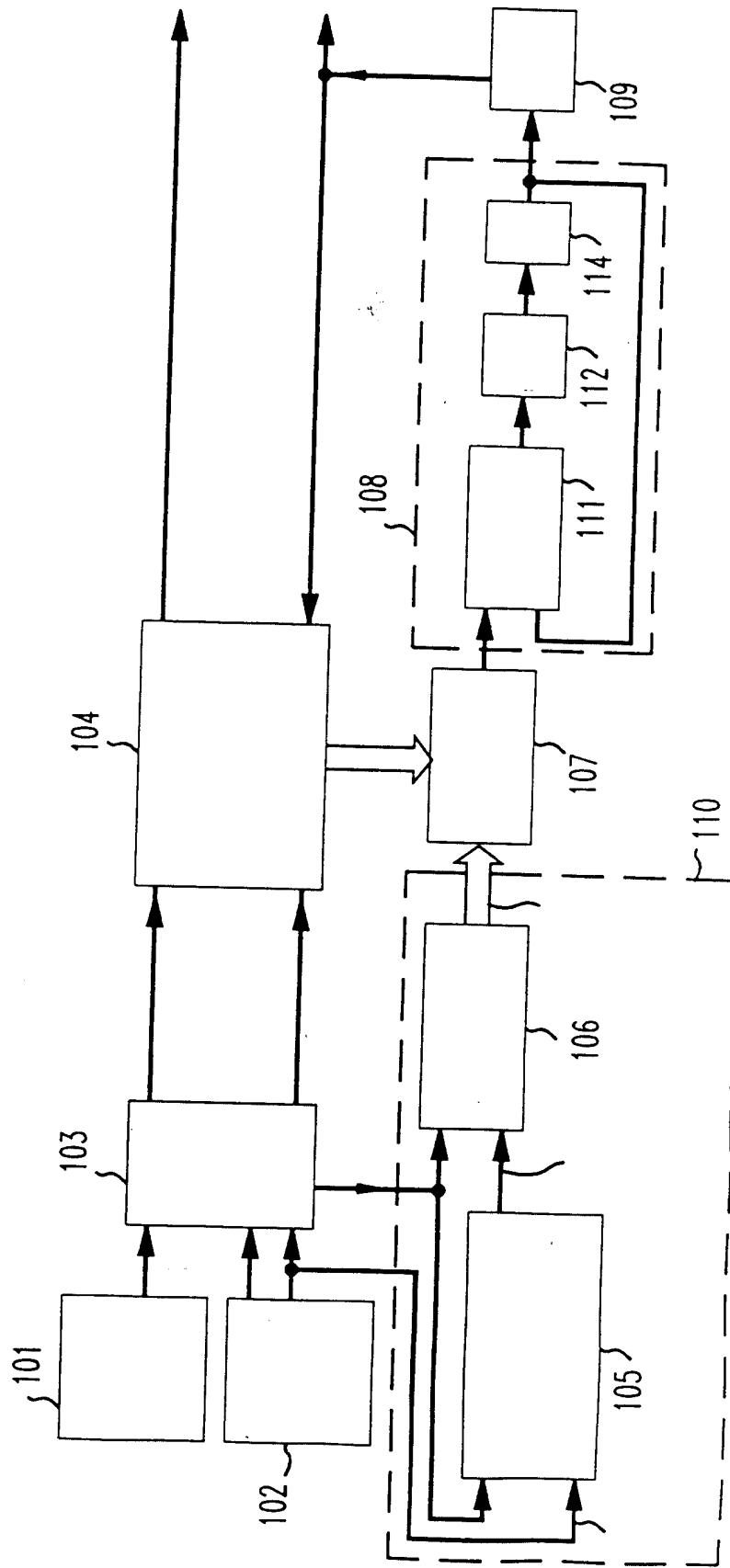
(請先閱讀背面之注意事項再填寫本頁)

裝

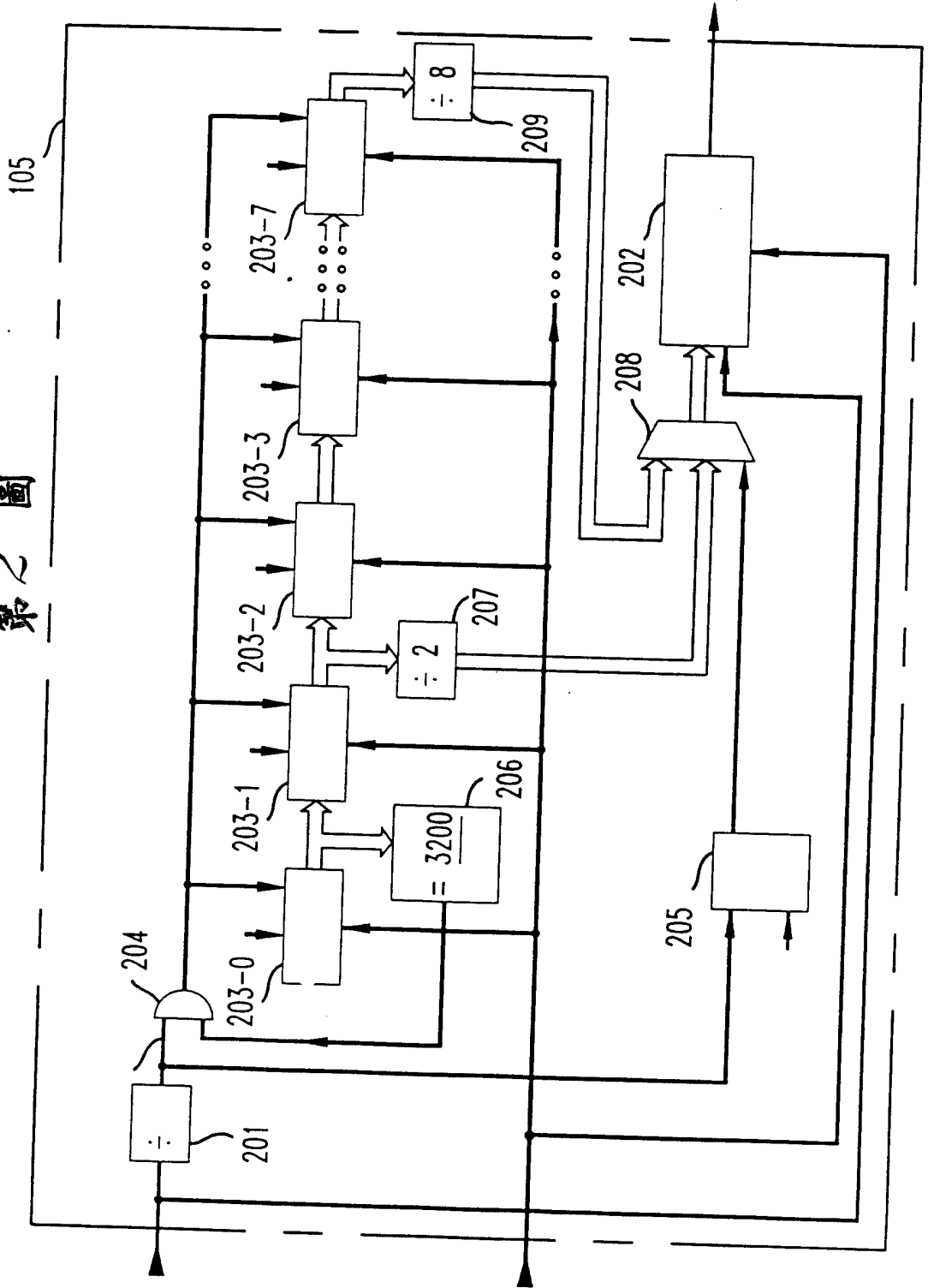
訂

線

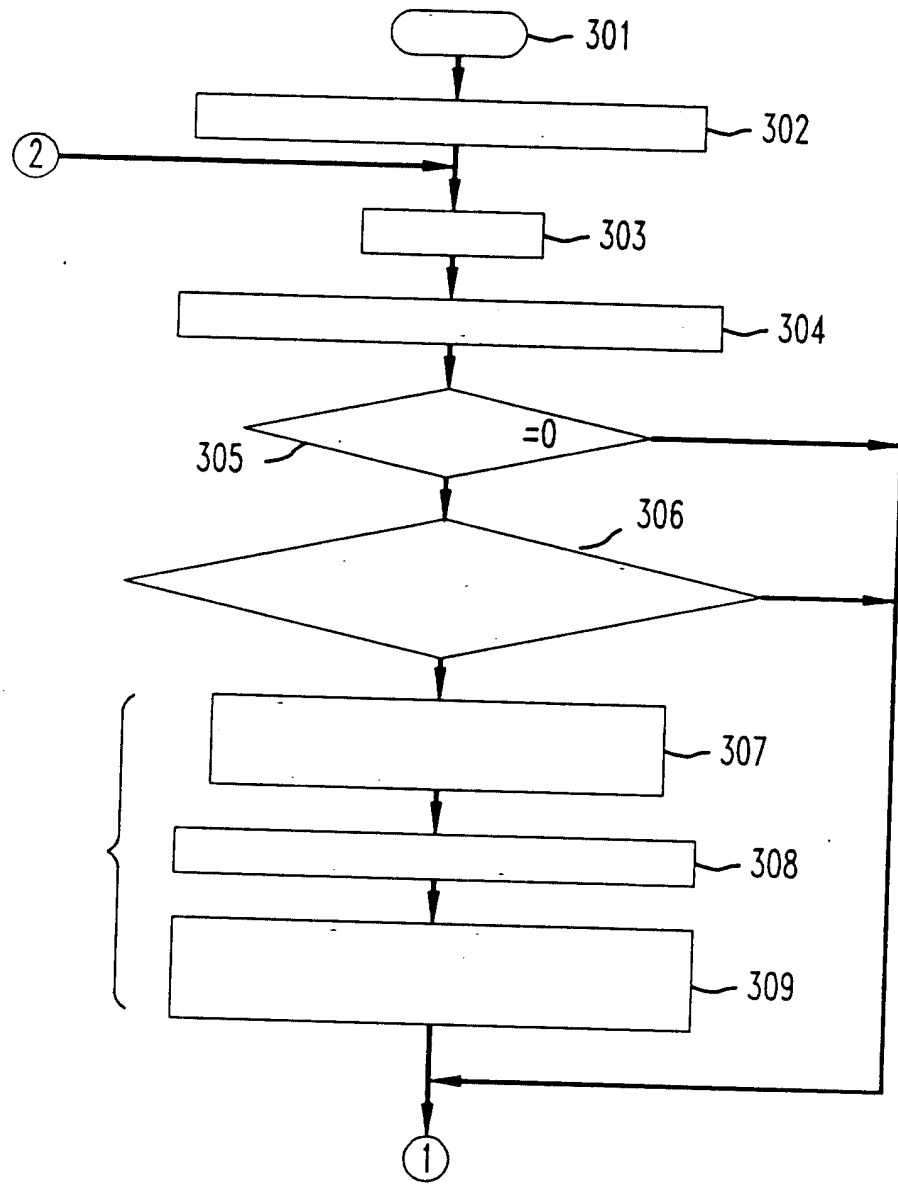
第 1 圖



第2圖



第 3 圖



第 4 圖

