

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5436335号
(P5436335)

(45) 発行日 平成26年3月5日 (2014.3.5)

(24) 登録日 平成25年12月20日 (2013.12.20)

(51) Int.Cl.

F I

G 1 1 C 19/00 (2006.01)

G 1 1 C 19/00 C

G 0 9 G 3/36 (2006.01)

G 0 9 G 3/36

G 0 9 G 3/20 (2006.01)

G 0 9 G 3/20 6 2 2 E

G 1 1 C 19/28 (2006.01)

G 0 9 G 3/20 6 1 2 K

G 0 9 G 3/20 6 2 2 R

請求項の数 26 (全 41 頁) 最終頁に続く

(21) 出願番号 特願2010-119118 (P2010-119118)
 (22) 出願日 平成22年5月25日 (2010.5.25)
 (65) 公開番号 特開2011-248944 (P2011-248944A)
 (43) 公開日 平成23年12月8日 (2011.12.8)
 審査請求日 平成25年5月10日 (2013.5.10)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 飛田 洋一
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 審査官 後藤 彰

最終頁に続く

(54) 【発明の名称】 走査線駆動回路

(57) 【特許請求の範囲】

【請求項1】

それぞれ位相の異なる少なくとも3つのクロック信号を用いて駆動され、縦続接続した複数の単位シフトレジスタを含む走査線駆動回路であって、

前記複数の単位シフトレジスタは、

前記3つのクロック信号のうちの2つを共に活性レベルに設定すると出力信号を活性化させる特定の単位シフトレジスタを含むことを特徴とする走査線駆動回路。

【請求項2】

前記特定の単位シフトレジスタは、縦続接続の最前段である
 請求項1記載の走査線駆動回路。

10

【請求項3】

前記特定の単位シフトレジスタの出力信号は、画素に接続するゲート線に供給されている
 請求項2記載の走査線駆動回路。

【請求項4】

請求項1から請求項3のいずれか記載の走査線駆動回路であって、
 前記特定の単位シフトレジスタは、
 前記出力信号が出力される出力端子と、
 第1クロック信号が供給されるクロック端子と、

20

第2クロック信号が供給される第1入力端子と、
第3クロック信号が供給される第2入力端子と、
前記第1クロック信号を前記出力端子に供給する第1トランジスタと、
前記第1トランジスタの制御電極が接続する第1ノードに接続し、前記第2クロック信号および前記第3クロック信号が共に活性レベルになると前記第1ノードを充電する充電回路を含む

ことを特徴とする走査線駆動回路。

【請求項5】

請求項4記載の走査線駆動回路であって、

前記充電回路は、

前記第1入力端子に接続した制御電極を有する第2トランジスタと前記第2入力端子に接続した制御電極を有する第3トランジスタとの直列回路を含む

ことを特徴とする走査線駆動回路。

【請求項6】

請求項5記載の走査線駆動回路であって、

前記直列回路は、一定電位の電源と前記第1ノードとの間に接続されている

ことを特徴とする走査線駆動回路。

【請求項7】

請求項5記載の走査線駆動回路であって、

前記直列回路は、前記第1または第2入力端子と前記第1ノードとの間に接続されている

ことを特徴とする走査線駆動回路。

【請求項8】

請求項4記載の走査線駆動回路であって、

前記充電回路は、

前記第1および第2入力端子の一方に接続した制御電極を有し、前記第1および第2入力端子のもう一方と前記第1ノードとの間に接続した第4トランジスタである

ことを特徴とする走査線駆動回路。

【請求項9】

それぞれ位相の異なる少なくとも3つのクロック信号を用いて駆動され、縦続接続した複数の単位シフトレジスタを含む走査線駆動回路であって、

前記複数の単位シフトレジスタの前段から後段へ向けて信号をシフトさせる順方向シフトおよび後段から前段へ向けて信号をシフトさせる逆方向シフトが可能であり、

前記複数の単位シフトレジスタは、

順方向シフト時に、前記3つのクロック信号のうちの2つを共に活性レベルに設定すると出力信号を活性化させる第1の単位シフトレジスタと、

逆方向シフト時に、前記3つのクロック信号のうちの2つを共に活性レベルに設定すると出力信号を活性化させる第2の単位シフトレジスタを含む

ことを特徴とする走査線駆動回路。

【請求項10】

前記第1の単位シフトレジスタは、縦続接続の最前段であり、

前記第2の単位シフトレジスタは、縦続接続の最後段である

請求項9記載の走査線駆動回路。

【請求項11】

前記第1および第2の単位シフトレジスタの出力信号は、それぞれ画素に接続するゲート線に供給されている

請求項10記載の走査線駆動回路。

【請求項12】

請求項9記載の走査線駆動回路であって、

前記第1の単位シフトレジスタは、

前記出力信号が出力される出力端子と、
第1クロック信号が供給されるクロック端子と、
第2クロック信号が供給される第1入力端子と、
第3クロック信号が供給される第2入力端子と、
順方向シフト時に活性レベル、逆方向シフト時に非活性レベルに設定される第1電圧信号が供給される第1電圧信号端子と、
逆方向シフト時に活性レベル、順方向シフト時に非活性レベルに設定される第2電圧信号が供給される第2電圧信号端子と、
前記第1クロック信号を前記出力端子に供給する第1トランジスタと、
前記第1電圧信号端子と前記第1トランジスタの制御電極が接続する第1ノードとの間に直列接続した第2および第3トランジスタと、
次段の単位シフトレジスタの出力信号が入力される制御電極を有し、前記第1ノードと前記第2電圧信号端子との間に接続した第4トランジスタとを備え、
前記第2トランジスタの制御電極は、前記第1入力端子に接続され、
前記第3トランジスタの制御電極は、前記第2入力端子に接続されている
ことを特徴とする走査線駆動回路。

【請求項13】

請求項12記載の走査線駆動回路であって、
前記第1の単位シフトレジスタは、縦続接続の最前段であり、
逆方向シフト時において、前記第2および第3クロック信号は、前記第1の単位シフトレジスタの出力信号の活性期間後の一定期間、共に活性レベルにされる
ことを特徴とする走査線駆動回路。

【請求項14】

請求項13記載の走査線駆動回路であって、
前記一定期間の間、前記第2電圧信号は、非活性レベルにされる
ことを特徴とする走査線駆動回路。

【請求項15】

請求項9記載の走査線駆動回路であって、
前記第2の単位シフトレジスタは、
前記出力信号が出力される出力端子と、
第1クロック信号が供給されるクロック端子と、
第2クロック信号が供給される第1入力端子と、
第3クロック信号が供給される第2入力端子と、
順方向シフト時に活性レベル、逆方向シフト時に非活性レベルに設定される第1電圧信号が供給される第1電圧信号端子と、
逆方向シフト時に活性レベル、順方向シフト時に非活性レベルに設定される第2電圧信号が供給される第2電圧信号端子と、
前記第1クロック信号を前記出力端子に供給する第1トランジスタと、
前記第2電圧信号端子と前記第1トランジスタの制御電極が接続する第1ノードとの間に直列接続した第2および第3トランジスタと、
前段の単位シフトレジスタの出力信号が入力される制御電極を有し、前記第1ノードと前記第1電圧信号端子との間に接続した第4トランジスタとを備え、
前記第2トランジスタの制御電極は、前記第1入力端子に接続され、
前記第3トランジスタの制御電極は、前記第2入力端子に接続されている
ことを特徴とする走査線駆動回路。

【請求項16】

請求項15記載の走査線駆動回路であって、
前記第2の単位シフトレジスタは、縦続接続の最後段であり、
順方向シフト時において、前記第2および第3クロック信号は、前記第2の単位シフトレジスタの出力信号の活性期間後の一定期間、共に活性レベルにされる

ことを特徴とする走査線駆動回路。

【請求項 17】

請求項 16 記載の走査線駆動回路であって、

前記一定期間の間、前記第 1 電圧信号は、非活性レベルにされる

ことを特徴とする走査線駆動回路。

【請求項 18】

それぞれ位相の異なる少なくとも 2 つのクロック信号を用いて駆動され、縦続接続した複数の単位シフトレジスタを含む走査線駆動回路であって、

前記複数の単位シフトレジスタの前段から後段へ向けて信号をシフトさせる順方向シフトおよび後段から前段へ向けて信号をシフトさせる逆方向シフトが可能であり、

順方向シフト時に活性レベル、逆方向シフト時に非活性レベルに設定される第 1 電圧信号が供給される第 1 電圧信号端子と、

逆方向シフト時に活性レベル、順方向シフト時に非活性レベルに設定される第 2 電圧信号が供給される第 2 電圧信号端子を備え、

前記複数の単位シフトレジスタは、

順方向シフト時に、前記第 1 および第 2 電圧信号を共に活性レベルに設定すると出力信号を活性化させる第 1 の単位シフトレジスタと、

逆方向シフト時に、前記第 1 および第 2 電圧信号を共に活性レベルに設定すると出力信号を活性化させる第 2 の単位シフトレジスタを含む

ことを特徴とする走査線駆動回路。

【請求項 19】

前記第 1 の単位シフトレジスタは、縦続接続の最前段であり、

前記第 2 の単位シフトレジスタは、縦続接続の最後段である

請求項 18 記載の走査線駆動回路。

【請求項 20】

前記第 1 および第 2 の単位シフトレジスタの出力信号は、それぞれ画素に接続するゲート線に供給されている

請求項 19 記載の走査線駆動回路。

【請求項 21】

請求項 18 記載の走査線駆動回路であって、

前記第 1 の単位シフトレジスタは、

前記出力信号が出力される出力端子と、

第 1 クロック信号が供給されるクロック端子と、

前記第 1 電圧信号が供給される第 1 入力端子と、

前記第 2 電圧信号が供給される第 2 入力端子と、

第 2 クロック信号が供給される第 3 入力端子と、

前記第 1 クロック信号を前記出力端子に供給する第 1 トランジスタと、

前記第 1 トランジスタの制御電極が接続する第 1 ノードと前記第 3 入力端子との間に直列接続した第 2 および第 3 トランジスタと、

次段の単位シフトレジスタの出力信号が入力される制御電極を有し、前記第 1 ノードと前記第 2 電圧信号端子との間に接続した第 4 トランジスタとを備え、

前記第 2 トランジスタの制御電極は、前記第 1 入力端子に接続し、

前記第 3 トランジスタの制御電極は、前記第 2 入力端子に接続している

ことを特徴とする走査線駆動回路。

【請求項 22】

請求項 21 記載の走査線駆動回路であって、

前記第 1 の単位シフトレジスタは、縦続接続の最前段であり、

逆方向シフト時において、前記第 1 の単位シフトレジスタの出力信号の活性期間後の一定期間、前記第 1 および第 2 電圧信号は共に活性レベル、前記第 2 クロック信号は非活性レベルにされる

ことを特徴とする走査線駆動回路。

【請求項 2 3】

請求項 2 2 記載の走査線駆動回路であって、
前記一定期間の間、前記第 1 クロック信号は、非活性レベルにされる
ことを特徴とする走査線駆動回路。

【請求項 2 4】

請求項 1 8 記載の走査線駆動回路であって、
前記第 2 の単位シフトレジスタは、
前記出力信号が出力される出力端子と、
第 1 クロック信号が供給されるクロック端子と、
前記第 1 電圧信号が供給される第 1 入力端子と、
前記第 2 電圧信号が供給される第 2 入力端子と、
第 2 クロック信号が供給される第 3 入力端子と、
前記第 1 クロック信号を前記出力端子に供給する第 1 トランジスタと、
前記第 1 トランジスタの制御電極が接続する第 1 ノードと前記第 3 入力端子との間直列
接続した第 2 および第 3 トランジスタと、
前段の単位シフトレジスタの出力信号が入力される制御電極を有し、前記第 1 ノードと
前記第 1 電圧信号端子との間に接続した第 4 トランジスタとを備え、
前記第 2 トランジスタの制御電極は、前記第 1 入力端子に接続し、
前記第 3 トランジスタの制御電極は、前記第 2 入力端子に接続している
ことを特徴とする走査線駆動回路。

【請求項 2 5】

請求項 2 4 記載の走査線駆動回路であって、
前記第 2 の単位シフトレジスタは、縦続接続の最後段であり、
順方向シフト時において、前記第 2 の単位シフトレジスタの出力信号の活性期間後の一
定期間、前記第 1 および第 2 電圧信号は共に活性レベル、第 2 クロック信号は非活性レベ
ルにされる
ことを特徴とする走査線駆動回路。

【請求項 2 6】

請求項 2 5 記載の走査線駆動回路であって、
前記一定期間の間、前記第 1 クロック信号は、非活性レベルにされる
ことを特徴とする走査線駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像表示装置、撮像装置等の電気光学装置に使用される走査線駆動回路に関
するものであり、特に同一導電型の電界効果トランジスタのみを用いて構成される走査線
駆動回路に関するものである。

【背景技術】

【0002】

走査線に接続した画素を走査する走査線駆動回路を備える電気光学装置は広く知られて
いる。例えば、液晶表示装置等の画像表示装置（以下「表示装置」）では、複数の画素が
行列状（マトリクス状）に配列された表示素子（表示パネル）の画素行（画素ライン）ご
とにゲート線（走査線）が設けられ、表示信号の 1 水平期間の周期でそのゲート線を順次
選択して駆動することにより表示画像の更新が行われる。そのように画素ラインすなわち
ゲート線を順次選択して駆動するためのゲート線駆動回路（走査線駆動回路）としては、
表示信号の 1 フレーム期間で一巡するシフト動作を行うシフトレジスタを用いることがで
きる。

【0003】

また、撮像装置に用いられる撮像素子の画素もマトリクス状に配設されており、それらの画素がゲート線駆動回路により走査されることで撮影した画像のデータが抽出される。撮像装置のゲート線駆動回路にも、シフトレジスタを用いることができる。

【0004】

ゲート線駆動回路としてのシフトレジスタは、1つの画素ラインすなわち1つのゲート線ごとに設けられた複数のシフトレジスタ回路が縦続接続（カスケード接続）して構成される。本明細書では、ゲート線駆動回路を構成する複数のシフトレジスタ回路の各々を「単位シフトレジスタ」と称する。即ち、ゲート線駆動回路を構成する個々の単位シフトレジスタの出力端子は、対応するゲート線に接続されるだけでなく、その次段あるいは後段の単位シフトレジスタの入力端子に接続される。

10

【0005】

ゲート線駆動回路に使用されるシフトレジスタは、表示装置の製造プロセスにおける工程数を少なくしコスト低減をするために、同一導電型の電界効果トランジスタのみを用いて構成されることが望ましい。

【0006】

ゲート線駆動回路は、最前段の単位シフトレジスタに入力されるスタートパルスを次々に後段の単位シフトレジスタへと伝達することによって、ゲート線を順番に選択するように動作する。そのスタートパルスはゲート線駆動回路の外部から供給される信号（外部信号）であり、ゲート線駆動回路とは異なる基板に形成されたスタートパルス生成回路で生成される。

20

【0007】

しかし外部信号が増えると、その生成回路や外部信号のレベル調整を行うレベルシフタなど必要な回路が増加し、装置のコスト増大の要因となる。従って、電気光学装置の製造コストを低減するためには、外部信号をできるだけ少なくすることが好ましい。そのためスタートパルス生成回路をゲート線駆動回路と同一の基板上に設けることで、スタートパルスを外部から供給する必要を無くし、外部信号の数を削減する試みも成されている（例えば特許文献1，2）。

【先行技術文献】

【特許文献】

【0008】

30

【特許文献1】特開2006-269002号公報

【特許文献2】米国特許出願公開第2008/0122774号明細書

【発明の概要】

【発明が解決しようとする課題】

【0009】

特許文献1，2のように、スタートパルス生成回路をゲート線駆動回路と同一の基板上に設ければ外部信号の数を少なくできる。しかし当然のことながら、スタートパルス生成回路の形成するための面積を基板上に確保する必要がある。製造コストの観点からは、基板の面積は小さいことが好ましい。

【0010】

40

本発明は以上の課題を解決するためになされたものであり、同一導電型のトランジスタのみで構成され、スタートパルス生成回路が不要な走査線駆動回路を提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明の第1の局面に係る走査線駆動回路は、それぞれ位相の異なる少なくとも3つのクロック信号を用いて駆動され、縦続接続した複数の単位シフトレジスタを含む走査線駆動回路であって、前記複数の単位シフトレジスタは、前記3つのクロック信号のうちの2つを共に活性レベルに設定すると出力信号を活性化させる特定の単位シフトレジスタを含むものである。

50

【0012】

本発明の第2の局面に係る走査線駆動回路は、それぞれ位相の異なる少なくとも3つのクロック信号を用いて駆動され、縦続接続した複数の単位シフトレジスタを含む走査線駆動回路であって、前記複数の単位シフトレジスタの前段から後段へ向けて信号をシフトさせる順方向シフトおよび後段から前段へ向けて信号をシフトさせる逆方向シフトが可能であり、前記複数の単位シフトレジスタは、順方向シフト時に、前記3つのクロック信号のうちの2つを共に活性レベルに設定すると出力信号を活性化させる第1の単位シフトレジスタと、逆方向シフト時に、前記3つのクロック信号のうちの2つを共に活性レベルに設定すると出力信号を活性化させる第2の単位シフトレジスタを含むものである。

【0013】

10

本発明の第3の局面に係る走査線駆動回路は、それぞれ位相の異なる少なくとも2つのクロック信号を用いて駆動され、縦続接続した複数の単位シフトレジスタを含む走査線駆動回路であって、前記複数の単位シフトレジスタの前段から後段へ向けて信号をシフトさせる順方向シフトおよび後段から前段へ向けて信号をシフトさせる逆方向シフトが可能であり、順方向シフト時に活性レベル、逆方向シフト時に非活性レベルに設定される第1電圧信号が供給される第1電圧信号端子と、逆方向シフト時に活性レベル、順方向シフト時に非活性レベルに設定される第1電圧信号が供給される第2電圧信号端子を備え、前記複数の単位シフトレジスタは、順方向シフト時に、前記第1および第2電圧信号を共に活性レベルに設定すると出力信号を活性化させる第1の単位シフトレジスタと、逆方向シフト時に、前記第1および第2電圧信号を共に活性レベルに設定すると出力信号を活性化させる第2の単位シフトレジスタを含むものである。

20

【発明の効果】

【0014】

本発明に係る走査線駆動回路によれば、スタートパルス生成回路が不要であるため、基板面積を小さくでき、製造コストの削減に寄与できる。

【図面の簡単な説明】

【0015】

【図1】本発明の適用例である表示装置の構成を示す概略ブロック図である。

【図2】実施の形態1に係るゲート線駆動回路のブロック図である。

【図3】単位シフトレジスタの一例を示す回路図である。

30

【図4】実施の形態1に係る第1段目の単位シフトレジスタの回路図である。

【図5】実施の形態1に係るゲート線駆動回路の回路構成を示す図である。

【図6】実施の形態1に係るゲート線駆動回路の回路構成を示す図である。

【図7】図3の単位シフトレジスタの動作を示すタイミング図である。

【図8】実施の形態1に係る単位シフトレジスタの動作を示すタイミング図である。

【図9】実施の形態1に係るゲート線駆動回路の動作を示すタイミング図である。

【図10】実施の形態1の変更例を説明するための図である。

【図11】実施の形態2に係るゲート線駆動回路のブロック図である。

【図12】双方向単位シフトレジスタの一例の回路図である。

【図13】実施の形態2に係る第1段目の単位シフトレジスタの回路図である。

40

【図14】実施の形態2に係る最後段の単位シフトレジスタの回路図である。

【図15】最後段の次段に設けられたダミーの単位シフトレジスタの回路図である。

【図16】第1段目の前段に設けられたダミーの単位シフトレジスタの回路図である。

【図17】実施の形態2に係るゲート線駆動回路の回路構成を示す図である。

【図18】実施の形態2に係るゲート線駆動回路の回路構成を示す図である。

【図19】実施の形態2に係るゲート線駆動回路の順方向シフト時における動作を示すタイミング図である。

【図20】実施の形態2に係るゲート線駆動回路の逆方向シフト時における動作を示すタイミング図である。

【図21】実施の形態2の変更例に係るゲート線駆動回路のブロック図である。

50

【図 2 2】実施の形態 2 の変更例に係る第 1 段目の単位シフトレジスタの回路図である。

【図 2 3】実施の形態 2 の変更例に係る最後段の単位シフトレジスタの回路図である。

【図 2 4】実施の形態 2 の変更例に係るゲート線駆動回路の回路構成を示す図である。

【図 2 5】実施の形態 2 の変更例に係るゲート線駆動回路の回路構成を示す図である。

【図 2 6】実施の形態 2 の変更例に係るゲート線駆動回路の順方向シフト時における動作を示すタイミング図である。

【図 2 7】実施の形態 2 の変更例に係るゲート線駆動回路の逆方向シフト時における動作を示すタイミング図である。

【図 2 8】実施の形態 3 に係るゲート線駆動回路のブロック図である。

【図 2 9】実施の形態 3 に係る第 1 段目（最前段）の単位シフトレジスタの回路図である

10

。【図 3 0】実施の形態 3 に係る第 n 段目（最後段）の単位シフトレジスタの回路図である。

【図 3 1】最後段の次段に設けられたダミーの単位シフトレジスタの回路図である。

【図 3 2】第 1 段目の前段に設けられたダミーの単位シフトレジスタの回路図である。

【図 3 3】実施の形態 3 に係るゲート線駆動回路の回路構成を示す図である。

【図 3 4】実施の形態 3 に係るゲート線駆動回路の回路構成を示す図である。

【図 3 5】実施の形態 3 に係るゲート線駆動回路の順方向シフト時における動作を示すタイミング図である。

【図 3 6】実施の形態 3 に係るゲート線駆動回路の逆方向シフト時における動作を示すタイミング図である。

20

【図 3 7】実施の形態 3 の変更例に係るゲート線駆動回路のブロック図である。

【図 3 8】実施の形態 3 の変更例に係る第 1 段目の単位シフトレジスタの回路図である。

【図 3 9】実施の形態 3 の変更例に係る最後段の単位シフトレジスタの回路図である。

【図 4 0】実施の形態 3 の変更例に係るゲート線駆動回路の回路構成を示す図である。

【図 4 1】実施の形態 3 の変更例に係るゲート線駆動回路の回路構成を示す図である。

【図 4 2】実施の形態 3 の変更例に係るゲート線駆動回路の順方向シフト時における動作を示すタイミング図である。

【図 4 3】実施の形態 3 の変更例に係るゲート線駆動回路の逆方向シフト時における動作を示すタイミング図である。

30

【図 4 4】実施の形態 4 に係るゲート線駆動回路のブロック図である。

【発明を実施するための形態】

【0016】

以下、本発明の実施の形態について図面を参照しながら説明する。なお、説明が重複して冗長になるのを避けるため、各図において同一または相当する機能を有する要素には同一符号を付してある。

【0017】

また、各実施の形態に用いられるトランジスタは、絶縁ゲート型電界効果トランジスタである。絶縁ゲート型電界効果トランジスタは、ゲート絶縁膜中の電界により半導体層内のドレイン領域とソース領域との間の電気伝導度が制御される。ドレイン領域およびソース領域が形成される半導体層の材料としては、ポリシリコン、アモルファスシリコン、ペンタセン等の有機半導体、単結晶シリコンあるいは I G Z O (In-Ga-Zn-O) 等の酸化半導体などを用いることができる。

40

【0018】

よく知られているように、トランジスタは、それぞれ制御電極（狭義にはゲート（電極））と、一方の電流電極（狭義にはドレイン（電極）またはソース（電極））と、他方の電流電極（狭義にはソース（電極）またはドレイン（電極））とを含む少なくとも 3 つの電極を有する素子である。トランジスタはゲートに所定の電圧を印加することによりドレインとソース間にチャンネルが形成されるスイッチング素子として機能する。トランジスタのドレインとソースは、基本的に同一の構造であり、印加される電圧条件によって互いに

50

その呼称が入れ代わる。例えば、N型トランジスタであれば、相対的に電位（以下「レベル」とも称する）の高い電極をドレイン、低い電極をソースと呼称する（P型トランジスタの場合はその逆となる）。

【0019】

特に示さない限り、それらのトランジスタは半導体基板上に形成されるものであってもよく、またガラスなどの絶縁性基板上に形成される薄膜トランジスタ（TFT）であってもよい。トランジスタが形成される基板としては、単結晶基板あるいはSOI、ガラス、樹脂などの絶縁性基板であってもよい。

【0020】

本発明のゲート線駆動回路は、単一導電型のトランジスタのみを用いて構成される。例えばN型トランジスタは、ゲート・ソース間電圧が当該トランジスタのしきい値電圧よりも高いH（ハイ）レベルになると活性状態（オン状態、導通状態）となり、同じきい値電圧よりも低いL（ロー）レベルで非活性状態（オフ状態、非導通状態）となる。そのためN型トランジスタを用いた回路においては信号のHレベルが「活性レベル」、Lレベルが「非活性レベル」となる。また、N型トランジスタを用いて構成した回路の各ノードは、充電されてHレベルになることで、非活性レベルから活性レベルへの変化が生じ、放電されてLレベルになることで、活性レベルから非活性レベルへの変化が生じる。

10

【0021】

逆にP型トランジスタは、ゲート・ソース間電圧がトランジスタのしきい値電圧（ソースを基準として負の値）よりも低いLレベルになると活性状態（オン状態、導通状態）となり、同じきい値電圧よりも高いHレベルで非活性状態（オフ状態、非導通状態）となる。そのためP型トランジスタを用いた回路においては信号のLレベルが「活性レベル」、Hレベルが「非活性レベル」となる。また、P型トランジスタを用いて構成した回路の各ノードは、充電・放電の関係がN型トランジスタの場合と逆になり、充電されてLレベルになることで、非活性レベルから活性レベルへの変化が生じ、放電されてHレベルになることで、活性レベルから非活性レベルへの変化が生じる。

20

【0022】

本明細書では、非活性レベルから活性レベルへの変化を「プルアップ」、活性レベルから非活性レベルへの変化「プルダウン」と定義する。つまり、N型トランジスタを用いた回路では、LレベルからHレベルへの変化が「プルアップ」、HレベルからLレベルへの変化が「プルダウン」と定義され、P型トランジスタを用いた回路では、HレベルからLレベルへの変化が「プルアップ」、LレベルからHレベルへの変化が「プルダウン」と定義される。

30

【0023】

また本明細書においては、二つの素子間、二つのノード間あるいは一の素子と一のノードとの間の「接続」とはその他の要素（素子やスイッチなど）を介しての接続であるが実質的に直接接続されているのと等価な状態を含むものとして説明する。例えば二つの素子がスイッチを介して接続している場合であっても、それらが直接接続されているときと同一に機能できるような場合には、その二つの素子が「接続している」と表現する。

【0024】

本発明においては、各々位相の異なるクロック信号（多相クロック信号）が用いられる。以下では説明の簡単のため、一のクロック信号の活性期間とその次に活性化するクロック信号の活性期間との間に一定の間隔を設けている（例えば図8の時刻 $t_1 \sim t_2$ ）。しかし本発明では各クロック信号の活性期間が実質的に重ならないとよく、上記の間隔は無くてもよい。例えば活性レベルをHレベルとすると、一のクロック信号の立ち下がり（HレベルからLレベルへの変化）タイミングとその次に活性化するクロック信号の立ち上がり（LレベルからHレベルへの変化）タイミングとが同時であってもよい。

40

【0025】

<実施の形態1>

図1は、本発明に係る表示装置の構成を示す概略ブロック図であり、表示装置の代表例

50

として液晶表示装置の全体構成を示している。なお、本発明は、液晶表示装置への適用に限定されるものではなく、電気信号を光の輝度に変換する表示装置であるエレクトロルミネッセンス（EL）、有機EL、プラズマディスプレイ、電子ペーパー等、あるいは光の強度を電気信号に変換する撮像装置（画像センサ）などの電気光学装置に広く適用可能である。

【0026】

液晶表示装置100は、液晶アレイ部10と、ゲート線駆動回路（走査線駆動回路）30と、ソースドライバ40とを備える。後の説明により明らかになるが、本発明の実施の形態に係るシフトレジスタは、ゲート線駆動回路30に搭載される。

【0027】

液晶アレイ部10は、行列状に配設された複数の画素15を含む。画素の行（以下「画素ライン」とも称する）の各々にはそれぞれゲート線 GL_1 , GL_2 …（総称「ゲート線GL」）が配設され、また、画素の列（以下「画素列」とも称する）の各々にはそれぞれデータ線 DL_1 , DL_2 …（総称「データ線DL」）がそれぞれ設けられる。図1には、第1行の第1列および第2列の画素15、並びにこれに対応するゲート線 GL_1 およびデータ線 DL_1 , DL_2 が代表的に示されている。

【0028】

各画素15は、対応するデータ線DLと画素ノードNpとの間に設けられる画素スイッチ素子16と、画素ノードNpおよび共通電極ノードNcの間に並列に接続されるキャパシタ17および液晶表示素子18とを有している。画素ノードNpと共通電極ノードNcとの間の電圧差に応じて、液晶表示素子18中の液晶の配向性が変化し、これに応答して液晶表示素子18の表示輝度が変化する。これにより、データ線DLおよび画素スイッチ素子16を介して画素ノードNpへ伝達される表示電圧によって、各画素の輝度をコントロールすることが可能となる。即ち、最大輝度に対応する電圧差と最小輝度に対応する電圧差との間の中間的な電圧差を、画素ノードNpと共通電極ノードNcとの間に印加することによって、中間的な輝度を得ることができる。従って、上記表示電圧を段階的に設定することにより、階調的な輝度を得ることが可能となる。

【0029】

ゲート線駆動回路30は、所定の走査周期に基づき、ゲート線GLを順に選択して駆動する。画素スイッチ素子16のゲート電極は、それぞれ対応するゲート線GLと接続される。特定のゲート線GLが選択されている間は、それに接続する各画素において、画素スイッチ素子16が導通状態になり画素ノードNpが対応するデータ線DLと接続される。そして、画素ノードNpへ伝達された表示電圧がキャパシタ17によって保持される。一般的に、画素スイッチ素子16は、液晶表示素子18と同一の絶縁体基板（ガラス基板、樹脂基板等）上に形成されるTFEで構成される。

【0030】

ソースドライバ40は、Nビットのデジタル信号である表示信号SIGによって段階的に設定される表示電圧を、データ線DLへ出力するためのものである。ここでは一例として、表示信号SIGは6ビットの信号であり、表示信号ビットDB0～DB5から構成されるものとする。6ビットの表示信号SIGに基づくと、各画素において、 $2^6 = 64$ 段階の階調表示が可能となる。さらに、R（Red）、G（Green）およびB（Blue）の3つの画素により1つのカラー表示単位を形成すれば、約26万色のカラー表示が可能となる。

【0031】

また、図1に示すように、ソースドライバ40は、シフトレジスタ50と、データラッチ回路52, 54と、階調電圧生成回路60と、デコード回路70と、アナログアンプ80とから構成されている。

【0032】

表示信号SIGにおいては、各々の画素15の表示輝度に対応する表示信号ビットDB0～DB5がシリアルに生成される。すなわち、各タイミングにおける表示信号ビットDB0～DB5は、液晶アレイ部10中のいずれか1つの画素15における表示輝度を示し

10

20

30

40

50

ている。

【0033】

シフトレジスタ50は、表示信号SIGの設定が切り換わる周期に同期したタイミングで、データラッチ回路52に対して、表示信号ビットDB0～DB5の取り込みを指示する。データラッチ回路52は、シリアルに生成される表示信号SIGを順に取り込み、1つの画素ライン分の表示信号SIGを保持する。

【0034】

データラッチ回路54に入力されるラッチ信号LTは、データラッチ回路52に1つの画素ライン分の表示信号SIGが取り込まれるタイミングで活性化する。データラッチ回路54はそれに応答して、そのときデータラッチ回路52に保持されている1つの画素ライン分の表示信号SIGを取り込む。

10

【0035】

階調電圧生成回路60は、高電圧VDHおよび低電圧VDLの間に直列に接続された63個の分圧抵抗で構成され、64段階の階調電圧V1～V64をそれぞれ生成する。

【0036】

デコード回路70は、データラッチ回路54に保持されている表示信号SIGをデコードし、当該デコード結果に基づいて各デコード出力ノードNd₁, Nd₂…（総称「デコード出力ノードNd」）に出力する電圧を、階調電圧V1～V64のうちから選択して出力する。

【0037】

20

その結果、デコード出力ノードNdには、データラッチ回路54に保持された1つの画素ライン分の表示信号SIGに対応した表示電圧（階調電圧V1～V64のうちの1つ）が同時に（パラレルに）出力される。なお、図1においては、第1列目および第2列目のデータ線DL₁, DL₂に対応するデコード出力ノードNd₁, Nd₂が代表的に示されている。

【0038】

アナログアンプ80は、デコード回路70からデコード出力ノードNd₁, Nd₂…に出力された各表示電圧に対応したアナログ電圧を電流増幅して、それぞれデータ線DL₁, DL₂…に出力する。

【0039】

30

ソースドライバ40が、所定の走査周期に基づいて、一連の表示信号SIGに対応する表示電圧を1画素ライン分ずつデータ線DLへ繰り返し出力し、ゲート線駆動回路30がその走査周期に同期してゲート線GL₁, GL₂…を順に駆動することにより、液晶アレイ部10に表示信号SIGに基づいた画像の表示が成される。

【0040】

なお、図1には、ゲート線駆動回路30およびソースドライバ40が液晶アレイ部10と一体的に形成された液晶表示装置100の構成を例示したが、ゲート線駆動回路30と液晶アレイ部10とを一体的に形成し、ソースドライバ40については液晶アレイ部10の外部回路として設ける、あるいはゲート線駆動回路30およびソースドライバ40については、液晶アレイ部10の外部回路として設けることも可能である。

40

【0041】

図2は、ゲート線駆動回路30の構成を示すブロック図である。このゲート線駆動回路30は、縦続接続（カスケード接続）した複数（n個）の単位シフトレジスタSR₁, SR₂, SR₃, SR₄, …, SR_nで構成される多段のシフトレジスタから成っている（説明の便宜上、縦続接続するシフトレジスタ回路SR₁, SR₂…を「単位シフトレジスタSR」と総称する）。各単位シフトレジスタSRは、1つの画素ラインすなわち1つのゲート線GLごとに設けられる。

【0042】

本実施の形態に係るゲート線駆動回路30において、第2段目～第n段目（最後段）の単位シフトレジスタSR₂～SR_nは全て同じ構成であり、それぞれ入力端子IN、出力端

50

子OUT、クロック端子CKおよびリセット端子RSTを有している。第1段目（最前段）の単位シフトレジスタSR₁は、他の段とは異なり、入力端子を2つ有している。即ち、単位シフトレジスタSR₁は、第1および第2入力端子IN₁、IN₂と、出力端子OUT、クロック端子CKおよびリセット端子RSTを有している。

【0043】

各単位シフトレジスタSRの出力端子OUTは、それぞれ対応するゲート線GLに接続される。つまり各単位シフトレジスタSRの出力信号Gは、垂直（又は水平）走査パルスとしてゲート線GLへと出力される。

【0044】

またクロック発生器31は、それぞれ位相が異なる（活性期間が重ならない）3相のクロック信号CLK₁、CLK₂、CLK₃をゲート線駆動回路30の単位シフトレジスタSRに入力するものである。クロック信号CLK₁、CLK₂、CLK₃は、表示装置の走査周期に同期したタイミングで、繰り返し順番に（即ち、CLK₁、CLK₂、CLK₃、CLK₁…の順に）活性化するように制御されている（図7参照）。

【0045】

図2のように、各単位シフトレジスタSRのクロック端子CKにはクロック信号CLK₁～CLK₃のうちの何れかが供給される。

【0046】

具体的には、クロック信号CLK₁は、第[3m-2]行目の（mは自然数、以下同じ）のゲート線GL_{3m-2}を駆動する単位シフトレジスタSR₁、SR₄、SR₇…に供給される。クロック信号CLK₂は、第[3m-1]行目のゲート線GL_{3m-1}を駆動する単位シフトレジスタSR₂、SR₅、SR₈…に供給される。クロック信号CLK₃は、第[3m]行目のゲート線GL_{3m}を駆動する単位シフトレジスタSR₃、SR₆、SR₉…に供給される。クロック信号CLK₁、CLK₂、CLK₃は、この順番で繰り返し活性化するので、シフトレジスタSR₁、SR₂、SR₃…のクロック端子CKはその順番で活性化されることとなる。

【0047】

なお、一般的な表示装置の走査線数は3の倍数ではないので、3相のクロック信号CLK₁～CLK₃により制御されるシフトレジスタでは、最終行である第n段目の単位シフトレジスタSR_nのクロック端子CKに供給されるクロック信号は、表示装置の走査線数によって変わる。図2の例では、単位シフトレジスタSR_nのクロック端子CKにはクロック信号CLK₁が供給されている。

【0048】

第1段目の単位シフトレジスタSR₁の第1および第2入力端子IN₁、IN₂には、互いに位相が異なり、且つ、クロック端子CKに入力されるクロック信号CLK₁とも位相が異なるクロック信号がそれぞれ入力される。ここでは第1入力端子IN₁にクロック信号CLK₂が入力され、第2入力端子IN₂にクロック信号CLK₃が入力されている。第2段以降の単位シフトレジスタSRの入力端子INには、その前段の出力信号Gが入力される。

【0049】

また各単位シフトレジスタSRのリセット端子RSTには次段の出力信号Gが供給される。但し、最後段の単位シフトレジスタSR_nでは、リセット端子RSTには、クロック端子CKに入力されるクロック信号CLK₁の次に活性化するクロック信号CLK₂が入力される。

【0050】

ゲート線駆動回路30の単位シフトレジスタSRの各々は、クロック信号CLK₁～CLK₃に同期して、自身の前段の出力信号Gを時間的にシフトさせながら、対応するゲート線GL並びに自身の次段の単位シフトレジスタSRへと伝達する。その結果、各単位シフトレジスタSRの出力信号Gは、G₁、G₂、G₃…と順番に活性化される（単位シフトレジスタSRの動作の詳細は後述する）。それにより一連の単位シフトレジスタSRは、

10

20

30

40

50

所定の走査周期に基づいたタイミングでゲート線GLを順に活性化させる、いわゆるゲート線駆動ユニットとして機能する。

【0051】

従来のゲート線駆動回路30では、第1段目の単位シフトレジスタSR₁の出力信号G₁を活性化させるために、外部から単位シフトレジスタSR₁の入力端子INにスタートパルスを提供していたが、図2からも分かるように、本実施の形態の単位シフトレジスタSR₁にはスタートパルスは供給されない。

【0052】

以下、各单位シフトレジスタSRの回路構成について説明する。まず第2段目以降の単位シフトレジスタSRの構成を説明する。図3はその回路図である。ゲート線駆動回路30においては、単位シフトレジスタSR₂~SR_nの構成は実質的にどれも同じであるので、ここでは代表的に第k段目(2≤k≤n)の単位シフトレジスタSR_kの構成について説明する。この単位シフトレジスタSR_kを構成するトランジスタは、全て同一導電型の電界効果トランジスタであるが、ここではN型TFTが用いられている。

10

【0053】

図3の如く、従来の単位シフトレジスタSR_kは、図2で示した入力端子IN、出力端子OUT、クロック端子CKおよびリセット端子RSTの他に、低電位側電源電位(ロー側電源電位)VSSが供給される第1電源端子S1、高電位側電源電位(ハイ側電源電位)VDDが供給される第2電源端子S2を有している。以下の説明では、ロー側電源電位VSSを回路の基準電位としているが(VSS=0)、実使用では画素に書き込まれるデータの電圧を基準にして基準電位が設定され、例えばハイ側電源電位VDDは1.7V、ロー側電源電位VSSは-1.2Vなどと設定される。

20

【0054】

単位シフトレジスタSR_kの出力段は、ゲート線GL_kの選択期間に出力信号G_kを活性レベル(Hレベル)にするトランジスタQ1(出力プルアップトランジスタ)と、ゲート線GL_kの非選択期間に出力信号G_kを非活性レベル(Lレベル)に維持するためのトランジスタQ2(出力プルダウントランジスタ)とから構成されている。

【0055】

トランジスタQ1は、出力端子OUTとクロック端子CKとの間に接続しており、クロック端子CKに入力されるクロック信号を出力端子OUTに供給することによって出力信号G_kを活性化させる。またトランジスタQ2は、出力端子OUTと第1電源端子S1との間に接続しており、出力端子OUTを放電して電位VSSにすることで、出力信号G_kを非活性レベルに維持する。ここで、トランジスタQ1のゲート(制御電極)が接続するノードを「ノードN1」、トランジスタQ2のゲートが接続するノードを「ノードN2」とそれぞれ定義する。

30

【0056】

トランジスタQ1のゲート・ソース間(即ち出力端子OUTとノードN1との間)には容量素子C1(昇圧容量)が接続されている。この容量素子C1は、出力端子OUTとノードN1との間を容量結合し、出力端子OUTのレベル上昇に伴うノードN1の昇圧効果を高めるためのものである。

40

【0057】

ノードN1と第2電源端子S2との間にはトランジスタQ3が接続しており、そのゲートは入力端子INに接続している。トランジスタQ3は、入力端子INに供給される信号(入力信号)の活性化に応じてノードN1を充電するよう機能する。

【0058】

ノードN1と第1電源端子S1との間には、ゲートがリセット端子RSTに接続したトランジスタQ4が接続される。トランジスタQ4は、リセット端子RSTに供給される信号(リセット信号)の活性化に応じてノードN1を放電するよう機能する。またノードN1と第1電源端子S1との間には、ゲートがノードN2に接続したトランジスタQ5も接続されている。トランジスタQ5は、ノードN2が活性レベル(Hレベル)の期間、ノー

50

ドN1を放電して当該ノードN1を非活性レベル（Lレベル）に維持するよう機能する。

【0059】

これらトランジスタQ3, Q4, Q5から成る回路は、ノードN1を充放電することによってトランジスタQ1（出力プルアップトランジスタ）を駆動する「プルアップ駆動回路」を構成している。

【0060】

ノードN2と第2電源端子S2との間には、ゲートが第2電源端子S2に接続したトランジスタQ6が接続される（即ちトランジスタQ6はダイオード接続されている）。ノードN2と第1電源端子S1との間には、ゲートがノードN1に接続したトランジスタQ7が接続される。

10

【0061】

トランジスタQ7は、トランジスタQ6よりもオン抵抗が充分小さく（つまり駆動能力が大きく）設定されている。よって、トランジスタQ7のゲート（ノードN1）がHレベルになりトランジスタQ7がオンするとノードN2は放電されてLレベルになり、逆にノードN1がLレベルになりトランジスタQ7がオフするとノードN2はHレベルになる。即ちトランジスタQ6, Q7は、ノードN1を入力端、ノードN2を出力端とするレシオ型インバータを構成している。このインバータにおいて、トランジスタQ6は負荷素子、トランジスタQ7は駆動素子として機能する。

【0062】

当該インバータは、ノードN2を充放電することによってトランジスタQ2（出力プルダウントランジスタ）を駆動する「プルダウン駆動回路」を構成している。

20

【0063】

次に、単位シフトレジスタSR₁の構成を説明する。図4はその回路図である。同図の如く、単位シフトレジスタSR₁は、図3の回路に対し、トランジスタQ3を、直列接続した2つのトランジスタQ31, Q32（充電回路）に置き換えたものである。トランジスタQ31, Q32間の接続ノードを「ノードN3」と定義する。

【0064】

トランジスタQ31は、第2電源端子S2ノードN3との間に接続し、そのゲートは第1入力端子IN1に接続される。トランジスタQ32は、ノードN1とノードN3との間に接続し、そのゲートは第2入力端子IN2に接続される。単位シフトレジスタSR₁におけるその他の回路構成は図3の単位シフトレジスタSR_kと同様である。

30

【0065】

図5および図6は、ゲート線駆動回路30の回路構成を具体的に示す図である。図5には最前の2段である単位シフトレジスタSR₁, SR₂の接続関係が示されており、図6には最後の2段である単位シフトレジスタSR_{n-1}, SR_nの接続関係が示されている。

【0066】

続いて、図3の単位シフトレジスタSR_kの動作を説明する。図7はその動作を示す信号波形図である。ここでは当該単位シフトレジスタSR_kのクロック端子CKにクロック信号CLK1が入力されているものとして説明を行う（例えば図2の単位シフトレジスタSR₄がこれに該当する）。

40

【0067】

説明の簡単のため、以下では特に示さない限り、クロック信号CLK1～CLK3のHレベル電位は、ハイ側電源電位VDDに等しいと仮定する。またクロック信号CLK1～CLK3のLレベルの電位はロー側電源電位VSSと等しいものとし、その電位を0Vとする（VSS=0）。さらに、各トランジスタのしきい値電圧は全て等しいと仮定し、その値をVthとする。なお、クロック信号CLK1～CLK3は、それぞれ1水平期間（1H）ずつの位相差を持つ繰り返し信号である。

【0068】

まず単位シフトレジスタSR_kの初期状態として、ノードN1がLレベル、ノードN2がHレベルであると仮定する。このときトランジスタQ1はオフ（遮断状態）、トランジ

50

スタQ 2はオン（導通状態）であるので、出力端子OUT（出力信号 G_k ）はクロック端子CK（クロック信号CLK 1）のレベルに関係なくLレベルに保たれる（以下、この状態を「リセット状態」と称す）。即ち、この単位シフトレジスタ SR_k が接続するゲート線 GL_k は非選択状態である。また初期状態では、クロック信号CLK 1～CLK 3および前段（単位シフトレジスタ SR_{k-1} ）の出力信号 G_{k-1} は、何れもLレベルであるとする。

【0069】

その状態から、時刻 t_{100} において、クロック信号CLK 3の立ち上がりと共に前段の出力信号 G_{k-1} がHレベルになると、当該単位シフトレジスタ SR_k ではトランジスタQ 3がオンになる。このときノードN 2はHレベルなのでトランジスタQ 5もオンしているが、トランジスタQ 3はトランジスタQ 5よりもオン抵抗が充分小さく（駆動能力が充分大きく）設定されているため、ノードN 1のレベルが上昇する。

10

【0070】

それによりトランジスタQ 7が導通し始め、ノードN 2のレベルが下がる。するとトランジスタQ 5の抵抗値が上がるためノードN 1のレベルが急速に上昇し、トランジスタQ 7は充分にオンになる。その結果ノードN 2はLレベル（VSS）になる。応じてトランジスタQ 5がオフになり、ノードN 1はHレベル（ $VDD - V_{th}$ ）になる。

【0071】

このようにノードN 1がHレベル、ノードN 2がLレベルになると、トランジスタQ 1がオン、トランジスタQ 2がオフになる（以下、この状態を「セット状態」称す）。但しこの時点ではクロック信号CLK 1はLレベルであるため、出力信号 G_k はLレベルに維持されている。

20

【0072】

そして時刻 t_{101} で、クロック信号CLK 3の立ち下がりと共に前段の出力信号 G_{k-1} がLレベルに戻ると、トランジスタQ 3はオフになる。しかしトランジスタQ 4、Q 5もオフ状態であるため、ノードN 1は高インピーダンス状態（フローティング状態）でHレベルに維持される。

【0073】

時刻 t_{102} でクロック信号CLK 1が立ち上がってHレベルになると、そのレベル上昇がオン状態のトランジスタQ 1を通して出力端子OUTに伝達され、出力信号 G_k のレベルが上昇する。このとき、容量素子C 1並びにトランジスタQ 1のゲート容量（ゲート・ソース間容量、ゲート・ドレイン間容量およびゲート・チャネル間容量）を介する結合のため、出力信号 G_k のレベル上昇に応じてノードN 1の電位が昇圧される。そのため出力端子OUTのレベルが上昇しても、トランジスタQ 1のゲート・ソース間電圧はしきい値電圧（ V_{th} ）よりも大きく保たれ、当該トランジスタQ 1は低インピーダンスに維持される。

30

【0074】

従って、出力信号 G_k は、クロック信号CLKの立ち上がりに追従して素早くHレベルになる。またこのときトランジスタQ 1は非飽和領域で動作して出力端子OUTを充電するため、出力信号 G_k のレベルは、トランジスタQ 1のしきい値電圧分の損失を伴わずクロック信号CLK 1と同じ電位VDDまで上昇する。

40

【0075】

このように出力信号 G_k がHレベルになると、ゲート線 GL_k が選択状態になる。また出力信号 G_k は次段の単位シフトレジスタ SR_{k+1} の入力端子INにも供給されているので、次段の単位シフトレジスタ SR_{k+1} はセット状態になる。

【0076】

その後、時刻 t_{103} でクロック信号CLK 1が立ち下がってLレベルに戻ると、オン状態のトランジスタQ 1によって出力端子OUTが放電される。従って出力信号 G_k はLレベル（VSS）になり、ゲート線 GL_k は非選択状態に戻る。またこのときノードN 1は昇圧前の電位（ $VDD - V_{th}$ ）に戻る。

50

【0077】

続いて時刻 t_{104} で、クロック信号 $CLK2$ が立ち上がり H レベルになると、次段の出力信号 G_{k+1} が H レベルになる。すると単位シフトレジスタ SR_k では、トランジスタ $Q4$ がオンするためノード $N1$ は L レベルになる。応じてトランジスタ $Q7$ がオフするのでノード $N2$ は H レベルになる。即ち、単位シフトレジスタ SR_k は、トランジスタ $Q1$ がオフ、トランジスタ $Q2$ がオンのリセット状態に戻る。またこのときトランジスタ $Q5$ はオンになる。

【0078】

そして時刻 t_{105} で次段の出力信号 G_{k+1} が立ち下がると、トランジスタ $Q4$ はオフになるが、トランジスタ $Q5$ がオンに維持されるため、ノード $N1$ は低インピーダンスで L レベルに維持される。

10

【0079】

時刻 t_{105} 以降は、次のフレーム期間に前段の出力信号 G_{k-1} が活性化されるまでは、トランジスタ $Q5 \sim Q7$ から成るハーフラッチ回路がノード $N1$ を L レベル、ノード $N2$ を H レベルに保持するため、単位シフトレジスタ SR_k はリセット状態に維持される。よってゲート線 GL_k の非選択期間の間は、出力信号 G_k は低インピーダンスで L レベルに維持される。

【0080】

以上のように、2 段目以降の単位シフトレジスタ SR_k は、入力端子 IN の信号（前段の出力信号 G_{k-1} ）の活性化に応じてセット状態になり、その次のクロック端子 CK の信号（クロック信号 $CLK1$ ）の活性期間に出力信号 G_k を活性化させる。そして、リセット端子 RST の信号（次段の出力信号 G_{k+1} （単位シフトレジスタ SR_n ではクロック信号 $CLK2$ ））の活性化に応じてリセット状態に戻り、以降は出力信号 G_k を L レベルに維持する。

20

【0081】

続いて、図4に示した第1段目の単位シフトレジスタ SR_1 の動作を説明する。図8はその動作を示す信号波形図である。上記したように、単位シフトレジスタ SR_1 においては、クロック端子 CK にクロック信号 $CLK1$ が入力され、第1入力端子 $IN1$ にはクロック信号 $CLK2$ が入力され、入力端子 $IN3$ にはクロック信号 $CLK3$ が入力される。

【0082】

クロック信号発生器31は、ゲート線駆動回路30の通常動作時には、クロック信号 $CLK1 \sim CLK3$ の活性期間が重ならないように制御するが、ゲート線駆動回路30に信号にシフト動作を開始させるタイミング、すなわちフレーム期間の先頭に対応するタイミングでは、例外的にクロック信号 $CLK2$ 、 $CLK3$ を同時に活性化させる。

30

【0083】

まず単位シフトレジスタ SR_1 の初期状態として、ノード $N1$ が L レベル、ノード $N2$ が H レベルのリセット状態を仮定する。このときトランジスタ $Q1$ はオフ、トランジスタ $Q2$ はオンであるので、出力端子 OUT （出力信号 G_1 ）はクロック端子 CK （クロック信号 $CLK1$ ）のレベルに関係なく L レベルに保たれる。また初期状態では、クロック信号 $CLK1 \sim CLK3$ は何れも L レベルであるとする。よってトランジスタ $Q31$ 、 $Q32$ は共にオフしており、ノード $N3$ のレベルは不定状態である。

40

【0084】

そしてフレーム期間の先頭に対応する時刻 t_0 において、クロック信号 $CLK2$ 、 $CLK3$ が共に活性化される。するとトランジスタ $Q31$ 、 $Q32$ が共にオンする。このときノード $N2$ は H レベルなのでトランジスタ $Q5$ もオンしているが、トランジスタ $Q31$ 、 $Q32$ のオン抵抗の和がトランジスタ $Q5$ のオン抵抗よりも充分小さく設定されているため、ノード $N1$ は H レベルになる。よってトランジスタ $Q7$ がオンし、ノード $N2$ は L レベル（ VSS ）になる。このときトランジスタ $Q5$ がオフになるので、ノード $N1$ の電位は $VDD - V_{th}$ まで上昇する。

【0085】

50

その結果、単位シフトレジスタ SR_1 は、ノード N_1 が H レベル、ノード N_2 が L レベルのセット状態となり、トランジスタ Q_1 がオン、トランジスタ Q_2 がオフになる。但しこの時点ではクロック信号 CLK_1 は L レベルであるため、出力信号 G_1 は L レベルに維持されている。

【0086】

その後、時刻 t_1 でクロック信号 CLK_2 、 CLK_3 が L レベルに戻る。よってトランジスタ Q_{31} 、 Q_{32} はオフになるが、トランジスタ Q_4 、 Q_5 もオフ状態であるため、ノード N_1 は高インピーダンス状態で H レベルに維持される。またノード N_3 も高インピーダンス状態の H レベル ($VDD - V_{th}$) になる。

【0087】

時刻 t_2 でクロック信号 CLK_1 が H レベルになると、そのレベル上昇がオン状態のトランジスタ Q_1 を通して出力端子 OUT に伝達され、出力信号 G_1 が H レベルになる。このとき、容量素子 C_1 並びにトランジスタ Q_1 のゲート容量 (ゲート・ソース間容量、ゲート・ドレイン間容量およびゲート・チャネル間容量) を介する結合のため、ノード N_1 の電位が昇圧され、トランジスタ Q_1 は低インピーダンスに維持される。従って、出力信号 G_1 は、クロック信号 CLK の立ち上がり追随して素早く H レベルになる。またこのときトランジスタ Q_1 は非飽和領域で動作するため、出力信号 G_1 の H レベル電位は VDD になる。

【0088】

このように出力信号 G_1 が H レベルになると、ゲート線 GL_1 が選択状態になる。また出力信号 G_1 は第 2 段目の単位シフトレジスタ SR_2 の入力端子 IN にも供給されているので、単位シフトレジスタ SR_2 はセット状態になる。

【0089】

その後、時刻 t_3 でクロック信号 CLK_1 が L レベルに戻ると、オン状態のトランジスタ Q_1 によって出力端子 OUT が放電される。従って出力信号 G_1 は L レベル (VSS) になり、ゲート線 GL_1 は非選択状態に戻る。またこのときノード N_1 は昇圧前の電位 ($VDD - V_{th}$) に戻る。

【0090】

時刻 t_4 でクロック信号 CLK_2 が H レベルになると、第 2 段目の出力信号 G_2 が H レベルになる。すると単位シフトレジスタ SR_1 では、トランジスタ Q_4 がオンする。このときトランジスタ Q_{31} のゲートが H レベル (VDD) になるが、トランジスタ Q_{32} がオフしているので、トランジスタ Q_{31} 、 Q_{32} を通してノード N_1 へは電流が流れない。よってノード N_1 は L レベルになる。応じてトランジスタ Q_7 がオフするので、ノード N_2 は H レベルになる。即ち、単位シフトレジスタ SR_1 は、トランジスタ Q_1 がオフ、トランジスタ Q_2 がオンのリセット状態に戻る。またこのときトランジスタ Q_5 はオンになる。

【0091】

そして時刻 t_5 で、クロック信号 CLK_2 と共に第 2 段目の出力信号 G_2 が立ち下がると、トランジスタ Q_4 はオフになるが、トランジスタ Q_5 がオンに維持されるため、ノード N_1 は低インピーダンスで L レベルに維持される。ノード N_3 は、時刻 t_5 では高インピーダンス状態の H レベル ($VDD - V_{th}$) のままであるが、時刻 t_6 でクロック信号 CLK_3 が H レベルになったとき、トランジスタ Q_{32} 、 Q_5 を通して放電されて L レベル (VSS) になる。

【0092】

時刻 t_6 以降は、次のフレーム期間の先頭でクロック信号 CLK_2 、 CLK_3 が共に活性化されるまでは、トランジスタ $Q_5 \sim Q_7$ から成るハーフラッチ回路がノード N_1 を L レベル、ノード N_2 を H レベルに保持するため、単位シフトレジスタ SR_1 はリセット状態に維持される。よってゲート線 GL_1 の非選択期間の間は、出力信号 G_1 は低インピーダンスで L レベルに維持される。

【0093】

10

20

30

40

50

以上のように、単位シフトレジスタ SR_1 の動作は、セット状態へ移行するときの動作を除けば、上記した２段目以降の単位シフトレジスタ SR_k の動作と同様である。すなわち、単位シフトレジスタ SR_1 は、第１および第２入力端子 IN_1 、 IN_2 の信号（クロック信号 CLK_2 、 CLK_3 ）が共に活性化するのに応じてセット状態になり、その次のクロック端子 CK の信号（クロック信号 CLK_1 ）の活性期間に出力信号 G_1 を活性化させる。そして、リセット端子 RST の信号（第２段目の出力信号 G_2 ）の活性化に応じてリセット状態に戻り、以降は出力信号 G_1 を L レベルに維持する。

【００９４】

このように単位シフトレジスタ SR_1 は、スタートパルスを用いることなく、クロック信号 CLK_2 、 CLK_3 の活性期間を重ねることによって、出力信号 G_1 を活性化させることができる。

10

【００９５】

従って、単位シフトレジスタ $SR_1 \sim SR_n$ が縦続接続して構成されるゲート線駆動回路 30 においては、図 9 に示すように、クロック信号 CLK_2 、 CLK_3 が共に活性化するのを切っ掛けにして、クロック信号 $CLK_1 \sim CLK_3$ に同期したタイミングで出力信号 G_1 、 G_2 、 G_3 、 $\dots$ 、 G_n が順に活性化される。それによって、ゲート線駆動回路 30 は、所定の走査周期でゲート線 GL_1 、 GL_2 、 $GL_3 \dots$ を順番に駆動することができる。本実施の形態のゲート線駆動回路 30 によれば、スタートパルス生成回路が不要であるため、基板面積を小さくでき、製造コストの削減に寄与できる。

20

【００９６】

図 9 の時刻 $t_0 \sim t_6$ は、それぞれ図 8 に示したものに对应している。図 9 の時刻 t_7 は、最後段（単位シフトレジスタ SR_n ）の出力信号 G_n の活性期間が終わる時刻を示しており、時刻 t_7 から次フレームの時刻 t_0 までが「ブランキング期間」である。さらに時刻 $t_8 \sim t_9$ は、時刻 t_7 に続くクロック信号 CLK_2 の活性期間を示している。本実施の形態では、単位シフトレジスタ SR_n のリセット端子 RST にはクロック信号 CLK_2 が入力されているので、単位シフトレジスタ SR_n は時刻 t_8 でセット状態からリセット状態に移行する。

【００９７】

このように本実施の形態ではクロック信号 CLK_2 を用いて単位シフトレジスタ SR_n をリセット状態にしているが、例えば単位シフトレジスタ SR_n のさらに次段にダミーの単位シフトレジスタを設け、その出力信号（その活性期間は時刻 $t_8 \sim t_9$ となる）を単位シフトレジスタ SR_n のリセット端子 RST に供給してもよい。

30

【００９８】

また本実施の形態では、単位シフトレジスタ SR_k を 3 相のクロック信号 $CLK_1 \sim CLK_3$ を用いて動作させる例を示したが、当該単位シフトレジスタ SR_k は 4 相以上のクロック信号を使用して動作させることも可能である。

【００９９】

[変更例]

ここでは第１段目の単位シフトレジスタ SR_1 の変更例を示す。

【０１００】

40

図 3 の単位シフトレジスタ SR_1 では、第１入力端子 IN_1 （トランジスタ Q_{31} のゲート）にクロック信号 CLK_2 を、第２入力端子 IN_2 （トランジスタ Q_{32} のゲート）にクロック信号 CLK_3 をそれぞれ入力させたが、図 10（a）のようにそれを入れ替えて、第１入力端子 IN_1 にクロック信号 CLK_3 を、第２入力端子 IN_2 にクロック信号 CLK_2 をそれぞれ入力させてもよい。この場合、ノード N_3 が放電されるタイミングが図 8 の時刻 t_4 になるが、この違いは単位シフトレジスタ SR_1 が出力信号 G_1 を活性化させる動作には影響しない。

【０１０１】

図 3 の単位シフトレジスタ SR_1 では、トランジスタ Q_{31} のドレインを第２電源端子 S_2 に接続させていたが、図 10（b）のようにそれを第１入力端子 IN_1 に接続させて

50

もよい（すなわちトランジスタQ31をダイオード接続させる）。また図示は省略するが、トランジスタQ31のドレインは第2入力端子IN2に接続させてもよい。

【0102】

図3の単位シフトレジスタSR₁のトランジスタQ31, Q32を、図10(c)に示す1つのトランジスタQ3に置き換えてもよい。当該トランジスタQ3は、ノードN1と第2入力端子IN2（クロック信号CLK3）との間に接続し、そのゲートは第1入力端子IN1（クロック信号CLK2）に接続される。

【0103】

但しこの場合は、クロック信号CLK2, CLK3を共に活性化して単位シフトレジスタSR₁のノードN1を充電した後、クロック信号CLK3を、クロック信号CLK2と同時あるいはそれよりも遅らせて非活性化させる必要がある。クロック信号CLK3がクロック信号CLK2より先に非活性レベルになると、トランジスタQ3を通してノードN1が放電されるからである。

【0104】

また図10(c)のトランジスタQ3において、クロック信号CLK2, CLK3を入れ替えてもよい。その場合には、クロック信号CLK2, CLK3を共に活性化して単位シフトレジスタSR₁のノードN1を充電した後、クロック信号CLK3と同時あるいはそれよりも遅らせて、クロック信号CLK2を非活性化させる。

【0105】

<実施の形態2>

実施の形態2では、信号のシフト方向を変更可能なシフトレジスタに本発明を適用する。そのようなシフトレジスタを用いて構成されたゲート線駆動回路30は、双方向の走査が可能である。ここで、前段から後段へ方向（単位シフトレジスタSR₁, SR₂, SR₃, …の順）に信号をシフトさせる動作を「順方向シフト」、後段から前段へ方向（単位シフトレジスタSR_n, SR_{n-1}, SR_{n-2}, …の順）に信号をシフトさせる動作を「逆方向シフト」と定義する。

【0106】

図11は、実施の形態2に係るゲート線駆動回路30の構成を示すブロック図である。当該ゲート線駆動回路30は、双方向シフトが可能な単位シフトレジスタ（双方向単位シフトレジスタ）SR₁, SR₂, SR₃, …, SR_nと、その最後段（単位シフトレジスタSR_n）のさらに次段に設けられたダミーの単位シフトレジスタSRD_n（以下「順方向ダミー段」と）、最前段（単位シフトレジスタSR₁）のさらに前段に設けられたダミーの単位シフトレジスタSRD_r（以下「逆方向ダミー段」と）から成っている。

【0107】

電圧信号発生器32は、ゲート線駆動回路30における信号のシフト方向（ゲート線GLの走査方向）を規定する第1電圧信号V_nおよび第2電圧信号V_rを生成するものである。第1電圧信号V_nおよび第2電圧信号V_rは互いに相補な信号であり、ゲート線駆動回路30が順方向シフトを行う場合（以下、単に「順方向シフト時」と称す）には、第1電圧信号V_nがHレベル、第2電圧信号V_rがLレベルに設定され、当該ゲート線駆動回路30が逆方向シフトを行う場合（以下、単に「逆方向シフト時」と称す）には、第2電圧信号V_rがHレベル、第1電圧信号V_nがLレベルに設定される。

【0108】

クロック信号発生器31は、それぞれ位相の異なる3相クロックであるクロック信号CLK1, CLK2, CLK3を出力するものであるが、クロック信号CLK1, CLK2, CLK3がHレベルになる順番を、信号のシフト方向に応じて変更する。例えば、順方向シフト時にはCLK1, CLK2, CLK3, CLK1, …の順にHレベルにし、逆方向シフト時にはCLK3, CLK2, CLK1, CLK3, …の順にHレベルにする。

【0109】

各単位シフトレジスタSRのクロック端子CKに供給される信号は、基本的に図2と同じである。つまり、クロック信号CLK1は、第[3m-2]段目のゲート線GL_{3m-2}を

駆動する単位シフトレジスタ SR_1 , SR_4 , SR_7 …に供給される。クロック信号 CLK_2 は、第 $[3m-1]$ 段目のゲート線 GL_{3m-1} を駆動する単位シフトレジスタ SR_2 , SR_5 , SR_8 …に供給される。クロック信号 CLK_3 は、第 $[3m]$ 段目のゲート線 GL_{3m} を駆動する単位シフトレジスタ SR_3 , SR_6 , SR_9 …に供給される。

【0110】

本実施の形態では、第2段目から第 $n-1$ 段目の単位シフトレジスタ SR はどれも同じ回路構成であるが、最前段である単位シフトレジスタ SR_1 、最後段である単位シフトレジスタ SR_n 、順方向ダミー段 $SRDn$ および逆方向ダミー段 $SRDr$ は、それぞれ異なる回路構成を有している。

【0111】

10

図12は、第2段目から第 $n-1$ 段目の単位シフトレジスタ SR_k の回路図である。当該単位シフトレジスタ SR_k は、図3とほぼ同様の構成であるが、以下の点で異なっている。

【0112】

すなわち図12の単位シフトレジスタ SR_k は、前段の出力信号 G_{k-1} を受ける順方向入力端子 INn と、次段の出力信号 G_{k+1} を受ける逆方向入力端子 INr と、上記の第1および第2電圧信号 Vn , Vr がそれぞれ供給される第1および第2電圧信号端子 $T1$, $T2$ とを備えている。またトランジスタ $Q3$ がトランジスタ $Q3n$ に、トランジスタ $Q4$ がトランジスタ $Q3r$ にそれぞれ置き換えられている。トランジスタ $Q3n$ は、順方向入力端子 INn に接続したゲートを有し、ノード $N1$ と第1電圧信号端子 $T1$ との間に接続される。トランジスタ $Q3r$ は、逆方向入力端子 INr に接続したゲートを有し、ノード $N1$ と第2電圧信号端子 $T2$ との間に接続される。

20

【0113】

図13は、第1段目の単位シフトレジスタ SR_1 の回路図である。単位シフトレジスタ SR_1 は、図12の回路に対して以下の点で異なっている。

【0114】

まず図13の単位シフトレジスタ SR_1 では、図12のトランジスタ $Q3n$ が、直列接続した2つのトランジスタ $Q31n$, $Q32n$ に置き換えられている。トランジスタ $Q31n$, $Q32n$ 間の接続ノードを「ノード $N3n$ 」と定義すると、トランジスタ $Q31n$ は、第1順方向入力端子 $IN1n$ に接続したゲートを有し、ノード $N3n$ と第1電圧信号端子 $T1$ との間に接続される。トランジスタ $Q32n$ は、第2順方向入力端子 $IN2n$ に接続したゲートを有し、ノード $N3n$ とノード $N1$ との間に接続される。また図13の単位シフトレジスタ SR_1 は、図3と同様に、リセット端子 RST に接続したゲートを有しノード $N1$ と第1電源端子 $S1$ との間に接続したトランジスタ $Q4$ を有している。

30

【0115】

単位シフトレジスタ SR_1 において、第1順方向入力端子 $IN1n$ および第2順方向入力端子 $IN2n$ には、クロック端子 CK に入力されるクロック信号 CLK_1 とは異なる位相を有し、且つ、互いに位相が異なるクロック信号 CLK_2 , CLK_3 がそれぞれ入力される。ここでは第1順方向入力端子 $IN1n$ にクロック信号 CLK_2 、第2順方向入力端子 $IN2n$ にクロック信号 CLK_3 をそれぞれ供給しているが、これを入れ替えてもよい。

40

【0116】

単位シフトレジスタ SR_1 の逆方向入力端子 INr には、単位シフトレジスタ SR_2 の出力信号 G_2 が入力され、リセット端子 RST には、逆方向ダミー段 $SRDr$ の出力信号 GDr (以下「逆方向ダミー信号」) が入力される。

【0117】

図14は、第 n 段目の単位シフトレジスタ SR_n の回路図である。単位シフトレジスタ SR_n は、図12に対して以下の点で異なっている。

【0118】

まず図14の単位シフトレジスタ SR_n では、図12のトランジスタ $Q3r$ が、直列接

50

続した2つのトランジスタ $Q31r$, $Q32r$ に置き換えられている。トランジスタ $Q31r$, $Q32r$ 間の接続ノードを「ノード $N3r$ 」と定義すると、トランジスタ $Q31r$ は、第1逆方向入力端子 $IN1r$ に接続したゲートを有し、ノード $N3r$ と第2電圧信号端子 $T2$ との間に接続される。トランジスタ $Q32r$ は、第2逆方向入力端子 $IN2r$ に接続したゲートを有し、ノード $N3r$ とノード $N1$ との間に接続される。また図14の単位シフトレジスタ SR_n は、図3と同様に、リセット端子 RST に接続したゲートを有しノード $N1$ と第1電源端子 $S1$ との間に接続したトランジスタ $Q4$ を有している。

【0119】

単位シフトレジスタ SR_n において、第1逆方向入力端子 $IN1r$ および第2逆方向入力端子 $IN2r$ には、クロック端子 CK に入力されるクロック信号 $CLK1$ とは異なる位相を有し、且つ、互いに位相が異なるクロック信号 $CLK2$, $CLK3$ がそれぞれ入力される。ここでは第1逆方向入力端子 $IN1r$ にクロック信号 $CLK2$ 、第2逆方向入力端子 $IN2r$ にクロック信号 $CLK3$ をそれぞれ供給しているが、これを入れ換えてもよい。

10

【0120】

また単位シフトレジスタ SR_n の順方向入力端子 INn には、単位シフトレジスタ SR_{n-1} の出力信号 G_{n-1} が入力され、リセット端子 RST には、順方向ダミー段 $SRDn$ の出力信号 GDn （以下「順方向ダミー信号」）が入力される。

【0121】

図15は、順方向ダミー段 $SRDn$ の回路図である。順方向ダミー段 $SRDn$ は、図12の回路からトランジスタ $Q3r$ を削除し、且つ、リセット端子 RST に接続したゲートを有しノード $N1$ と第1電源端子 $S1$ との間に接続したトランジスタ $Q4$ を設けたものである。順方向ダミー段 $SRDn$ において、順方向入力端子 INn には単位シフトレジスタ SR_n の出力信号 G_n が入力され、クロック端子 CK にはクロック信号 $CLK2$ が入力され、リセット端子 RST にはクロック信号 $CLK3$ が入力される。

20

【0122】

図16は、逆方向ダミー段 $SRDr$ の回路図である。逆方向ダミー段 $SRDr$ は、図12の回路からトランジスタ $Q3n$ を削除し、且つ、リセット端子 RST に接続したゲートを有しノード $N1$ と第1電源端子 $S1$ との間に接続したトランジスタ $Q4$ を設けたものである。逆方向ダミー段 $SRDr$ において、逆方向入力端子 INr には単位シフトレジスタ SR_1 の出力信号 G_1 が入力され、クロック端子 CK にはクロック信号 $CLK3$ が入力され、リセット端子 RST にはクロック信号 $CLK2$ が入力される。

30

【0123】

図17および図18は、ゲート線駆動回路30の回路構成を具体的に示す図である。図17には逆方向ダミー段 $SRDr$ および最前の2段である単位シフトレジスタ SR_1 , SR_2 の接続関係が示されており、図18には最後の2段である単位シフトレジスタ SR_{n-1} , SR_n および順方向ダミー段 $SRDn$ の接続関係が示されている。

【0124】

本実施の形態に係るゲート線駆動回路30の順方向シフト時の動作を説明する。ゲート線駆動回路30が順方向シフトを行う場合、電圧信号発生器32は、第1電圧信号 Vn をHレベル、第2電圧信号 Vr をLレベルに設定する。

40

【0125】

すると図12の単位シフトレジスタ SR_k ($2 \leq k \leq n-1$) では、トランジスタ $Q3n$ が図3のトランジスタ $Q3$ と等価になり、トランジスタ $Q3r$ が図3のトランジスタ $Q4$ と等価になる。よって図12の単位シフトレジスタ SR_k は、図3の回路と等価になる。

【0126】

また図13の単位シフトレジスタ SR_1 では、トランジスタ $Q31n$, $Q32n$ が図4のトランジスタ $Q31$, $Q32$ と等価になり、トランジスタ $Q3r$ が図4のトランジスタ $Q4$ と等価になる。後述するように、順方向シフト時には逆方向ダミー信号 GD_r は活性

50

化しないので、図12のトランジスタQ4はオフに維持される。よって図13の単位シフトレジスタSR₁は、図4の回路と等価になる。

【0127】

図14の単位シフトレジスタSR_nでは、トランジスタQ_{3n}が図3のトランジスタQ3と等価になり、トランジスタQ4が図3のトランジスタQ4と等価になる。またクロック信号CLK₂、CLK₃は互いに位相が異なるので、トランジスタQ_{31r}、Q_{32r}は同時にオンせず、ノードN1と第2電圧信号端子T2の間は導通しない。後述するように、クロック信号CLK₂、CLK₃はフレーム期間の先頭で同時にHレベルにされ、そのときは例外的にトランジスタQ_{31r}、Q_{32r}が同時にオンするが、これは順方向シフト時の単位シフトレジスタSR_nの動作には影響しない。よって図14の単位シフトレジスタSR_nは、図3の回路と等価になる。

10

【0128】

図15の順方向ダミー段SRD_nでは、トランジスタQ_{3n}が図3のトランジスタQ3と等価になり、トランジスタQ4が図3のトランジスタQ4と等価になる。よって図15の順方向ダミー段SRD_nは、図3の回路と等価になる。

【0129】

図16の逆方向ダミー段SRD_rでは、トランジスタQ_{3r}、Q4がそれぞれ図3のトランジスタQ4に相当するものとなるが、図3のトランジスタQ3に相当するものが無い。そのため逆方向ダミー段SRD_rは常にリセット状態であり、逆方向ダミー信号GDrは非活性レベルに維持される。よって図16の逆方向ダミー段SRD_rは、実質的に休止状態となる。

20

【0130】

以上より、本実施の形態に係るゲート線駆動回路30（図11、図17および図18）は、第1電圧信号V_nがHレベル、第2電圧信号V_rがLレベルのとき、実施の形態1のゲート線駆動回路30（図2、図5および図6）と等価になり、順方向シフトの動作が可能になる。

【0131】

本実施の形態でも実施の形態1と同様に、スタートパルスは用いられず、その代わりにフレーム期間の先頭でクロック信号CLK₂、CLK₃が共に活性化される。ゲート線駆動回路30は、図19のように、クロック信号CLK₂、CLK₃が共に活性化するのを切っ掛けにして、クロック信号CLK₁～CLK₃に同期したタイミングで出力信号G₁、G₂、G₃、…、G_nが順に活性化される（順方向シフト時の動作は、実施の形態1と同じなので詳細な説明は省略する）。それによって、ゲート線駆動回路30は、所定の走査周期でゲート線GL₁、GL₂、GL₃、…、GL_nを順番に駆動することができる。

30

【0132】

なお、図19の時刻t₀～t₉は、それぞれ図9に示したものに对应している。本実施の形態では、単位シフトレジスタSR_nは、その出力信号G_nの次に活性化する順方向ダミー信号GD_nの活性化に応じて、セット状態からリセット状態に移行する（時刻t₈）。

【0133】

次に、ゲート線駆動回路30の逆方向シフト時の動作を説明する。ゲート線駆動回路30が逆方向シフトを行う場合、電圧信号発生器32は、第1電圧信号V_nをLレベル、第2電圧信号V_rをHレベルに設定する。

40

【0134】

すると図12の単位シフトレジスタSR_k（2≤k≤n-1）では、順方向シフト時に対して、トランジスタQ_{3n}、Q_{3r}の機能が入れ替わる。つまりトランジスタQ_{3r}がノードN1を充電するように機能し、トランジスタQ_{3n}がノードN1を放電するように機能する。よって図12の単位シフトレジスタSR_kは、次段の出力信号G_{k+1}の活性化に応じてセット状態になり、前段の出力信号G_{k-1}の活性化に応じてリセット状態になる。

【0135】

図13の単位シフトレジスタSR₁では、トランジスタQ_{3r}がノードN1を充電する

50

ように機能し、トランジスタQ 4がノードN 1を放電するように機能する。またクロック信号CLK 2, CLK 3は互いに位相が異なるので、トランジスタQ 3 1 n, Q 3 2 nは同時にオンせず、ノードN 1と第1電圧信号端子T 1との間は導通しない。後述するように、クロック信号CLK 2, CLK 3はフレーム期間の先頭で同時にHレベルにされ、そのときは例外的にトランジスタQ 3 1 n, Q 3 2 nが同時にオンするが、これは逆方向シフト時の単位シフトレジスタSR₁の動作には影響しない。よって図1 3の単位シフトレジスタSR₁は、第2段目の出力信号G₂の活性化に応じてセット状態になり、逆方向ダミー信号GDrの活性化に応じてリセット状態になる。

【0136】

図1 4の単位シフトレジスタSR_nでは、トランジスタQ 3 1 r, Q 3 2 rがノードN 1を充電するように機能し、トランジスタQ 3 nがノードN 1を放電するように機能する。また後述するように、逆方向シフト時には順方向ダミー信号G D nは活性化しないので、図1 4のトランジスタQ 4はオフに維持される。よって図1 4の単位シフトレジスタSR_nは、クロック信号CLK 2, CLK 3が同時に活性化するのに応じてセット状態になり、第n-1段目の出力信号G_{n-1}の活性化に応じてリセット状態になる。

【0137】

図1 5の順方向ダミー段SR D nでは、トランジスタQ 3 n, Q 4がそれぞれノードN 1を放電するように機能するが、ノードN 1を充電するトランジスタが無い。そのため順方向ダミー段SR D nは常にリセット状態であり、順方向ダミー信号G D nは非活性レベルに維持される。よって図1 5の順方向ダミー段SR D nは、実質的に休止状態となる。

【0138】

図1 6の逆方向ダミー段SR D rでは、トランジスタQ 3 rがノードN 1を充電するように機能し、トランジスタQ 4がノードN 1を放電するように機能する。よって図1 6の逆方向ダミー段SR D rは、第1段目の出力信号G₁の活性化に応じてセット状態になり、クロック信号CLK 2の活性化に応じてリセット状態になる。

【0139】

その結果、本実施の形態に係るゲート線駆動回路30（図1 1、図1 7および図1 8）は、逆方向シフトの動作が可能になる。図2 0を参照して、ゲート線駆動回路30の逆方向シフト時の動作を説明する。

【0140】

逆方向シフト時においても、各フレーム期間の先頭でクロック信号CLK 2, CLK 3が共に活性化される（時刻t₁₀～t₁₁）。それにより最後段の単位シフトレジスタSR_nがセット状態になる。よって次にクロック信号CLK 1が活性化するとき最後段の出力信号G_nが活性化する（時刻t₁₂～t₁₃）。このとき単位シフトレジスタSR_{n-1}がセット状態になるので、次にクロック信号CLK 3が活性化するとき、単位シフトレジスタSR_{n-1}の出力信号G_{n-1}が活性化する（時刻t₁₄～t₁₅）。以降、クロック信号CLK 1～CLK 3に同期したタイミングで出力信号G_{n-2}, G_{n-3}, …, G₁が順に活性化される。

【0141】

つまり逆方向シフト時のゲート線駆動回路30は、図2 0のように、クロック信号CLK 2, CLK 3が共に活性化するのを切っ掛けにして、クロック信号CLK 1～CLK 3に同期したタイミングで出力信号G_n, G_{n-1}, G_{n-2}, …, G₁を順に活性化する。それによって、ゲート線駆動回路30は、所定の走査周期でゲート線GL_n, GL_{n-1}, GL_{n-2}, …, GL₁を順番に駆動することができる。

【0142】

なお、図2 0の時刻t₁₇は、最前段（単位シフトレジスタSR₁）の出力信号G₁の活性期間が終わる時刻を示しており、時刻t₁₇から次フレームの時刻t₁₀までが「ブランキング期間」である。逆方向ダミー段SR D rが出力する逆方向ダミー信号GDrは、時刻t₁₇の次にクロック信号CLK 3が活性すると活性化し（時刻t₁₈～t₁₉）、単位シフトレジスタSR₁はそれに応じてセット状態からリセット状態に移行する。

【0143】

10

20

30

40

50

本実施の形態によれば、双方向シフトが可能なゲート線駆動回路 30 において、スタートパルス生成回路が不要になる。よって基板面積を小さくでき、製造コストの削減に寄与できる。

【0144】

また本実施の形態では、単位シフトレジスタ SR_k を 3 相のクロック信号 $CLK1 \sim CLK3$ を用いて動作させる例を示したが、当該単位シフトレジスタ SR_k は 4 相以上のクロック信号を使用して動作させることも可能である。

【0145】

[変更例]

図 11 では、ダミーの単位シフトレジスタ（順方向ダミー段 $SRDn$ および逆方向ダミー段 $SRDr$ ）を有するゲート線駆動回路 30 を示したが、本変更例では、ダミーの単位シフトレジスタを不要にする手法を示す。

【0146】

図 21 は、本変更例に係るゲート線駆動回路 30 のブロック図である。順方向ダミー段 $SRDn$ および逆方向ダミー段 $SRDr$ が削除されたことを除いて、図 11 と同様である。また、順方向ダミー段 $SRDn$ および逆方向ダミー段 $SRDr$ が削除されたのに伴い、図 11 の単位シフトレジスタ SR_1 , SR_n が有していたリセット端子 RST も不要になる。

【0147】

本変更例のゲート線駆動回路 30 において、第 2 段目から第 $n-1$ 段目までの単位シフトレジスタ SR_k は、図 12 と同様の回路である。第 1 段目の単位シフトレジスタ SR_1 の回路図は図 22 に示される。単位シフトレジスタ SR_1 は、図 13 の回路からトランジスタ $Q4$ を削除したものである。また最後段の単位シフトレジスタ SR_n の回路図は図 23 に示される。単位シフトレジスタ SR_n は、図 14 の回路からトランジスタ $Q4$ を削除したものである。

【0148】

図 24 および図 25 は、ゲート線駆動回路 30 の回路構成を具体的に示す図である。図 24 には最前の 2 段である単位シフトレジスタ SR_1 , SR_2 の接続関係が示されており、図 25 には最後の 2 段である単位シフトレジスタ SR_{n-1} , SR_n の接続関係が示されている。

【0149】

図 26 は、本変更例に係るゲート線駆動回路 30 の順方向シフト時における動作を示すタイミング図である。図 26 の時刻 $t_0 \sim t_9$ は、それぞれ図 19 に示したものに对应している。

【0150】

順方向シフト時には、第 1 電圧信号 Vn が H レベル、第 2 電圧信号 Vr が L レベルに設定される。その場合、最前段の単位シフトレジスタ SR_1 （図 22）では、トランジスタ $Q3n$, $Q3r$ が図 4 のトランジスタ $Q3$ と等価になり、トランジスタ $Q3r$ が図 4 のトランジスタ $Q4$ と等価になるので、当該単位シフトレジスタ SR_1 は、図 4 の回路と等価になる。また、第 2 段目から第 $n-1$ 段目までの単位シフトレジスタ SR_k （図 12）は、図 3 の回路と等価になる。さらに、最後段の単位シフトレジスタ SR_n （図 23）では、トランジスタ $Q3n$ がノード $N1$ を充電するように機能し、トランジスタ $Q31r$, $Q32r$ がノード $N1$ を放電するように機能する。

【0151】

本変更例においても、フレーム期間の先頭（時刻 $t_0 \sim t_1$ ）でクロック信号 $CLK2$, $CLK3$ の両方を活性化させる。ゲート線駆動回路 30 は、クロック信号 $CLK2$, $CLK3$ が共に活性化するのを切っ掛けにして、図 26 のようにクロック信号 $CLK1 \sim CLK3$ に同期したタイミングで出力信号 G_1 , G_2 , G_3 , ..., G_n を順に活性化させる。それによって、ゲート線駆動回路 30 は、所定の走査周期でゲート線 GL_1 , GL_2 , $GL_3 \dots$ を順番に駆動することができる。

10

20

30

40

50

【0152】

但し本変更例では、最後段である単位シフトレジスタ SR_n の活性期間が終わった後の時刻 t_8 で、クロック信号 CLK_2 、 CLK_3 の両方を H レベルに設定すると共に、第 1 電圧信号 V_n を L レベルに設定する。

【0153】

クロック信号 CLK_2 、 CLK_3 の両方が H レベルになると、単位シフトレジスタ SR_n では、トランジスタ Q_{31r} 、 Q_{32r} がオンしてノード N_1 を放電する。よって単位シフトレジスタ SR_n はセット状態からリセット状態に移行する。

【0154】

一方、単位シフトレジスタ SR_1 でも、トランジスタ Q_{31n} 、 Q_{32n} がオンになるが、第 1 電圧信号 V_n が L レベルに設定されているので、単位シフトレジスタ SR_1 はリセット状態に維持される。時刻 t_8 で単位シフトレジスタ SR_1 がセット状態になるとブランキング期間に出力信号 G_1 が活性化されるといふ誤動作が生じるため、これを防止するために第 1 電圧信号 V_n は時刻 t_8 で L レベルに設定される。

【0155】

その後、時刻 t_9 でクロック信号 CLK_2 、 CLK_3 を L レベルにすると共に、第 1 電圧信号 V_n を H レベルに戻す。このとき第 1 電圧信号 V_n を H レベルに戻すタイミングは、クロック信号 CLK_2 、 CLK_3 が L レベルになるタイミングと同時か、好ましくはそれよりも後にする。クロック信号 CLK_2 、 CLK_3 が L レベルになるよりも先に第 1 電圧信号 V_n が H レベルになると、単位シフトレジスタ SR_1 のノード N_1 がトランジスタ Q_{31n} 、 Q_{32n} によって充電され、上記の誤動作が生じる可能性があるからである。なお、第 1 電圧信号 V_n は、次のフレーム期間の先頭（時刻 t_0 ）まで L レベルに維持されてもよい。

【0156】

図 27 は、ゲート線駆動回路 30 の逆方向シフト時における動作を示すタイミング図である。図 27 の時刻 $t_{10} \sim t_{19}$ は、それぞれ図 20 に示したものに对应している。

【0157】

逆方向シフト時には、第 1 電圧信号 V_n が L レベル、第 2 電圧信号 V_r が H レベルに設定される。その場合、最前段の単位シフトレジスタ SR_1 （図 22）では、トランジスタ Q_{31n} 、 Q_{31n} がノード N_1 を放電するように機能し、トランジスタ Q_{3r} がノード N_1 を充電するように機能する。第 2 段目から第 $n-1$ 段目までの単位シフトレジスタ SR_k （図 12）は、逆方向シフトの動作が可能になる。また最後段の単位シフトレジスタ SR_n （図 23）では、トランジスタ Q_{3n} がノード N_1 を放電するように機能し、トランジスタ Q_{31r} 、 Q_{32r} がノード N_1 を充電するように機能する。

【0158】

本変更例においても、フレーム期間の先頭（時刻 $t_{10} \sim t_{11}$ ）でクロック信号 CLK_2 、 CLK_3 の両方を活性化させる。するとゲート線駆動回路 30 は、それを切っ掛けにして、図 27 のようにクロック信号 $CLK_1 \sim CLK_3$ に同期したタイミングで出力信号 G_n 、 G_{n-1} 、 G_{n-2} 、 $\dots$ 、 G_1 を順に活性化させる。それによって、ゲート線駆動回路 30 は、所定の走査周期でゲート線 GL_n 、 GL_{n-1} 、 GL_{n-1} 、 $\dots$ 、 GL_1 を順番に駆動することができる。

【0159】

逆方向シフト時には、最前段である単位シフトレジスタ SR_1 の活性期間が終わった後の時刻 t_{18} で、クロック信号 CLK_2 、 CLK_3 の両方を H レベルに設定すると共に、第 2 電圧信号 V_r を L レベルに設定する。

【0160】

それにより、単位シフトレジスタ SR_1 では、トランジスタ Q_{31n} 、 Q_{32n} がオンしてノード N_1 を放電する。よって単位シフトレジスタ SR_1 はセット状態からリセット状態に移行する。このとき単位シフトレジスタ SR_n でもトランジスタ Q_{31r} 、 Q_{32r} もオンするが、第 2 電圧信号 V_r が L レベルに設定されているので、単位シフトレジスタ

10

20

30

40

50

SR_n はリセット状態に維持され、誤動作の発生が防止される。

【0161】

その後、時刻 t_{19} で、クロック信号 $CLK2$ 、 $CLK3$ をLレベルにすると共に、第2電圧信号 V_r をHレベルに戻す。このとき第2電圧信号 V_r をHレベルに戻すタイミングは、クロック信号 $CLK2$ 、 $CLK3$ がLレベルになるタイミングと同時か、好ましくはそれよりも後にする。クロック信号 $CLK2$ 、 $CLK3$ がLレベルになるよりも先に第2電圧信号 V_r がHレベルになると、単位シフトレジスタ SR_n のノード $N1$ がトランジスタ $Q31r$ 、 $Q32r$ によって充電されて、当該単位シフトレジスタ SR_n がセット状態に維持されなくなる可能性があるからである。第2電圧信号 V_r は、次のフレーム期間の先頭（時刻 t_{10} ）までLレベルに維持されてもよい。

10

【0162】

本変更例によれば、ゲート線駆動回路30にダミーの単位シフトレジスタ（順方向ダミー段 $SRDn$ および逆方向ダミー段 $SRDr$ ）を設ける必要がないため、回路の形成面積を小さくできる。

【0163】

＜実施の形態3＞

図12に示した双方向単位シフトレジスタは2相のクロック信号を用いても駆動可能である。しかし実施の形態2では、最前段の単位シフトレジスタ SR_1 および最後段の単位シフトレジスタ SR_n の制御に、少なくとも3相のクロック信号が必要になるため、ゲート線駆動回路30を3相のクロック信号 $CLK1 \sim CLK3$ を用いて駆動させた。本実施の形態では、スタートパルスが不要であり、且つ、2相のクロック信号を用いて動作させることができる双方向シフトが可能なゲート線駆動回路30を提案する。

20

【0164】

図28は、実施の形態3に係るゲート線駆動回路のブロック図である。本実施の形態のクロック信号発生器31は、互いに位相の異なる2相のクロック信号 CLK 、 $\overline{CLK}$ を生成し、各単位シフトレジスタ SR のクロック端子 CK には、その片方が入力される。図28の例では、奇数段の単位シフトレジスタ SR_1 、 SR_3 、 SR_5 、 $\dots$ 、 SR_{n-1} のクロック端子 CK にはクロック信号 CLK が、偶数段の単位シフトレジスタ SR_2 、 SR_4 、 SR_6 、 $\dots$ 、 SR_n のクロック端子 CK にはクロック信号 $\overline{CLK}$ がそれぞれ入力されている。

【0165】

また単位シフトレジスタ SR_1 の前段には逆方向ダミー段 $SRDr$ が設けられ、単位シフトレジスタ SR_n の次段には順方向ダミー段 $SRDn$ が設けられている。

30

【0166】

本変更例のゲート線駆動回路30において、第2段目から第 $n-1$ 段目までの単位シフトレジスタ SR_k は、図12と同様の回路である。

【0167】

第1段目の単位シフトレジスタ SR_1 の回路図を図29に示す。当該単位シフトレジスタ SR_1 は、図13の回路とほぼ同じ回路構成であるが、トランジスタ $Q31n$ の電流電極が第1電圧信号端子 $T1$ ではなく、第3順方向入力端子 $IN3n$ に接続される。そして第1順方向入力端子 $IN1n$ （トランジスタ $Q31n$ のゲート）には第1電圧信号 Vn が入力され、第2順方向入力端子 $IN2n$ （トランジスタ $Q32n$ のゲート）には第2電圧信号 V_r が入力される。第3順方向入力端子 $IN3n$ には、クロック端子 CK に入力されるクロック信号 CLK とは位相の異なるクロック信号 $\overline{CLK}$ が入力される。

40

【0168】

第1順方向入力端子 $IN1n$ と第2順方向入力端子 $IN2n$ に入力される信号は、入れ替えてもよい。すなわち第1順方向入力端子 $IN1n$ に第2電圧信号 V_r を入力し、第2順方向入力端子 $IN2n$ に第1電圧信号 Vn を入力してもよい。

【0169】

最後段の単位シフトレジスタ SR_n の回路図を図30に示す。当該単位シフトレジスタ SR_n は、図14の回路とほぼ同じ回路構成であるが、トランジスタ $Q31r$ の電流電極

50

が第2電圧信号端子T2ではなく、第3逆方向入力端子IN3rに接続される。そして第1逆方向入力端子IN1r（トランジスタQ31rのゲート）には第1電圧信号Vnが入力され、第2逆方向入力端子IN2r（トランジスタQ32rのゲート）には第2電圧信号Vrが入力される。第3逆方向入力端子IN3rには、クロック端子CKに入力されるクロック信号／CLKとは位相の異なるクロック信号CLKが入力される。

【0170】

第1逆方向入力端子IN1rと第2逆方向入力端子IN2rに入力される信号は、入れ替えてもよい。すなわち第1逆方向入力端子IN1rに第2電圧信号Vrを入力し、第2逆方向入力端子IN2rに第1電圧信号Vnを入力してもよい。

【0171】

順方向ダミー段SRDnの回路図を図31に示す。当該順方向ダミー段SRDnは、図15の回路とほぼ同じ回路構成であるが、トランジスタQ4のソースの接続先が順方向入力端子INnに変更されている。なお順方向ダミー段SRDnのクロック端子CKにはクロック信号CLKが入力され、リセット端子RSTにはクロック信号／CLKが入力される。

【0172】

逆方向ダミー段SRDrの回路図を図32に示す。当該逆方向ダミー段SRDrは、図15の回路とほぼ同じ回路構成であるが、トランジスタQ4のソースの接続先が逆方向入力端子INrに変更されている。なお逆方向ダミー段SRDrのクロック端子CKにはクロック信号／CLKが入力され、リセット端子RSTにはクロック信号CLKが入力される。

【0173】

図33および図34は、ゲート線駆動回路30の回路構成を具体的に示す図である。図33には逆方向ダミー段SRDrおよび最前の2段である単位シフトレジスタSR₁、SR₂の接続関係が示されており、図34には最後の2段である単位シフトレジスタSR_{n-1}、SR_nおよび順方向ダミー段SRDnの接続関係が示されている。

【0174】

図35は、本変更例に係るゲート線駆動回路30の順方向シフト時における動作を示すタイミング図である。図35の時刻t₀～t₉は、それぞれ図19に示したものに対応している。

【0175】

順方向シフト時には、第1電圧信号VnがHレベル、第2電圧信号VrがLレベルに設定されるが、各フレームの先頭でクロック信号／CLKが活性化するとき、第1および第2電圧信号Vn、Vrの両方をHレベルにする（時刻t₀～t₁）。すると単位シフトレジスタSR₁では、トランジスタQ31n、Q32nがオンし、且つ第3順方向入力端子IN3nがHレベルなので、ノードN1が充電される。よって単位シフトレジスタSR₁はセット状態になる。

【0176】

なお時刻t₀～t₁に第2電圧信号VrがHレベルになると、各単位シフトレジスタSRと逆方向ダミー段SRDrの第2電圧信号端子T2もHレベルになるが、それに接続するトランジスタ（Q3r、Q31r）は全てオフしているため、ゲート線駆動回路30の動作には影響しない。

【0177】

その後、時刻t₁で、第1電圧信号VnはHレベルのまま、第2電圧信号VrをLレベルに戻す。このとき第2電圧信号VrをLレベルに戻すタイミングは、クロック信号／CLKがLレベルになると同時、好ましくはそれよりも前にする。クロック信号／CLKがLレベルになった後も第1および第2電圧信号Vn、Vrの両方がHレベルになっていると、単位シフトレジスタSR₁のノードN1がトランジスタQ31n、Q32nにより放電され、単位シフトレジスタSR₁が、出力信号G₁を活性化させる前にリセット状態に戻る可能性があるからである。

10

20

30

40

50

【0178】

次にクロック信号CLKがHレベルになると、単位シフトレジスタSR₁の出力信号G₁がHレベルになる（時刻t₂～t₃）。その後は、図35のように、クロック信号CLK、／CLKに同期したタイミングで出力信号G₂、G₃、…、G_nが順に活性化する。それによって、ゲート線駆動回路30は、所定の走査周期でゲート線GL₁、GL₂、GL₃、…、G_nを順番に駆動することができる。

【0179】

最後段の出力信号G_nがHレベルになると、順方向ダミー段SRD_n（図31）がセット状態になる。よって次にクロック信号CLKがHレベルになると、順方向ダミー信号GD_nがHレベルになり（時刻t₈）、それによって単位シフトレジスタSR_nはリセット状態になる。

10

【0180】

本実施の形態では順方向ダミー段SRD_nのトランジスタQ4のソースを順方向入力端子IN_nに接続させたが、これは最後段の出力信号G_nの活性化に応じてトランジスタQ3_nがノードN1を充電しようとするときに、トランジスタQ4がノードN1を放電しないようにするためである。

【0181】

図36は、本変更例に係るゲート線駆動回路30の逆方向シフト時における動作を示すタイミング図である。図36の時刻t₁₀～t₁₉は、それぞれ図20に示したものに対応している。

20

【0182】

逆方向シフト時には、第1電圧信号V_nがLレベル、第2電圧信号V_rがHレベルに設定されるが、各フレームの先頭でクロック信号CLKが活性化するとき、第1および第2電圧信号V_n、V_rの両方をHレベルにする（時刻t₁₀～t₁₁）。すると単位シフトレジスタSR_nでは、トランジスタQ31_r、Q32_rがオンし、且つ第3逆方向入力端子IN3_rがHレベルなので、ノードN1が充電される。よって単位シフトレジスタSR_nはセット状態になる。

【0183】

なお時刻t₁₀～t₁₁に第1電圧信号V_nがHレベルになると、各単位シフトレジスタSRと順方向ダミー段SRD_nの第1電圧信号端子T1もHレベルになるが、それに接続するトランジスタ（Q3_n、Q31_n）は全てオフしているため、ゲート線駆動回路30の動作には影響しない。

30

【0184】

その後、時刻t₁₁で、第2電圧信号V_rはHレベルのまま、第1電圧信号V_nをLレベルに戻す。このとき第1電圧信号V_nをLレベルに戻すタイミングは、クロック信号CLKがLレベルになるのと同じ、好ましくはそれよりも前にする。クロック信号CLKがLレベルになった後も第1および第2電圧信号V_n、V_rの両方がHレベルになっていると、単位シフトレジスタSR_nのノードN1がトランジスタQ31_r、Q32_rにより放電され、単位シフトレジスタSR_nが、出力信号G_nを活性化させる前にリセット状態に戻る可能性があるからである。

40

【0185】

次にクロック信号／CLKがHレベルになると、単位シフトレジスタSR_nの出力信号G_nがHレベルになる（時刻t₁₂～t₁₃）。その後は、図36のように、クロック信号CLK、／CLKに同期したタイミングで出力信号G_{n-1}、G_{n-2}、…、G₁が順に活性化する。それによって、ゲート線駆動回路30は、所定の走査周期でゲート線GL_n、GL_{n-1}、GL_{n-2}、…、GL₁を順番に駆動することができる。

【0186】

最前段の出力信号G₁がHレベルになると、逆方向ダミー段SRD_r（図32）がセット状態になる。よって次にクロック信号／CLKがHレベルになると、逆方向ダミー信号GD_rがHレベルになり（時刻t₁₈）、それによって単位シフトレジスタSR₁はリセッ

50

ト状態になる。

【0187】

本実施の形態では、逆方向ダミー段 $S R D r$ のトランジスタ $Q 4$ のソースを逆方向入力端子 $I N r$ に接続させたが、これは最前段の出力信号 G_1 の活性化に応じてトランジスタ $Q 3 r$ がノード $N 1$ を充電しようとするときに、トランジスタ $Q 4$ がノード $N 1$ を放電しないようにするためである。

【0188】

[変更例]

本変更例では、ダミーの単位シフトレジスタを不要にする手法を示す。

【0189】

図37は、本変更例に係るゲート線駆動回路30のブロック図である。順方向ダミー段 $S R D n$ および逆方向ダミー段 $S R D r$ が削除されたことを除いて、図28と同様である。また、順方向ダミー段 $S R D n$ および逆方向ダミー段 $S R D r$ が削除されたのに伴い、図28の単位シフトレジスタ $S R_1$, $S R_n$ が有していたリセット端子 $R S T$ も不要になる。

【0190】

本変更例のゲート線駆動回路30において、第2段目から第 $n-1$ 段目までの単位シフトレジスタ $S R_k$ は、図12と同様の回路である。第1段目の単位シフトレジスタ $S R_1$ の回路図は図38に示される。当該単位シフトレジスタ $S R_1$ は、図29の回路からトランジスタ $Q 4$ を削除したものである。また最後段の単位シフトレジスタ $S R_n$ の回路図は図39に示される。当該単位シフトレジスタ $S R_n$ は、図30の回路からトランジスタ $Q 4$ を削除したものである。

【0191】

図40および図41は、ゲート線駆動回路30の回路構成を具体的に示す図である。図40には最前の2段である単位シフトレジスタ $S R_1$, $S R_2$ の接続関係が示されており、図41には最後の2段である単位シフトレジスタ $S R_{n-1}$, $S R_n$ の接続関係が示されている。

【0192】

図42は、本変更例に係るゲート線駆動回路30の順方向シフト時における動作を示すタイミング図である。図42の時刻 $t_0 \sim t_9$ は、それぞれ図35に示したものに对应している。

【0193】

時刻 $t_0 \sim$ 時刻 t_7 におけるゲート線駆動回路30の動作は、図35の場合と同じである。すなわち本変更例においても、フレーム期間の先頭（時刻 $t_0 \sim t_1$ ）でクロック信号 $\angle C L K$ が活性化するとき、第1および第2電圧信号 $V n$, $V r$ の両方をHレベルにする。するとゲート線駆動回路30は、それを切っ掛けにして、図42のようにクロック信号 $C L K$, $\angle C L K$ に同期したタイミングで出力信号 G_1 , G_2 , G_3 , $\dots$, G_n を順に活性化させる。それによって、ゲート線駆動回路30は、所定の走査周期でゲート線 $G L_1$, $G L_2$, $G L_3$, $\dots$, $G L_n$ を順番に駆動することができる。

【0194】

但し、本変更例では、最後段である単位シフトレジスタ $S R_n$ の活性期間が終わった後の時刻 t_8 で、第1および第2電圧信号 $V n$, $V r$ の両方をHレベルに設定すると共に、クロック信号 $C L K$, $\angle C L K$ の両方をLレベルにする。

【0195】

それにより、単位シフトレジスタ $S R_n$ では、トランジスタ $Q 3 1 r$, $Q 3 2 r$ がオンしてノード $N 1$ を放電する。よって単位シフトレジスタ $S R_n$ はセット状態からリセット状態に移行する。このとき単位シフトレジスタ $S R_1$ のトランジスタ $Q 3 1 n$, $3 2 n$ もオンするが、第3順方向入力端子 $I N 3 n$ がLレベルに設定されているので、単位シフトレジスタ $S R_1$ はリセット状態に維持される。

【0196】

図43は、本変更例に係るゲート線駆動回路30の逆方向シフト時における動作を示すタイミング図である。図43の時刻 $t_{10} \sim t_{19}$ は、それぞれ図36に示したものに对应している。

【0197】

時刻 $t_{10} \sim$ 時刻 t_{17} におけるゲート線駆動回路30の動作は、図36の場合と同じである。すなわち本変更例においても、フレーム期間の先頭（時刻 $t_{10} \sim t_{11}$ ）でクロック信号CLKが活性化するとき、第1および第2電圧信号 V_n 、 V_r の両方をHレベルにする。するとゲート線駆動回路30は、それを切っ掛けにして、図43のようにクロック信号CLK、 $\neg$ CLKに同期したタイミングで出力信号 G_n 、 G_{n-1} 、 G_{n-2} 、 $\dots$ 、 G_1 を順に活性化させる。それによって、ゲート線駆動回路30は、所定の走査周期でゲート線 GL_n 、 GL_{n-1} 、 GL_{n-2} 、 $\dots$ 、 GL_1 を順番に駆動することができる。

10

【0198】

但し、本変更例では、最後段である単位シフトレジスタ SR_1 の活性期間が終わった後の時刻 t_{18} で、第1および第2電圧信号 V_n 、 V_r の両方をHレベルに設定すると共に、クロック信号CLK、 $\neg$ CLKの両方をLレベルにする。

【0199】

それにより、単位シフトレジスタ SR_1 では、トランジスタ Q_{31n} 、 Q_{32n} がオンしてノードN1を放電する。よって単位シフトレジスタ SR_1 はセット状態からリセット状態に移行する。このとき単位シフトレジスタ SR_n のトランジスタ Q_{31r} 、 Q_{32r} もオンするが、第3逆方向入力端子 IN_{3r} がLレベルに設定されているので、単位シフトレジスタ SR_n はリセット状態に維持される。

20

【0200】

本変更例によれば、ゲート線駆動回路30にダミーの単位シフトレジスタ（順方向ダミー段 $SRDn$ および逆方向ダミー段 $SRDr$ ）を設ける必要がないため、回路の形成面積を小さくできる。

【0201】

＜実施の形態4＞

実施の形態1～3では、スタートパルスの生成回路を不要にすることを目的としていたが、本発明に係る図4の回路は、スタートパルス生成回路としても使用可能である。通常、スタートパルスとして、単位シフトレジスタSRの出力信号Gと同じ波形の信号を用いることができるからである。

30

【0202】

図4の回路をスタートパルス生成回路として用いた場合のゲート線駆動回路30の構成を図44に示す。図44において、ゲート線 $GL_1 \sim GL_n$ を駆動する単位シフトレジスタ $SR_1 \sim SR_n$ は全て図3の回路であり、単位シフトレジスタ SR_1 の入力端子INにスタートパルスSPを供給するスタートパルス生成回路33が図4の回路である。

【0203】

図44のゲート線駆動回路30は、スタートパルス生成回路33も含めて、多段のシフトレジスタを構成している。つまり当該ゲート線駆動回路30は、スタートパルス生成回路33としての単位シフトレジスタと、ゲート線 $GL_1 \sim GL_n$ を駆動する単位シフトレジスタ $SR_1 \sim SR_n$ とが従属接続して、多段のシフトレジスタを構成している。スタートパルス生成回路33の出力信号（スタートパルスSP）ゲート線GLを駆動する用途には用いられない。

40

【0204】

図4の回路の出力信号は、Hレベル、Lレベルとも低インピーダンスで出力されるので、安定した出力レベルのスタートパルスSPが得られる。

【0205】

本実施の形態は、スタートパルスを他の用途にも使用したい場合に有効である。例えば、通常動作の前（電源投入時など）に各単位シフトレジスタSRをリセット状態に初期化する信号（初期リセット信号）が用いられる場合、初期リセット信号の生成回路において

50

【 0 2 0 6 】

【図 1】

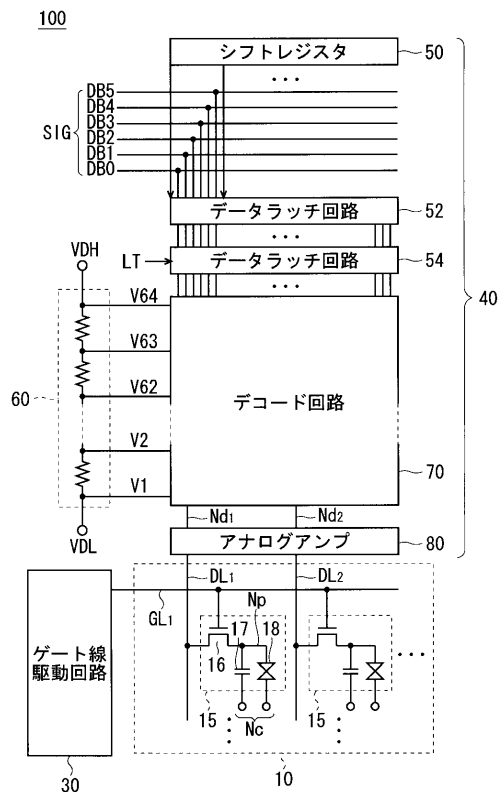
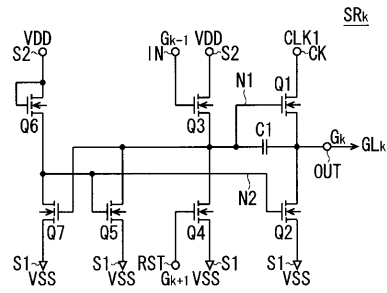
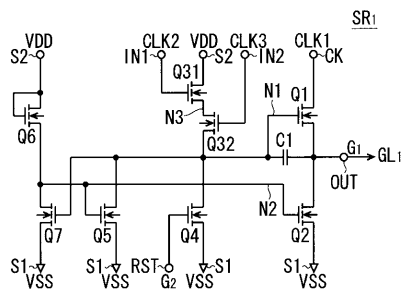


Figure 1 is a block diagram of a clock signal distribution circuit. At the top left, a box labeled "クロック信号発生器" (Clock Signal Generator) outputs three clock signals: CLK1, CLK2, and CLK3. CLK1 is connected to the CK input of SR1 and SRn. CLK2 is connected to the CK input of SR2 and SRn-1. CLK3 is connected to the CK input of SR3 and SRn-1. Each SR flip-flop (SR1, SR2, SR3, ..., SRn-1, SRn) has an IN input, an RST input, and an OUT output. The OUT of SR1 is G1, the OUT of SR2 is G2, the OUT of SR3 is G3, the OUT of SRn-1 is Gn-1, and the OUT of SRn is Gn. The circuit is labeled 31 and 30.

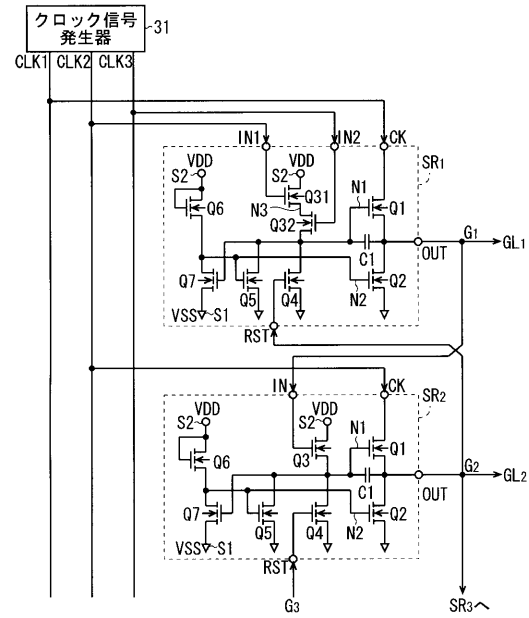
【図 3】



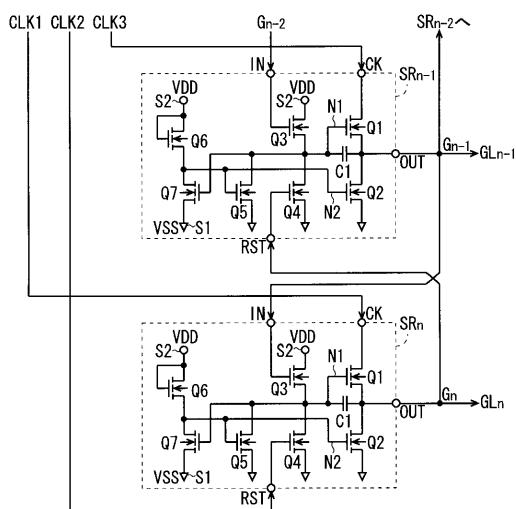
【図 4】



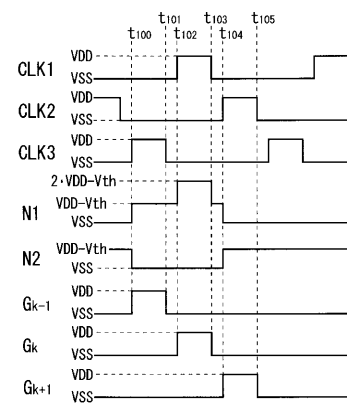
【図 5】



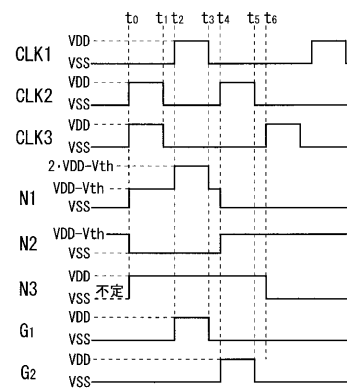
【図 6】



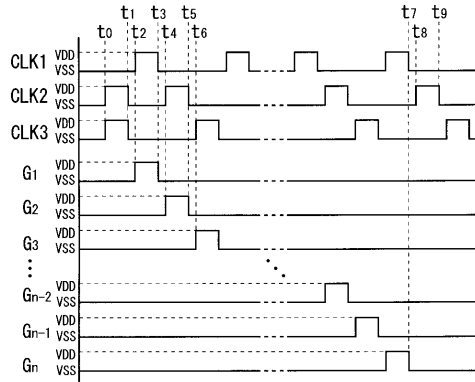
【図 7】



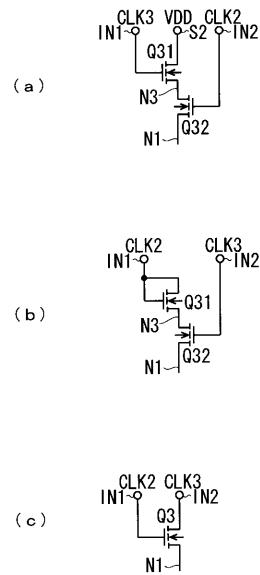
【図 8】



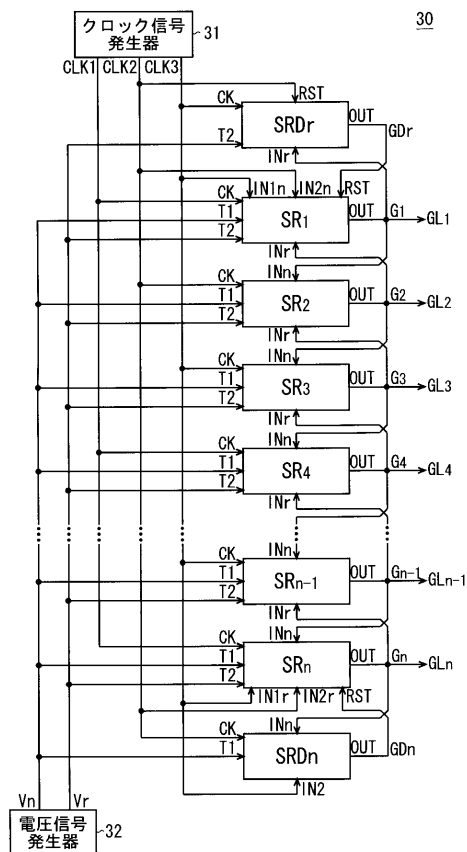
【図 9】



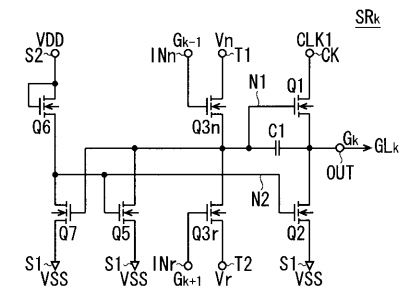
【図 10】



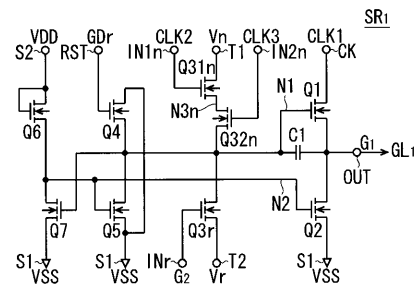
【図 11】



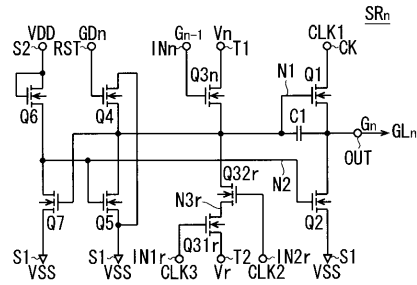
【図 12】



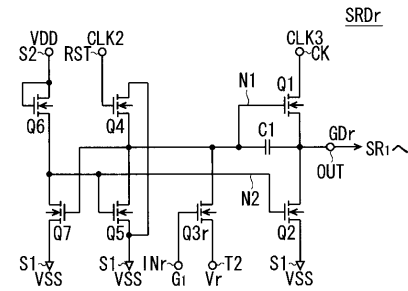
【図 13】



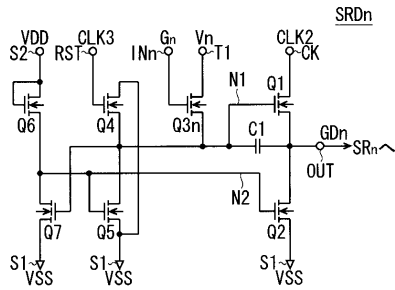
【図 14】



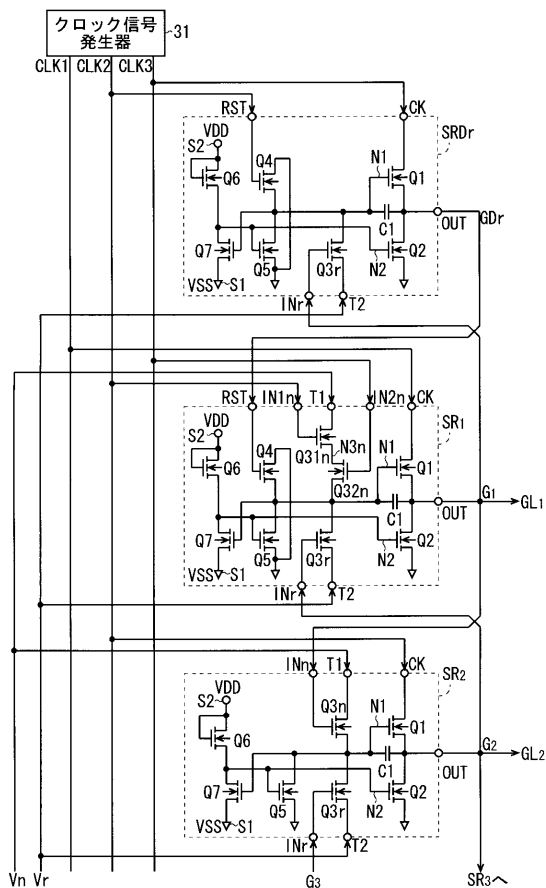
【図 16】



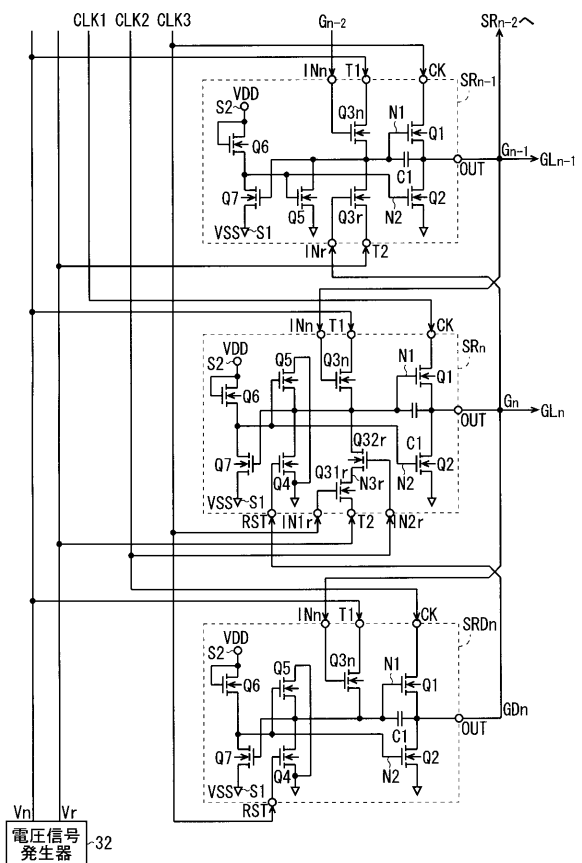
【図 15】



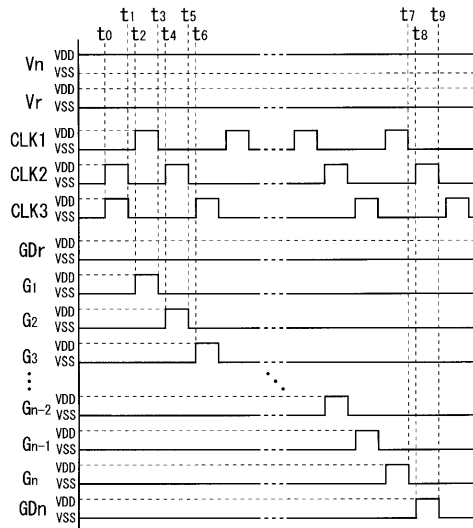
【図 17】



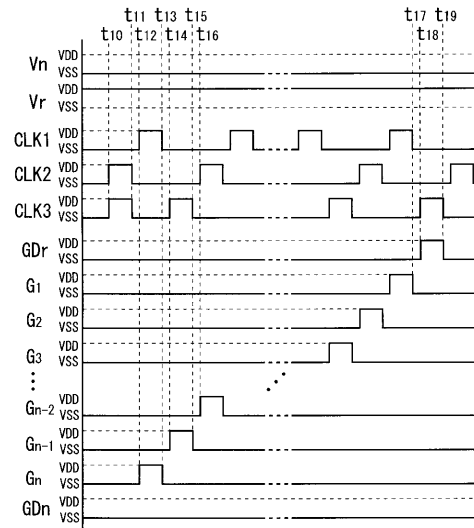
【図 18】



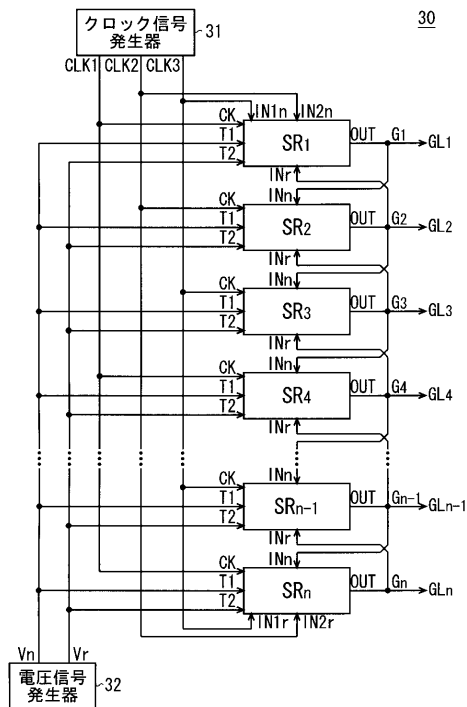
【図 19】



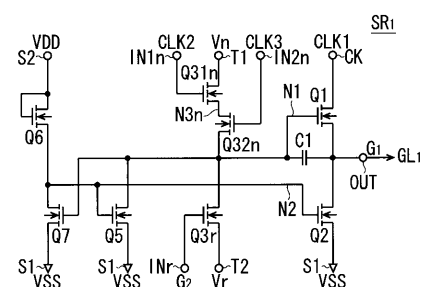
【図 20】



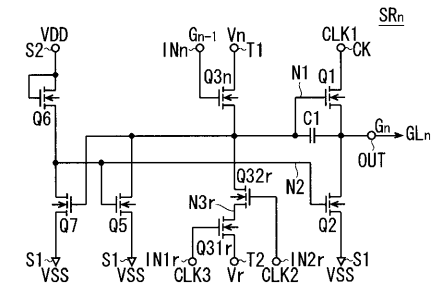
【図 21】



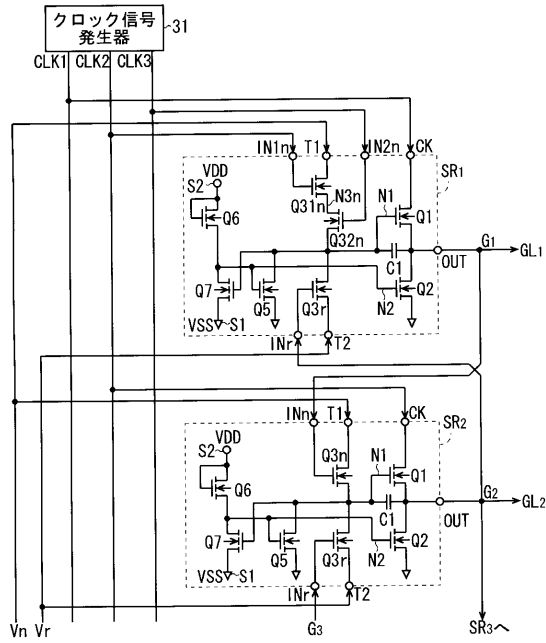
【図 22】



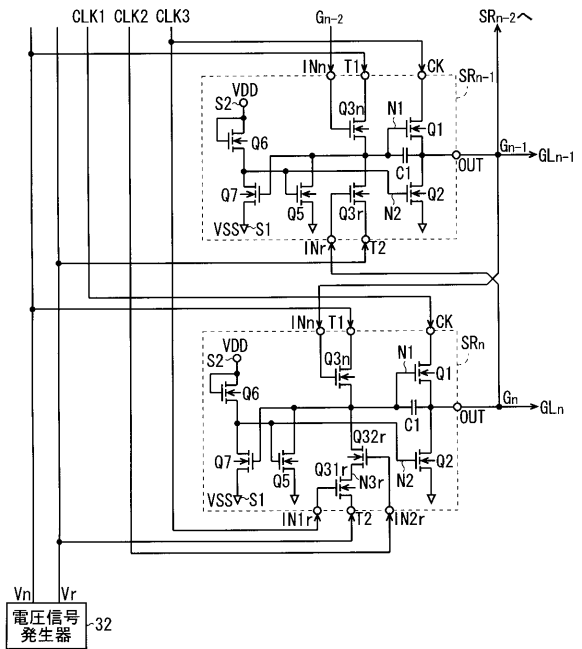
【図 23】



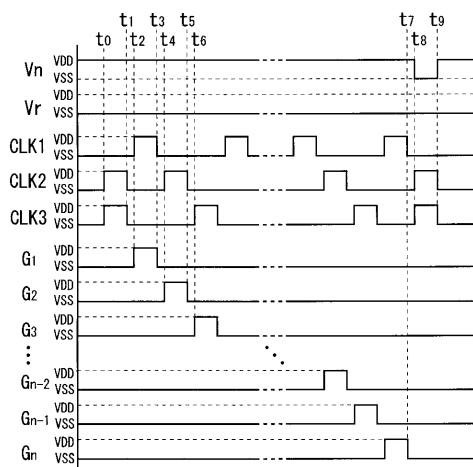
【図 24】



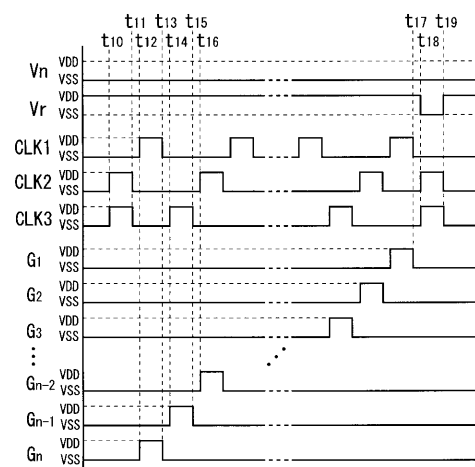
【図 25】



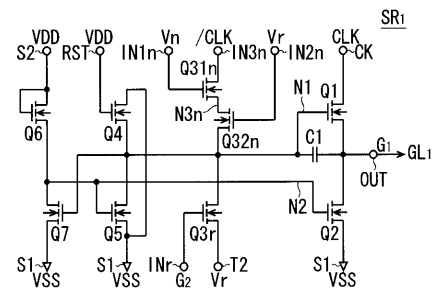
【図 26】



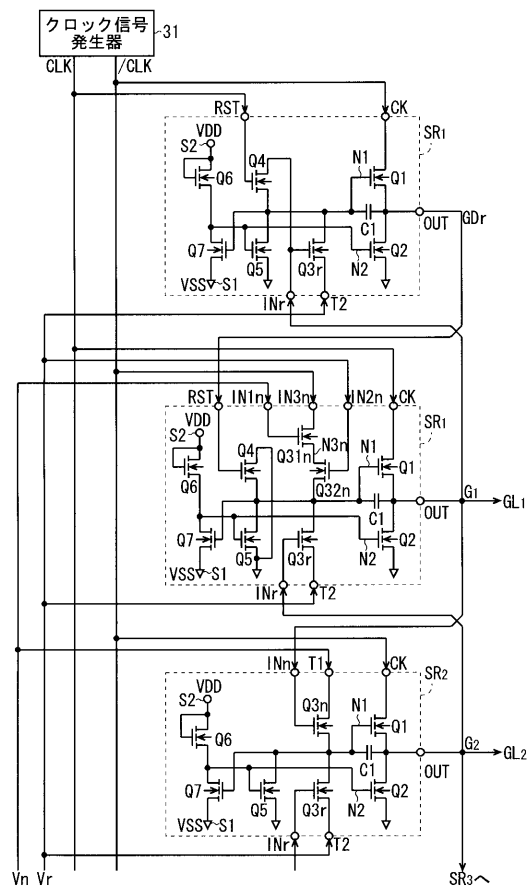
【図 27】



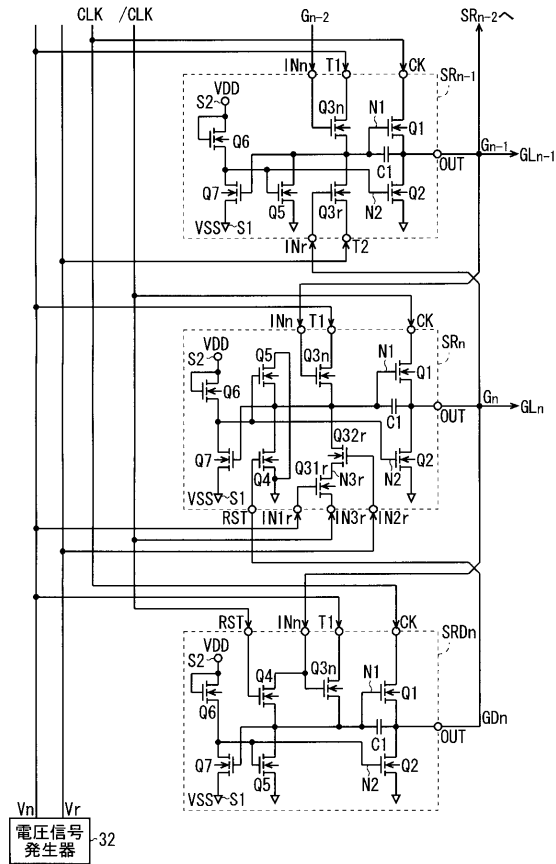
【図 29】



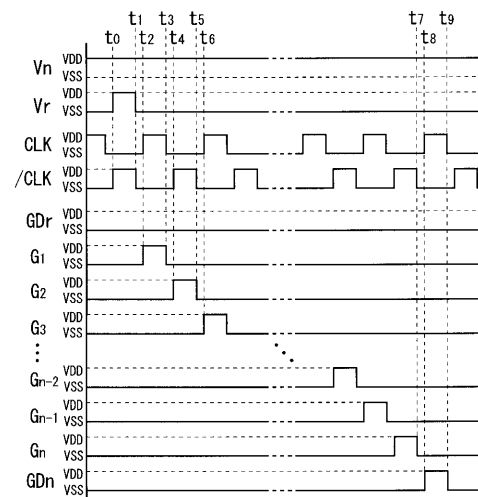
【図 3 3】



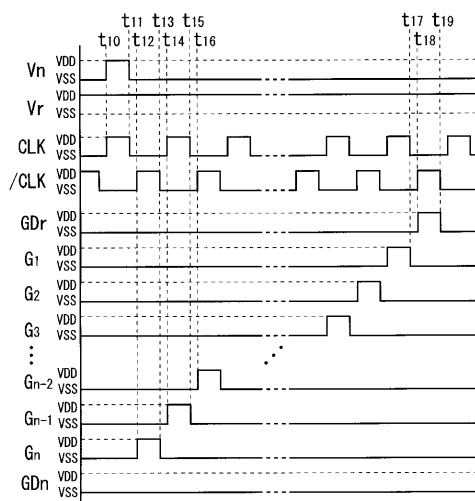
【図 34】



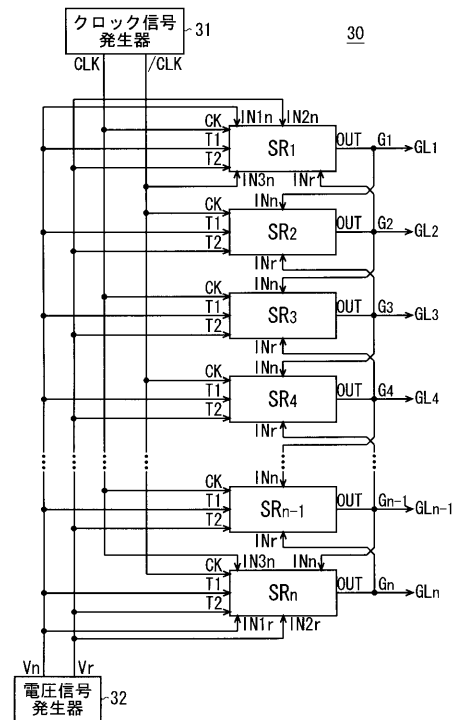
【図 35】



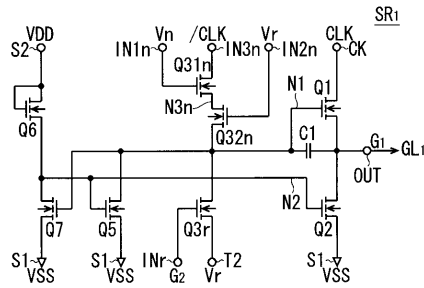
【図 36】



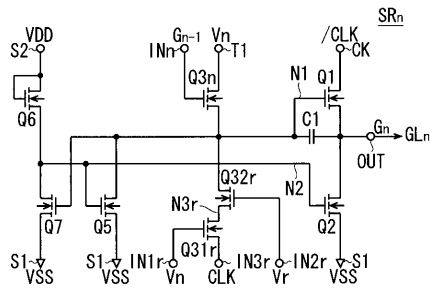
【図 37】



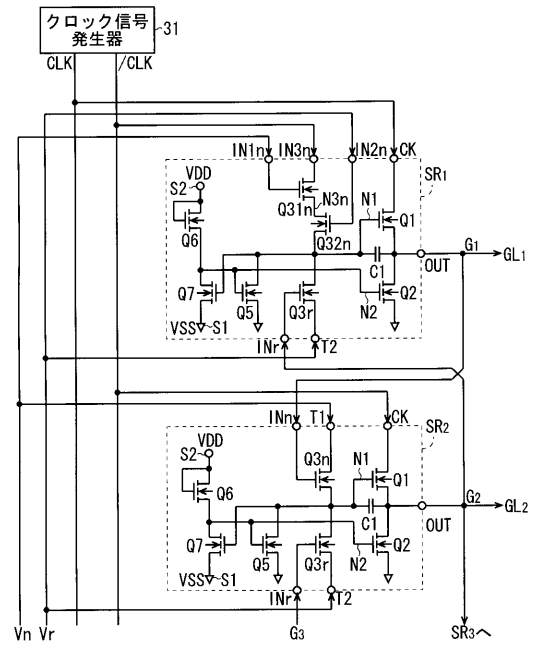
【図 38】



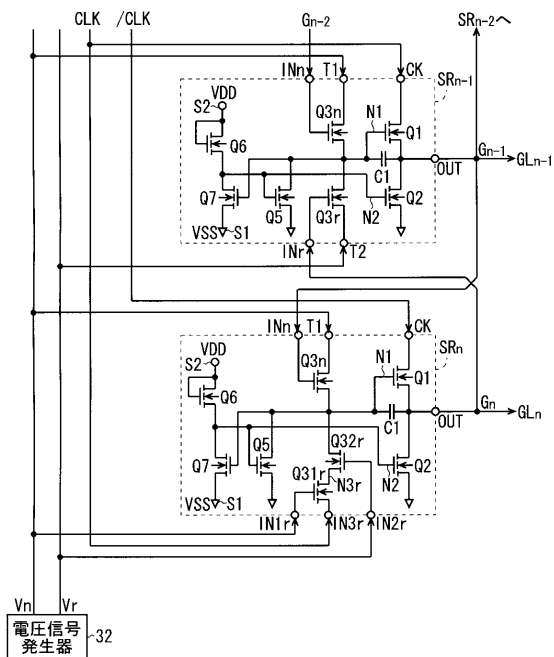
【図 39】



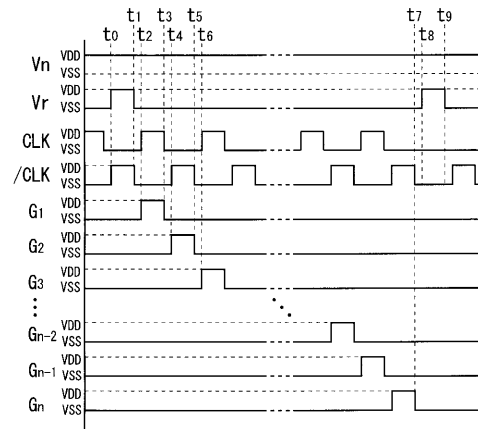
【図 40】



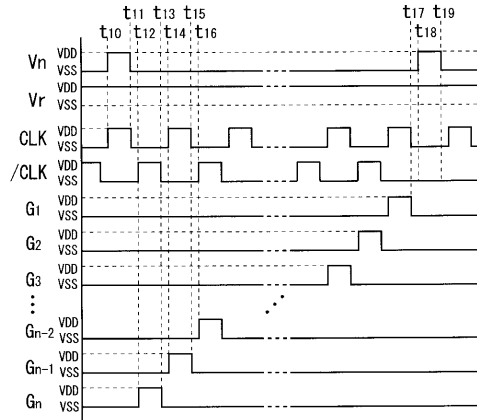
【図 41】



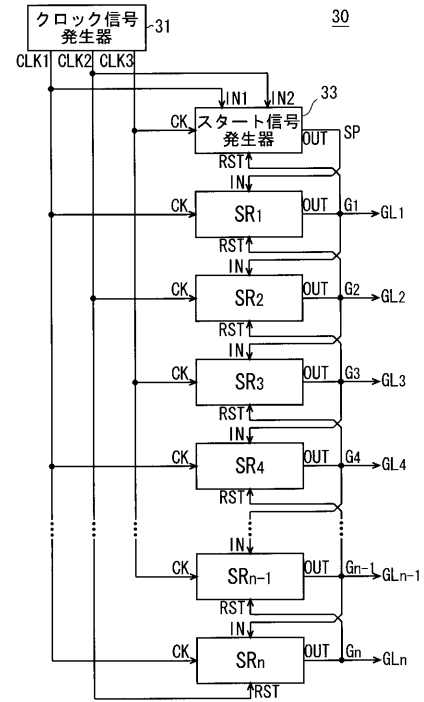
【図 42】



【図 4 3】



【図 4 4】



フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 2 2 D
	G 1 1 C	19/00	J
	G 1 1 C	19/00	K
	G 1 1 C	19/28	D

(56)参考文献 特開2008-122939 (JP, A)
特開2004-227751 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 1 1 C	1 9 / 0 0
G 1 1 C	1 9 / 2 8
G 0 9 G	3 / 2 0
G 0 9 G	3 / 3 6