

WO 2025/004538 A1

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

current source; a horizontal connecting signal line for connecting the first signal line and the second signal line; a dummy signal line connected to a dummy pixel; a third current source connected to the dummy signal line; and a control unit for controlling the potential of the horizontal connecting signal line on the basis of the potential of the dummy signal line.

(57) 要約: 画質の低下を抑制しつつ、非読出し期間の負荷トランジスタの電流を低減する。光検出装置は、第1の有効画素に接続される第1の信号線と、第1の信号線に接続される第1の電流源と、第1の有効画素と第1の電流源との間に設けられる第1のスイッチと、第2の有効画素に接続される第2の信号線と、第2の信号線に接続される第2の電流源と、第2の有効画素と第2の電流源との間に設けられる第2のスイッチと、第1の信号線と第2の信号線とを接続する横つなぎ信号線と、ダミー画素に接続されるダミー信号線と、ダミー信号線に接続される第3の電流源と、ダミー信号線の電位に基づいて、横つなぎ信号線の電位を制御する制御部とを備える。

明 細 書

発明の名称：光検出装置

技術分野

[0001] 本技術は、光検出装置に関する。詳しくは、垂直信号線を介して画素と負荷トランジスタとの間でソースフロアを構成可能な光検出装置に関する。

背景技術

[0002] 撮像装置の低消費電力化を図るため、非読出し期間に垂直信号線と負荷トランジスタとを切り離す方法がある。例えば、A/D変換部のコンパレータが反転した後は、負荷MOS回路では電流の供給を停止させ、消費電力の低減を図るようにした固体撮像装置が提案されている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2020-88785号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、非読出し期間に負荷トランジスタの電流を停止させると、非読出し期間の垂直信号線の電位が読出し期間の垂直信号線の電位と乖離し、容量カップリングにより、画質の低下を招くおそれがあった。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、画質の低下を抑制しつつ、非読出し期間の負荷トランジスタの電流を低減することを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、第1の有効画素に接続される第1の信号線と、前記第1の信号線に接続される第1の電流源と、前記第1の有効画素と前記第1の電流源との間に設けられる第1のスイッチと、第2の有効画素に接続される第2の信号

線と、前記第2の信号線に接続される第2の電流源と、前記第2の有効画素と前記第2の電流源との間に設けられる第2のスイッチと、前記第1の信号線と前記第2の信号線とを接続する横つなぎ信号線と、ダミー画素に接続されるダミー信号線と、前記ダミー信号線に接続される第3の電流源と、前記ダミー信号線の電位に基づいて、前記横つなぎ信号線の電位を制御する制御部とを備える光検出装置である。これにより、非読出し期間に負荷トランジスタの電流を停止させつつ、非読出し期間の垂直信号線の電位と読出し期間の垂直信号線の電位との乖離が抑制されるという作用をもたらす。

[0007] また、第1の側面において、前記制御部は、前記ダミー信号線と前記横つなぎ信号線とが同電位となるように制御してもよい。これにより、非読出し期間に負荷トランジスタの電流を停止させつつ、非読出し期間の垂直信号線の電位が読出し期間の垂直信号線の電位と一致されるという作用をもたらす。

[0008] また、第1の側面において、前記制御部は、第1入力が入記ダミー信号線に接続され、第2入力が入記横つなぎ信号線に接続されるオペアンプを備えてもよい。これにより、ダミー信号線の電位と横つなぎ信号線の電位とが比較されるという作用をもたらす。

[0009] また、第1の側面において、前記制御部は、前記オペアンプの出力に基づいて、前記横つなぎ信号線を駆動するトランジスタを備えてもよい。これにより、ダミー信号線の電位と横つなぎ信号線の電位との比較結果に基づいて、横つなぎ信号線の電位が制御されるという作用をもたらす。

[0010] また、第1の側面において、前記制御部は、読出し期間に前記トランジスタに流れる電流を設定するモード設定部を備えてもよい。これにより、読出し期間にトランジスタに流れる電流が制御されるという作用をもたらす。

[0011] また、第1の側面において、前記ダミー画素は、OPB (Optical Black) 画素を含んでもよい。これにより、光検出装置の特性の製造バラツキに対応しつつ、非読出し期間の垂直信号線の電位が読出し期間の垂直信号線の電位と一致されるという作用をもたらす。

- [0012] また、第1の側面において、前記第1の信号線と前記横つなぎ信号線との間に設けられる第3のスイッチと、前記第2の信号線と前記横つなぎ信号線との間に設けられる第4のスイッチとをさらに備えてもよい。これにより、読出し期間に第1および第2の信号線と横つなぎ信号線との切り離しが可能となるという作用をもたらす。
- [0013] また、第1の側面において、前記第1のスイッチおよび前記第2のスイッチは垂直ブランキング期間にオフされ、前記第3のスイッチおよび前記第4のスイッチは前記垂直ブランキング期間にオンされてもよい。これにより、垂直ブランキング期間に負荷トランジスタの電流を停止させつつ、垂直ブランキング期間の垂直信号線の電位が読出し期間の垂直信号線の電位と一致されるという作用をもたらす。
- [0014] また、第1の側面において、前記第1のスイッチおよび前記第2のスイッチは水平ブランキング期間にオフされ、前記第3のスイッチおよび前記第4のスイッチは前記水平ブランキング期間にオンされてもよい。これにより、水平ブランキング期間に負荷トランジスタの電流を停止させつつ、水平ブランキング期間の垂直信号線の電位が読出し期間の垂直信号線の電位と一致されるという作用をもたらす。
- [0015] また、第1の側面において、前記ダミー画素と前記第3の電流源との間に設けられる第5のスイッチをさらに備えてもよい。これにより、読出し期間にダミー画素と第3の電流源とが切り離されるという作用をもたらす。
- [0016] また、第1の側面において、前記第5のスイッチは、垂直ブランキング期間にオンされ、読出し期間にオフされてもよい。これにより、垂直ブランキング期間にダミー信号線に電流が流され、読出し期間にダミー信号線に流れる電流が停止されるという作用をもたらす。
- [0017] また、第1の側面において、前記第5のスイッチは、水平ブランキング期間にオンされ、読出し期間にオフされてもよい。これにより、水平ブランキング期間にダミー信号線に電流が流され、読出し期間にダミー信号線に流れる電流が停止されるという作用をもたらす。

[0018] また、第1の側面において、前記第1の有効画素がカラム方向に配列された第1のカラムと、前記第2の有効画素が前記カラム方向に配列された第2のカラムと、前記ダミー画素が前記カラム方向に配列されたダミーカラムとを備えてもよい。これにより、有効画素がロウ方向およびカラム方向にマトリックス状に配置された画素アレイ部において、非読出し期間に負荷トランジスタの電流を停止させつつ、非読出し期間の垂直信号線の電位と読出し期間の垂直信号線の電位との乖離が抑制されるという作用をもたらす。

[0019] また、第1の側面において、前記第1のカラムは、前記第1の有効画素および第1のOPB画素を含み、前記第2のカラムは、前記第2の有効画素および第2のOPB画素を含み、前記ダミーカラムは、ダミー有効画素およびダミーOPB画素を含んでもよい。これにより、有効画素がロウ方向およびカラム方向にマトリックス状に配置された画素アレイ部において、光検出装置の特性の製造バラツキに対応しつつ、非読出し期間の垂直信号線の電位が読出し期間の垂直信号線の電位と一致されるという作用をもたらす。

[0020] また、第1の側面において、前記ダミーカラムは複数設けられてもよい。これにより、ダミーカラムの出力精度が向上されるという作用をもたらす。

図面の簡単な説明

[0021] [図1]第1の実施の形態に係る撮像装置の構成例を示すブロック図である。

[図2]第1の実施の形態に係る固体撮像装置の構成例を示すブロック図である。

[図3]第1の実施の形態に係る固体撮像装置に設けられた画素の回路構成例を示す図である。

[図4]第1の実施の形態に係る固体撮像装置に設けられたカラム読出し回路の構成例を示す図である。

[図5]第1の実施の形態に係る固体撮像装置の読出し期間および非読出し期間の一例を示すタイミングチャートである。

[図6]第1の実施の形態に係る固体撮像装置の水平ブランキング期間およびAD変換期間の垂直信号線の波形の一例を示すタイミングチャートである。

[図7]第1の実施の形態に係る固体撮像装置の各モードにおける負荷電流と制御電流との関係を示す図である。

[図8]第1の実施の形態に係る固体撮像装置の各モードにおけるフレームレートと消費電流との関係を示す図である。

[図9]第2の実施の形態に係る固体撮像装置に設けられたカラム読出し回路の構成例を示す図である。

[図10]第3の実施の形態に係る固体撮像装置の構成例を示すブロック図である。

[図11]第4の実施の形態に係る固体撮像装置に設けられた画素の回路構成例を示す図である。

[図12]第5の実施の形態に係る固体撮像装置の積層例を示す斜視図である。

発明を実施するための形態

[0022] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（ダミーカラムに設けられたダミー画素に接続されるダミー信号線の電位に基づいて、有効画素が接続される垂直信号線を接続する横つなぎ信号線の電位を制御する例）

2. 第2の実施の形態（ダミー信号線に接続されるダミー画素がカラム方向に配列されたダミーカラムを複数設けた例）

3. 第3の実施の形態（有効画素アレイの周囲に設けられた m （ m は正の整数）列分の無効画素列の一部に n （ n は、 m より小さな正の整数）列分のダミーカラムを設けた例）

4. 第4の実施の形態（画素にホールセンサを用いた例）

5. 第5の実施の形態（固体撮像装置が形成される半導体チップを積層化した例）

[0023] <1. 第1の実施の形態>

図1は、第1の実施の形態に係る光検出装置を含む撮像装置の構成例を示す図である。なお、以下の説明では、光検出装置として固体撮像装置を例に

とる。

- [0024] 同図において、撮像装置１００は、光学系１０１、固体撮像装置１０２、撮像制御部１０３、画像処理部１０４、記憶部１０５、表示部１０６および操作部１０７を備える。撮像制御部１０３、画像処理部１０４、記憶部１０５、表示部１０６および操作部１０７は、バス１０８を介して互いに接続されている。なお、撮像装置１００は、単体としても用いられてもよいし、スマートフォンなどの携帯端末に組み込まれてもよいし、認証装置や監視装置に組み込まれてもよいし、車両やドローンに組み込まれてもよい。
- [0025] 光学系１０１は、被写体からの光を固体撮像装置１０２に入射させ、光学像を固体撮像装置１０２の受光面に結像させる。光学系１０１は、例えば、フォーカスレンズ、ズームレンズおよび絞りなどを備えることができる。光学系１０１は、広角レンズ、標準レンズおよび望遠レンズなどの複数のレンズを備えてもよい。
- [0026] 固体撮像装置１０２は、受光面に結像された光学像を画素ごとに電気信号に変換し、その電気信号をデジタル化して出力する。固体撮像装置１０２は、例えば、ＣＭＯＳ（Complementary Metal Oxide Semiconductor）イメージセンサである。ＣＭＯＳイメージセンサは、裏面照射型イメージセンサでもよいし、表面照射型イメージセンサでもよい。なお、光検出装置は、固体撮像装置１０２に限定されず、ＴｏＦ（Time of Flight）センサやイベントベースビジョンセンサなどに適用されてもよい。
- [0027] 撮像制御部１０３は、操作部１０７からの指令に基づいて固体撮像装置１０２による撮像を制御する。このとき、撮像制御部１０３は、固体撮像装置１０２の露光時間、露光量および撮像タイミングなどを制御することができる。
- [0028] 画像処理部１０４は、固体撮像装置１０２からの出力に基づいて画像処理を実施する。画像処理は、例えば、ガンマ補正、ホワイトバランス処理、シャープネス処理、階調変換処理である。画像処理部１０４は、ソフトウェアに基づいて処理を実行するプロセッサを備えてもよい。

- [0029] 記憶部１０５は、固体撮像装置１０２で撮像された撮像画像を記憶したり、固体撮像装置１０２の撮像パラメータなどを記憶したりする。また、記憶部１０５は、ソフトウェアに基づいて撮像装置１００を動作させるプログラムを記憶することができる。記憶部１０５は、ＲＯＭ（Read Only Memory）、ＲＡＭ（Random Access Memory）およびメモリカードを含んでもよい。
- [0030] 表示部１０６は、撮像画像を表示したり、撮像操作をサポートする各種情報を表示したりする。表示部１０６は、液晶ディスプレイでもよいし、有機ＥＬ（Electro Luminescence）ディスプレイでもよい。
- [0031] 操作部１０７は、撮像装置１００を操作するユーザインターフェースを提供する。操作部１０７は、例えば、撮像装置１００に設けられたボタン、ダイヤルおよびスイッチを含んでもよい。操作部１０７は、表示部１０６とともにタッチパネルで構成してもよい。
- [0032] なお、撮像装置１００の形態によっては、上述の機能の一部がなくてよいし、逆に開示していない機能をさらに有してもよい。
- [0033] 図２は、第１の実施の形態に係る固体撮像装置の構成例を示すブロック図である。
- [0034] 同図において、固体撮像装置１０２は、画素アレイ部１１１、垂直走査回路１１２、カラム読出し回路１１３、カラム信号処理部１１４、水平走査回路１１５および制御回路１１６を備える。
- [0035] 画素アレイ部１１１は、ダミー画素ＤＩＸおよび複数の画素ＰＩＸを備える。このとき、画素アレイ部１１１には、ダミー画素ＤＩＸをカラム方向に配列するダミーカラムＤＣＡを設けることができる。画素ＰＩＸは、ロウ方向（水平方向とも言う）およびカラム方向（垂直方向とも言う）に沿ってマトリックス状に配列される。各ダミー画素ＤＩＸおよび各画素ＰＩＸは、入射光を受光可能な有効画素および遮光されたＯＰＢ画素を備えることができる。各ダミー画素ＤＩＸおよび各画素ＰＩＸは、可視光に感度を持ってもよいし、近赤外光（ＮＩＲ：Near InfraRed）に感度を持ってもよいし、短波赤外光（ＳＷＩＲ：Short Wavelength InfraRed）に感度を持ってもよいし、紫

外光またはX線などに感度を持ってもよい。なお、各画素P I Xが可視光に感度を持つ場合、各画素P I Xは、ベイヤ配列を構成してもよいし、クワッドベイヤ配列を構成してもよい。各ダミー画素D I Xおよび各画素P I Xが赤外光に感度を持つ場合、変換効率を向上させるため、各ダミー画素D I Xおよび各画素P I Xは、ホールセンサで構成されてもよい。ホールセンサでは、光電変換時に電子よりもホールを効率的に生成することができる。

[0036] 各ダミー画素D I Xおよび各画素P I Xは、信号の読出し時にカラム読出し回路113との間でソースフォロワを構成することができる。ダミー画素D I Xおよび各画素P I Xは、ロウごとに水平駆動線H S Lに接続される。また、ダミー画素D I Xはカラムごとにダミー信号線D S Lに接続され、画素P I Xはカラムごとに垂直信号線V S Lに接続される。水平駆動線H S Lは、各ダミー画素D I Xおよび各画素P I Xからの信号の読出し時に各ダミー画素D I Xおよび各画素P I Xをロウごとに駆動する。垂直信号線V S Lは、画素P I Xから読出された信号をカラムごとにカラム信号処理部114に伝送する。ダミー信号線D S Lは、各ダミー画素D I Xを電流源に接続する。

[0037] 垂直走査回路112は、読出し対象となる画素P I Xをカラム方向に走査する。垂直走査回路112は、垂直レジスタを含んで構成してもよい。ここで、垂直走査回路112は、各画素P I Xからの信号の読出し時に、水平駆動線H S Lを介して各画素P I Xをロウごとに駆動することができる。

[0038] カラム読出し回路113は、各画素P I Xからの信号の読出し時に、各画素P I Xとの間でソースフォロワを構成することができる。このとき、カラム読出し回路113は、画素P I Xに保持された電荷に基づいて垂直信号線V S Lの電位を変化させることができる。

[0039] また、カラム読出し回路113は、非読出し期間において、各カラムの垂直信号線V S Lを互いに接続することができる。そして、カラム読出し回路113は、ダミー信号線D S Lの電位に基づいて、各カラムの垂直信号線V S Lの電位を制御することができる。このとき、カラム読出し回路113は

、ダミー信号線DSLと各カラムの垂直信号線VSLとが同電位となるように制御することができる。この制御は、垂直ブランキング期間に実施されてもよいし、水平ブランキング期間に実施されてもよい。

[0040] カラム信号処理部114は、各画素PIXからカラム方向に伝送された信号を処理する。例えば、カラム信号処理部114は、各画素PIXからカラム方向に伝送された信号に基づいて、相関二重サンプリング(CDS: Correlated Double Sampling)処理を実施することができる。また、カラム信号処理部114は、各画素PIXからカラム方向に伝送された信号に基づいて、AD (Analog to Digital) 変換処理を実施し、撮像信号Goutを出力することができる。

[0041] カラム信号処理部114は、カラムADC部114Aを備える。カラムADC部114Aは、AD変換処理をカラムごとに並列に実施することができる。このとき、カラムADC部114Aは、画素PIXから読出された画素信号と参照信号との比較結果に基づいてカラムごとにAD変換することができる。なお、カラム読出し回路113およびカラム信号処理部114は、カラム方向において、画素アレイ部111の両側にあってもよい。

[0042] 水平走査回路115は、読出し対象となる画素PIXをロウ方向に走査する。水平走査回路115は、水平レジスタを含んで構成してもよい。

[0043] 制御回路116は、垂直走査回路112、カラム読出し回路113、カラム信号処理部114および水平走査回路115を制御する。例えば、制御回路116は、カラム方向の走査タイミング、ロウ方向の走査タイミング、カラム読出し回路113の動作タイミングおよびカラム信号処理部114の処理タイミングを制御することができる。

[0044] また、制御回路116は、ダミー信号線DSLの電位に基づいて各カラムの垂直信号線VSLの電位が制御されるタイミングを設定することができる。制御回路116は、このタイミングを垂直ブランキング期間に設定してもよいし、水平ブランキング期間に設定してもよい。

[0045] 制御回路116は、モード設定部116Aを備える。モード設定部116

Aは、ダミー信号線DSLの電位に基づいて各カラムの垂直信号線VSLの電位を制御するモードを設定することができる。このモードは、読出し期間の消費電流を切り替えることができる。このとき、モード設定部116Aは、通常モード、低消費電力モードおよびスタンバイモードを設定することができる。なお、制御回路116は、特許請求の範囲に記載の制御部の一例である。

[0046] 図3は、第1の実施の形態に係る固体撮像装置に設けられた画素の回路構成例を示すブロック図である。

[0047] 同図において、画素PIXは、フォトダイオード121、転送トランジスタ122、リセットトランジスタ123、増幅トランジスタ124、選択トランジスタ125およびフローティングディフュージョンFDを備える。転送トランジスタ122、リセットトランジスタ123、増幅トランジスタ124および選択トランジスタ125として、MOS (Metal Oxide Semiconductor) トランジスタを用いることができる。

[0048] 増幅トランジスタ124と選択トランジスタ125は、直列に接続されている。フォトダイオード121のカソードは、転送トランジスタ122を介してフローティングディフュージョンFDに接続されている。また、フローティングディフュージョンFDは、リセットトランジスタ123を介して電源VDDに接続されている。また、電源VDDは、増幅トランジスタ124と選択トランジスタ125の直列回路を介して垂直信号線VSLに接続されている。増幅トランジスタ124のゲートはフローティングディフュージョンFDに接続されている。

[0049] 転送トランジスタ122のゲートには、転送信号TGLが印加される。リセットトランジスタ123のゲートには、リセット信号RSTが印加される。選択トランジスタ125のゲートには、選択信号SELが印加される。転送信号TGL、リセット信号RSTおよび選択信号SELは、図2の水平駆動線HSLを介して各画素PIXに伝送することができる。

[0050] 転送トランジスタ122がオンすると、フォトダイオード121に蓄積さ

れた電荷がフローティングディフュージョンFDに転送される。そして、選択トランジスタ125がオンすると、フローティングディフュージョンFDの電位に応じて増幅トランジスタ124のソース電位が変化する。そして、増幅トランジスタ124のソース電位は、選択トランジスタ125を介して垂直信号線VSLに印加され、垂直信号線VSLを介して伝送される。また、リセットトランジスタ123がオンすると、フローティングディフュージョンFDに蓄積された電荷が排出される。

[0051] 図4は、第1の実施の形態に係る固体撮像装置に設けられたカラム読出し回路の構成例を示す図である。

[0052] 同図において、画素アレイ部111には、有効画素領域131およびOPB画素領域231が設けられる。有効画素領域131には、ダミー有効画素DVXおよび有効画素PVX1からPVX3・・・が配置される。OPB画素領域231には、ダミーOPB画素DBXおよびOPB画素PBX1からPBX3・・・が配置される。ダミー有効画素DVXおよびダミーOPB画素DBXは、ダミーカラムDCAに配置される。

[0053] ダミー有効画素DVXは、画素回路132-0、増幅トランジスタ124-0および選択トランジスタ125-0を備える。ダミーOPB画素DBXは、画素回路232-0、増幅トランジスタ224-0および選択トランジスタ225-0を備える。各有効画素PVX1からPVX3・・・は、画素回路132-1から132-3・・・、増幅トランジスタ124-1から124-3・・・および選択トランジスタ125-1から125-3・・・を備える。各OPB画素PBX1からPBX3・・・は、画素回路232-1から232-3・・・、増幅トランジスタ224-1から224-3・・・および選択トランジスタ225-1から225-3・・・を備える。各画素回路132-0から132-3、232-0から232-3は、フォトダイオード121、転送トランジスタ122、リセットトランジスタ123およびフローティングディフュージョンFDを備えることができる。

[0054] ダミー有効画素DVXおよびダミーOPB画素DBXは、ダミー信号線D

SLに接続される。各有効画素PVX1からPVX3・・・および各OPB画素PBX1からPBX3・・・は、垂直信号線VSL1からVSL3・・・にそれぞれ接続される。ダミーOPB画素DBXの選択トランジスタ225-0は、ダミー有効画素DVXの選択トランジスタ125-0、各有効画素PVX1からPVX3・・・の選択トランジスタ125-1から125-3・・・および各OPB画素PBX1からPBX3・・・の選択トランジスタ225-1から225-3・・・と独立にオン／オフさせることができる。

[0055] ダミー信号線DSLは、スイッチ180を介して電流源160に接続される。また、ダミー信号線DSLは、スイッチ170を介してオペアンプ191の反転入力端子に接続される。

[0056] 各垂直信号線VSL1からVSL3・・・は、スイッチ181から183・・・をそれぞれ介して電流源161から163・・・に接続される。また、各垂直信号線VSL1からVSL3・・・は、スイッチ171から173・・・をそれぞれ介して横つなぎ信号線HCLに接続される。各スイッチ170から173・・・、180から183・・・は、電界効果トランジスタでもよい。

[0057] オペアンプ191の非反転入力端子および駆動トランジスタ192のドレインは、横つなぎ信号線HCLに接続される。オペアンプ191の出力は、駆動トランジスタ192のゲートに接続される。このとき、オペアンプ191は、ダミー信号線DSLの電位と横つなぎ信号線HCLの電位とを比較し、ダミー信号線DSLと横つなぎ信号線HCLとが同電位になるように駆動トランジスタ192を駆動することができる。駆動トランジスタ192は、電界効果トランジスタでもよい。

[0058] 各コンパレータ151から153・・・は、垂直信号線VSL1からVSL3に接続される。このとき、各コンパレータ151から153・・・の反転入力には、垂直信号線VSL1からVSL3・・・の電位がそれぞれ印加される。各コンパレータ151から153・・・の非反転入力には、参照信号DACが入力される。参照信号DACは、例えば、ランプ信号である。そして、各コンパレータ151から153・・・は、各垂直信号線VSL1からVSL3

の電位と参照信号DACとを比較し、その比較結果VO1からVO3を出力することができる。

[0059] 制御回路116は、垂直ブランキング期間および水平ブランキング期間において、スイッチ181から183・・・をオフし、スイッチ170から173・・・、180をオンすることができる。また、垂直走査回路112は、ダミーOPB画素DBXの選択トランジスタ225-0をオン、ダミー有効画素DVXの選択トランジスタ125-0、各有効画素PVX1からPVX3・・・の選択トランジスタ125-1から125-3・・・および各OPB画素PBX1からPBX3・・・の選択トランジスタ225-1から225-3・・・をオフする。このとき、カラム読出し回路113は、ダミー信号線DSLと各カラムの垂直信号線VSLとが同電位となるように制御することができる。

[0060] また、制御回路116は、読出し期間において、スイッチ181から183・・・をオンし、スイッチ170から173・・・、180をオフすることができる。また、垂直走査回路112は、ダミーOPB画素DBXの選択トランジスタ225-0およびダミー有効画素DVXの選択トランジスタ125-0をオフ、各有効画素PVX1からPVX3・・・の選択トランジスタ125-1から125-3・・・および各OPB画素PBX1からPBX3・・・の選択トランジスタ225-1から225-3・・・をオンする。このとき、カラムADC部114Aは、各コンパレータ151から153・・・から出力される比較結果VO1からVO3に基づいて、各画素PVX1からPVX3より読出された画素信号をAD変換することができる。

[0061] また、制御回路116は、スイッチ180のオン／オフ制御とスイッチ181から183・・・のオン／オフ制御とを独立して実施することができる。例えば、制御回路116は、スイッチ181から183・・・がオンしている場合、スイッチ180をオンしてもよいし、スイッチ180をオフしてもよい。ここで、スイッチ181から183・・・がオンしているときにスイッチ180をオフすることにより、読出し期間においてダミー信号線DSLに流

れる電流を遮断し、低消費電力化を図ることができる。

[0062] また、制御回路 116 は、オペアンプ 191 にモード設定信号 MOD を入力する。モード設定信号 MOD は、通常モード、低消費電力モードおよびスタンバイモードを設定することができる。

[0063] 図 5 は、第 1 の実施の形態に係る固体撮像装置の読出し期間および非読出し期間の一例を示すタイミングチャートである。

[0064] 同図において、垂直同期信号 XVS に従って、1 フレーム分の垂直期間 H6 が設定される。垂直期間 H6 の前に待機期間 H1 が設けられてもよい。各垂直期間 H6 には、垂直読出し期間 H2 および垂直ブランキング期間 H3 が設定される。また、各垂直期間 H6 には、非露光期間 H4 および露光期間 H5 が設定される。

[0065] 垂直読出し期間 H2 に移行すると、各画素からの読出し動作 READ が行ごとに実施される。露光期間 H5 に移行すると、各画素のシャッタ動作 RSH が行ごとに実施される。ここで、垂直ブランキング期間 H3 において、スイッチ 181 から 183・・・がオフし、各垂直信号線 VSL1 から VSL3・・・が電流源 161 から 163・・・からそれぞれ切り離されたものとする。このとき、選択トランジスタ 125 からのオフリークに基づいて、各垂直信号線 VSL1 から VSL3・・・の電位 VL1 は上昇し、各垂直信号線 VSL1 から VSL3・・・と画素とのカップリング CUP に起因して、横筋が発生する。

[0066] 一方、垂直ブランキング期間 H3 においてスイッチ 181 から 183・・・がオフしているときに、スイッチ 170 から 173・・・、180 をオンする。このとき、各垂直信号線 VSL1 から VSL3・・・は、スイッチ 171 から 173・・・をそれぞれ介して横つなぎ信号線 HCL に接続される。また、ダミー信号線 DSL は、電流源 160 に接続される。そして、オペアンプ 191 は、ダミー信号線 DSL と横つなぎ信号線 HCL とが同電位になるように駆動トランジスタ 192 を駆動する。これにより、垂直ブランキング期間 H3 において、各垂直信号線 VSL1 から VSL3・・・の電位 VL2 の上昇

は抑えられ、各垂直信号線VSL1からVSL3・・・と画素とのカップリングCUPに起因する横筋の発生が抑制される。

[0067] 図6は、第1の実施の形態に係る固体撮像装置の水平ブランキング期間およびAD変換期間の垂直信号線の波形の一例を示すタイミングチャートである。なお、同図では、垂直信号線の電位VL1、VL2は、極性を反転して示した。

[0068] 同図において、水平イネーブル信号H11に基づいて、水平ブランキング期間H11および水平読出し期間H12が設定される。各水平読出し期間H12には、P相AD変換期間PADおよびD相AD変換期間DADが設けられる。

[0069] ここで、水平ブランキング期間H11において、スイッチ181から183・・・がオフし、各垂直信号線VSL1からVSL3・・・が電流源161から163・・・からそれぞれ切り離されたものとする。このとき、選択トランジスタ125からのオフリークに基づいて、各垂直信号線VSL1からVSL3・・・の電位VL1は上昇する。

[0070] 一方、水平ブランキング期間H11においてスイッチ181から183・・・がオフしているときに、スイッチ170から173・・・、180をオンする。このとき、各垂直信号線VSL1からVSL3・・・は、スイッチ171から173・・・をそれぞれ介して横つなぎ信号線HCLに接続される。また、ダミー信号線DSLは、電流源160に接続される。そして、オペアンプ191は、ダミー信号線DSLと横つなぎ信号線HCLとが同電位になるように駆動トランジスタ192を駆動する。これにより、水平ブランキング期間H11において、各垂直信号線VSL1からVSL3・・・の電位VL2の上昇は抑えられる。このとき、各垂直信号線VSL1からVSL3・・・の電位VL2を任意のレベルに設定することができ、セトリング時間を短縮することができる。このため、1水平期間において水平ブランキング期間H11が占める割合（デューティ比）を増大させることができ、水平ブランキング期間H11における低消費電力化を図ることができる。

[0071] 図7は、第1の実施の形態に係る固体撮像装置の各モードにおける負荷電流と制御電流との関係を示す図である。なお、同図におけるaは、常時電流モード（垂直ブランキング期間においてスイッチ181から183・・・がオンされるとき）の垂直信号線VSL1からVSL3・・・に流れる電流を示す。同図におけるbは、垂直ブランキング期間においてスイッチ181から183・・・がオフされるとき通常モードの垂直信号線VSL1からVSL3・・・に流れる電流を示す。同図におけるcは、垂直ブランキング期間においてスイッチ181から183・・・がオフされるときスタンバイモードの垂直信号線VSL1からVSL3・・・に流れる電流を示す。同図におけるdは、垂直ブランキング期間においてスイッチ181から183・・・がオフされるとき低消費電力モードの垂直信号線VSL1からVSL3・・・に流れる電流を示す。

[0072] 同図におけるaにおいて、常時電流モードでは、読出し期間および垂直ブランキング期間の消費電流は $I_{PA}mA$ となる。

[0073] 同図におけるbにおいて、通常モードでは、読出し期間の消費電流は $I_{PB}mA$ 、垂直ブランキング期間の消費電流は $I_{PC}mA$ となる。 $I_{PB} = I_{PA} + I_{PC}$ である。この通常モードでは、常時電流モードに比べて、読出し期間の消費電流は増大するが、垂直ブランキング期間の消費電流は減少する。ここで、垂直信号線VSLの本数は、ダミー信号線DSLの本数に比べて多い。このため、読出し期間の消費電流の増大分は僅かであるが、垂直ブランキング期間の消費電流の減少分は大きい。このため、この通常モードでは、常時電流モードに比べて、消費電力を低減することができる。

[0074] 同図におけるcにおいて、スタンバイモードでは、読出し期間の消費電流は $I_{PA}mA$ 、垂直ブランキング期間の消費電流は $I_{PC}mA$ となる。このスタンバイモードでは、読出し期間の消費電流は常時電流モードの消費電流と等しいが、垂直ブランキング期間の消費電流は常時電流モードに比べて減少する。このため、このスタンバイモードでは、通常モードに比べて、消費電力を低減することができる。

[0075] 同図におけるdにおいて、低消費電力モードでは、読出し期間の消費電流は $IPAmA + \alpha$ 、垂直ブランキング期間の消費電流は $IPCmA$ となる。この低消費電力モードでは、常時電流モードの消費電流に比べて僅かに増大し、垂直ブランキング期間の消費電流は常読出し期間の消費電流は時電流モードに比べて減少する。このため、この低消費電力モードでは、常時電流モードに比べて、消費電力を低減することができる。

[0076] 図8は、第1の実施の形態に係る固体撮像装置の各モードにおけるフレームレートと消費電流との関係を示す図である。なお、L1は常時電流モード、L2は通常モード、L3は低消費電力モード、L4はスタンバイモードを示す。

[0077] 同図において、通常モードL2、低消費電力モードL3およびスタンバイモードL4は、常時電流モードL1に比べて、長時間露光などの低フレームレートで消費電力の低減効果が大きい。ただし、通常モードL2では、高フレームレートにおいて、常時電流モードL1に比べて、消費電力の増大を招くことがある。このため、フレームレートが固定された高フレームレートでは、常時電流モードL1で動作させてもよい。あるいは、読出し期間において、低消費電力モードL3またはスタンバイモードL4で動作させてもよい。

[0078] このように、上述の第1の実施の形態では、ダミーカラムDCAに設けられたダミー画素に接続されるダミー信号線DSLの電位に基づいて、垂直信号線VSL1からVSL3・・・を接続する横つなぎ信号線HCLの電位を制御する。これにより、各垂直信号線VSL1からVSL3・・・が電流源161から163・・・と切り離されているときに、ダミー信号線DSLと横つなぎ信号線HCLとを同電位に設定することができる。このため、各垂直信号線VSL1からVSL3・・・と画素とのカップリングに起因する横筋の発生を抑制しつつ、消費電力を低減することができる。

[0079] <2. 第2の実施の形態>

上述の第1の実施の形態では、ダミーカラムDCAに設けられたダミー画

素に接続されるダミー信号線DSLの電位に基づいて、横つなぎ信号線HCLの電位を制御した。この第2の実施の形態では、ダミー信号線に接続されるダミー画素がカラム方向に配列されたダミーカラムを複数設ける。

[0080] 図9は、第2の実施の形態に係る光検出装置の構成例を示す図である。

[0081] 同図において、撮像装置は、上述の第1の実施の形態のダミーカラムDCAに代えて、ダミーカラムDCA1、DCA2を備える。第2の実施の形態の撮像装置のそれ以外の構成は、上述の第1の実施の形態の撮像装置の構成と同様である。

[0082] 各ダミーカラムDCA1、DCA2は、ダミーカラムDCAと同様に構成することができる。このとき、ダミー有効画素DVX1およびダミーOPB画素DBX1は、ダミーカラムDCA1に配置される。ダミー有効画素DVX2およびダミーOPB画素DBX2は、ダミーカラムDCA2に配置される。

[0083] ダミー有効画素DVX1は、画素回路132-01、増幅トランジスタ124-01および選択トランジスタ125-01を備える。ダミーOPB画素DBX1は、画素回路232-01、増幅トランジスタ224-01および選択トランジスタ225-01を備える。

[0084] ダミー有効画素DVX1およびダミーOPB画素DBX1は、ダミー信号線DSL1に接続される。ダミー信号線DSL1は、スイッチ180-1を介して電流源160-1に接続される。また、ダミー信号線DSL1は、スイッチ170を介してオペアンプ191の反転入力端子に接続される。

[0085] ダミー有効画素DVX2は、画素回路132-02、増幅トランジスタ124-02および選択トランジスタ125-02を備える。ダミーOPB画素DBX2は、画素回路232-02、増幅トランジスタ224-02および選択トランジスタ225-02を備える。

[0086] ダミー有効画素DVX2およびダミーOPB画素DBX2は、ダミー信号線DSL2に接続される。ダミー信号線DSL2は、スイッチ180-2を介して電流源160-2に接続される。また、ダミー信号線DSL2は、ス

イッチ170を介してオペアンプ191の反転入力端子に接続される。

[0087] 各画素回路132-01、132-02、232-01、232-02は、フォトダイオード121、転送トランジスタ122、リセットトランジスタ123およびフローティングディフュージョンFDを備えることができる。

[0088] ここで、複数のダミー信号線DSL1、DSL2の電位は平均化され、オペアンプ191の非反転入力に入力される。このとき、オペアンプ191は、ダミー信号線DSL1、DSL2の電位の平均値と横つなぎ信号線HCLの電位とを比較する。そして、オペアンプ191は、ダミー信号線DSL1、DSL2の電位の平均値と横つなぎ信号線HCLとが同電位になるように駆動トランジスタ192を駆動することができる。

[0089] このように、上述の第2の実施の形態では、各ダミー信号線DSL1、DSL2に接続されるダミー画素がカラム方向に配列された複数のダミーカラムDCA1、DCA2を設ける。これにより、複数のダミー信号線DSL1、DSL2の電位の平均値に基づいて、オペアンプ191の非反転入力を設定することができる。このため、各垂直信号線VSL1からVSL3・・・が電流源161から163・・・と切り離されているときに、ダミー信号線DSLと横つなぎ信号線HCLとを同電位にするためのオペアンプ191の駆動精度を向上させることができる。

[0090] なお、上述の第2の実施の形態では、2個のダミーカラムDCA1、DCA2を設けた例を示したが、3個以上のダミーカラムを設けてもよい。

[0091] <3. 第3の実施の形態>

上述の第1の実施の形態では、ダミーカラムDCAに設けられたダミー画素に接続されるダミー信号線DSLの電位に基づいて、横つなぎ信号線HCLの電位を制御した。この第3の実施の形態では、有効画素アレイの周囲に設けられたm列分の無効画素列の一部にn列分のダミーカラムを設ける。

[0092] 図10は、第3の実施の形態に係る固体撮像装置の構成例を示すブロック図である。

[0093] 同図において、固体撮像装置302は、上述の第1の実施の形態の画素アレイ部111に代えて、画素アレイ部311を備える。第3の実施の形態の固体撮像装置302のそれ以外の構成は、上述の第1の実施の形態の固体撮像装置102の構成と同様である。

[0094] 画素アレイ部311は、有効画素アレイ312、無効画素行313および無効画素列314を備える。無効画素行313は、カラム方向において、有効画素アレイ312の両側に配置してもよい。無効画素列314は、ロウ方向において、有効画素アレイ312の両側に配置してもよい。

[0095] 有効画素アレイ312には、ロウ方向およびカラム方向に沿ってマトリックス状に有効画素が配列される。無効画素行313には、ロウ方向に沿って無効画素が配列される。無効画素列314には、カラム方向に沿って無効画素が配列される。無効画素列314は、m列分だけ設けることができる。このとき、無効画素列314には、n列分のダミーカラム315を設けることができる。ダミーカラム315には、ダミー画素がカラム方向に配置される。ダミー画素には、ダミー有効画素およびダミーOPB画素を設けることができる。ダミーカラム315は、ダミー信号線DSLに接続される。ダミーカラム315の1列分の構成は、上述の第1の実施の形態のダミーカラムDCAと同様に構成することができる。

[0096] このように、上述の第3の実施の形態では、有効画素アレイ312の周囲に設けられた無効画素列314の一部にダミーカラム315を設ける。これにより、有効画素アレイ312の周囲にn列分のダミー画素を配置することができる。

[0097] <4. 第4の実施の形態>

上述の第1の実施の形態では、光電変換に基づいて電子が蓄積される画素を固体撮像装置に適用した。この第4の実施の形態では、光電変換に基づいてホールが蓄積される画素を固体撮像装置に適用する。

[0098] 図11は、第4の実施の形態に係る固体撮像装置に設けられた画素の回路構成例を示す図である。

[0099] 同図において、画素PHXは、上述の第1の実施の形態の画素PIXのフォトダイオード121、転送トランジスタ122およびリセットトランジスタ123に代えて、フォトダイオード410、転送トランジスタ412およびリセットトランジスタ413を備える。また、画素PHXは、上述の第1の実施の形態の画素PIXにコンデンサSN1、SN2および排出トランジスタ414が追加されている。増幅トランジスタ124および選択トランジスタ125は、Nチャンネル電界効果トランジスタを用いることができる。転送トランジスタ412、リセットトランジスタ413および排出トランジスタ414は、Pチャンネル電界効果トランジスタを用いることができる。コンデンサSN1、SN2は、MIM (Metal Insulation Metal) 容量でもよいし、半導体基板に形成された接合容量でもよい。

[0100] フォトダイオード410は、光電変換に基づいてホールを生成する。フォトダイオード410の材料は、例えば、InGaP、InAlP、InGaAs、InAlAsまたはカルコパイライト構造の化合物半導体などを用いることができる。このとき、フォトダイオード410には、赤外領域光（例えば、波長900nm〜1700nmの波長帯）に感度を持たせることができる。フォトダイオード410のアノードには、電源電圧Vtopが印加される。電源電圧Vtopは、フォトダイオード410の電荷を初期化するためのリセット電圧に応じて可変である。

[0101] 転送トランジスタ412は、フォトダイオード410に蓄積された電荷をフローティングディフュージョンFDに転送する。リセットトランジスタ413は、フローティングディフュージョンFDに蓄積された電荷をリセットする。排出トランジスタ414は、コンデンサSN1に蓄積された電荷を排出する。

[0102] 増幅トランジスタ124および選択トランジスタ125は、直列に接続されている。増幅トランジスタ124および選択トランジスタ125の直列回路は、電源電圧VDD3と垂直信号線VSLとの間に接続されている。フォトダイオード410のカソードは、転送トランジスタ412を介してフロー

ティングディフュージョンFDに接続されている。また、フローティングディフュージョンFDは、リセットトランジスタ123を介して電源電圧VDD1に接続されている。電圧VDD1は、電源電圧Vtopよりも低い。

[0103] コンデンサSN1は、フォトダイオード410のアノードに接続されている。転送トランジスタ412および排出トランジスタ414は、直列に接続されている。転送トランジスタ412および排出トランジスタ414の直列回路は、電源電圧VDD1とフローティングディフュージョンFDとの間に接続されている。フローティングディフュージョンFDには、コンデンサSN2が接続されている。

[0104] 転送トランジスタ412のゲートには、転送信号TGLが印加される。リセットトランジスタ413のゲートには、リセット信号PSTが印加される。排出トランジスタ414のゲートには、排出信号OFGが印加される。

[0105] このように、上述の第4の実施の形態では、光電変換に基づいてホールが蓄積される画素PHXを固体撮像装置に適用する。これにより、垂直信号線VSLと画素PHXとのカップリングに起因する横筋の発生を抑制しつつ、消費電力を低減することが可能となるとともに、赤外領域の感度を向上させることができる。

[0106] <5. 第5の実施の形態>

上述の第1の実施の形態では、ダミーカラムDCAに設けられたダミー画素に接続されるダミー信号線DSLの電位に基づいて、垂直信号線VSL1からVSL3・・・を接続する横つなぎ信号線HCLの電位を制御した。この第5の実施の形態では、画素がマトリックス状に配列された画素アレイ部が設けられた固体撮像装置が形成される半導体チップを積層化する。

[0107] 図12は、第5の実施の形態に係る固体撮像装置の積層例を示す斜視図である。

[0108] 同図において、固体撮像装置は、半導体チップ921、922を備える。半導体チップ922は、半導体チップ921上に積層される。

[0109] 半導体チップ922には、画素アレイ部923が形成される。画素アレイ

部 9 2 3 には、画素 9 3 1 がロウ方向およびカラム方向にマトリックス状に配置される。画素 9 3 1 は、図 3 の画素 P I X でもよいし、図 1 1 の画素 P H X でもよい。画素アレイ部 9 2 3 の周辺には、パッド電極 9 3 2 およびビア電極 9 3 3 が形成される。ビア電極 9 3 3 は、半導体チップ 9 2 2 を貫通し、半導体チップ 9 2 1、9 2 2 同士を電氣的に接続することができる。

[0110] 半導体チップ 9 2 1 には、周辺回路 9 2 4 が形成される。周辺回路 9 2 4 には、カラム読出し回路 9 2 5、カラム A D C 9 2 6、通信インタフェース 9 2 7 および発振回路 9 2 8 が形成される。カラム読出し回路 9 2 5 およびカラム A D C 9 2 6 は、画素アレイ部 9 2 3 のカラム方向の両側の位置に対応するように形成してもよい。

[0111] 半導体チップ 9 2 1、9 2 2 は、直接接合してもよい。半導体チップ 9 2 1、9 2 2 の直接接合では、ハイブリッドボンディングを用いることができる。このとき、半導体チップ 9 2 1、9 2 2 は、C u - C u 接続に基づいて電氣的に接続してもよい。半導体チップ 9 2 1、9 2 2 に用いられる半導体基板の材料は、S i でもよいし、I n G a A s でもよいし、I n P でもよい。

[0112] このように、上述の第 5 の実施の形態では、画素アレイ部 9 2 3 が形成される半導体チップ 9 2 2 を、周辺回路 9 2 4 が形成される半導体チップ 9 2 1 上に積層する。これにより、固体撮像装置が形成された半導体チップの実装面積の増大を抑制しつつ、固体撮像装置の感度を増大させることが可能となる。

[0113] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。また、本明細書に記載された効果はあくま

で例示であって、限定されるものではなく、また、他の効果があってもよい。

[0114] なお、本技術は以下のような構成もとることができる。

- (1) 第1の有効画素に接続される第1の信号線と、
前記第1の信号線に接続される第1の電流源と、
前記第1の有効画素と前記第1の電流源との間に設けられる第1のスイッチと、
第2の有効画素に接続される第2の信号線と、
前記第2の信号線に接続される第2の電流源と、
前記第2の有効画素と前記第2の電流源との間に設けられる第2のスイッチと、
前記第1の信号線と前記第2の信号線とを接続する横つなぎ信号線と、
ダミー画素に接続されるダミー信号線と、
前記ダミー信号線に接続される第3の電流源と、
前記ダミー信号線の電位に基づいて、前記横つなぎ信号線の電位を制御する制御部と
を備える光検出装置。
(2) 前記制御部は、前記ダミー信号線と前記横つなぎ信号線とが同電位となるように制御する
前記(1)に記載の光検出装置。
(3) 前記制御部は、第1入力が入力される前記ダミー信号線に接続され、第2入力が入力される前記横つなぎ信号線に接続されるオペアンプ
を備える前記(1)または(2)に記載の光検出装置。
(4) 前記制御部は、前記オペアンプの出力に基づいて、前記横つなぎ信号線を駆動するトランジスタ
を備える前記(3)に記載の光検出装置。
(5) 前記制御部は、読出し期間に前記トランジスタに流れる電流を設定するモード設定部

を備える前記（４）に記載の光検出装置。

（６）前記ダミー画素は、ＯＰＢ（Optical Black）画素を含む
前記（１）から（５）のいずれかに記載の光検出装置。

（７）前記第１の信号線と前記横つなぎ信号線との間に設けられる第３のスイッチと、

前記第２の信号線と前記横つなぎ信号線との間に設けられる第４のスイッチと

をさらに備える前記（１）から（６）のいずれかに記載の光検出装置。

（８）前記第１のスイッチおよび前記第２のスイッチは垂直ブランキング期間にオフされ、

前記第３のスイッチおよび前記第４のスイッチは前記垂直ブランキング期間にオンされる

前記（７）に記載の光検出装置。

（９）前記第１のスイッチおよび前記第２のスイッチは水平ブランキング期間にオフされ、

前記第３のスイッチおよび前記第４のスイッチは前記水平ブランキング期間にオンされる

前記（７）または（８）に記載の光検出装置。

（１０）前記ダミー画素と前記第３の電流源との間に設けられる第５のスイッチと

をさらに備える請求項１に記載の光検出装置。

（１１）前記第５のスイッチは、垂直ブランキング期間にオンされ、読出し期間にオフされる

前記（１）から（１０）のいずれかに記載の光検出装置。

（１２）前記第５のスイッチは、水平ブランキング期間にオンされ、読出し期間にオフされる

前記（１１）に記載の光検出装置。

（１３）前記第１の有効画素がカラム方向に配列された第１のカラムと、

前記第 2 の有効画素が前記カラム方向に配列された第 2 のカラムと、
前記ダミー画素が前記カラム方向に配列されたダミーカラムと
を備える前記 (1) から (12) のいずれかに記載の光検出装置。

(14) 前記第 1 のカラムは、前記第 1 の有効画素および第 1 の O P B 画素
を含み、

前記第 2 のカラムは、前記第 2 の有効画素および第 2 の O P B 画素を含み
、

前記ダミーカラムは、ダミー有効画素およびダミー O P B 画素を含む
前記 (13) に記載の光検出装置。

(15) 前記ダミーカラムは複数設けられる
前記 (13) または (14) に記載の光検出装置。

符号の説明

- [0115] 1 0 0 撮像装置
 1 0 1 光学系
 1 0 2 固体撮像装置
 1 0 3 撮像制御部
 1 0 4 画像処理部
 1 0 5 記憶部
 1 0 6 表示部
 1 0 7 操作部
 1 0 8 バス
 1 1 1 画素アレイ部
 1 1 2 垂直走査回路
 1 1 3 カラム読出し回路
 1 1 4 カラム信号処理部
 1 1 5 水平走査回路
 1 1 6 制御回路
 1 2 1 フォトダイオード

1 2 2 転送トランジスタ
1 2 3 リセットトランジスタ
1 2 4 増幅トランジスタ
1 2 5 選択トランジスタ
P I X 画素
D I X ダミー画素
H S L 水平駆動線
V S L 垂直信号線
H C L 横つなぎ信号線
D S L ダミー信号線
D C A ダミーカラム
1 3 2 - 0 から 1 3 2 - 3、2 3 2 - 0 から 2 3 2 - 3 画素回路
1 5 1 から 1 5 3 コンパレータ
1 6 1 から 1 6 3 電流源
1 7 0 から 1 7 3、1 8 0 から 1 8 3 スイッチ
1 9 1 オペアンプ
1 9 2 駆動トランジスタ
1 3 1 有効画素領域
2 3 1 O P B 画素領域
D V X ダミー有効画素
D B X ダミー O P B 画素
P V X 有効画素
P B X O P B 画素

請求の範囲

- [請求項1] 第1の有効画素に接続される第1の信号線と、
 前記第1の信号線に接続される第1の電流源と、
 前記第1の有効画素と前記第1の電流源との間に設けられる第1の
 スイッチと、
 第2の有効画素に接続される第2の信号線と、
 前記第2の信号線に接続される第2の電流源と、
 前記第2の有効画素と前記第2の電流源との間に設けられる第2の
 スイッチと、
 前記第1の信号線と前記第2の信号線とを接続する横つなぎ信号線
 と、
 ダミー画素に接続されるダミー信号線と、
 前記ダミー信号線に接続される第3の電流源と、
 前記ダミー信号線の電位に基づいて、前記横つなぎ信号線の電位を
 制御する制御部と
 を備える光検出装置。
- [請求項2] 前記制御部は、前記ダミー信号線と前記横つなぎ信号線とが同電位
 となるように制御する
 請求項1に記載の光検出装置。
- [請求項3] 前記制御部は、第1入力が前記ダミー信号線に接続され、第2入力
 が前記横つなぎ信号線に接続されるオペアンプ
 を備える請求項1に記載の光検出装置。
- [請求項4] 前記制御部は、前記オペアンプの出力に基づいて、前記横つなぎ信
 号線を駆動するトランジスタ
 を備える請求項3に記載の光検出装置。
- [請求項5] 前記制御部は、読出し期間に前記トランジスタに流れる電流を設定
 するモード設定部
 を備える請求項4に記載の光検出装置。

- [請求項6] 前記ダミー画素は、O P B (Opitical Black) 画素を含む
請求項 1 に記載の光検出装置。
- [請求項7] 前記第 1 の信号線と前記横つなぎ信号線との間に設けられる第 3 の
スイッチと、
前記第 2 の信号線と前記横つなぎ信号線との間に設けられる第 4 の
スイッチと
をさらに備える請求項 1 に記載の光検出装置。
- [請求項8] 前記第 1 のスイッチおよび前記第 2 のスイッチは垂直ブランキング
期間にオフされ、
前記第 3 のスイッチおよび前記第 4 のスイッチは前記垂直ブランキ
ング期間にオンされる
請求項 7 に記載の光検出装置。
- [請求項9] 前記第 1 のスイッチおよび前記第 2 のスイッチは水平ブランキング
期間にオフされ、
前記第 3 のスイッチおよび前記第 4 のスイッチは前記水平ブランキ
ング期間にオンされる
請求項 7 に記載の光検出装置。
- [請求項10] 前記ダミー画素と前記第 3 の電流源との間に設けられる第 5 のスイ
ッチと
をさらに備える請求項 1 に記載の光検出装置。
- [請求項11] 前記第 5 のスイッチは、垂直ブランキング期間にオンされ、読出し
期間にオフされる
請求項 10 に記載の光検出装置。
- [請求項12] 前記第 5 のスイッチは、水平ブランキング期間にオンされ、読出し
期間にオフされる
請求項 10 に記載の光検出装置。
- [請求項13] 前記第 1 の有効画素がカラム方向に配列された第 1 のカラムと、
前記第 2 の有効画素が前記カラム方向に配列された第 2 のカラムと

、

前記ダミー画素が前記カラム方向に配列されたダミーカラムと
を備える請求項 1 に記載の光検出装置。

[請求項14] 前記第 1 のカラムは、前記第 1 の有効画素および第 1 の O P B 画素
を含み、

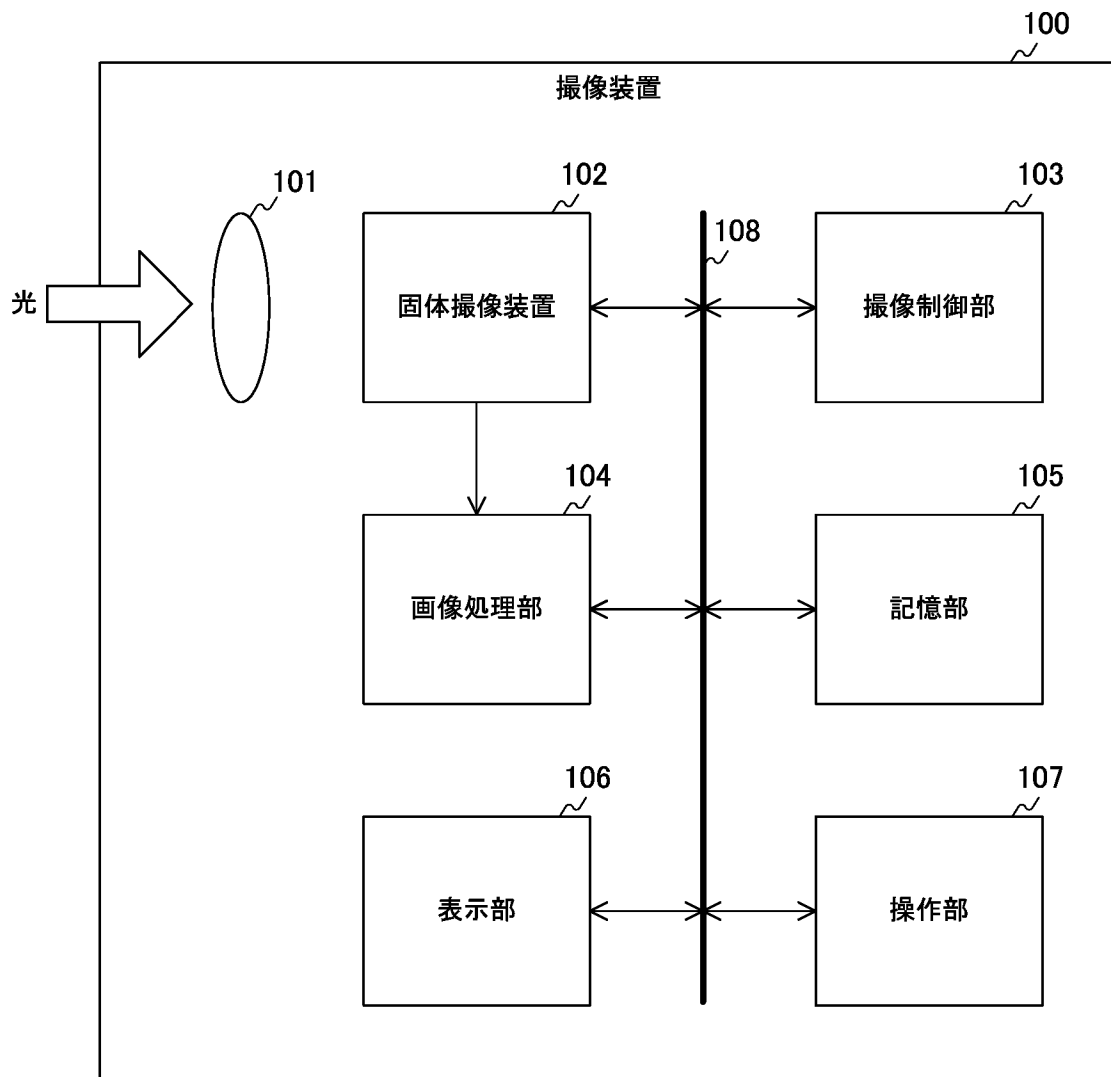
前記第 2 のカラムは、前記第 2 の有効画素および第 2 の O P B 画素
を含み、

前記ダミーカラムは、ダミー有効画素およびダミー O P B 画素を含
む

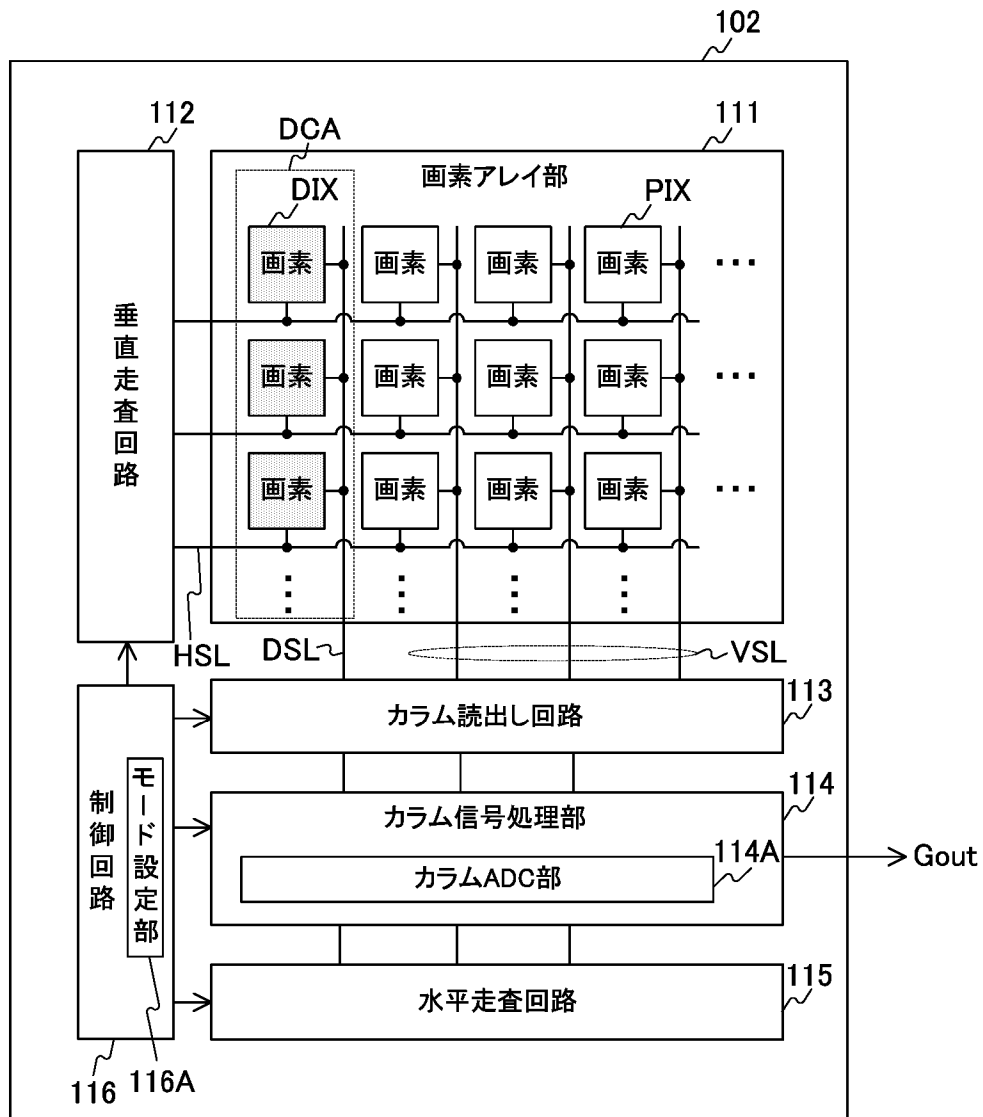
請求項 1 3 に記載の光検出装置。

[請求項15] 前記ダミーカラムは複数設けられる
請求項 1 3 に記載の光検出装置。

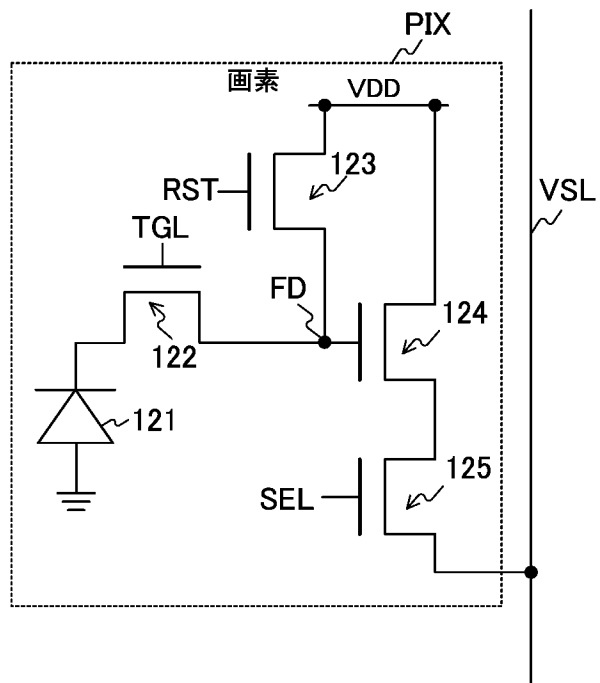
[図1]



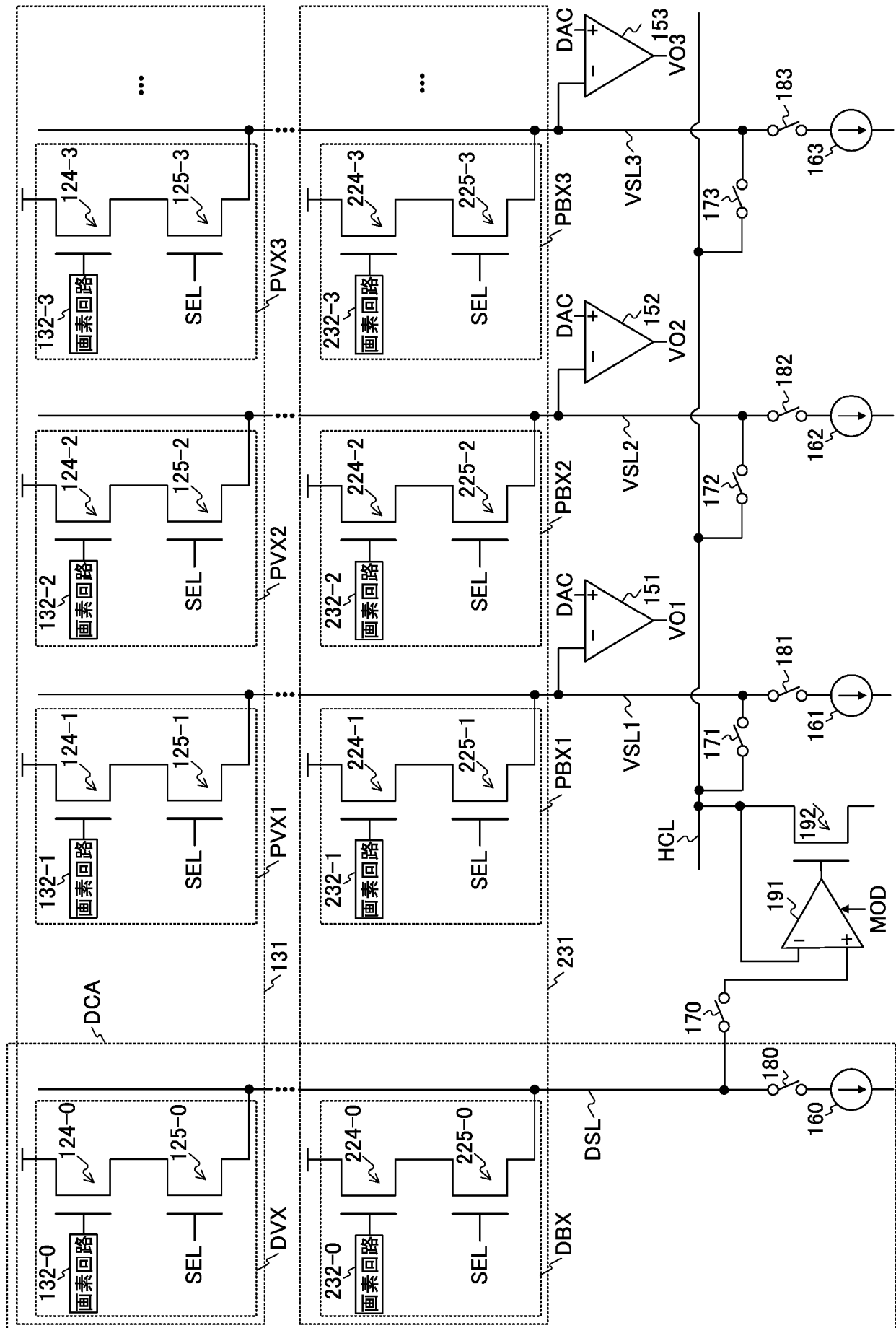
[図2]



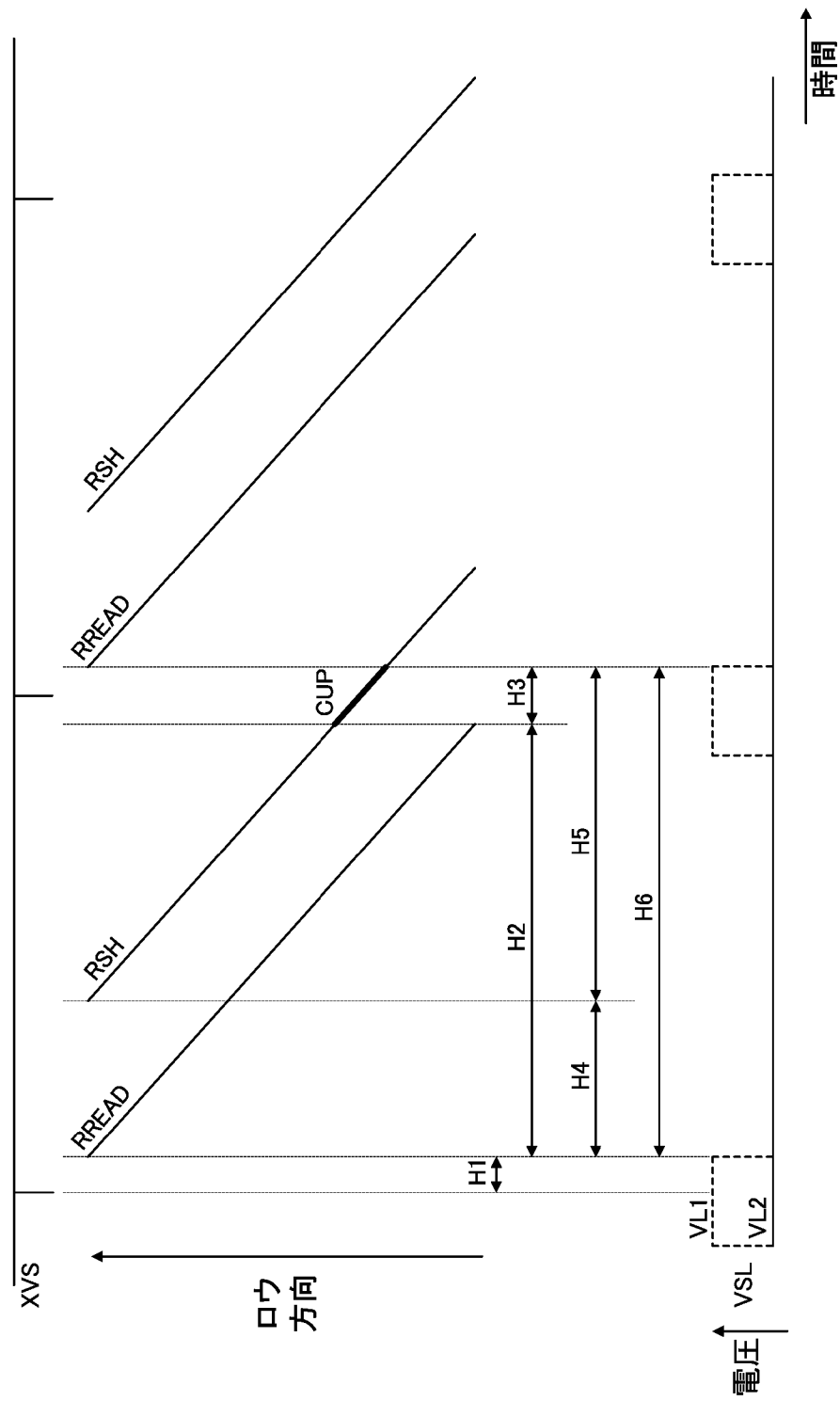
[図3]



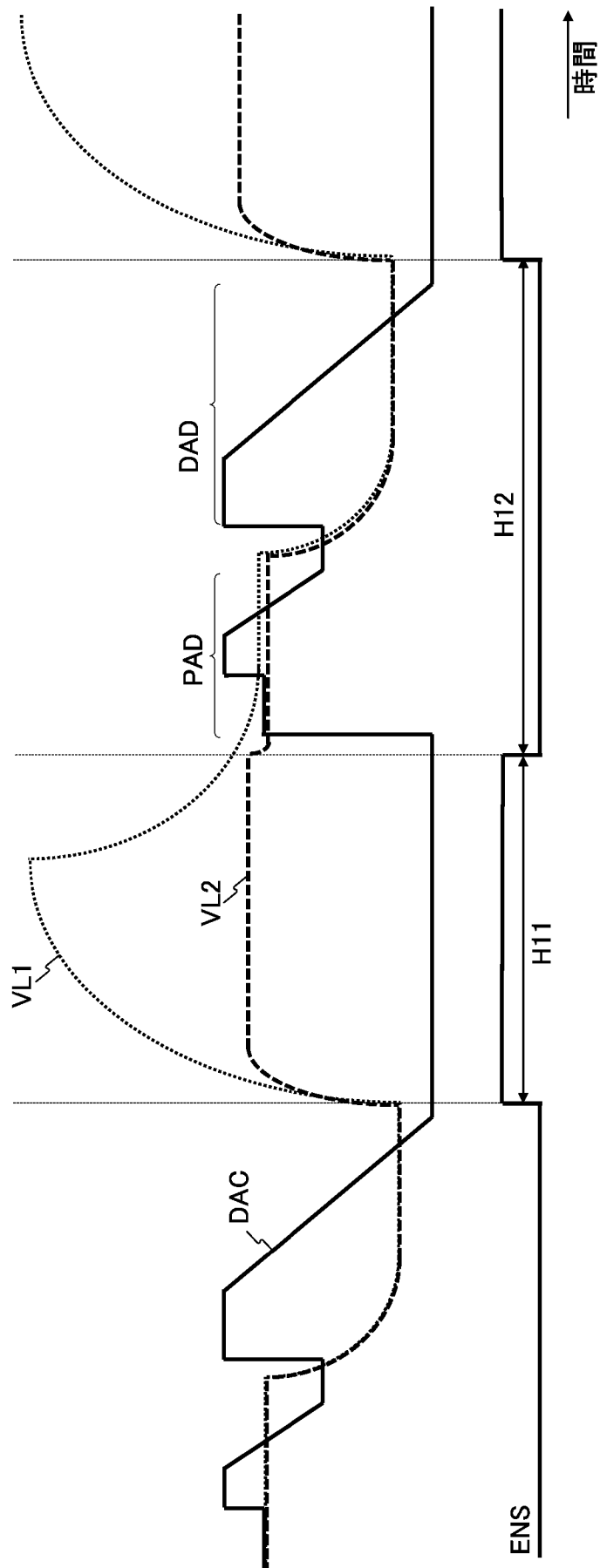
[図4]



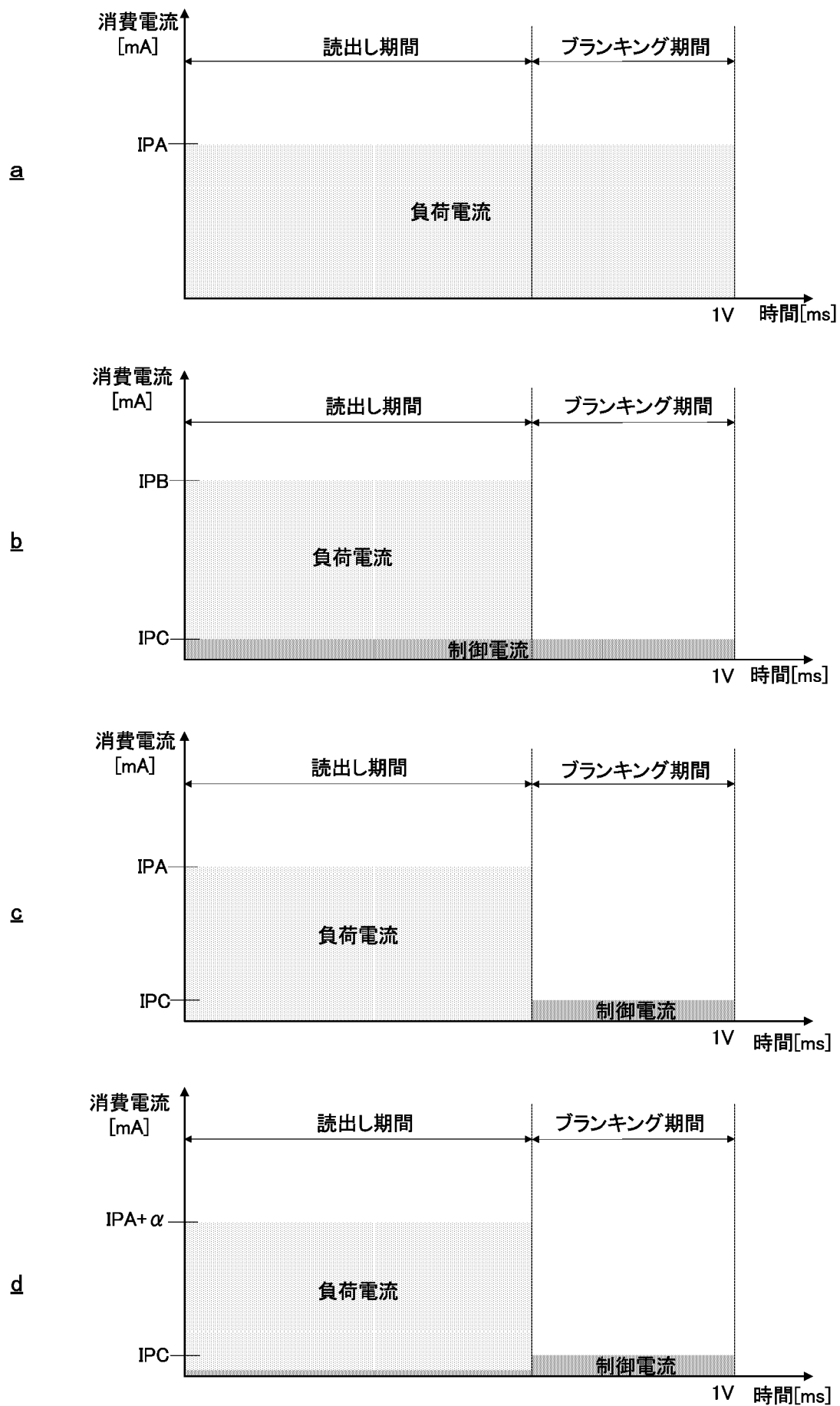
[図5]



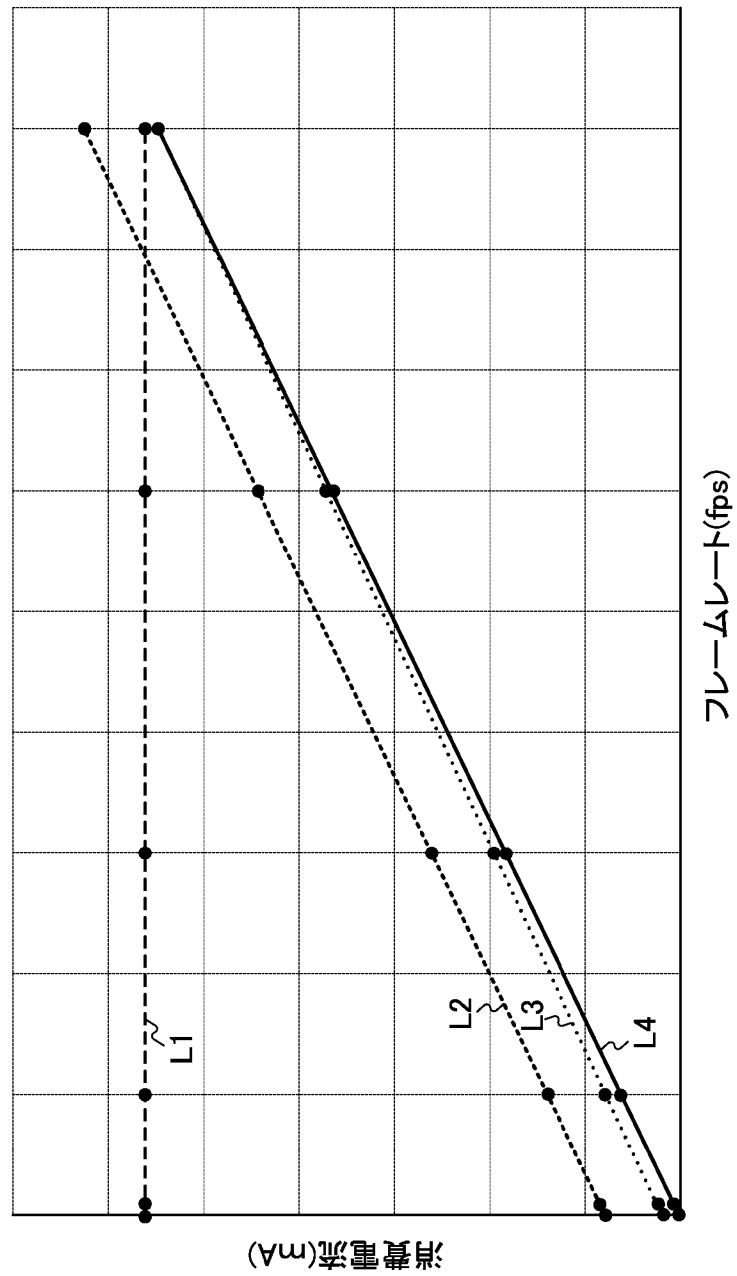
[図6]



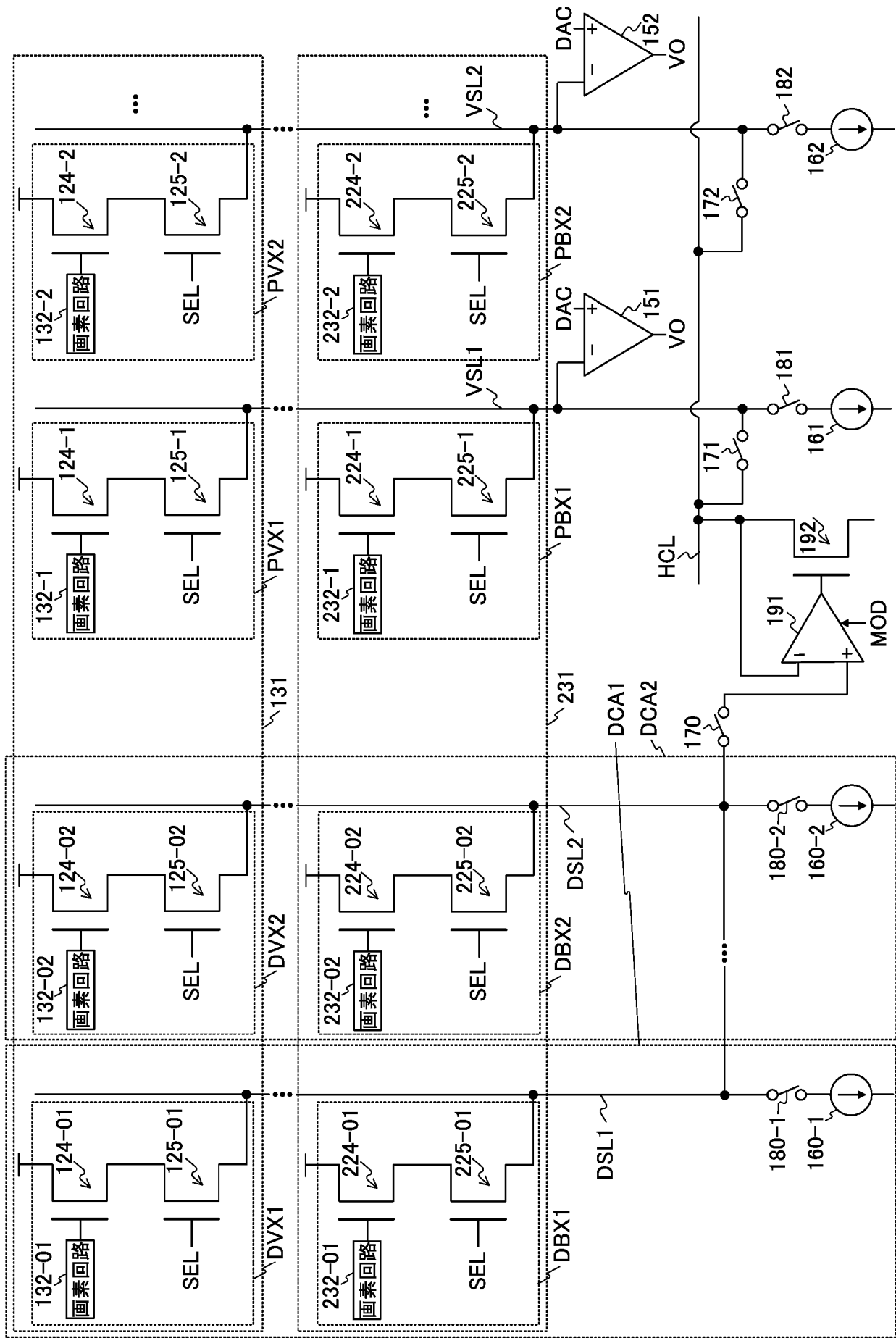
[図7]



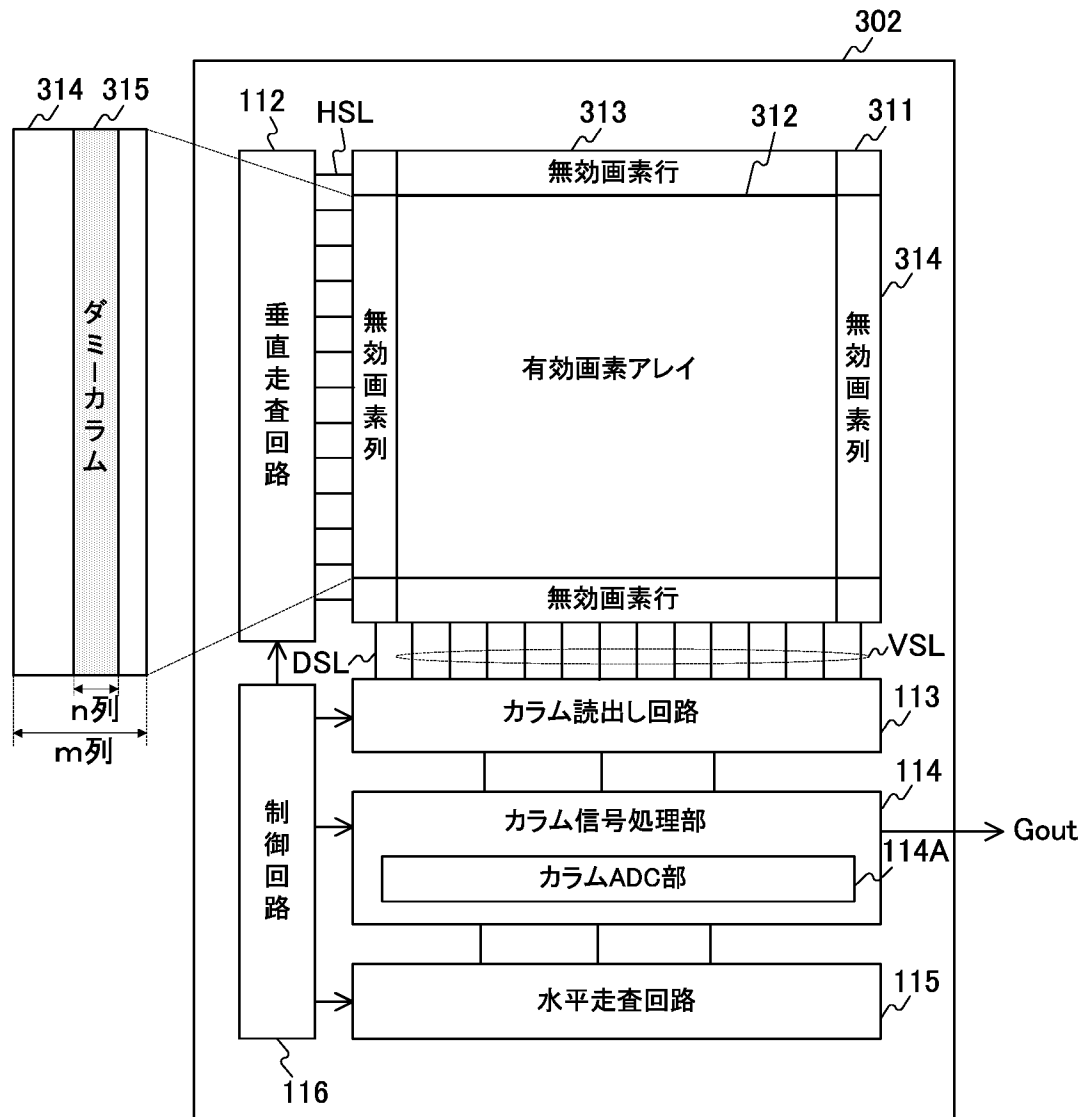
[図8]



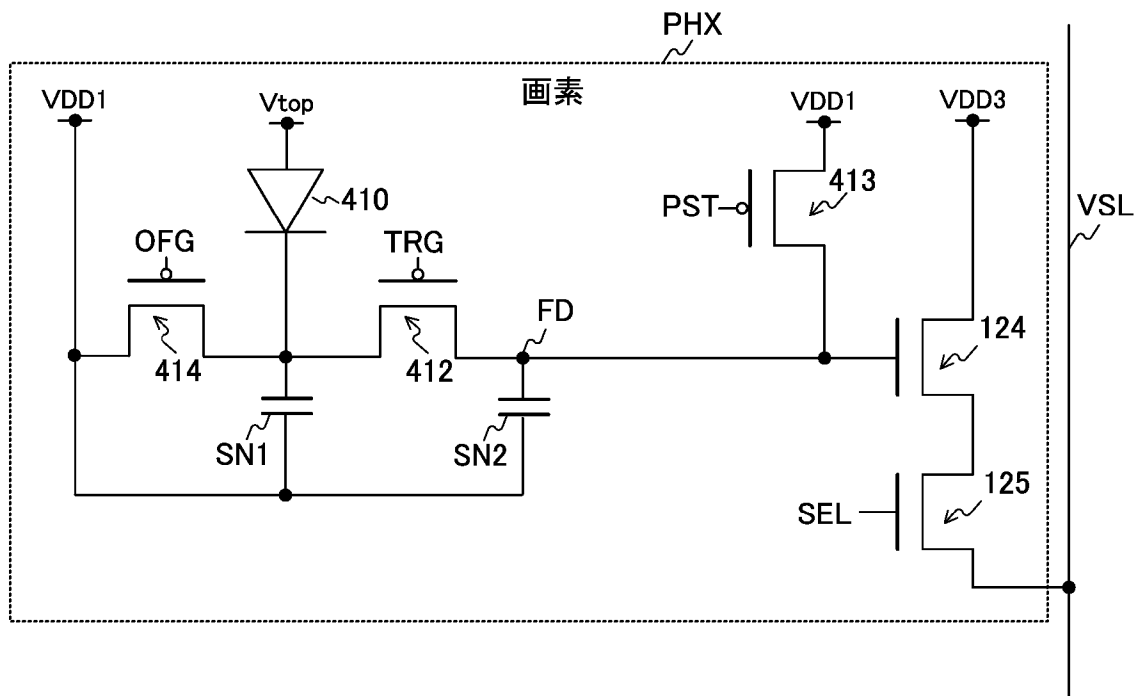
[図9]



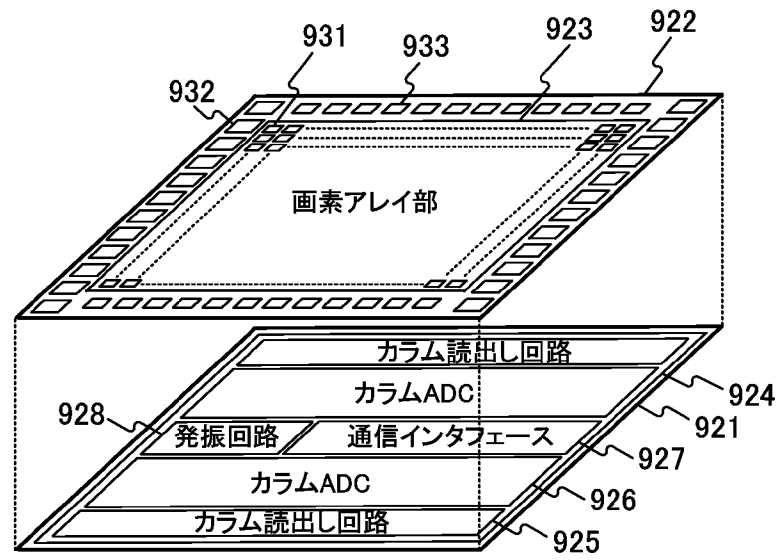
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/017001

A. CLASSIFICATION OF SUBJECT MATTER H04N 25/78 (2023.01)i FI: H04N25/78 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H04N25/78 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2023/053904 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 06 April 2023 (2023-04-06) fig. 1-6, paragraphs [0038]-[0090]	1-15
A	JP 2019-041419 A (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 14 March 2019 (2019-03-14) fig. 2, paragraphs [0023]-[0047]	1-15
A	JP 2016-174219 A (KABUSHIKI KAISHA TOSHIBA) 29 September 2016 (2016-09-29) fig. 3, paragraph [0015]	1-15
A	JP 2020-088785 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 04 June 2020 (2020-06-04) fig. 1-7, paragraphs [0022]-[0099]	1-15
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 24 June 2024		Date of mailing of the international search report 02 July 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/017001

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2023/053904	A1	06 April 2023	(Family: none)	
JP	2019-041419	A	14 March 2019	(Family: none)	
JP	2016-174219	A	29 September 2016	(Family: none)	
JP	2020-088785	A	04 June 2020	WO 2020/111100 A1 fig. 1-7, paragraphs [0022]- [0099]	

A. 発明の属する分野の分類（国際特許分類（IPC））

H04N 25/78(2023.01)i
FI: H04N25/78

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H04N25/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年
日本国公開実用新案公報1971-2024年
日本国実用新案登録公報1996-2024年
日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2023/053904 A1（パナソニックIPマネジメント株式会社）06.04.2023（2023 - 04 - 06） 図1－図6、段落0038－0090	1－15
A	JP 2019-041419 A（パナソニックIPマネジメント株式会社）14.03.2019（2019 - 03 - 14） 図2、段落0023－0047	1－15
A	JP 2016-174219 A（株式会社東芝）29.09.2016（2016 - 09 - 29） 図3、段落0015	1－15
A	JP 2020-088785 A（ソニーセミコンダクタソリューションズ株式会社）04.06.2020（2020 - 06 - 04） 図1－図7、段落0022－0099	1－15

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日
24.06.2024

国際調査報告の発送日
02.07.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

彦田 克文 2V 9182

電話番号 03-3581-1101 内線 3271

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/017001

引用文献			公表日	パテントファミリー文献	公表日
W0	2023/053904	A1	06.04.2023	(ファミリーなし)	
JP	2019-041419	A	14.03.2019	(ファミリーなし)	
JP	2016-174219	A	29.09.2016	(ファミリーなし)	
JP	2020-088785	A	04.06.2020	W0	2020/111100 A1
				図 1 - 図 7、段落0022 - 0099	