

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 11 月 9 日 (09.11.2023)



(10) 国际公布号
WO 2023/213001 A1

(51) 国际专利分类号:
H01L 29/78 (2006.01) **H01L 21/336** (2006.01)
H01L 27/108 (2006.01)

(21) 国际申请号: PCT/CN2022/103650

(22) 国际申请日: 2022 年 7 月 4 日 (04.07.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210484142.4 2022年5月6日 (06.05.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。长鑫集电 (北京) 存储技术有限公司 (CHANGXIN JIDIAN (BEIJING) MEMORY TECHNOLOGIES CO., LTD.) [CN/CN]; 中国北京市

北京经济技术开发区景园北街 2 号 52 幢 4 层 401-10, Beijing 100176 (CN)。

(72) 发明人: 刘翔 (LIU, Xiang); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。杨彬 (YANG, Bin); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(74) 代理人: 北京名华博信知识产权代理有限公司 (BOXIN CHINA INTELLECTUAL PROPERTY); 中国北京市海淀区黑泉路 8 号 1 幢 4 层 101-10 号, Beijing 100192 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA,

(54) Title: SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD FOR SEMICONDUCTOR STRUCTURE

(54) 发明名称: 半导体结构及半导体结构的制作方法

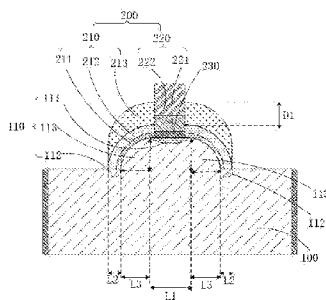


图 1

(57) Abstract: The present disclosure provides a semiconductor structure and a manufacturing method for the semiconductor structure, and relates to the technical field of semiconductors. The semiconductor structure comprises: a substrate and a stacked structure located on the substrate; and a doped region, located between the stacked structure and the substrate. In a cross section perpendicular to the substrate, the doped region comprises a top doped region, a bottom doped region, and an intermediate doped region connecting the top doped region to the bottom doped region; and, in a direction parallel to the substrate, the top doped region has a first width, the bottom doped region has a second width, and the intermediate doped region has a gradually changing third width, the first width being greater than the second width, and the third width gradually decreasing in a direction away from the substrate.

(57) 摘要: 本公开提供一种半导体结构及半导体结构的制作方法, 涉及半导体技术领域, 半导体结构包括衬底和位于衬底上的堆叠结构; 位于堆叠结构与衬底之间的掺杂区, 在垂直于衬底的截面上, 掺杂区包括顶部掺杂区、底部掺杂区以及连接顶部掺杂区和底部掺杂区的中间掺杂区, 在平行于衬底的方向上, 顶部掺杂区具有第一宽度, 底部掺杂区具有第二宽度, 中间掺杂区具有逐渐变化的第三宽度, 其中, 第一宽度大于第二宽度, 第三宽度在沿着远离衬底的方向上逐渐减小。

LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

半导体结构及半导体结构的制作方法

本公开基于申请号为 202210484142.4、申请日为 2022 年 05 月 06 日、申请名称为“半导体结构及半导体结构的制作方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及但不限于一种半导体结构及半导体结构的制作方法。

背景技术

动态随机存储器（Dynamic Random Access Memory, DRAM）通常包括阵列（Array）区域和位于阵列区域外部的核心（Core）区域。阵列区域具有呈阵列排布的晶体管。

随着芯片集成度不断提高，晶体管的特征尺寸减小，晶体管的沟道长度也随之减小，可能导致晶体管出现短沟道效应，短沟道效应可能会引发晶体管产生漏电，严重影响晶体管的电性能。并且，晶体管的特征尺寸减小，栅极的尺寸减小，栅极对沟道的控制能力会降低，影响晶体管的灵敏度，降低半导体结构的良率。

因此，如何降低半导体结构中晶体管的短沟道效应，提高栅极对沟道的控制能力、提高半导体结构的良率，是当前亟待解决的技术问题。

发明内容

以下是对本公开详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

本公开提供了一种半导体结构及半导体结构的制作方法。

本公开的第一方面提供了一种半导体结构，所述半导体结构包括：

衬底和位于所述衬底上的堆叠结构；

位于所述堆叠结构与所述衬底之间的掺杂区，在垂直于所述衬底的截面上，所述掺杂区包括顶部掺杂区、底部掺杂区以及连接所述顶部掺杂区和所述底部掺杂区的中间掺杂区，在平行于所述衬底的方向上，所述顶部掺杂区具有第一宽度，所述底部掺杂区具有第二宽度，所述中间掺杂区具有逐渐变化的第三宽度，其中，所述第一宽度大于所述第二宽度，所述第三宽度在沿着远离所述衬底的方向上逐渐减小。

其中，所述堆叠结构包括栅极堆叠结构，所述栅极堆叠结构包括与所述掺杂区接触的栅介质层和位于所述栅介质层上的第一栅导电层和第二栅导电层，在垂直于所述衬底的截面上，所述第一栅导电层的厚度小于所述第二栅导电层的厚度。

其中，在垂直于所述衬底的截面上，所述第二栅导电层具有第一厚度；

沿平行于所述衬底的方向，由所述底部掺杂区至所述顶部掺杂区，所述第一厚度逐渐增大。

其中，所述半导体结构还包括第一介电层，所述第一介电层位于所述堆叠结构和所述顶部掺杂区之间，所述栅介质层与所述第一介电层相连，所述栅介质层与所述第一栅导电层接触，所述第一介电层与所述第二栅导电层接触；

其中，在垂直于所述衬底方向的截面上，所述栅介质层和所述第一介电层的厚度相同或不同。

其中，所述堆叠结构还包括位于所述顶部掺杂区上的介电堆叠结构，所述栅极堆叠结构位于所述中间掺杂区和所述底部掺杂区上，其中，所述介电堆叠结构的顶表面高于所述栅极堆叠结构的顶表面。

其中，所述介电堆叠结构包括第二介电层和第三介电层，在垂直于所述衬底的截面上，所述第二介电层的顶表面高于所述第一栅导电层的顶表面，所述第二介电层的顶表面低于所述第二栅导电层的顶表面，所述第三介电层的顶表面高于所述第二栅导电层的顶表面。

其中，所述半导体结构还包括第一插塞，所述第一插塞贯穿所述介电堆叠结构，并与所述顶部掺杂区接触连接。

其中，所述第一栅导电层包括功函数调节材料，所述第二栅导电层包括金属导电材料。

其中，所述底部掺杂区和所述中间掺杂区的掺杂类型相同，所述顶部掺杂区和所述中间掺杂区的掺杂类型相同或不同。

其中，所述半导体结构还包括隔离结构，所述隔离结构覆盖所述堆叠结构。

其中，所述半导体结构还包括设置于所述衬底中的源区和漏区，所述源区和所述漏区位于所述堆叠结构的两侧。

其中,所述半导体结构还包括:

第二插塞,所述第二插塞垂直于所述衬底设置,所述第二插塞与所述源区接触连接;
第三插塞,所述第三插塞垂直于所述衬底设置,所述第三插塞与所述漏区接触连接。

本公开的第二方面提供了一种半导体结构的制作方法,所述制作方法,包括:
提供衬底;

在所述衬底上形成介电结构,所述介电结构覆盖所述衬底的部分表面;

在所述介电结构的外侧形成覆盖部分所述衬底表面的辅助层,所述辅助层在远离所述衬底的方向上具有逐渐减小的水平宽度;

基于所述辅助层和所述介电结构对所述衬底进行图形化处理,将所述辅助层的图形转移到所述衬底中,以在所述衬底中形成在远离所述衬底的方向上具有逐渐减小的水平宽度的中间掺杂区,所述介电结构的下方的所述衬底未被蚀刻,所述介电结构下方的所述衬底形成具有第一宽度的顶部掺杂区,未被所述辅助层和所述介电结构覆盖的所述衬底被部分蚀刻去除,形成初始底部掺杂区,所述中间掺杂区连接所述初始底部掺杂区和所述顶部掺杂区;

形成至少覆盖所述中间掺杂区和部分所述初始底部掺杂区的堆叠结构,被所述堆叠结构覆盖的部分所述初始底部掺杂区形成底部掺杂区,所述底部掺杂区具有第二宽度,所述第一宽度大于所述第二宽度。

其中,所述介电结构和所述衬底之间还形成有第一介电层,形成至少覆盖所述中间掺杂区和部分所述初始底部掺杂区的堆叠结构,包括:

形成覆盖所述中间掺杂区表面以及所述底部掺杂区表面的栅极介质层,在垂直于所述衬底的截面上,所述栅极介质层的厚度与所述第一介电层的厚度相同或不同;

形成覆盖所述栅极介质层的第一栅导电层和第二栅导电层,在垂直于所述衬底的截面上,所述第一栅导电层的厚度小于所述第二栅导电层的厚度。

其中,形成覆盖所述栅极介质层的第一栅导电层和第二栅导电层,包括:

形成覆盖所述栅极介质层的第一初始栅导电层,对所述第一初始栅导电层进行第一蚀刻,控制所述第一蚀刻的蚀刻条件,形成与所述栅极介质层共形的所述第一栅导电层;

形成覆盖所述第一栅导电层的第二初始栅导电层,对所述第二初始栅导电层进行第二蚀刻,控制所述第二蚀刻的蚀刻条件,形成在垂直于所述衬底的截面上具有第一厚度的第二栅导电层,沿平行于所述衬底的方向,由所述底部掺杂区至所述顶部掺杂区,所述第一厚度逐渐增大。

其中,在形成所述第一栅导电层之后,在形成所述第二栅导电层之前,还包括:

去除所述介电结构,暴露出所述顶部掺杂区上的所述第一介电层;

在所述第一栅导电层上和暴露的所述第一介电层上形成所述第二初始栅导电层。

其中,提供衬底,包括:

提供初始衬底,在所述初始衬底中形成第一掺杂区;

在所述第一掺杂区上形成第二掺杂区,其中,所述第一掺杂区和所述第二掺杂区的掺杂离子类型相同或不同。

其中,基于所述辅助层和所述介电结构对所述衬底进行图形化处理,将所述辅助层的图形转移到所述衬底中,包括:

控制所述辅助层和所述衬底的蚀刻比,同步蚀刻所述辅助层和所述衬底,去除未被所述辅助层和所述介电结构覆盖的所述第二掺杂区和所述第二掺杂区下方的部分所述第一掺杂区,同时去除所述辅助层下方的至少部分第一掺杂区和部分第二掺杂区。

其中,所述半导体结构的制作方法,还包括:

形成第一插塞,在垂直于所述衬底的方向上,所述第一插塞贯穿所述介电结构和所述第一介电层,与所述顶部掺杂区接触连接。

其中,所述半导体结构的制作方法,还包括:

形成隔离结构,所述隔离结构至少覆盖所述堆叠结构;

以所述隔离结构为掩膜,对所述衬底进行源漏掺杂工艺,在所述衬底中形成源区和漏区;

形成垂直于所述衬底的顶面的第二插塞,所述第二插塞与所述源区接触连接;

形成垂直于所述衬底的顶面的第三插塞,所述第三插塞与所述漏区接触连接。

在阅读并理解了附图和详细描述后,可以明白其他方面。

附图说明

并入到说明书中并且构成说明书的一部分的附图示出了本公开的实施例，并且与描述一起用于解释本公开实施例的原理。在这些附图中，类似的附图标记用于表示类似的要素。下面描述中的附图是本公开的一些实施例，而不是全部实施例。对于本领域技术人员来讲，在不付出创造性劳动的前提下，可以根据这些附图获得其他的附图。

图 1 是根据一示例性实施例示出的半导体结构的结构示意图。

图 2 是根据一示例性实施例示出的半导体结构的结构示意图。

图 3 是根据一示例性实施例示出的半导体结构的结构示意图。

图 4 是根据一示例性实施例示出的半导体结构的结构示意图。

图 5 是根据一示例性实施例示出的半导体结构的结构示意图。

图 6 是根据一示例性实施例示出的半导体结构的结构示意图。

图 7 是根据一示例性实施例示出的衬底的示意图。

图 8 是根据一示例性实施例示出的形成介电材料层的示意图。

图 9 是根据一示例性实施例示出的形成介电结构的示意图。

图 10 是根据一示例性实施例示出的形成初始辅助层的示意图。

图 11 是根据一示例性实施例示出的形成辅助层的示意图。

图 12 是根据一示例性实施例示出的根据辅助层和介电结构蚀刻衬底的示意图。

图 13 是根据一示例性实施例示出的形成第一氧化层的示意图。

图 14 是根据一示例性实施例示出的形成栅极介质层的示意图。

图 15 是根据一示例性实施例示出的形成第一初始栅导电层的示意图。

图 16 是根据一示例性实施例示出的形成第一栅导电层的示意图。

图 17 是根据一示例性实施例示出的形成第二初始栅导电层的示意图。

图 18 是根据一示例性实施例示出的形成第一轻掺杂区和第二轻掺杂区的示意图。

图 19 是根据一示例性实施例示出的形成源区和漏区的示意图。

图 20 是根据一示例性实施例示出的形成介质层的示意图。

图 21 是根据一示例性实施例示出的在介质层中形成第一沟槽、第二沟槽和第三沟槽的示意图。

图 22 是根据一示例性实施例示出的在介质层中形成第一插塞、第二插塞和第三插塞的示意图。

图 23 是根据一示例性实施例示出的去除介电结构的示意图。

图 24 是根据一示例性实施例示出的形成第二初始栅导电层的示意图。

图 25 是根据一示例性实施例示出的在介质层中形成第二插塞、第三插塞和第四插塞的示意图。

图 26 是根据一示例性实施例示出的半导体结构的制作方法的流程图。

图 27 是根据一示例性实施例示出的形成堆叠结构的流程图。

图 28 是根据一示例性实施例示出的半导体结构的制作方法的流程图。

附图标记：

100、衬底；101、第一氧化层；102、第一初始栅导电层；103、第二初始栅导电层；110、掺杂区；111、顶部掺杂区；112、底部掺杂区；113、中间掺杂区；114、初始底部掺杂区；150、初始衬底；151、第一掺杂区；152、第二掺杂区；153、第一初始介电层；160、介电材料层；161、第二初始介电层；162、第三初始介电层；163、第四初始介电层；170、掩膜层；180、初始辅助层；181、辅助层；200、堆叠结构；201、栅极介质层；205、凹槽；210、栅极堆叠结构；211、栅介质层；212、第一栅导电层；213、第二栅导电层；220、介电堆叠结构；225、介电结构；221、第二介电层；222、第三介电层；223、第四介电层；230、第一介电层；300、隔离结构；310、第一隔离层；320、中间隔离层；330、外部隔离层；410、源区；420、漏区；510、第一轻掺杂区；520、第二轻掺杂区；600、介质层；601、第一沟槽；602、第二沟槽；603、第三沟槽；610、第一插塞；620、第二插塞；630、第三插塞；640、第四插塞；650、金属层；651、绝缘结构；

L1、第一宽度；L2、第二宽度；L3、第三宽度；D1、第一厚度。

具体实施方式

下面将结合本公开实施例中的附图，对公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域技术人员在没有做出创造性劳动前提下所获得的所有其他

实施例，都属于本公开保护的范围。需要说明的是，在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互任意组合。

本公开示例性实施例提供了一种半导体结构及半导体结构的制作方法，半导体结构的堆叠结构覆盖掺杂区，掺杂区包括中间掺杂区，在垂直于衬底方向的截面上，中间掺杂区的水平宽度在沿着远离衬底的方向上逐渐减小，以将掺杂区形成相对于衬底向外凸起的鳍形结构，增加了堆叠结构和掺杂区的接触面积。

本公开示例性实施例提供了一种半导体结构，如图1或图4所示，半导体结构包括衬底100和位于衬底100上的堆叠结构200。半导体结构还包括位于堆叠结构200与衬底100之间的掺杂区110，在垂直于衬底100的截面上，即图1中示出的截面，掺杂区110包括顶部掺杂区111、底部掺杂区112以及连接顶部掺杂区111和底部掺杂区112的中间掺杂区113，在平行于衬底100的方向上，顶部掺杂区111具有第一宽度L1，底部掺杂区112具有第二宽度L2，中间掺杂区113具有逐渐变化的第三宽度L3，其中，第一宽度L1大于第二宽度L2，第三宽度L3在沿着远离衬底100的方向上逐渐减小，即以图1中示出的方位为准，沿由下至上的方向，第三宽度L3的尺寸逐渐减小。

其中，中间掺杂区113的顶表面高于底部掺杂区112的顶表面，中间掺杂区113的最大宽度为 $L3_{MAX}$ ， $L3_{MAX}$ 大于第二宽度L2。

在一些实施例中，第一宽度L1的范围为5nm-50nm，第二宽度L2的范围为1nm-20nm，第三宽度 $L3_{MAX}$ 的范围为1nm-100nm，第三宽度L3的变化范围为0- $L3_{MAX}$ 。

示例性的，第一宽度L1可以为5nm、8nm、12nm、15nm、20nm、25nm、30nm、35nm、40nm、45nm或50nm。第二宽度L2可以为1nm、2nm、3nm、4nm、5nm、6nm、7nm、8nm、9nm或10nm。第三宽度L3的变化范围可以为0nm-1nm、0nm-10nm、0nm-20nm、0nm-30nm、0nm-35nm、0nm-50nm、0nm-60nm、0nm-70nm、40nm-80nm、50nm-90nm或60nm-100nm。

例如，第一宽度L1可以为5nm，第二宽度L2可以为1nm，第三宽度 $L3_{MAX}$ 可以为5nm，第三宽度L3的变化范围为0nm-5nm。或者，第一宽度L1可以为15nm，第二宽度L2可以为4nm，第三宽度 $L3_{MAX}$ 可以为10nm，第三宽度L3的变化范围为0nm-10nm。再或者，第一宽度L1可以为25nm，第二宽度L2可以为7nm，第三宽度 $L3_{MAX}$ 可以为20nm，第三宽度L3的变化范围为0nm-20nm。

在一些实施例中， $L3_{MAX}$ 大于第一宽度L1。例如，第一宽度L1可以为30nm，第二宽度L2可以为6nm，第三宽度 $L3_{MAX}$ 可以为40nm，第三宽度L3的变化范围为0nm-40nm。或者，第一宽度L1可以为15nm，第二宽度L2可以为8nm，第三宽度 $L3_{MAX}$ 可以为80nm，第三宽度L3的变化范围为0nm-80nm。再或者，第一宽度L1可以为50nm，第二宽度L2可以为10nm，第三宽度 $L3_{MAX}$ 可以为100nm，第三宽度L3的变化范围为0nm-100nm。

其中，底部掺杂区112和中间掺杂区113的掺杂类型相同，顶部掺杂区111和中间掺杂区113的掺杂类型相同或不同。

在一些实施例中，如图1或图4所示，堆叠结构200包括栅极堆叠结构210，栅极堆叠结构210包括与掺杂区110接触的栅介质层211和位于栅介质层211上的第一栅导电层212和第二栅导电层213，在垂直于衬底100的截面上，第一栅导电层212的厚度小于第二栅导电层213的厚度。其中，栅极堆叠结构210至少覆盖掺杂区110的底部掺杂区112和中间掺杂区113。在一些实施例中，栅极堆叠结构210还可以覆盖顶部掺杂区111。

在一些实施例中，在垂直于衬底100方向的截面上，第一栅导电层212的厚度为1nm-40nm，例如，第一栅导电层212的厚度可以为1nm-5nm、5nm-10nm、10nm-15nm、15nm-20nm、20nm-25nm、25nm-30nm、30nm-35nm或35nm-40nm。

在一些实施例中，如图1或如图4所示，在垂直于衬底100的截面上第二栅导电层213具有第一厚度D1，沿平行于衬底100的方向，由底部掺杂区112至顶部掺杂区113，第一厚度D1逐渐增大。

其中，第一厚度D1的变化范围为0nm-50nm。例如，第一厚度D1的变化范围可以为0nm-1nm、0nm-5nm、0nm-10nm、0nm-15nm、0nm-20nm、0nm-25nm、0nm-35nm、0nm-45nm或0nm-50nm。

具有本实施例中的栅极堆叠结构210和掺杂区110的晶体管，栅极堆叠结构210覆盖的掺杂区110的外表面为晶体管的沟道。在本实施例中，中间掺杂区113的第三宽度L3沿着远离衬底100的方向上逐渐减小，中间掺杂区113将掺杂区110形成远离衬底100的方向上设置的鳍型结构，掺杂区110相对衬底100隆起，增加了掺杂区110和堆叠结构200的接触面积，进而增加了栅极堆叠结构210和沟道的接触面积，增加了沟道长度，能

够避免或减少短沟道效应；并且，本实施例的栅极堆叠结构 210 覆盖沟道，当半导体结构处于通电状态时，栅极堆叠结构 210 至少和中间掺杂区 113 的接触面的不同位置均产生向中间掺杂区 113 的中心方向的控制电场，栅极堆叠结构 210 产生的控制电场在掺杂区 110 的中心位置汇集，能够增加控制电场的强度，进而提高了栅极堆叠结构 210 对沟道的控制能力；本实施例的半导体结构，能够进一步缩小器件的特征尺寸，提高半导体器件的集成度。

在一些实施例中，如图 1 或图 4 所示，第一栅导电层 212 包括功函数调节材料，第二栅导电层 213 包括金属导电材料。第一栅导电层 212 设置在掺杂区 110 和第二栅导电层 213 之间，第一栅导电层 212 用于调节第二栅导电层 213 的功函数，有利于降低半导体结构的阈值电压。示例性的，第一栅导电层 212 包括 N 型或 P 型功函数调节材料。在本实施例中，第一栅导电层 212 的材料可以包括多晶硅，多晶硅的功函数可通过调节掺杂离子的种类以及调节掺杂浓度改变，从而调节由第一栅导电层 212 和第二栅导电层 213 组成的栅极结构的功函数，以达到降低阈值电压的效果。

本实施例中第一栅导电层 212 的厚度和平面晶体管的栅极厚度接近，由于第一栅导电层 212 的厚度足够小且均匀，在第一栅导电层 212 的材料包括多晶硅时，多晶硅的晶向相同且晶格均匀，第一栅导电层 212 的导电性好，有利于器件尺寸的微缩。

在一些实施例中，半导体结构还包括第一介电层 230，第一介电层 230 位于堆叠结构 200 和顶部掺杂区 111 之间，栅介质层 211 与第一介电层 230 相连，其中，在垂直于衬底 100 方向的截面上，栅介质层 211 和第一介电层 230 的厚度相同或不同。

在一个示例中，本示例的半导体结构，参照图 4，掺杂区 110 的底部掺杂区 112、中间掺杂区 113 和顶部掺杂区 111 具有相同的导电类型。也即，底部掺杂区 112、中间掺杂区 113 和顶部掺杂区 111 可以均具有 P 型导电类型或 N 型导电类型。如图 4、图 5 或图 6 所示，本示例的半导体结构，堆叠结构 200 仅包括栅极堆叠结构 210。

在本示例中，栅介质层 211 包括相连的栅极介质层 201 以及第一介电层 230，栅极介质层 201 位于栅极堆叠结构 210 和底部掺杂区 112 以及中间掺杂区 113 之间，第一介电层 230 位于堆叠结构 200 和顶部掺杂区 111 之间。其中，栅极介质层 201 和第一介电层 230 的厚度相同或不同。例如，栅极介质层 201 可以和第一介电层 230 的厚度相同；或者，栅极介质层 201 的厚度还可以大于或小于第一介电层 230 的厚度。

如图 4、图 5 或图 6 所示，第一栅导电层 212 位于底部掺杂区 112 和中间掺杂区 113 之上，第一栅导电层 212 和栅极介质层 201 接触。第二栅导电层 213 位于底部掺杂区 112、中间掺杂区 113 和顶部掺杂区 111 之上，第二栅导电层 213 的部分结构和第一栅导电层 212 接触，第二栅导电层 213 的另一部分结构和第一介电层 230 接触。

本示例的半导体结构，栅极堆叠结构 210 覆盖整个掺杂区 110，栅极堆叠结构 210 和掺杂区 110 的接触面为晶体管的沟道，本示例中晶体管的沟道长度更长；并且，栅极堆叠结构 210 和顶部掺杂区 111 以及中间掺杂区 113 的接触面的不同位置均产生向中间掺杂区 113 的中心方向的控制电场，在掺杂区 110 的中心位置汇集的控制电场强度更大，进一步增加了栅极堆叠结构 210 对沟道的控制能力。

在本示例中，第二栅导电层 213 不仅覆盖第一栅导电层 212，同时还覆盖顶部掺杂区 111 上的第一介电层 230，增加了栅极堆叠结构 210 中第二栅导电层 213 的占比，能够提高晶体管的存储能力和控制能力。

在另一个示例中，本示例的半导体结构，参照图 1，掺杂区 110 的底部掺杂区 112、中间掺杂区 113 具有相同的导电类型。顶部掺杂区 111 和中间掺杂区 113 的掺杂类型不同。也即，在本实施例中，底部掺杂区 112、中间掺杂区 113 均具有 N 型导电类型，则顶部掺杂区 111 具有 P 型导电类型；或者，底部掺杂区 112、中间掺杂区 113 均具有 P 型导电类型，则顶部掺杂区 111 具有 N 型导电类型。

如图 1、图 2 或图 3 所示，本示例的半导体结构，堆叠结构 200 包括位于底部掺杂区 112 和中间掺杂区 113 之上的栅极堆叠结构 210 以及位于顶部掺杂区 111 上的介电堆叠结构 220，第一介电层 230 设置在介电堆叠结构 220 和顶部掺杂区 111 之间。

如图 1、图 2 或图 3 所示，在垂直于衬底 100 的方向上，栅极堆叠结构 210 包括依次设置在底部掺杂区 112 和中间掺杂区 113 上的栅介质层 211、第一栅导电层 212 和第二栅导电层 213。其中，在垂直于衬底 100 的截面上，栅介质层 211 与第一介电层 230 的厚度相同或不同。栅介质层 211 可以与第一介电层 230 的厚度相同，或者，栅介质层 211 的厚度还可以大于或小于第一介电层 230 的厚度。

如图1、图2或图3所示,介电堆叠结构220包括第二介电层221和第三介电层222,在垂直于衬底100的截面上,第二介电层221的顶表面高于第一栅导电层212的顶表面,第二介电层221的顶表面低于第二栅导电层213的顶表面,第三介电层222的顶表面高于第二栅导电层213的顶表面。

本实施例的半导体结构,第二栅导电层213仅设置在第一栅导电层212的上方,第二栅导电层213通过第一栅导电层212和掺杂区110接触连接,在垂直于衬底100的方向上,第二栅导电层213和掺杂区110无直接交叠的区域,栅极堆叠结构210的功函数均匀,避免第二栅导电层213中的金属导电材料影响晶体管的阈值电压,确保半导体结构具有良好的电性能。

在一些实施例中,如图2和图5所示,半导体结构还包括隔离结构300,隔离结构300覆盖堆叠结构200。

如图2所示,或如图5所示,半导体结构还包括设置于衬底100中的源区410和漏区420,在平行于衬底100的方向上,源区410和漏区420位于堆叠结构200的两侧。

在一些实施例中,如图2所示,或如图5所示,半导体结构还包括设置于衬底100中的第一轻掺杂区510和第二轻掺杂区520,在平行于衬底100的方向上,第一轻掺杂区510和第二轻掺杂区520位于堆叠结构200的两侧。其中,第一轻掺杂区510的掺杂深度小于源区410的掺杂深度,且第二轻掺杂区520的掺杂深度小于漏区420的掺杂深度。

如图2所示,或如图5所示,第一轻掺杂区510和底部掺杂区112相接,第二轻掺杂区520和底部掺杂区112相接。第一轻掺杂区510和源区410同侧设置,部分第一轻掺杂区510位于源区410和底部掺杂区112之间,以防止源区410向底部掺杂区112扩散。第二轻掺杂区520和漏区420同侧设置,且部分第二轻掺杂区520位于漏区420和底部掺杂区112之间,防止漏区420向底部掺杂区112扩散。第一轻掺杂区510和第二轻掺杂区520减小了源区410、漏区420和栅极堆叠结构210的交叠范围,能够减小或避免半导体结构的栅极诱导漏极泄漏电流,以使半导体结构的电性能更加稳定,且能够提高半导体结构的使用寿命。

在一些实施例中,如图3或如图6所示,半导体结构还包括第二插塞620和第三插塞630,第二插塞620垂直于衬底100设置,第二插塞620与源区410接触连接,第三插塞630垂直于衬底100设置,第三插塞630与漏区420接触连接。

在一些实施例中,如图3所示,参照图1,半导体结构的堆叠结构200包括栅极堆叠结构210和介电堆叠结构220。半导体结构还包括第一插塞610,第一插塞610贯穿介电堆叠结构220,并与顶部掺杂区111接触连接。

在一些实施例中,如图6所示,参照图3,半导体结构的堆叠结构200仅包括栅极堆叠结构210。半导体结构还包括第四插塞640,第四插塞640垂直设置在栅极堆叠结构210上,第四插塞640与第二栅导电层213接触连接。

本公开示例性的实施例中提供了一种半导体结构的制作方法,本实施例对半导体结构不作限制,下面将半导体结构为动态随机存储器(Dynamic Random Access Memory, DRAM)为例进行介绍。

图26示出了根据本公开一示例性的实施例提供的一种半导体结构的制作方法的流程图,图7-图25为本实施例的半导体结构的制作方法的各个阶段的示意图,下面结合图7-图25并参照图1-图6对本实施例的半导体结构的制作方法进行介绍。如图26所示,本实施例中的半导体结构的制作方法包括以下步骤:

步骤S110:提供衬底。

在本实施例中,提供衬底100,包括:

如图7所示,首先,提供初始衬底150,在初始衬底150中形成第一掺杂区151。初始衬底150的材料包括半导体材料,半导体材料可以为硅(Si)、锗(Ge)、或硅锗(GeSi)、碳化硅(SiC);半导体材料也可以是绝缘体上硅(SOI),绝缘体上锗(GOI);或者还可以为其它的材料,例如砷化镓等III-V族化合物。

向初始衬底150中注入掺杂离子形成第一掺杂区151,第一掺杂区151具有第一导电类型,其中,第一导电类型可以为P型导电类型或N型导电类型。

然后,在第一掺杂区151中形成第二掺杂区152,其中,第一掺杂区151和第二掺杂区152的掺杂离子类型相同或不同。在一些实施例中,第二掺杂区152的导电类型和第一掺杂区151的导电类型相同;在另一些实施例中,第二掺杂区152的导电类型和第一掺杂区151的导电类型相反。

接着,形成第一初始介电层 153,第一初始介电层 153 至少覆盖第二掺杂区 152。在本实施例中,可以通过沉积工艺或热氧化工艺形成第一初始介电层 153,第一初始介电层 153 覆盖初始衬底 150 的外表面。其中,第一初始介电层 153 的材料可以包括氧化物或氮化物,例如,第一初始介电层 153 的材料可以包括氧化硅或氮化硅中的一种。

步骤 S120: 在衬底上形成介电结构,介电结构覆盖衬底的部分表面。

在本实施例中,形成介电结构 225,可以采用以下方法:

如图 8 所示,参照图 7,于衬底 100 的顶面形成介电材料层 160,介电材料层 160 覆盖第一初始介电层 153。介电材料层 160 可以包括单层或多层结构,本实施例中以介电材料层 160 包括多层结构进行说明,沿远离衬底 100 顶面的方向,即图 8 中示出的由下至上的方向,介电材料层 160 包括依次叠置的第二初始介电层 161、第三初始介电层 162 以及第四初始介电层 163。其中,介电材料层 160 的材料包括绝缘材料,例如可以包括氧化硅、氮化硅或氮氧化硅中的至少一种。第二初始介电层 161、第三初始介电层 162 和第四初始介电层 163 的材料可以相同或不同。

如图 8 所示,在介电材料层 160 的顶面形成掩膜层 170,掩膜层 170 覆盖介电材料层 160 的部分顶面。如图 9 所示,参照图 8,根据掩膜层 170 蚀刻介电材料层 160,被保留的介电材料层 160 形成介电结构 225。本实施例中形成的介电结构 225 包括依次设置在衬底 100 上的第二介电层 221、第三介电层 222 以及第四介电层 223。

步骤 S130: 在介电结构的外侧形成覆盖部分衬底表面的辅助层,辅助层在远离衬底的方向上具有逐渐减小的水平宽度。

在介电结构 225 的外侧形成覆盖部分衬底 100 表面的辅助层 181,可以采用以下方法:

如图 10 所示,参照图 9,形成初始辅助层 180,初始辅助层 180 覆盖衬底 100 的顶面以及介电结构 225 的外表面,在垂直于衬底 100 的截面上,初始辅助层 180 具有预定厚度。在本实施例中,初始辅助层 180 的材料包括多晶硅。

然后,如图 11 所示,参照图 10,蚀刻初始辅助层 180,在水平方向上蚀刻初始辅助层 180 的速度和在竖直方向上蚀刻初始辅助层 180 的速度相等,去除覆盖衬底 100 顶面的初始辅助层 180 以及覆盖介电结构 225 的外表面的初始辅助层 180,位于介电结构 225 和衬底 100 的连接转角的部分初始辅助层 180 被保留,形成辅助层 181。

如图 11 所示,在垂直于衬底 100 的截面上,辅助层 181 在远离衬底 100 的方向上具有逐渐减小的水平宽度。

步骤 S140: 基于辅助层和介电结构对衬底进行图形化处理,将辅助层的图形转移到衬底中。

如图 12 所示,辅助层 181 的图形转移到衬底 100 中,在衬底 100 中形成在远离衬底 100 的方向上具有逐渐减小的水平宽度的中间掺杂区 113,介电结构 225 的下方的衬底 100 未被蚀刻,介电结构 225 下方的衬底 100 形成具有第一宽度的顶部掺杂区 111,未被辅助层 181 和介电结构 225 覆盖的衬底 100 被部分蚀刻去除,形成初始底部掺杂区 114,中间掺杂区 113 连接初始底部掺杂区 114 和顶部掺杂区 111。

在本实施例中,将辅助层 181 的图形转移到衬底 100 中,可以采用以下方法:

如图 12 所示,参照图 11,控制辅助层 181 和衬底 100 的蚀刻比,同步蚀刻辅助层 181 和衬底 100,去除未被辅助层 181 和介电结构 225 覆盖的第二掺杂区 152 和第二掺杂区 152 下方的部分第一掺杂区 151,同时去除辅助层 181 下方的至少部分第一掺杂区 151 和部分第二掺杂区 152。在本实施例中,蚀刻辅助层 181 和蚀刻衬底 100 的蚀刻比可以控制在 1:1-1:2,例如,蚀刻辅助层 181 和蚀刻衬底 100 的蚀刻比可以为 1:1、1:1.1、1:1.2、1:1.4、1:1.5、1:1.7、1:1.9 或 1:2。

如图 12 所示,介电结构 225 下方的第二掺杂区 152 未被蚀刻,形成顶部掺杂区 111,顶部掺杂区 111 具有第一宽度 L1。辅助层 181 的形貌转移到被保留的部分第一掺杂区 151 中,形成中间掺杂区 113,中间掺杂区 113 具有逐渐变化的第三宽度 L3,第三宽度 L3 在沿着远离初始衬底 150 的方向上逐渐减小。中间掺杂区 113 底面以下被保留的部分第一掺杂区 151 形成初始底部掺杂区 114。

步骤 S150: 形成至少覆盖中间掺杂区和部分初始底部掺杂区的堆叠结构,被堆叠结构覆盖的部分初始底部掺杂区形成底部掺杂区,底部掺杂区具有第二宽度,第一宽度大于第二宽度。

在本实施例中,形成堆叠结构 200 至少包括以下步骤:形成覆盖中间掺杂区 113 以及底部掺杂区 112 表面的栅极介质层 201,其中,在垂直于衬底 100 的截面上,栅极介质层 201 的厚度与第一介电层 230 的厚度相同或不同。形成覆盖栅极介质层 201 的第一栅导电

层 212 和第二栅导电层 213, 在垂直于衬底 100 的截面上, 第一栅导电层 212 的厚度小于第二栅导电层 213 的厚度。

在平行于衬底 100 的方向上, 堆叠结构 200 具有变化或固定的宽度, 因此, 堆叠结构 200 覆盖中间掺杂区 113 的同时, 也会覆盖和中间掺杂区 113 邻接的初始底部掺杂区 114 的部分顶面, 被堆叠结构 200 覆盖的初始底部掺杂区 114 形成底部掺杂区 112, 顶部掺杂区 111、中间掺杂区 113 和底部掺杂区 112 共同形成掺杂区 110。

本实施例的制作方法, 以辅助层和介电结构作为掩膜蚀刻衬底形成掺杂区, 辅助层的形貌转移到衬底中形成中间掺杂区, 中间掺杂区将掺杂区形成远离衬底的方向上设置的鳍型结构, 掺杂区相对衬底隆起, 堆叠结构覆盖掺杂区, 增加了堆叠结构和掺杂区的接触面积。

根据一示例性实施例, 本实施例是对上述实施例的步骤 S150 的一种可能的实施方式的进一步说明。在本实施例中, 掺杂区 110 的底部掺杂区 112、中间掺杂区 113 和顶部掺杂区 111 具有相同的导电类型。也即, 底部掺杂区 112、中间掺杂区 113 和顶部掺杂区 111 可以均具有 N 型导电类型或 P 型导电类型。如图 27 所示, 在实施过程中, 形成至少覆盖中间掺杂区和部分初始底部掺杂区的堆叠结构, 包括以下步骤:

步骤 S151a: 形成覆盖中间掺杂区表面以及底部掺杂区表面的栅极介质层, 在垂直于衬底的截面上, 栅极介质层的厚度与第一介电层的厚度相同或不同。

形成栅极介质层 201, 可以采用以下方法: 如图 13 所示, 参照图 12, 通过热氧化工艺处理衬底 100, 在衬底 100 的外表面形成第一氧化层 101。

然后, 如图 14 所示, 参照图 13, 去除部分第一氧化层 101, 保留覆盖中间掺杂区 113 的部分第一氧化层 101, 形成栅极介质层 201。

步骤 S152a: 形成覆盖栅极介质层的第一初始栅导电层, 对第一初始栅导电层进行第一蚀刻, 控制第一蚀刻的蚀刻条件, 形成与栅极介质层共形的第一栅导电层。

如图 15 所示, 参照图 14, 通过原子层沉积工艺 (Atomic Layer Deposition, ALD) 或化学气相沉积工艺 (Chemical Vapor Deposition, CVD) 沉积形成第一初始栅导电层 102, 第一初始栅导电层 102 覆盖衬底 100 的顶面、栅极介质层 201 以及介电结构 225 的外表面, 受到中间掺杂区 113 的外表面的形貌的影响, 在垂直于衬底 100 的截面上, 位于中间掺杂区 113 上的第一初始栅导电层 102 的厚度大于位于衬底 100 顶面上的第一初始栅导电层 102 的厚度。

然后, 如图 16 所示, 参照图 15, 对第一初始栅导电层 102 进行第一蚀刻, 控制第一蚀刻的蚀刻条件, 以使水平方向上蚀刻第一初始栅导电层 102 的速度和在竖直方向上蚀刻第一初始栅导电层 102 的速度相等, 去除部分第一初始栅导电层 102, 暴露出第二介电层 221 的部分侧壁, 被保留的第一初始栅导电层 102 形成第一栅导电层 212, 第一栅导电层 212 覆盖中间掺杂区 113 以及和中间掺杂区 113 相连的部分初始底部掺杂区 114, 被第一栅导电层 212 覆盖的部分初始底部掺杂区 114 形成底部掺杂区 112。

在本实施例中, 第一栅导电层 212 的材料包括多晶硅, 在沉积多晶硅的过程中可以向多晶硅中掺杂部分掺杂离子, 调制第一栅导电层 212 的功函数。在垂直于衬底 100 的方向上, 第一栅导电层 212 的厚度约为 20nm~35nm, 和平面晶体管中栅极的厚度大致相同, 第一栅导电层 212 的厚度足够薄, 能够保证第一栅导电层 212 中的多晶硅具有相同的晶向, 第一栅导电层 212 具有良好的导电性。并且, 本实施例形成的第一栅导电层 212 与栅极介质层 201 的形貌相同, 在平行于衬底 100 的方向上, 第一栅导电层 212 的厚度的相等。

步骤 S153a: 形成覆盖第一栅导电层的第二初始栅导电层, 对第二初始栅导电层进行第二蚀刻, 控制第二蚀刻的蚀刻条件, 形成在垂直于衬底的截面上具有第一厚度的第二栅导电层, 沿平行于衬底的方向, 由底部掺杂区至顶部掺杂区, 第一厚度逐渐增大。

首先, 如图 17 所示, 参照图 16, 通过原子层沉积工艺或化学气相沉积工艺沉积金属导电材料, 形成第二初始栅导电层 103, 第二初始栅导电层 103 覆盖衬底 100 的顶面、第一栅导电层 212 以及介电结构 225 的外表面。其中, 金属导电材料可以包括金属钛 (Titanium)、金属钽 (Tantalum)、金属钨 (Tungsten) 或其合金中的一种。

然后, 如图 1 所示, 参照图 17, 对第二初始栅导电层 103 进行第二蚀刻, 控制第二蚀刻的蚀刻条件, 以使竖直方向上蚀刻第二初始栅导电层 103 的速度大于在水平方向上蚀刻第二初始栅导电层 103 的速度, 被保留的第二初始栅导电层 103 形成第二栅导电层 213。在垂直于衬底的截面上, 本实施例形成的第二栅导电层 213 具有第一厚度 D1, 沿平行于衬底 100 的方向, 由底部掺杂区 112 至顶部掺杂区 111, 第一厚度 D1 逐渐增大。

如图 1 所示, 参照图 17, 在本实施例中, 蚀刻第二初始栅导电层 103 的过程中, 同

时蚀刻介电结构 225，并且在竖直方向上蚀刻第二初始栅导电层 103 和介电结构 225 的速度相同，被保留的介电结构 225 形成介电堆叠结构 220，介电堆叠结构 220 的顶面高于第二栅导电层 213 的顶面。

如图 1 所示，参照图 17，本实施例形成的半导体结构以栅极介质层 201 作为栅介质层 211。

本实施例形成的堆叠结构，第二栅介质层全部位于第一栅导电层的上方，第二栅介质层和衬底没有直接交叠的部分，第二栅介质层通过第一栅导电层和衬底接触；并且，在平行于衬底的截面上，第一栅导电层的厚度相对均匀，第一栅导电层起到了良好的功函数调节效果，避免第二栅导电层中的金属导电材料影响晶体管的阈值电压，确保具有本实施例的堆叠结构和掺杂区的晶体管具有良好的灵敏性。

具有本实施例的堆叠结构和掺杂区的晶体管，以被栅极堆叠结构覆盖的部分掺杂区作为沟道，栅极堆叠结构围绕沟道，增加了栅极堆叠结构和沟道的接触面积，增加了晶体管的栅极对沟道的控制能力。

根据一示例性实施例，本实施例是对上述实施例的步骤 S150 的一种可能的实施方式的进一步说明。本实施例中，掺杂区 110 的底部掺杂区 112、中间掺杂区 113 具有相同的导电类型。顶部掺杂区 111 和中间掺杂区 113 的掺杂类型不同，也即，在本实施例中，底部掺杂区 112、中间掺杂区 113 可以均具有 N 型导电类型，则顶部掺杂区 111 具有 P 型导电类型；或者，底部掺杂区 112、中间掺杂区 113 还可以均具有 P 型导电类型，则顶部掺杂区 111 具有 N 型导电类型。如图 28 所示，在本实施例的实施过程中，形成至少覆盖中间掺杂区和部分初始底部掺杂区的堆叠结构，包括以下步骤：

步骤 S151b：形成覆盖中间掺杂区表面以及底部掺杂区表面的栅极介质层，在垂直于衬底的截面上，栅极介质层的厚度与第一介电层的厚度相同或不同。

本实施例中，参照图 23，形成栅极介质层 201 的实现方式和上述实施例中步骤 S151a 中栅极介质层 201 的实现方式相同，在此，不再赘述。

步骤 S152b：形成覆盖栅极介质层的第一初始栅导电层，对第一初始栅导电层进行第一蚀刻，控制第一蚀刻的蚀刻条件，形成与栅极介质层共形的第一栅导电层。

本实施例中，参照图 23，形成第一栅导电层 212 的实现方式和上述实施例中步骤 S152a 中第一栅导电层 212 的实现方式相同，在此，不再赘述。

步骤 S153b：去除介电结构，暴露出顶部掺杂区上的第一介电层。

如图 23 所示，参照图 16，可以通过干法蚀刻或湿法蚀刻去除全部的介电结构 225，暴露出第一介电层 230。第一介电层 230 和第一栅导电层 212 在顶部掺杂区 111 的上方围成凹槽 205。

步骤 S154b：形成第二初始栅导电层，第二初始栅导电层覆盖第一栅导电层以及暴露的第一介电层，对第二初始栅导电层进行第二蚀刻，形成第二栅导电层。

如图 24 所示，参照图 23，通过原子层沉积工艺或化学气相沉积工艺沉积金属导电材料，形成第二初始栅导电层 103，第二初始栅导电层 103 覆盖衬底 100 的顶面、第一栅导电层 212 并填充凹槽 205。其中，金属导电材料和上述实施例中第二初始栅导电层 103 的材料相同。

然后，如图 4 所示，参照图 24，对第二初始栅导电层 103 进行第二蚀刻，控制第二蚀刻的蚀刻条件，以使在竖直方向上蚀刻第二初始栅导电层 103 的速度大于在水平方向上蚀刻第二初始栅导电层 103 的速度。去除位于衬底 100 顶面的全部第二初始栅导电层 103 并暴露出和衬底 100 连接的第一栅导电层 212 的部分侧壁，被保留的第二初始栅导电层 103 形成第二栅导电层 213。

如图 4 所示，本实施例中，第一介电层 230 和栅极介质层 201 共同形成栅介质层 211。第一栅导电层 212 通过栅极介质层 201 与底部掺杂区 112 和中间掺杂区 113 接触，部分第二栅导电层 213 位于第一栅导电层 212 上，另一部分第二栅导电层 213 通过第一介电层 230 和顶部掺杂区 111 接触。

本实施例形成的堆叠结构仅包括栅极堆叠结构，第二栅导电层不仅覆盖部分第二栅导电层，并填充第一栅导电层和第一介电层围成的凹槽，增加了栅极堆叠结构中第二栅导电层的占比，进而提高了半导体结构的电性能。

根据一示例性实施例，本实施例是对上述实施例的进一步说明。和上述实施例相比，本实施例在实施例步骤 S150 之后，增加了以下步骤：

步骤 S160：对堆叠结构两侧的衬底进行掺杂工艺，在衬底中形成第一轻掺杂区和第二轻掺杂区。

如图 18 所示, 参照图 1, 或如图 5 所示, 参照图 4, 在本实施例中, 以堆叠结构 200 的侧壁为掩膜, 向衬底 100 中注入掺杂离子, 在堆叠结构 200 两侧的衬底 100 中形成第一轻掺杂区 510 和第二轻掺杂区 520。其中, 第一轻掺杂区 510 和底部掺杂区 112 相接, 第二轻掺杂区 520 和底部掺杂区 112 相接。

步骤 S170: 形成隔离结构, 隔离结构至少覆盖堆叠结构。

如图 2 所示, 参照图 18, 或如图 5 所示, 参照图 4, 在本实施例中, 形成隔离结构 300, 可以采用以下方法: 沉积隔离材料, 隔离材料覆盖堆叠结构 200 的外表面并覆盖衬底 100 的顶面, 然后蚀刻去除部分隔离材料, 暴露出衬底 100 的顶面, 被保留的隔离材料形成隔离结构 300, 隔离结构 300 覆盖堆叠结构 200。

步骤 S180: 以隔离结构为掩膜, 对衬底进行源漏掺杂工艺, 在衬底中形成源区和漏区。

参照图 2 或参照图 5 所示, 以隔离结构 300 为掩膜, 通过离子注入工艺或扩散工艺在隔离结构 300 外侧的衬底 100 中分别注入掺杂离子, 在堆叠结构 200 的两侧分布形成源区 410 和漏区 420。

如图 2 或如图 5 所示, 第一轻掺杂区 510 和源区 410 存在部分重叠区域, 部分第一轻掺杂区 510 位于源区 410 和底部掺杂区 112 之间, 以阻挡源区 410 的第一掺杂离子向底部掺杂区 112 扩散。同样的, 第二轻掺杂区 520 阻挡漏区 420 的第一掺杂离子向底部掺杂区 112 扩散。通过减小源区 410、漏区 420 和栅极堆叠结构 210 的交叠区域, 能够减小或避免形成的半导体结构出现栅极诱导漏极漏电流导致漏电的问题。

步骤 S190: 形成垂直于衬底的顶面的第二插塞, 第二插塞与源区接触连接, 形成垂直于衬底的顶面的第三插塞, 第三插塞与漏区接触连接。

本实施例中, 以堆叠结构 200 包括栅极堆叠结构 210 以及介电堆叠结构 220 的方案进行说明。

如图 20 所示, 参照图 2, 首先, 沉积介质材料覆盖衬底 100 以及堆叠结构 200, 介质材料的顶面高于堆叠结构 200 的顶面, 然后回刻介质材料, 暴露出隔离结构 300 的顶面, 形成介质层 600。

如图 21 所示, 参照图 20, 去除部分介质层 600、部分介电堆叠结构 220 以及部分衬底 100, 分别形成第二沟槽 602 和第三沟槽 603, 第二沟槽 602 延伸到衬底 100 中并暴露出部分源区 410, 第三沟槽 603 延伸到衬底 100 中并暴露出部分漏区 420。

然后, 参照图 21, 沉积阻挡材料 (图中未示出), 阻挡材料覆盖第二沟槽 602 的内壁以及第三沟槽 603 的内壁。阻挡材料的材料可以包括钛或钛化物, 或者阻挡材料的材料可以包括钽或钽化物。

接着, 如图 22 所示, 参照图 21, 分别于第二沟槽 602 和第三沟槽 603 中填充金属材料, 在垂直于衬底 100 的截面上, 第二沟槽 602 中的金属材料形成垂直于衬底 100 的顶面的第二插塞 620, 第二插塞 620 与源区 410 接触连接。第三沟槽 603 中的金属材料形成垂直于衬底 100 的顶面的第三插塞 630, 第三插塞 630 与漏区 420 接触连接。其中, 金属材料可以包括钨或钨化物。

在本实施例中, 部分金属材料形成金属层 650, 金属层 650 覆盖介质层 600 的顶面并覆盖堆叠结构 200, 第二插塞 620 和第三插塞 630 均和金属层 650 接触连接, 第二插塞 620 和第三插塞 630 可以通过金属层 650 将源区 410 和漏区 420 和其它半导体结构或器件连接。

在一些实施例中, 如图 3 所示, 参照图 22, 于金属层 650 中形成多个绝缘结构 651, 多个绝缘结构 651 将金属层 650 划分成多个独立设置的部分, 第二插塞 620 和第三插塞 630 分别与金属层 650 的不同部分连接, 第二插塞 620 和第三插塞 630 可以通过金属层 650 的不同部分与相同或不同的器件连接。

根据一示例性实施例, 本实施例是对上述实施例的一种可能的实施方式的进一步说明。其中, 隔离结构 300 可以包括单层结构或多层结构, 在本实施例中, 隔离结构 300 为多层结构, 隔离结构 300 包括第一隔离层 310、中间隔离层 320 以及外部隔离层 330。

本实施例中, 以堆叠结构 200 包括栅极堆叠结构 210 以及介电堆叠结构 220 的方案进行说明。在本实施例中, 形成隔离结构 300, 包括以下步骤:

首先, 如图 18 所示, 参照图 17, 形成第一隔离层 310, 第一隔离层 310 至少覆盖堆叠结构 200 的部分外表面以及与堆叠结构 200 邻接的衬底 100 的部分顶面。然后, 如图 19 所示, 参照图 18, 形成中间隔离层 320, 中间隔离层 320 至少覆盖第一隔离层 310 以及第一隔离层 310 邻接的部分衬底 100 的顶面。接着, 如图 2 所示, 参照图 19, 形成外部隔离层 330, 外部隔离层 330 覆盖中间隔离层 320 以及堆叠结构 200 未被覆盖的外表

面。

根据一示例性实施例，本实施例是对上述实施例的一种可能的实施方式的进一步说明。和上述实施例相比，本实施例增加了以下步骤：形成第一插塞，在垂直于衬底的方向上，第一插塞贯穿介电结构和第一介电层，与顶部掺杂区接触连接。

如图2所示，本实施例的半导体结构的堆叠结构200包括栅极堆叠结构210以及介电堆叠结构220。在本实施例中，如图21所示，在形成第二沟槽602、第三沟槽603的同时，去除部分介电堆叠结构220形成第一沟槽601，第一沟槽601延伸到衬底100中并暴露出部分顶部掺杂区111。如图22所示，于第一沟槽601中填充金属材料形成第一插塞610，第一插塞610用于将栅极堆叠结构210连接至金属层650，并通过金属层650将栅极堆叠结构210与其它半导体结构或器件连接。在一些实施例中，参照图3，第一插塞610、第二插塞620和第三插塞630分别与金属层650的不同部分连接，第一插塞610、第二插塞620和第三插塞630可以通过金属层650的不同部分与相同或不同的器件连接。

根据一示例性实施例，本实施例的半导体结构中堆叠结构200仅包括栅极堆叠结构210，和上述实施例相比，本实施例增加了以下步骤：形成第四插塞，在垂直于衬底的方向上，第四插塞与顶部掺杂区接触连接。

如图25所示，参照图21，在形成第二沟槽602和第三沟槽603的过程中，同时形成第四沟槽（图中未示出），第四沟槽暴露出部分顶部掺杂区111，然后沉积阻挡材料，阻挡材料覆盖第四沟槽的槽壁。接着，于第四沟槽中填充金属材料，第四沟槽中的金属材料形成第四插塞640，第四插塞640和金属层650接触，第四插塞640可通过金属层650将栅极堆叠结构210和其它半导体结构或器件连接。在一些实施例中，参照图6，第四插塞640、第二插塞620和第三插塞630分别与金属层650的不同部分连接，第四插塞640、第二插塞620和第三插塞630可以通过金属层650的不同部分与相同或不同的器件连接。

本说明书中各实施例或实施方式采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似部分相互参见即可。

在本说明书的描述中，参考术语“实施例”、“示例性的实施例”、“一些实施方式”、“示意性实施方式”、“示例”等的描述意指结合实施方式或示例描述的具体特征、结构、材料或者特点包含于本公开的至少一个实施方式或示例中。

在本说明书中，对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且，描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施方式或示例中以合适的方式结合。

在本公开的描述中，需要说明的是，术语“中心”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本公开和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。

可以理解的是，本公开所使用的术语“第一”、“第二”等可在本公开中用于描述各种结构，但这些结构不受这些术语的限制。这些术语仅用于将第一个结构与另一个结构区分。

在一个或多个附图中，相同的元件采用类似的附图标记来表示。为了清楚起见，附图中的多个部分没有按比例绘制。此外，可能未示出某些公知的部分。为了简明起见，可以在一幅图中描述经过数个步骤后获得的结构。在下文中描述了本公开的许多特定的细节，例如器件的结构、材料、尺寸、处理工艺和技术，以便更清楚地理解本公开。但正如本领域技术人员能够理解的那样，可以不按照这些特定的细节来实现本公开。

最后应说明的是：以上各实施例仅用以说明本公开的技术方案，而非对其限制；尽管参照前述各实施例对本公开进行了详细的说明，本领域技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本公开各实施例技术方案的范围。

工业实用性

本公开实施例所提供的半导体结构及半导体结构的制作方法中，半导体结构的堆叠结构覆盖掺杂区，掺杂区包括中间掺杂区，在平行于衬底的方向上，中间掺杂区的宽度在沿着远离衬底的方向逐渐减小，以将掺杂区形成相对于衬底向外凸起的鳍形结构，增加了堆叠结构和掺杂区的接触面积。

权利要求

1、一种半导体结构，所述半导体结构包括：

衬底和位于所述衬底上的堆叠结构；

位于所述堆叠结构与所述衬底之间的掺杂区，在垂直于所述衬底的截面上，所述掺杂区包括顶部掺杂区、底部掺杂区以及连接所述顶部掺杂区和所述底部掺杂区的中间掺杂区，在平行于所述衬底的方向上，所述顶部掺杂区具有第一宽度，所述底部掺杂区具有第二宽度，所述中间掺杂区具有逐渐变化的第三宽度，其中，所述第一宽度大于所述第二宽度，所述第三宽度在沿着远离所述衬底的方向上逐渐减小。

2、根据权利要求1所述的半导体结构，其中，所述堆叠结构包括栅极堆叠结构，所述栅极堆叠结构包括与所述掺杂区接触的栅介质层和位于所述栅介质层上的第一栅导电层和第二栅导电层，在垂直于所述衬底的截面上，所述第一栅导电层的厚度小于所述第二栅导电层的厚度。

3、根据权利要求2所述的半导体结构，其中，在垂直于所述衬底的截面上，所述第二栅导电层具有第一厚度；

沿平行于所述衬底的方向，由所述底部掺杂区至所述顶部掺杂区，所述第一厚度逐渐增大。

4、根据权利要求2所述的半导体结构，所述半导体结构还包括第一介电层，所述第一介电层位于所述堆叠结构和所述顶部掺杂区之间，所述栅介质层与所述第一介电层相连，所述栅介质层与所述第一栅导电层接触，所述第一介电层与所述第二栅导电层接触；

其中，在垂直于所述衬底方向的截面上，所述栅介质层和所述第一介电层的厚度相同或不同。

5、根据权利要求4所述的半导体结构，其中，所述堆叠结构还包括位于所述顶部掺杂区上的介电堆叠结构，所述栅极堆叠结构位于所述中间掺杂区和所述底部掺杂区上，其中，所述介电堆叠结构的顶表面高于所述栅极堆叠结构的顶表面。

6、根据权利要求5所述的半导体结构，其中，所述介电堆叠结构包括第二介电层和第三介电层，在垂直于所述衬底的截面上，所述第二介电层的顶表面高于所述第一栅导电层的顶表面，所述第二介电层的顶表面低于所述第二栅导电层的顶表面，所述第三介电层的顶表面高于所述第二栅导电层的顶表面。

7、根据权利要求5所述的半导体结构，所述半导体结构还包括第一插塞，所述第一插塞贯穿所述介电堆叠结构，并与所述顶部掺杂区接触连接。

8、根据权利要求2所述的半导体结构，其中，所述第一栅导电层包括功函数调节材料，所述第二栅导电层包括金属导电材料。

9、根据权利要求1所述的半导体结构，其中，所述底部掺杂区和所述中间掺杂区的掺杂类型相同，所述顶部掺杂区和所述中间掺杂区的掺杂类型相同或不同。

10、根据权利要求1所述的半导体结构，所述半导体结构还包括隔离结构，所述隔离结构覆盖所述堆叠结构。

11、根据权利要求10所述的半导体结构，所述半导体结构还包括设置于所述衬底中的源区和漏区，所述源区和所述漏区位于所述堆叠结构的两侧。

12、根据权利要求11所述的半导体结构，所述半导体结构还包括：

第二插塞，所述第二插塞垂直于所述衬底设置，所述第二插塞与所述源区接触连接；

第三插塞，所述第三插塞垂直于所述衬底设置，所述第三插塞与所述漏区接触连接。

13、一种半导体结构的制作方法，所述半导体结构的制作方法，包括：

提供衬底；

在所述衬底上形成介电结构，所述介电结构覆盖所述衬底的部分表面；

在所述介电结构的外侧形成覆盖部分所述衬底表面的辅助层，所述辅助层在远离所述衬底的方向上具有逐渐减小的水平宽度；

基于所述辅助层和所述介电结构对所述衬底进行图形化处理，将所述辅助层的图形转移到所述衬底中，以在所述衬底中形成在远离所述衬底的方向上具有逐渐减小的水平宽度的中间掺杂区，所述介电结构的下方的所述衬底未被蚀刻，所述介电结构下方的所述衬底形成具有第一宽度的顶部掺杂区，未被所述辅助层和所述介电结构覆盖的所述衬底被部分蚀刻去除，形成初始底部掺杂区，所述中间掺杂区连接所述初始底部掺杂区和所述顶部掺杂区；

形成至少覆盖所述中间掺杂区和部分所述初始底部掺杂区的堆叠结构，被所述堆叠结构覆盖的部分所述初始底部掺杂区形成底部掺杂区，所述底部掺杂区具有第二宽度，所述第一宽度大于所述第二宽度。

14、根据权利要求 13 所述的半导体结构的制作方法，其中，所述介电结构和所述衬底之间还形成有第一介电层，形成至少覆盖所述中间掺杂区和部分所述初始底部掺杂区的堆叠结构，包括：

形成覆盖所述中间掺杂区表面以及所述底部掺杂区表面的栅极介质层，在垂直于所述衬底的截面上，所述栅极介质层的厚度与所述第一介电层的厚度相同或不同；

形成覆盖所述栅极介质层的第一栅导电层和第二栅导电层，在垂直于所述衬底的截面上，所述第一栅导电层的厚度小于所述第二栅导电层的厚度。

15、根据权利要求 14 所述的半导体结构的制作方法，其中，形成覆盖所述栅极介质层的第一栅导电层和第二栅导电层，包括：

形成覆盖所述栅极介质层的第一初始栅导电层，对所述第一初始栅导电层进行第一蚀刻，控制所述第一蚀刻的蚀刻条件，形成与所述栅极介质层共形的所述第一栅导电层；

形成覆盖所述第一栅导电层的第二初始栅导电层，对所述第二初始栅导电层进行第二蚀刻，控制所述第二蚀刻的蚀刻条件，形成在垂直于所述衬底的截面上具有第一厚度的第二栅导电层，沿平行于所述衬底的方向，由所述底部掺杂区至所述顶部掺杂区，所述第一厚度逐渐增大。

16、根据权利要求 15 所述的半导体结构的制作方法，其中，在形成所述第一栅导电层之后，在形成所述第二栅导电层之前，还包括：

去除所述介电结构，暴露出所述顶部掺杂区上的所述第一介电层；

在所述第一栅导电层上和暴露的所述第一介电层上形成所述第二初始栅导电层。

17、根据权利要求 13 所述的半导体结构的制作方法，其中，提供衬底，包括：

提供初始衬底，在所述初始衬底中形成第一掺杂区；

在所述第一掺杂区上形成第二掺杂区，其中，所述第一掺杂区和所述第二掺杂区的掺杂离子类型相同或不同。

18、根据权利要求 17 所述的半导体结构的制作方法，其中，基于所述辅助层和所述介电结构对所述衬底进行图形化处理，将所述辅助层的图形转移到所述衬底中，包括：

控制所述辅助层和所述衬底的蚀刻比，同步蚀刻所述辅助层和所述衬底，去除未被所述辅助层和所述介电结构覆盖的所述第二掺杂区和所述第二掺杂区下方的部分所述第一掺杂区，同时去除所述辅助层下方的至少部分第一掺杂区和部分第二掺杂区。

19、根据权利要求 14 所述的半导体结构的制作方法，所述半导体结构的制作方法，还包括：

形成第一插塞，在垂直于所述衬底的方向上，所述第一插塞贯穿所述介电结构和所述第一介电层，与所述顶部掺杂区接触连接。

20、根据权利要求 13 所述的半导体结构的制作方法，所述半导体结构的制作方法，还包括：

形成隔离结构，所述隔离结构至少覆盖所述堆叠结构；

以所述隔离结构为掩膜，对所述衬底进行源漏掺杂工艺，在所述衬底中形成源区和漏区；

形成垂直于所述衬底的顶面的第二插塞，所述第二插塞与所述源区接触连接；

形成垂直于所述衬底的顶面的第三插塞，所述第三插塞与所述漏区接触连接。

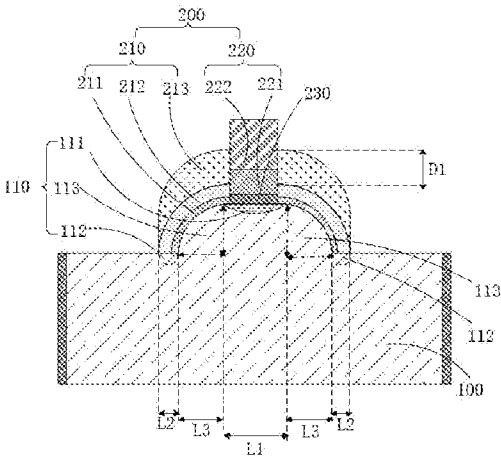


图 1

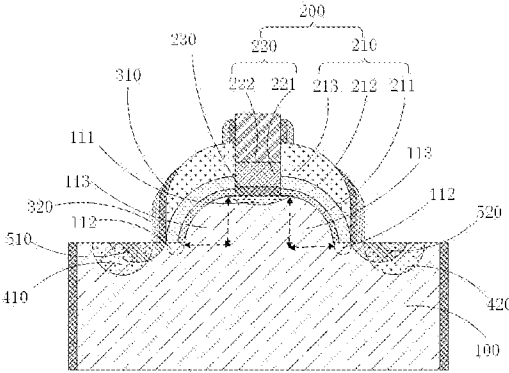


图 2

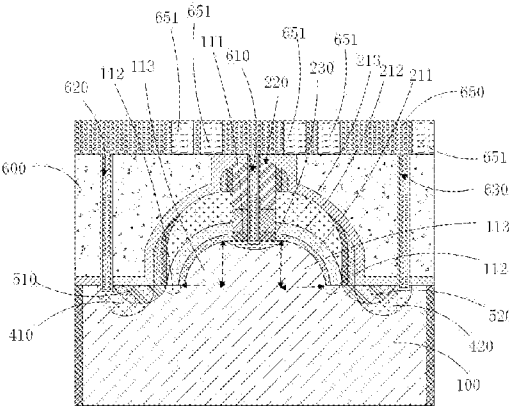


图 3

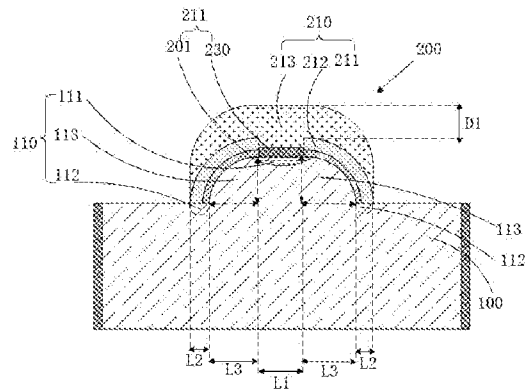


图 4

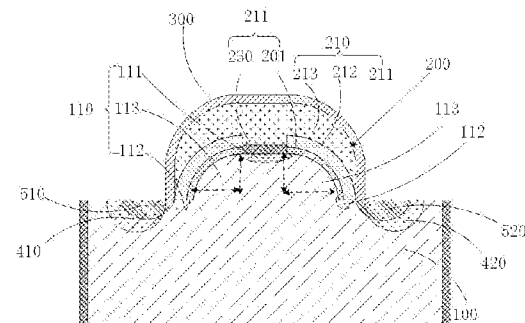


图 5

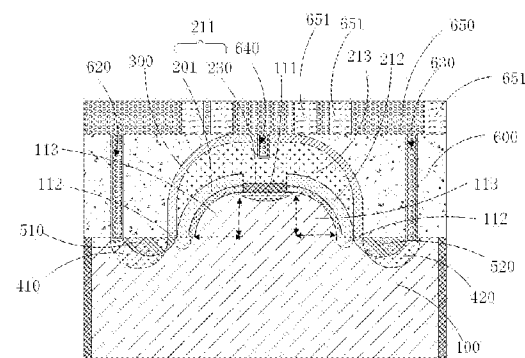


图 6

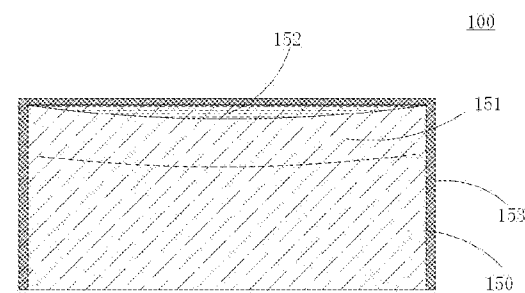


图 7

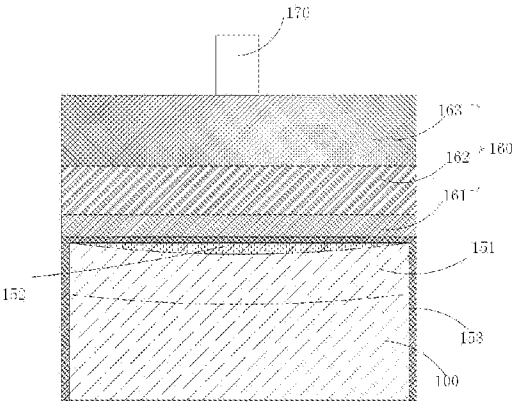


图 8

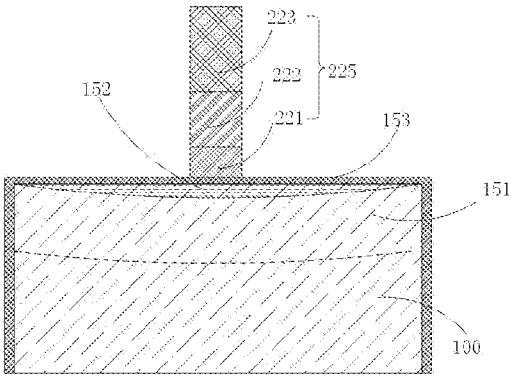


图 9

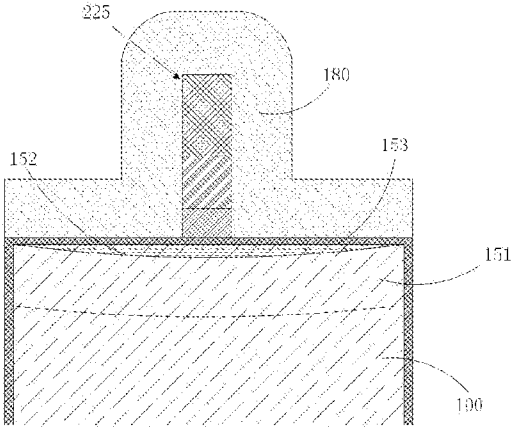


图 10

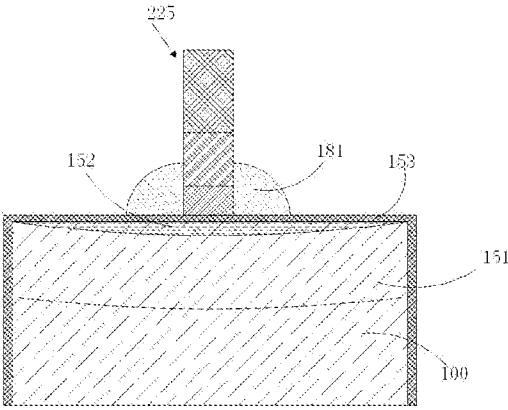


图 11

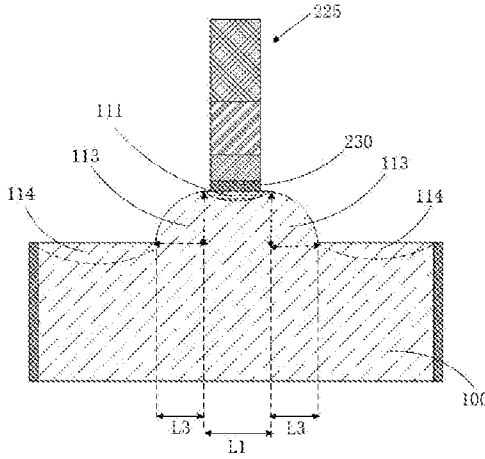


图 12

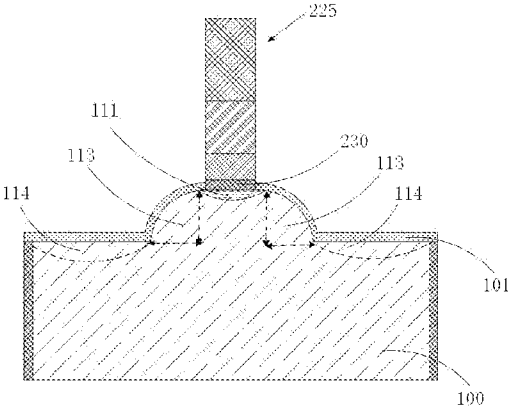


图 13

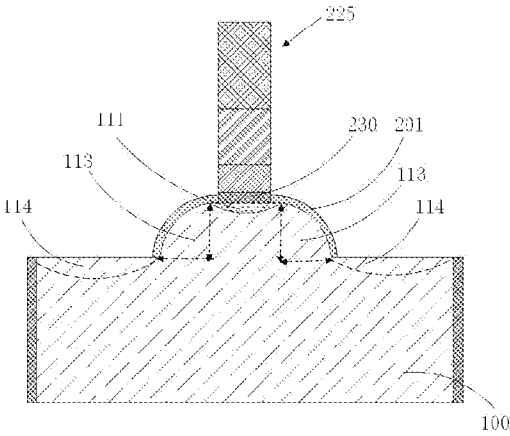


图 14

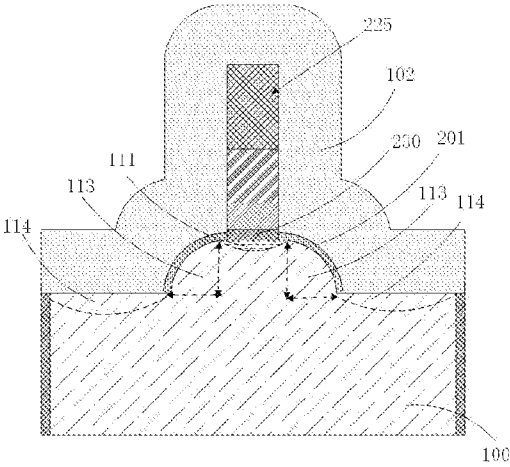


图 15

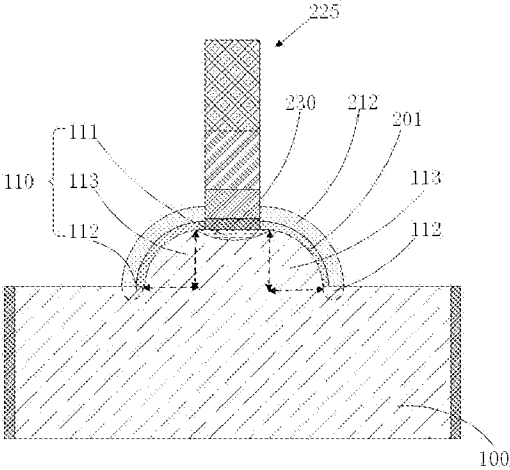


图 16

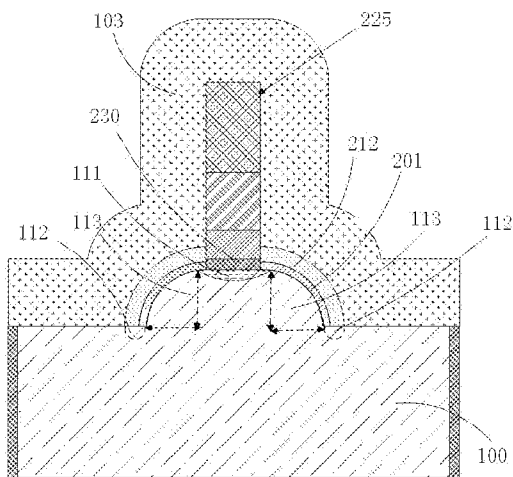


图 17

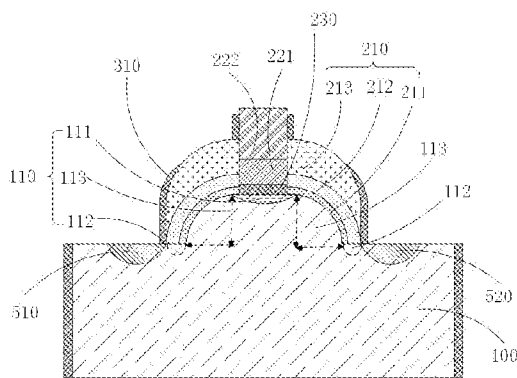


图 18

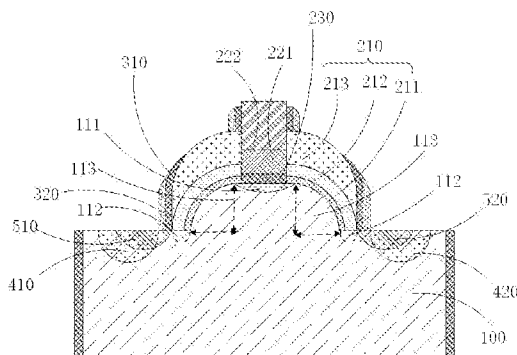


图 19

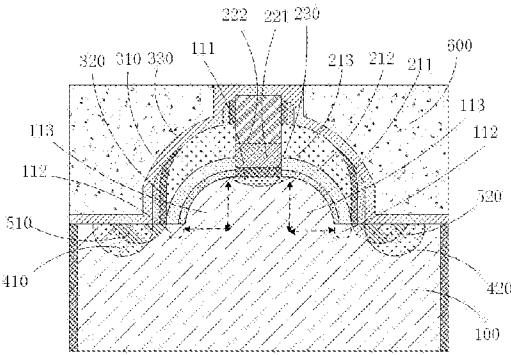


图 20

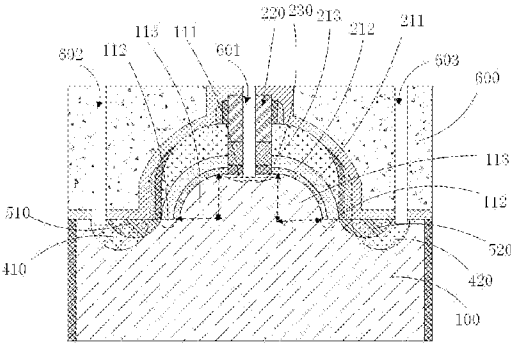


图 21

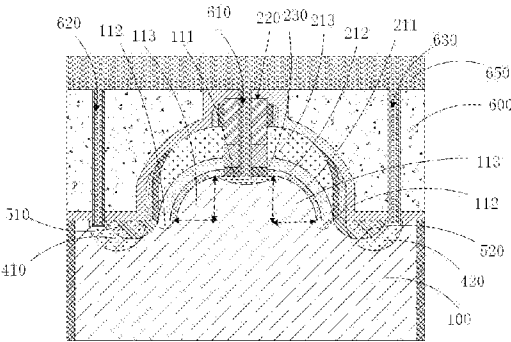


图 22

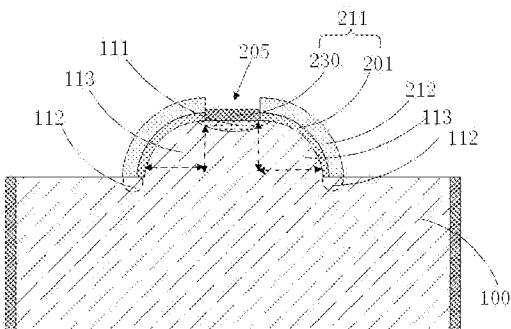


图 23

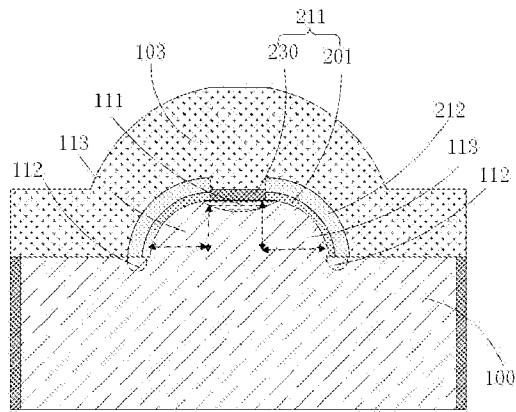


图 24

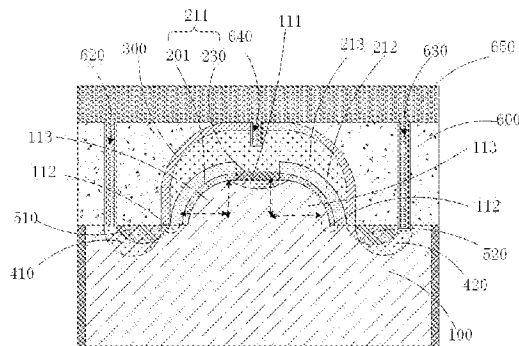


图 25

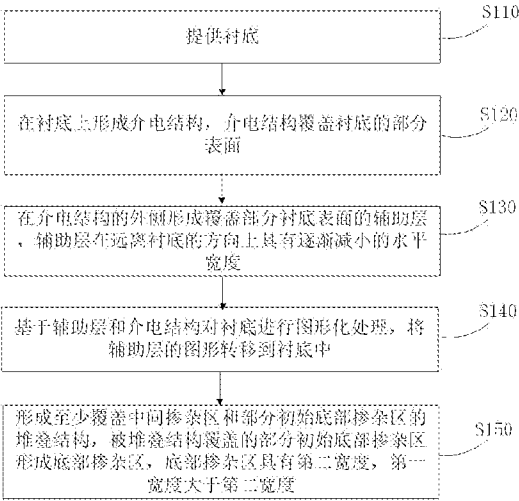


图 26

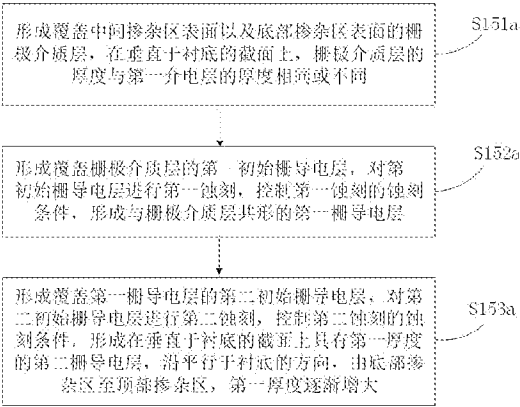


图 27

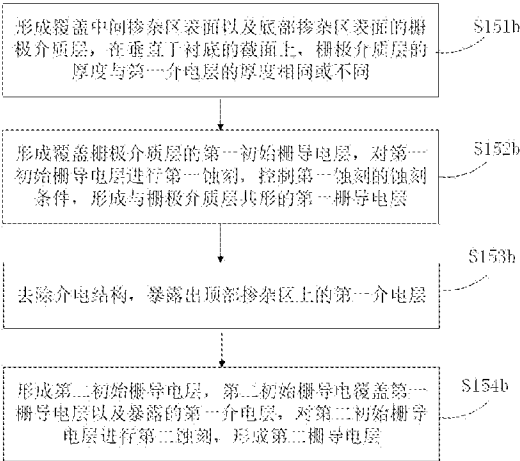


图 28

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/103650

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; H01L 27/108(2006.01)i; H01L 21/336(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; VEN; CNKI; USTXT; WOTXT; EPTXT: 栅极, 沟道, 宽度, 掺杂, 鳍, 梯形, 形状, 截面, 厚度, 逐渐, 渐变, 增大, 减小, gate, channel, width, dop+, fin, fins, trapezoid, thickness

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 114628526 A (CHANGXIN MEMORY TECHNOLOGIES, INC. et al.) 14 June 2022 (2022-06-14) description, paragraphs [0059]-[0165], and figures 1-28	1-20
X	CN 111293177 A (UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA) 16 June 2020 (2020-06-16) description, paragraphs [0030]-[0036], and figure 2	1, 2, 8, 10
X	US 2007138543 A1 (TOSHIBA K. K.) 21 June 2007 (2007-06-21) description, paragraphs [0036]-[0080], and figure 7	1, 2, 8, 10
A	CN 103915500 A (RENESAS ELECTRONICS CORP.) 09 July 2014 (2014-07-09) entire document	1-20
A	CN 1645629 A (SAMSUNG ELECTRONICS CO., LTD.) 27 July 2005 (2005-07-27) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

18 November 2022

Date of mailing of the international search report

18 January 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/103650

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	114628526	A	14 June 2022	None			
CN	111293177	A	16 June 2020	None			
US	2007138543	A1	21 June 2007	JP	2007173418	A	05 July 2007
				US	7605423	B2	20 October 2009
CN	103915500	A	09 July 2014	JP	2014132612	A	17 July 2014
				US	2014191309	A1	10 July 2014
				US	9041070	B2	26 May 2015
				JP	6253885	B2	27 December 2017
				CN	103915500	B	12 October 2018
CN	1645629	A	27 July 2005	EP	1555688	A2	20 July 2005
				KR	20050075697	A	21 July 2005
				US	2005156202	A1	21 July 2005
				JP	2005203798	A	28 July 2005
				EP	1555688	A3	17 May 2006
				KR	585171	B1	02 June 2006
				US	7385247	B2	10 June 2008
				US	2008242010	A1	02 October 2008
				CN	100527438	C	12 August 2009
				EP	1555688	B1	11 November 2009
				DE	602005017522	D1	24 December 2009
				US	7723193	B2	25 May 2010
				JP	4955214	B2	20 June 2012

国际检索报告

国际申请号

PCT/CN2022/103650

A. 主题的分类

H01L 29/78(2006.01)i; H01L 27/108(2006.01)i; H01L 21/336(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;VEN;CNKI;USTXT;WOTXT;EPTXT:栅极, 沟道, 宽度, 掺杂, 鳍, 梯形, 形状, 截面, 厚度, 逐渐, 渐变, 增大, 减小, gate, channel, width, dop+, fin, fins, trapezoid, thickness

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 114628526 A (长鑫存储技术有限公司 等) 2022年6月14日 (2022 - 06 - 14) 说明书第[0059]-[0165]段, 附图1-28	1-20
X	CN 111293177 A (电子科技大学) 2020年6月16日 (2020 - 06 - 16) 说明书第[0030]-[0036]段, 附图2	1、2、8、10
X	US 2007138543 A1 (TOSHIBA KK) 2007年6月21日 (2007 - 06 - 21) 说明书第[0036]-[0080]段, 附图7	1、2、8、10
A	CN 103915500 A (瑞萨电子株式会社) 2014年7月9日 (2014 - 07 - 09) 全文	1-20
A	CN 1645629 A (三星电子株式会社) 2005年7月27日 (2005 - 07 - 27) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年11月18日

国际检索报告邮寄日期

2023年1月18日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

张玉萍

电话号码 (86-512) 88996022

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/103650

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	114628526	A	2022年6月14日	无			
CN	111293177	A	2020年6月16日	无			
US	2007138543	A1	2007年6月21日	JP	2007173418	A	2007年7月5日
				US	7605423	B2	2009年10月20日
CN	103915500	A	2014年7月9日	JP	2014132612	A	2014年7月17日
				US	2014191309	A1	2014年7月10日
				US	9041070	B2	2015年5月26日
				JP	6253885	B2	2017年12月27日
				CN	103915500	B	2018年10月12日
CN	1645629	A	2005年7月27日	EP	1555688	A2	2005年7月20日
				KR	20050075697	A	2005年7月21日
				US	2005156202	A1	2005年7月21日
				JP	2005203798	A	2005年7月28日
				EP	1555688	A3	2006年5月17日
				KR	585171	B1	2006年6月2日
				US	7385247	B2	2008年6月10日
				US	2008242010	A1	2008年10月2日
				CN	100527438	C	2009年8月12日
				EP	1555688	B1	2009年11月11日
				DE	602005017522	D1	2009年12月24日
				US	7723193	B2	2010年5月25日
				JP	4955214	B2	2012年6月20日