



# (12) 发明专利

(10) 授权公告号 CN 112771599 B

(45) 授权公告日 2022. 12. 09

(21) 申请号 201980001412.8  
 (22) 申请日 2019.08.21  
 (65) 同一申请的已公布的文献号  
 申请公布号 CN 112771599 A  
 (43) 申请公布日 2021.05.07  
 (85) PCT国际申请进入国家阶段日  
 2019.08.22  
 (86) PCT国际申请的申请数据  
 PCT/CN2019/101834 2019.08.21  
 (87) PCT国际申请的公布数据  
 W02021/031166 ZH 2021.02.25  
 (73) 专利权人 京东方科技集团股份有限公司  
 地址 100015 北京市朝阳区酒仙桥路10号  
 专利权人 成都京东方光电科技有限公司  
 (72) 发明人 曾超 黄炜赟 龙跃 黄耀 李孟

(74) 专利代理机构 北京市柳沈律师事务所  
 11105  
 专利代理师 彭久云

(51) Int.Cl.  
 G09G 3/30 (2006.01)

(56) 对比文件  
 CN 205900070 U, 2017.01.18  
 CN 205900070 U, 2017.01.18  
 CN 106782290 A, 2017.05.31  
 CN 108831369 A, 2018.11.16  
 CN 103928003 A, 2014.07.16  
 CN 104536627 A, 2015.04.22  
 US 2016217871 A1, 2016.07.28  
 US 2004217935 A1, 2004.11.04  
 US 2019189075 A1, 2019.06.20  
 CN 107967888 A, 2018.04.27

审查员 张鹏

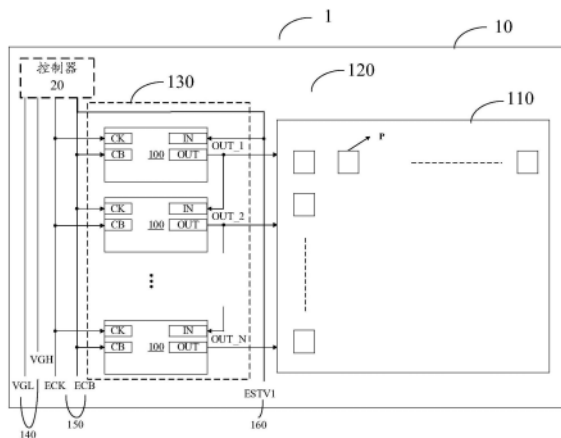
权利要求书4页 说明书21页 附图9页

## (54) 发明名称

显示基板及其制作方法、显示装置

## (57) 摘要

一种显示基板及其制作方法、显示装置。该显示基板,包括:衬底基板,包括像素阵列区和周边区域;第一扫描驱动电路、多条电源线、第一信号线组以及第二信号线组,设置在周边区域内且位于衬底基板的第一侧。第一扫描驱动电路包括多个级联的第一移位寄存器;多条电源线配置为向第一扫描驱动电路包括的多个级联的移位寄存器提供多个电源电压;第一信号线组包括至少一条时序信号线;第二信号线组包括第一触发信号线,配置为向第一级第一移位寄存器提供第一触发信号,第一触发信号线位于多条电源线和像素阵列区之间。该显示基板便于信号线的引入,有利于实现大尺寸显示面板的显示。



1. 一种显示基板,包括:

衬底基板,包括像素阵列区和周边区域,

第一扫描驱动电路、多条电源线、第一信号线组以及第二信号线组,设置在所述周边区域内且位于所述衬底基板的第一侧;

其中,所述第一扫描驱动电路包括多个级联的第一移位寄存器;

所述多条电源线配置为向所述第一扫描驱动电路包括的多个级联的第一移位寄存器提供多个电源电压;

所述第一信号线组包括至少一条时序信号线,配置为向所述第一扫描驱动电路包括的多个级联的第一移位寄存器提供至少一个时序信号;

所述第二信号线组包括第一触发信号线,配置为与所述第一扫描驱动电路包括的多个级联的第一移位寄存器中的第一级第一移位寄存器连接,以向所述第一级第一移位寄存器提供第一触发信号,

所述第一触发信号线位于所述多条电源线和所述像素阵列区之间;

所述多条电源线包括第一电源线和第二电源线,所述第一电源线和所述第二电源线配置为提供相同的第一电源电压;

所述第一电源线在所述衬底基板的正投影与所述第一扫描驱动电路在所述衬底基板的正投影部分重合,所述第二电源线在所述衬底基板的正投影位于所述第一电源线在所述衬底基板的正投影与和所述第二信号线组在所述衬底基板的正投影之间。

2. 根据权利要求1所述的显示基板,其中,所述第二信号线组位于所述第一扫描驱动电路靠近所述像素阵列区的一侧,

所述第一信号线组位于所述第一扫描驱动电路的与所述第二信号线组所在侧相对的另一侧。

3. 根据权利要求2所述的显示基板,其中,所述像素阵列区包括彼此并列且不重叠的第一显示区域和第二显示区域,所述第一扫描驱动电路与所述第一显示区域连接以驱动所述第一显示区域显示,

所述显示基板还包括设置在所述周边区域内且位于所述衬底基板的第一侧的第二扫描驱动电路,沿所述像素阵列的扫描方向与所述第一扫描驱动电路依次排列,且与所述第二显示区域连接以驱动所述第二显示区域显示;其中,

所述第二扫描驱动电路包括多个级联的第二移位寄存器,

所述第二信号线组还包括第二触发信号线,配置为与所述第二扫描驱动电路包括的多个级联的第二移位寄存器中的第一级第二移位寄存器连接,以向所述第二扫描驱动电路包括的第一级第二移位寄存器提供第二触发信号。

4. 根据权利要求3所述的显示基板,其中,所述第一触发信号线和所述第二触发信号线的延伸长度与所述第一扫描驱动电路和所述第二扫描驱动电路的排列长度相同。

5. 根据权利要求4所述的显示基板,其中,所述第一触发信号线和所述第二触发信号线并排设置。

6. 根据权利要求3所述的显示基板,还包括至少一个第一电阻;其中,

所述第一电阻位于所述第一扫描驱动电路远离所述第一级第一移位寄存器的一侧,所述第一触发信号线通过所述至少一个第一电阻与所述第一扫描驱动电路的第一级第一移

位寄存器连接。

7. 根据权利要求6所述的显示基板,还包括至少一个第二电阻,其中,

所述第二电阻位于所述第一扫描驱动电路的最后一级第一移位寄存器和所述第二扫描驱动电路第一级第二移位寄存器之间,所述第二触发信号线通过所述至少一个第二电阻与所述第二扫描驱动电路的第一级第二移位寄存器连接。

8. 根据权利要求7所述的显示基板,其中,所述第一电阻的阻值和所述第二电阻的阻值不同。

9. 根据权利要求7所述的显示基板,还包括折叠线,位于所述第一显示区域和所述第二显示区域之间,

其中,所述第二电阻位于所述折叠线的延伸方向上,所述折叠线的延伸方向与所述第一信号线组和所述第二信号线组的延伸方向垂直。

10. 根据权利要求7所述的显示基板,其中,所述至少一个第二电阻在所述衬底基板的正投影位于所述第一扫描驱动电路的最后一级第一移位寄存器在所述衬底基板的正投影和所述第二扫描驱动电路的第一级第二移位寄存器在所述衬底基板的正投影之间。

11. 根据权利要求6-10任一所述的显示基板,其中,所述至少一个第一电阻在垂直于所述衬底基板的的方向上位于所述衬底基板和所述第二信号线组之间,且所述至少一个第一电阻在所述衬底基板的正投影位于所述第二信号线组在所述衬底基板的正投影远离所述像素阵列区的一侧。

12. 根据权利要求6-10任一所述的显示基板,其中,所述第一电阻的材料为半导体材料。

13. 根据权利要求6-10任一所述的显示基板,还包括至少一条第一连接线和至少一条第二连接线,

其中,所述第一连接线将所述至少一个第一电阻的一端与所述第一扫描驱动电路的第一级第一移位寄存器连接,

所述第二连接线将所述至少一个第一电阻的另一端与所述第一触发信号线连接。

14. 根据权利要求13所述的显示基板,其中,所述第一连接线和所述第二连接线位于所述至少一个第一电阻远离所述衬底基板的一侧。

15. 根据权利要求13所述的显示基板,还包括:第一导电连接部、第二导电连接部、第一绝缘层和第二绝缘层,

其中,所述第一导电连接部和所述第二导电连接部位于所述第一连接线和所述第二连接线远离所述衬底基板的一侧,且与所述多条电源线、所述第一信号线组和所述第二信号线组同层设置,

所述第一绝缘层在垂直于所述衬底基板的的方向上位于所述至少一个第一电阻和所述第一连接线以及所述第二连接线之间,所述第二绝缘层在垂直于所述衬底基板的的方向上位于所述第一连接线以及所述第二连接线和所述第一导电连接部以及所述第二导电连接部之间;

所述第一导电连接部的一端通过贯穿所述第二绝缘层的过孔与所述第一连接线的一端连接,所述第一导电连接部的另一端通过贯穿所述第一绝缘层以及所述第二绝缘层的过孔与所述至少一个第一电阻的一端连接,

所述第一连接线的另一端与所述第一扫描驱动电路的第一级第一移位寄存器连接；

所述第二导电连接部的一端通过贯穿所述第二绝缘层的过孔与所述第二连接线的一端连接，所述第二导电连接部的另一端通过贯穿所述第一绝缘层以及所述第二绝缘层的过孔与所述至少一个第一电阻的另一端连接，

所述第二连接线的另一端通过贯穿所述第二绝缘层的过孔与所述第一触发信号线连接。

16. 根据权利要求3所述的显示基板，其中，所述第一扫描驱动电路的每个第一移位寄存器包括与所述第一电源线连接的第一构成晶体管以及分别与所述第二电源线连接的第三构成晶体管和第三构成晶体管；其中，

所述第一构成晶体管在所述衬底基板的正投影位于所述第一信号线组在所述衬底基板的正投影和所述第一电源线在所述衬底基板的正投影之间且靠近所述第一电源线在所述衬底基板的正投影，

所述第二构成晶体管和第三构成晶体管在所述衬底基板的正投影位于所述第一电源线在所述衬底基板的正投影和所述第二电源线在所述衬底基板的正投影之间，且靠近所述第二电源线在所述衬底基板的正投影。

17. 根据权利要求1-5任一所述的显示基板，其中，所述多条电源线包括第三电源线和第四电源线；其中，

所述第三电源线和所述第四电源线配置为提供相同的第二电源电压；

所述第四电源线在所述衬底基板的正投影与所述第一扫描驱动电路在所述衬底基板的正投影部分重合，

所述第三电源线在所述衬底基板的正投影位于所述第四电源线在所述衬底基板的正投影与和所述第一信号线组在所述衬底基板的正投影之间。

18. 根据权利要求17所述的显示基板，其中，所述第一扫描驱动电路的第一移位寄存器每个还包括与所述第三电源线连接的第四构成晶体管以及与所述第四电源线连接的第五构成晶体管；其中，

所述第四构成晶体管在所述衬底基板的正投影位于所述第三电源线在所述衬底基板的正投影远离所述第一信号线组在所述衬底基板的正投影的一侧，且靠近所述第三电源线在所述衬底基板的正投影，

所述第五构成晶体管在所述衬底基板的正投影位于所述第四电源线在所述衬底基板的正投影和所述第二信号线组在所述衬底基板的正投影之间，且靠近所述第四电源线在所述衬底基板的正投影。

19. 一种显示基板，包括：

衬底基板，包括像素阵列区和周边区域，

第一扫描驱动电路、多条电源线、第一信号线组以及第二信号线组，设置在所述周边区域内且位于所述衬底基板的第一侧；

其中，所述第一扫描驱动电路包括多个级联的第一移位寄存器；

所述多条电源线配置为向所述第一扫描驱动电路包括的多个级联的第一移位寄存器提供多个电源电压；

所述第一信号线组包括至少一条时序信号线，配置为向所述第一扫描驱动电路包括的

多个级联的第一移位寄存器提供至少一个时序信号；

所述第二信号线组包括第一触发信号线，配置为与所述第一扫描驱动电路包括的多个级联的第一移位寄存器中的第一级第一移位寄存器连接，以向所述第一级第一移位寄存器提供第一触发信号，

其中，所述第一扫描驱动电路包括第一晶体管、第二晶体管和第三晶体管，所述第一晶体管、所述第二晶体管和所述第三晶体管分别与所述第一信号线组连接，

所述第一晶体管、所述第二晶体管和所述第三晶体管的沟道的延伸方向与所述第一信号线组和所述第二信号线组的延伸方向平行。

20. 根据权利要求19所述的显示基板，其中，所述第一扫描驱动电路还包括第六晶体管和第七晶体管，所述第六晶体管和所述第七晶体管分别与所述第一信号线组连接，

所述第六晶体管和所述第七晶体管的沟道的延伸方向与所述第一信号线组和所述第二信号线组的延伸方向平行。

21. 一种显示装置，包括如权利要求1-20任一所述的显示基板。

22. 一种如权利要求1-20任一所述的显示基板的制作方法，包括：

提供所述衬底基板；

在垂直于所述衬底基板的的方向上依次形成半导体层、第一绝缘层、第一导电层、第二绝缘层、第二导电层、第三绝缘层以及第三导电层；

其中，所述电源线、所述第一信号线组以及所述第二信号线组位于所述第三导电层；

所述第一扫描驱动电路形成在所述半导体层、所述第一导电层以及所述第二导电层；

所述第一扫描驱动电路通过贯穿所述第一绝缘层、所述第二绝缘层以及所述第三绝缘层的过孔分别与所述电源线、所述第一信号线组以及所述第二信号线组连接。

## 显示基板及其制作方法、显示装置

### 技术领域

[0001] 本公开的实施例涉及一种显示基板及其制作方法、显示装置。

### 背景技术

[0002] 在显示技术领域,例如液晶显示面板或有机发光二极管(Organic Light Emitting Diode,OLED)显示面板的像素阵列通常包括多行栅线和与栅线交错的多列数据线。对栅线的驱动可以通过绑定的集成驱动电路实现。近几年随着非晶硅薄膜晶体管或氧化物薄膜晶体管制备工艺的不断提高,也可以将栅线驱动电路直接集成在薄膜晶体管阵列基板上形成GOA(Gate driver On Array)来对栅线进行驱动。例如,可以采用包括多个级联的移位寄存器单元的GOA为像素阵列的多行栅线提供开关态电压信号(扫描信号),从而例如控制多行栅线依序打开,并且同时由数据线向像素阵列中对应行的像素单元提供数据信号,以在各像素单元形成显示图像的各灰阶所需要的灰度电压,进而显示一帧图像。

### 发明内容

[0003] 本公开至少一实施例提供一种显示基板,包括:衬底基板,包括像素阵列区和周边区域;第一扫描驱动电路、多条电源线、第一信号线组以及第二信号线组,设置在所述周边区域内且位于所述衬底基板的第一侧。所述第一扫描驱动电路包括多个级联的第一移位寄存器;所述多条电源线配置为向所述第一扫描驱动电路包括的多个级联的第一移位寄存器提供多个电源电压;所述第一信号线组包括至少一条时序信号线,配置为向所述第一扫描驱动电路包括的多个级联的第一移位寄存器提供至少一个时序信号;所述第二信号线组包括第一触发信号线,配置为与所述第一扫描驱动电路包括的多个级联的第一移位寄存器中的第一级第一移位寄存器连接,以向所述第一级第一移位寄存器提供第一触发信号,所述第一触发信号线位于所述多条电源线和所述像素阵列区之间。

[0004] 例如,在本公开至少一实施例提供的显示基板中,所述第二信号线组位于所述第一扫描驱动电路靠近所述像素阵列区的一侧,所述第一信号线组位于所述第一扫描驱动电路的与所述第二信号线组所在侧相对的另一侧。

[0005] 例如,在本公开至少一实施例提供的显示基板中,所述像素阵列区包括彼此并列且不重叠的第一显示区域和第二显示区域,所述第一扫描驱动电路与所述第一显示区域连接以驱动所述第一显示区域显示;所述显示基板还包括设置在所述周边区域内且位于所述衬底基板的第一侧的第二扫描驱动电路,沿所述像素阵列的扫描方向与所述第一扫描驱动电路依次排列,且与所述第二显示区域连接以驱动所述第二显示区域显示。所述第二扫描驱动电路包括多个级联的第二移位寄存器,所述第二信号线组还包括第二触发信号线,与所述第二扫描驱动电路包括的多个级联的第二移位寄存器中的第一级第二移位寄存器连接,以向所述第二扫描驱动电路包括的第一级第二移位寄存器提供第二触发信号。

[0006] 例如,在本公开至少一实施例提供的显示基板中,所述第一触发信号线和所述第二触发信号线的延伸长度与所述第一扫描驱动电路和所述第二扫描驱动电路的排列长度

相同。

[0007] 例如,在本公开至少一实施例提供的显示基板中,所述第一触发信号线和所述第二触发信号线并排设置。

[0008] 例如,在本公开至少一实施例提供的显示基板中,所述多条电源线包括第一电源线和第二电源线;所述第一电源线和所述第二电源线配置为提供相同的第一电源电压。

[0009] 例如,在本公开至少一实施例提供的显示基板中,所述第一电源线在所述衬底基板的正投影与所述第一扫描驱动电路在所述衬底基板的正投影部分重合,所述第二电源线在所述衬底基板的正投影位于所述第一电源线在所述衬底基板的正投影与和所述第二信号线组在所述衬底基板的正投影之间。

[0010] 例如,本公开至少一实施例提供的显示基板,还包括至少一个第一电阻;所述第一电阻位于所述第一扫描驱动电路远离所述第一级第一移位寄存器的一侧,所述第一触发信号线通过所述至少一个第一电阻与所述第一扫描驱动电路的第一级第一移位寄存器连接。

[0011] 例如,本公开至少一实施例提供的显示基板,还包括至少一个第二电阻,所述第二电阻位于所述第一扫描驱动电路的最后一级第一移位寄存器和所述第二扫描驱动电路第一级第二移位寄存器之间,所述第二触发信号线通过所述至少一个第二电阻与所述第二扫描驱动电路的第一级第二移位寄存器连接。

[0012] 例如,在本公开至少一实施例提供的显示基板中,所述第一电阻和所述第二电阻的大小不同。

[0013] 例如,本公开至少一实施例提供的显示基板,还包括折叠线,位于所述第一显示区域和所述第二显示区域之间;所述第二电阻位于所述折叠线的延伸方向上,所述折叠线的延伸方向与所述第一信号线组和所述第二信号线组的延伸方向垂直。

[0014] 例如,在本公开至少一实施例提供的显示基板中,所述至少一个第二电阻在所述衬底基板的正投影位于所述第一扫描驱动电路的最后一级第一移位寄存器在所述衬底基板的正投影和所述第二扫描驱动电路的第一级第二移位寄存器在所述衬底基板的正投影之间。

[0015] 例如,在本公开至少一实施例提供的显示基板中,所述至少一个第一电阻在垂直于所述衬底基板的的方向上位于所述衬底基板和所述第二信号线组之间,且所述至少一个第一电阻在所述衬底基板的正投影位于所述第二信号线组在所述衬底基板的正投影远离所述像素阵列区的一侧。

[0016] 例如,在本公开至少一实施例提供的显示基板中,所述第一电阻的材料为半导体材料。

[0017] 例如,本公开至少一实施例提供的显示基板,还包括至少一条第一连接线和至少一条第二连接线;所述第一连接线将所述至少一个第一电阻的一端与所述第一扫描驱动电路的第一级第一移位寄存器连接,所述第二连接线将所述至少一个第一电阻的另一端与所述第一触发信号线连接。

[0018] 例如,在本公开至少一实施例提供的显示基板中,所述第一连接线和所述第二连接线位于所述至少一个第一电阻远离所述衬底基板的一侧。

[0019] 例如,本公开至少一实施例提供的显示基板,还包括:第一导电连接部、第二导电连接部、第一绝缘层和第二绝缘层;所述第一导电连接部和所述第二导电连接部位于所述

第一连接线和所述第二连接线远离所述衬底基板的一侧,且与所述多条电源线、所述第一信号线组和所述第二信号线组同层设置,所述第一绝缘层在垂直于所述衬底基板的方向上位于所述至少一个第一电阻和所述第一连接线以及所述第二连接线之间,所述第二绝缘层在垂直于所述衬底基板的方向上位于所述第一连接线以及所述第二连接线和所述第一导电连接部以及所述第二导电连接部之间。所述第一导电连接部的一端通过贯穿所述第二绝缘层的过孔与所述第一连接线的一端连接,所述第一导电连接部的另一端通过贯穿所述第一绝缘层以及所述第二绝缘层的过孔与所述至少一个第一电阻的一端连接,所述第一连接线的另一端与所述第一扫描驱动电路的第一级第一移位寄存器连接;所述第二导电连接部的一端通过贯穿所述第二绝缘层的过孔与所述第二连接线的一端连接,所述第二导电连接部的另一端通过贯穿所述第一绝缘层以及所述第二绝缘层的过孔与所述至少一个第一电阻的另一端连接,所述第二连接线的另一端通过贯穿所述第二绝缘层的过孔与所述第一触发信号线连接。

[0020] 例如,在本公开至少一实施例提供的显示基板中,所述第一扫描驱动电路的第一移位寄存器的每个包括与所述第一电源线连接的第一构成晶体管以及与所述第二电源线连接的第三构成晶体管和第三构成晶体管;所述第一构成晶体管在所述衬底基板的正投影位于所述第一信号线组在所述衬底基板的正投影和所述第一电源线在所述衬底基板的正投影之间且靠近所述第一电源线在所述衬底基板的正投影,所述第二构成晶体管和第三构成晶体管在所述衬底基板的正投影位于所述第一电源线在所述衬底基板的正投影和所述第二电源线在所述衬底基板的正投影之间,且靠近所述第二电源线在所述衬底基板的正投影。

[0021] 例如,在本公开至少一实施例提供的显示基板中,所述多条电源线包括第三电源线和第四电源线;所述第三电源线和所述第四电源线配置为提供相同的第二电源电压;所述第四电源线在所述衬底基板的正投影与所述第一扫描驱动电路在所述衬底基板的正投影部分重合,所述第三电源线在所述衬底基板的正投影位于所述第四电源线在所述衬底基板的正投影与和所述第一信号线组在所述衬底基板的正投影之间。

[0022] 例如,在本公开至少一实施例提供的显示基板中,所述第一扫描驱动电路的第一移位寄存器每个还包括与所述第三电源线连接的第四构成晶体管以及与所述第四电源线连接的第五构成晶体管;所述第四构成晶体管在所述衬底基板的正投影位于所述第三电源线在所述衬底基板的正投影远离所述第一信号线组在所述衬底基板的正投影的一侧,且靠近所述第三电源线在所述衬底基板的正投影,所述第五构成晶体管在所述衬底基板的正投影位于所述第四电源线在所述衬底基板的正投影和所述第二信号线组在所述衬底基板的正投影之间,且靠近所述第四电源线在所述衬底基板的正投影。

[0023] 本公开至少一实施例提供一种显示基板,包括:衬底基板,包括像素阵列区和周边区域,第一扫描驱动电路、多条电源线、第一信号线组以及第二信号线组,设置在所述周边区域内且位于所述衬底基板的第一侧;所述第一扫描驱动电路包括多个级联的第一移位寄存器;所述多条电源线配置为向所述第一扫描驱动电路包括的多个级联的第一移位寄存器提供多个电源电压;所述第一信号线组包括至少一条时序信号线,配置为向所述第一扫描驱动电路包括的多个级联的第一移位寄存器提供至少一个时序信号;所述第二信号线组包括第一触发信号线,配置为与所述第一扫描驱动电路包括的多个级联的第一移位寄存器中

的第一级第一移位寄存器连接,以向所述第一级第一移位寄存器提供第一触发信号,所述第一扫描驱动电路包括第一晶体管、第二晶体管和第三晶体管,所述第一晶体管、所述第二晶体管和所述第三晶体管分别与所述第一信号线组连接,所述第一晶体管、所述第二晶体管和所述第三晶体管的沟道的延伸方向与所述第一信号线组和所述第二信号线组的延伸方向平行。

[0024] 例如,在本公开至少一实施例提供的显示基板中,所述第一扫描驱动电路还包括第六晶体管和第七晶体管,所述第六晶体管和所述第七晶体管分别与所述第一信号线组连接,所述第六晶体管和所述第七晶体管的沟道的延伸方向与所述第一信号线组和所述第二信号线组的延伸方向平行。

[0025] 本公开至少一实施例还提供一种显示装置,包括本公开任一实施例提供的显示基板。

[0026] 本公开至少一实施例还提供一种显示基板的制作方法,包括:提供衬底基板;在垂直于所述衬底基板的的方向上依次形成半导体层、第一绝缘层、第一导电层、第二绝缘层、第二导电层、第三绝缘层以及第三导电层;所述电源线、所述第一信号线组以及所述第二信号线组位于所述第三导电层;所述第一扫描驱动电路形成在所述半导体层、所述第一导电层以及所述第二导电层;所述第一扫描驱动电路通过贯穿所述第一绝缘层、所述第二绝缘层以及所述第三绝缘层的过孔分别与所述电源线、所述第一信号线组以及所述第二信号线组连接。

## 附图说明

[0027] 为了更清楚地说明本发明实施例的技术方案,下面将对实施例的附图作简单地介绍,显而易见地,下面描述中的附图仅仅涉及本发明的一些实施例,而非对本发明的限制。

[0028] 图1为一种发光控制移位寄存器的电路图;

[0029] 图2为图1所示的发光控制移位寄存器工作时的信号时序图;

[0030] 图3为本公开至少一实施例提供的一种第一电阻和第二电阻的示意图;

[0031] 图4为本公开至少一实施例提供的一种显示基板的示意图;

[0032] 图5A为本公开至少一实施例提供的一种显示基板的布局示意图;

[0033] 图5B示出了包括第二扫描驱动电路的第一级移位寄存器的显示基板的布局示意图;

[0034] 图6A、图7A、图8和图9A分别示出了图5A中所示显示基板的各层布线的平面图;

[0035] 图6B、图7B、图8和图9B分别示出了图5B中所示显示基板包括的第一级移位寄存器的各层布线的平面图;

[0036] 图10为图5B所示的显示基板沿A-A`方向的剖面图;

[0037] 图11为本公开至少一实施例提供的一种显示装置的示意图;以及

[0038] 图12为本公开至少一实施例提供的一种显示基板的制作方法的流程图。

## 具体实施方式

[0039] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例的附图,对本发明实施例的技术方案进行清楚、完整地描述。显然,所描述的实施例是本发

明的一部分实施例,而不是全部的实施例。基于所描述的本发明的实施例,本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0040] 除非另外定义,本公开使用的技术术语或者科学术语应当为本发明所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。同样,“一个”、“一”或者“该”等类似词语也不表示数量限制,而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同,而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接,而是可以包括电性的连接,不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系,当被描述对象的绝对位置改变后,则该相对位置关系也可能相应地改变。

[0041] 下面通过几个具体的实施例对本公开进行说明。为了保持本发明实施例的以下说明清楚且简明,可省略已知功能和已知部件的详细说明。当本发明实施例的任一部件在一个以上的附图中出现时,该部件在每个附图中由相同的参考标号表示。

[0042] 图1为一种发光控制移位寄存器的电路图。图2为图1所示的发光控制移位寄存器工作时的信号时序图。下面结合图1和图2对该发光控制移位寄存器的工作过程进行简要地介绍。

[0043] 如图1所示,该发光控制移位寄存器100包括10个晶体管(第一晶体管T1、第二晶体管T2、…、第十晶体管T10)以及3个电容(第一电容C1、第二电容C2、第三电容C3)。例如,当多个发光控制移位寄存器100级联时,第一级移位寄存器100中的第一晶体管T1的第一极被配置为与第一触发信号线ESTV1连接以接收第一触发信号ESTV1,而其它各级发光控制移位寄存器100中的第一晶体管T1的第一极和上一级发光控制移位寄存器100连接,以接收上一级发光控制移位寄存器100输出的第一输出信号EM。

[0044] 另外,图1和图2中的CK表示第一时钟信号端,ECK表示第一时钟信号线和第一时钟信号,且第一时钟信号端CK和第一时钟信号线ECK连接以接收第一时钟信号,CB表示第二时钟信号端,ECB表示第二时钟信号线和第二时钟信号,且第二时钟信号端CB和第二时钟信号线ECB连接以接收第二时钟信号,例如,第一时钟信号ECK以及第二时钟信号ECB可以采用占空比大于50%的脉冲信号;VGH1表示第一电源线以及第一电源线提供的第一电源电压,例如,第一电源电压为直流高电平,VGL1表示第三电源线以及第三电源线提供的第二电源电压,例如,第二电源电压为直流低电平,且第一电源电压大于第二电源电压;N1、N2、N3以及N4分别表示第一节点、第二节点、第三节点以及第四节点。

[0045] 如图1所示,第一晶体管T1的栅极和第一时钟信号端CK(即,第一时钟信号线ECK)连接以接收第一时钟信号,第一晶体管T1的第一极和输入端IN连接,第一晶体管T1的第二极和第一节点N1连接。例如,当该发光控制移位寄存器为第一级移位寄存器时,输入端IN与第一触发信号线ESTV1连接以接收第一触发信号,当该发光控制移位寄存器为除第一级移位寄存器以外的其他各级移位寄存器时,输入端IN与其上级发光控制移位寄存器的输出端OUT连接。

[0046] 第二晶体管T2的栅极和第一节点N1连接,第二晶体管T2的第一极和第一时钟信号线ECK连接以接收第一时钟信号,第二晶体管T2的第二极和第二节点N2连接。

[0047] 第三晶体管T3的栅极和第一时钟信号线ECK连接以接收第一时钟信号,第三晶体管的第一极和第三电源线VGL1连接以接收第二电源电压,第三晶体管T3的第二极和第二节点N2连接。

[0048] 第四晶体管T4的栅极和第二时钟信号端CB(即,第二时钟信号线ECB)连接以接收第二时钟信号,第四晶体管T4的第一极和第一节点N1连接,第四晶体管T4的第二极和第五晶体管T5的第一极连接。

[0049] 第五晶体管T5的栅极和第二节点N2连接,第五晶体管T5的第二极和第一电源线VGH连接以接收第一电源电压。

[0050] 第六晶体管T6的栅极和第二节点N2连接,第六晶体管T6的第一极和第二时钟信号线ECB连接以接收第二时钟信号,第六晶体管T6的第二极和第三节点N3连接。

[0051] 第一电容C1的第一端和第二节点N2连接,第一电容C2的第二端和第三节点N3连接。

[0052] 第七晶体管T7的栅极和第二时钟信号线ECB连接以接收第二时钟信号,第七晶体管T7的第一极和第三节点N3连接,第七晶体管T7的第二极和第四节点N4连接。

[0053] 第八晶体管T8的栅极和第一节点N1连接,第八晶体管T8的第一极和第一电源线VGH1连接以接收第一电源电压,第八晶体管T8的第二极和第四节点N4连接。

[0054] 第九晶体管T9的栅极和第四节点N4连接,第九晶体管T9的第一极和第一电源线VGH1连接以接收第一电源电压,第九晶体管T9的第二极和输出端OUT连接。

[0055] 第三电容C3的第一端和第四节点N4连接,第三电容C3的第二端和第一电源线VGH1连接以接收第一电源电压。

[0056] 第十晶体管T10的栅极和第一节点N1连接,第十晶体管T10的第一极和第三电源线VGL1连接以接收第二电源电压,第十晶体管T10的第二极和输出端OUT连接。

[0057] 第二电容C2的第一端和第二时钟信号线ECB连接以接收第二时钟信号,第二电容C2的第二端和第一节点N1连接。

[0058] 图1中所示的发光控制移位寄存器100中的晶体管均是以P型晶体管为例进行说明的,即各个晶体管在栅极接入低电平时导通,而在接入高电平时截止。此时,第一极可以是源极,第二极可以是漏极。

[0059] 本公开的实施例包括但不限于图1的配置方式,例如,发光控制移位寄存器100中的各个晶体管也可以采用N型晶体管或混合采用P型晶体管和N型晶体管,只需同时将选定类型的晶体管的端口极性按照本公开的实施例中的相应晶体管的端口极性相应连接即可。

[0060] 图2为图1所示的发光控制移位寄存器工作时的信号时序图。下面结合图1和图2对该发光控制移位寄存器的工作过程进行详细地介绍。例如,以第一级发光控制移位寄存器100的工作原理进行说明,其余各级发光控制移位寄存器100的工作原理与其类似,不再赘述。如图2所示,该发光控制移位寄存器的工作过程包括六个阶段,分别为第一阶段P1、第二阶段P2、第三阶段P3、第四阶段P4、第五阶段P5以及第六阶段P6,图2示出了每个阶段中各个信号的时序波形。

[0061] 在第一阶段P1,如图2所示,第一时钟信号ECK为低电平,所以第一晶体管T1和第三晶体管T3被导通,导通的第一晶体管T1将高电平的第一触发信号ESTV1传输至第一节点N1,从而使得第一节点N1的电平变为高电平,所以第二晶体管T2、第八晶体管T8以及第十晶体

管T10被截止。另外,导通的第三晶体管T3将低电平的第二电源电压VGL1传输至第二节点N2,从而使得第二节点N2的电平变为低电平,所以第五晶体管T5和第六晶体管T6被导通。由于第二时钟信号ECB为高电平,所以第七晶体管T7被截止。另外,由于第三电容C3的存储作用,第四节点N4的电平可以保持高电平,从而使得第九晶体管T9被截止。在第一阶段P1中,由于第九晶体管T9以及第十晶体管T10均被截止,该发光控制移位寄存器100的输出端OUT\_1输出的第一输出信号保持之前的低电平。

[0062] 在第二阶段P2,如图4所示,第二时钟信号ECB为低电平,所以第四晶体管T4、第七晶体管T7被导通。由于第一时钟信号ECK为高电平,所以第一晶体管T1和第三晶体管T3被截止。由于第一电容C1的存储作用,所以第二节点N2可以继续保持上一阶段的低电平,所以第五晶体管T5以及第六晶体管T6被导通。高电平的第一电源电压VGH1通过导通的第五晶体管T5以及第四晶体管T4传输至第一节点N1,从而使得第一节点N1的电平继续保持上一阶段的高电平,所以第二晶体管T2、第八晶体管T8以及第十晶体管T10被截止。另外,低电平的第二时钟信号ECB通过导通的第六晶体管T6以及第七晶体管T7被传输至第四节点N4,从而使得第四节点N4的电平变为低电平,所以第九晶体管T9被导通,导通的第九晶体管T9将高电平的第一电源电压VGH1输出,所以该发光控制移位寄存器100的输出端OUT\_1在第二阶段P2输出的第一输出信号为高电平。

[0063] 在第三阶段P3,如图4所示,第一时钟信号ECK为低电平,所以第一晶体管T1以及第三晶体管T3被导通。第二时钟信号ECB为高电平,所以第四晶体管T4以及第七晶体管T7被截止。由于第三电容C3的存储作用,所以第四节点N4的电平可以保持上一阶段的低电平,从而使得第九晶体管T9保持导通状态,导通的第九晶体管T9将高电平的第一电源电压VGH1输出,所以该发光控制移位寄存器100的输出端OUT\_1在第三阶段P3输出的输出信号仍然为高电平。同时,在此阶段,第二级发光控制移位寄存器100的输出端OUT\_2输出高电平(具体描述可参考上述第二阶段P2中第一级发光控制移位寄存器的工作过程)。

[0064] 在第四阶段P4,如图4所示,第一时钟信号ECK为高电平,所以第一晶体管T1以及第三晶体管T3被截止。第二时钟信号ECB为低电平,所以第四晶体管T4以及第七晶体管T7被导通。由于第二电容C2的存储作用,所以第一节点N1的电平保持上一阶段的高电平,从而使得第二晶体管T2、第八晶体管T8以及第十晶体管T10被截止。由于第一电容C1的存储作用,第二节点N2继续保持上一阶段的低电平,从而使得第五晶体管T5以及第六晶体管T6被导通。另外,低电平的第二时钟信号ECB通过导通的第六晶体管T6以及第七晶体管T7被传输至第四节点N4,从而使得第四节点N4的电平变为低电平,所以第九晶体管T9被导通,导通的第九晶体管T9将高电平的第一电源电压VGH1输出,所以该发光控制移位寄存器100的输出端OUT\_1在第二阶段P2输出的第一输出信号仍然为高电平。同时,在此阶段,第二级发光控制移位寄存器100的输出端OUT\_2输出高电平(具体描述可参考上述第三阶段P3中第一级发光控制移位寄存器的工作过程)。

[0065] 在第五阶段P5,如图4所示,第一时钟信号ECK为低电平,所以第一晶体管T1以及第三晶体管T3被导通。第二时钟信号ECB为高电平,所以第四晶体管T4以及第七晶体管T7被截止。导通的第一晶体管T1将低电平的第一触发信号ESTV传输至第一节点N1,从而使得第一节点N1的电平变为低电平。

[0066] 例如,在第五阶段P5,第一时钟信号ECK的低电平的电压为-6V,第一触发信号

ESTV1的低电平的电压为-6V,第一晶体管T1的阈值电压 $V_{th}$ 为-1.5V。由于第一晶体管T1为P型晶体管,为了使得第一晶体管T1导通,需要使得第一晶体管T1栅极和源极的电压 $V_{gs}$ 小于第一晶体管T1的阈值电压 $V_{th}$ ,因此,当第一节点N1被充电至-4.5V时第一晶体管T1截止,此时停止对第一节点N1充电,即,在此阶段第一节点N1的低电平的电压为-4.5V,所以第二晶体管T2、第八晶体管T8以及第十晶体管T10被导通。导通的第二晶体管T2将低电平的第一时钟信号ECK传输至第二节点N2,从而可以进一步拉低第二节点N2的电平,所以第二节点N2继续保持上一阶段的低电平,从而使得第五晶体管T5以及第六晶体管T6被导通。另外,导通的第八晶体管T8将高电平的第一电源电压 $V_{GH1}$ 传输至第四节点N4,从而使得第四节点N4的电平变为高电平,所以第九晶体管T9被截止。导通的第十晶体管T10响应于第一节点N1的低电平(例如,-4.5V),将低电平的第二电源电压 $V_{GL}$ (例如,-6V)输出,同理,第十晶体管T10的阈值电压 $V_{th}$ 为-1.5V,为了使得第十晶体管T10导通,需要使得第十晶体管T10栅极和源极的电压 $V_{gs}$ 小于第十晶体管T10的阈值电压 $V_{th}$ ,因此,当输出端OUT输出的电压为-3V时第十晶体管T10截止,即,在此阶段输出端OUT的低电平的电压为-3V,所以该发光控制移位寄存器100的输出端OUT\_1在第五阶段P5输出的输出信号变为第一低电平(例如,-3V)。同时,在此阶段,第二级发光控制移位寄存器100的输出端OUT\_2输出高电平(具体描述可参考上述第四阶段P4中第一级发光控制移位寄存器的工作过程)。

[0067] 在第六阶段P6,如图4所示,第一时钟信号ECK为高电平,第二时钟信号ECB为低电平,所以第四晶体管T4以及第七晶体管T7被导通。由于第二时钟信号ECB由第五阶段P5的高电平变为低电平,例如,变化量为 $\Delta t$ (例如,大于6V),根据第二电容C2的自举效应,第一节点N1的电平由第五阶段P5的低电平(例如,-4.5V)变为一个更低的低电平(例如,-4.5V- $\Delta t$ ),从而,第二晶体管T2和第十晶体管T10在第一节点N1的低电平(例如,-4.5V- $\Delta t$ )的控制下导通,根据上面所述的第十晶体管T10的导通特性,低电平的第二电源电压 $V_{GL}$ (例如,-6V)可完全输出至输出端OUT。例如,在该第六阶段P6,该输出端OUT输出的电压为第二低电平(例如,-6V)。同时,在此阶段,第二级第一移位寄存器100的输出端OUT\_2输出低电平(例如,-3V,具体描述可参考上述第四阶段P4中第一级第一移位寄存器的工作过程)。

[0068] 例如,如图1所示,在该显示基板的左侧,由于走线密集,留给第一触发信号线ESTV1的空间较小,从而不方便多个触发信号线的引入。另外,如图1所示,由于第一电源线 $V_{GH1}$ 仅有一条,且第五晶体管T5、第八晶体管T8和第九晶体管T9为了与该第一电源电压线 $V_{GH1}$ 连接而绕线,从而增加了显示基板在竖直方向上占据的空间,不利于显示基板的布局设计。

[0069] 本公开至少一实施例提供一种显示基板,包括:衬底基板,包括像素阵列区和周边区;第一扫描驱动电路、多条电源线、第一信号线组以及第二信号线组,设置在周边区域内且位于衬底基板的第一侧。第一扫描驱动电路包括多个级联的第一移位寄存器;多条电源线配置为向第一扫描驱动电路包括的多个级联的第一移位寄存器提供多个电源电压;第一信号线组包括至少一条时序信号线,配置为向第一扫描驱动电路包括的多个级联的第一移位寄存器提供至少一个时序信号;第二信号线组包括第一触发信号线,配置为与第一扫描驱动电路包括的多个级联的第一移位寄存器中的第一级第一移位寄存器连接,以向第一级第一移位寄存器提供第一触发信号,第一触发信号线位于多条电源电压线和像素阵列区之间。

[0070] 本公开至少一实施例还提供一种对应于上述显示基板的显示装置和制作方法。

[0071] 本公开上述实施例提供的显示基板,将第一触发信号线设置于多条电源线和像素阵列区之间,便于信号线的引入,有利于实现大尺寸显示面板的显示。

[0072] 下面结合附图对本公开的实施例及其一些示例进行详细说明。

[0073] 本公开至少一实施例提供一种显示基板。例如,该显示基板可以适用于单行单驱的扫描驱动电路,即一级移位寄存器输出的输出信号仅驱动一行像素单元。由于单行单驱的扫描驱动电路相比于单行双驱的扫描驱动电路需要驱动的负载少了一半,因此具有更强的驱动能力,更适合大尺寸显示面板的显示。

[0074] 需要注意的是,该显示基板同样也可以适用于单行双驱的扫描驱动电路,即一级移位寄存器输出的输出信号可以驱动两行像素单元,本公开的实施例对此不作限制。

[0075] 图4为本公开至少一实施例提供的一种显示基板的示意图。例如,如图4所示,该显示基板1包括:衬底基板10、第一扫描驱动电路130、多条电源线140、第一信号线组150以及第二信号线组160。

[0076] 例如,该衬底基板100可以采用例如玻璃、塑料、石英,或其他适合的材料,本公开的实施例对此不作限制。例如,衬底基板10包括像素阵列区110和周边区120,第一扫描驱动电路130、多条电源线140、第一信号线组150以及第二信号线组160设置在周边区域120内且位于衬底基板10的第一侧,例如,位于衬底基板10的左侧。

[0077] 例如,像素阵列区110包括阵列排布的多个像素单元P。例如,多个像素单元P的每个包括像素电路,例如还可以进一步包括发光元件(图中未示出)。

[0078] 例如,第一扫描驱动电路130包括多个级联的第一移位寄存器100,例如,包括多个如图1所示的移位寄存器100。为了描述清楚、简洁,下面将第一移位寄存器100简称为移位寄存器100。以下实施例与此相同,不再赘述。例如,该多个移位寄存器100的输出端分别与位于像素阵列区的各行像素电路的发光控制端连接以向该各行像素电路提供输出信号(例如,发光控制信号),从而实现驱动发光元件发光。例如,该像素电路可以是本领域内的例如包括2T1C、4T2C、8T2C等电路结构的像素电路,在此不再赘述。

[0079] 例如,第一扫描驱动电路130包括至少一个晶体管,该至少一个晶体管的沟道的延伸方向与第一信号线组150和第二信号线组160的延伸方向平行,从而可以减小第一扫描驱动电路130在沟道长度方向垂直的方向上的面积,提高工艺匹配度,形成较好的沟道效应。

[0080] 例如,第一扫描驱动电路130包括第一晶体管T1、第二晶体管T2和第三晶体管T3,第一晶体管T1、第二晶体管T2和第三晶体管T3分别与第一信号线组150连接,例如,与第一信号线组150中的第一时钟信号ECK连接。例如,第一晶体管T1、第二晶体管T2和第三晶体管T3的沟道的延伸方向与第一信号线组150和第二信号线组160的延伸方向平行。例如,沟道的延伸方向为晶体管的第一极至第二极的延伸方向,例如,为第一晶体管T1的第一极至第二极的延伸方向。

[0081] 例如,第一扫描驱动电路130还包括第六晶体管T6和第七晶体管T7,第六晶体管T6和第七晶体管T7分别与第一信号线组150连接,第六晶体管T6和第七晶体管T7的沟道的延伸方向与第一信号线组150和第二信号线组160的延伸方向平行。

[0082] 例如,多条电源线140配置为向第一扫描驱动电路130包括的多个级联的移位寄存

器100提供多个电源电压。例如,提供第一电源电压(例如,具有直流高电平)和第二电源电压(例如,具有直流低电平)等。

[0083] 第一信号线组150包括至少一条时序信号线,例如,包括第一时钟信号线ECK和第二时钟信号线ECB,配置为向第一扫描驱动电路130包括的多个级联的移位寄存器100提供至少一个时序信号,例如,上面所述的第一时钟信号ECK和第二时钟信号ECB。

[0084] 例如,在至少一个示例中,第二信号线组160包括第一触发信号线ESTV1,配置为与第一扫描驱动电路150包括的多个级联的移位寄存器100中的第一级移位寄存器连接,以向第一级移位寄存器提供第一触发信号。例如,第一触发信号线ESTV1位于多条电源线140和像素阵列区110之间。例如,如图4所示,该第一触发信号线ESTV1可以位于该第一扫描驱动电路130的右侧,即,第一触发信号线ESTV1在衬底基板10的正投影位于第一扫描驱动电路130在衬底基板10的正投影和像素阵列区110在衬底基板10的正投影之间;当然,也可以位于第一扫描驱动电路130的晶体管之间,即第一触发信号线ESTV1在衬底基板10的正投影与第一扫描驱动电路130在衬底基板10的正投影至少部分重叠,只要能满足将其设置在走线不密集的区域以便于触发信号线的引入即可,本公开的实施例对此不作限制。

[0085] 需要注意的是,该显示基板还可以包括多个扫描驱动电路,以及分别与该多个扫描驱动电路的第一级移位寄存器连接的多条触发信号线,本公开的实施例对此不作限制。

[0086] 例如,在一些示例中,当该显示基板还进一步包括第二扫描驱动电路、第三扫描驱动电路等多个扫描驱动电路时,该显示基板还包括与该第二扫描驱动电路的第一级移位寄存器连接的第二触发信号线ESTV2,与第三扫描驱动电路的第一级移位寄存器连接的第三触发信号线等多条触发信号线。例如,该第二扫描驱动电路、第三扫描驱动电路等多个扫描驱动电路与第一扫描驱动电路的结构相同,且与第一扫描驱动电路依次排列,共同驱动该显示基板的像素阵列区。例如,该像素阵列区包括多个互不重叠(例如并列设置)的显示区域,第一扫描驱动电路、第二扫描驱动电路以及第三扫描驱动电路等多个扫描驱动电路分别驱动与其对应的显示区域。

[0087] 例如,当包括多个扫描驱动电路时,该第二信号线组160还包括该多条触发信号线。例如,该多条触发信号线可以位于多条电源线140和像素阵列区110之间,例如,位于各个扫描驱动电路的右侧,或与各个扫描驱动电路至少重叠,只要能满足将其设置在走线不密集的区域以便于触发信号线的引入即可,本公开的实施例对此不作限制。

[0088] 本公开上述实施例提供的显示基板,通过调整第一触发信号线的位置,避免了由于走线密集而造成的无法引入更多的信号线以及绕线连接等问题,更有利于实现显示面板的窄边框设计,从而有利于实现大尺寸显示面板的显示。

[0089] 图5A为本公开至少一实施例提供的一种显示基板的布局示意图。图5B示出了包括第二扫描驱动电路的第一级移位寄存器的显示基板的布局示意图。图10为图5B所示的显示基板沿A-A`方向的剖面图。当然,图10也可以用于解释图5A中所示的层叠结构。

[0090] 需要注意的是,图5B中所示的第一级移位寄存器的层叠结构可以适用于各个扫描驱动电路的第一级移位寄存器,只需改变与相应的触发信号的连接即可,即第一扫描驱动电路的第一级移位寄存器连接第一触发信号线ESTV1,第二扫描驱动电路的第一级移位寄存器连接第二触发信号线ESTV2……,以此类推。

[0091] 图6A、图7A、图8和图9A分别示出了图5A中所示显示基板的各层布线的平面图。图

6A为本公开至少一实施例提供显示基板的半导体层的平面图,图7A为本公开至少一实施例提供显示基板的第一导电层的平面图,图8为本公开至少一实施例提供的显示基板的第二导电层的平面图,图9A为本公开至少一实施例提供的显示基板的第三导电层的平面图。

[0092] 例如,层间绝缘层(例如,包括第一绝缘层、第二绝缘层、第三绝缘层等)可以位于图6A至图9A所示的层结构之间。例如,第一绝缘层350(如图10所示)位于图6A所示的半导体层310和图7A所示的第一导电层320之间,第二绝缘层360(如图10所示)位于图7A所示的第一导电层320和图8所示的第二导电层330之间,第三绝缘层370(如图10所示)位于图8所示的第二导电层330和图9A所示的第三导电层340之间。

[0093] 例如,如图10所示,该显示基板还包括第四绝缘层380,该第四绝缘层380位于第三导电层340上,用于保护第三导电层340。

[0094] 例如,第一绝缘层350、第二绝缘层360、第三绝缘层370以及第四绝缘层380的材料可以包括例如SiN<sub>x</sub>、SiO<sub>x</sub>、SiN<sub>x</sub>O<sub>y</sub>等无机绝缘材料、例如有机树脂等有机绝缘材料,或其它适合的材料,本公开的实施例对此不作限定。

[0095] 需要注意的是,图5A所示的显示基板以第一扫描驱动电路中的一个移位寄存器 and 与其连接的信号线的布局设计为例进行说明,其余各级移位寄存器的布局实施方式可以参考图5A中所示的布局方式,在此不再赘述,当然也可以采用其他的布局方式,本公开的实施例对此不作限制。当然,其余各个扫描驱动电路的各级移位寄存器也可以参考图5A中所示的布局方式,也可以采用其他的布局实式,本公开的实施例对此不作限制。

[0096] 下面结合图5A-图9A对本公开至少一实施例提供的显示基板进行详细地介绍。

[0097] 例如,图5A中所示的移位寄存器100的第一晶体管T1至第十晶体管T10可以形成在图6A所示的半导体层310上。半导体层310可采用半导体材料图案化形成。例如,如图6A所示,根据需要,该半导体层310可以短棒状或具有弯曲或弯折的形状,可用于制作上述第一晶体管T1至第十晶体管T10的有源层。各有源层可包括源极区域、漏极区域以及位于源极区域和漏极区域之间的沟道区。例如,沟道区可掺杂有杂质,从而具有半导体特性;源极区域和漏极区域在沟道区的两侧,并且可掺杂有杂质,并因此具有导电性。例如,该源极区域即对应于晶体管的源极(或叫做第一极),漏极区域即对应于晶体管的漏极(或叫做第二极)。例如,如图10所示,以第一晶体管T1为例,该第一晶体管T1的有源层包括源极区域S1、漏极区域D1(如图10中的虚线所示)和沟道区P1,该第一晶体管T1还包括栅极G1,其中,栅极G1位于第一导电层320,将在下面进行介绍,在此不再赘述。需要注意的是,第一晶体管的漏极区域D1并不在图5B沿A-A`方向的剖面图内,为了保证描述清楚,在图10中将第一晶体管T1的漏极区域D1用虚线添加上。

[0098] 例如,半导体层310的材料可以包括氧化物半导体、有机半导体或非晶硅、多晶硅等,例如,氧化物半导体包括金属氧化物半导体(例如氧化铟镓锌(IGZO)),多晶硅包括低温多晶硅或者高温多晶硅等,本公开的实施例对此不作限定。需要说明的是,上述的源极区域和漏极区域可为掺杂有n型杂质或p型杂质的区域,本公开的实施例对此不作限制。

[0099] 需要注意的是,在另一些示例中,各个晶体管的第一极和第二极也可以位于其他导电层,通过位于其和半导体层中间的绝缘层中的过孔与其对应的有源层连接,本公开的实施例对此不作限制。

[0100] 图7A示出了该显示基板的第一导电层320,第一导电层320设置在第一绝缘层上,

从而与半导体层310绝缘。例如,第一导电层320可包括第一电容C1至第三电容C3的第一电极CE11、CE12、CE13以及第一晶体管T1至第十晶体管T10的栅极,相应地第一绝缘层也作为栅极绝缘层。如图7A所示,第一晶体管T1至第十晶体管T10的栅极为各个晶体管的半导体层结构与第一导电层320上的走线交叠的部分。

[0101] 图8示出了该显示基板的第二导电层330,第二导电层330包括第一电容C1至第三电容C3的第二电极CE21、CE22、CE23。例如,第二电极CE21与第一电极CE11至少部分重叠以形成第一电容C1,第二电极CE22与第一电极CE12至少部分重叠以形成第二电容C2,第二电极CE23与第一电极CE13至少部分重叠以形成第三电容C3。

[0102] 图9A示出了该显示基板的第三导电层340,第三导电层340包括第一信号线组150、多条电源线140以及第二信号线组160。需要注意的是,该第三导电层还包括连接各个晶体管、电容以及信号线之间的导电连接部。如图5A和9A所示,第一信号线组150、多条电源线140以及第二信号线组160通过至少一个过孔与其余各层中需要与其连接的晶体管连接,各个晶体管之间也通过至少一个过孔连接,或通过导电连接部桥接,在此不再赘述。

[0103] 例如,上述第三导电层340的材料可以包括铝、铝合金、铜、铜合金或其他任意适合的材料,本公开的实施例对此不作限定。例如,第一导电层320和第二导电层330的材料可以与第三导电层340的材料相同,在此不再赘述。

[0104] 图5A为上述图6A所示的半导体层310、图7A所示的第一导电层320、图8所示的第二导电层330和图9A所示的第三导电层340的层叠位置关系的示意图。

[0105] 如图5A和9A所示,在至少一个示例中,该显示基板包括沿行方向依次设置的第一信号线组150(例如,包括第一时钟信号线ECK和第二时钟信号线ECB)和多条电源线140(例如,包括第三电源线VGL1、第一电源线VGH1和第四电源线VGL2)和第二信号线组160(例如,包括第一触发信号线ESTV1)。需要注意的是,在包括第二扫描驱动电路时,例如,第二信号线组160还包括第二出发信号线ESTV2。

[0106] 在一些实施例中,如图4或图5A所示,第二信号线组160位于第一扫描驱动电路130靠近像素阵列区110的一侧,第一信号线组150位于第一扫描驱动电路130的与第二信号线组160所在侧相对的另一侧。例如,如图4或图5A所示,第二信号线组160位于移位寄存器100的右侧,第一信号线组150位于移位寄存器100的左侧。

[0107] 在该实施例中,通过将第一触发信号线ESTV1和第二触发信号线ESTV2等第二信号线组160设置在移位寄存器的右侧,即与第一信号组150和多条电源线140分开设置,可以避免由于左侧信号线太多而造成走线密集,从而可以避免由于走线密集使得留给触发信号线的空间太小而影响其他信号线的引入的问题。

[0108] 在另一些示例中,如图5A所示,多条电源线140包括第一电源线VGH1、第二电源线VGH2、第三电源线VGL1和第四电源线VGL2。例如,第一电源线VGH1和第二电源线VGH2提供相同的第一电源电压,例如,直流高电压。

[0109] 例如,第一电源线VGH1在衬底基板10的正投影与第一扫描驱动电路在衬底基板10的正投影部分重合,第二电源线VGH2在衬底基板10的正投影位于第一电源线VGH1在衬底基板10的正投影与第二信号线组160在衬底基板的正投影之间。

[0110] 需要注意的是,第一扫描驱动电路在衬底基板10上的正投影并非是一个连续的区域,因此,第一电源线VGH1在衬底基板10的正投影只要与第一扫描驱动电路的部分晶体管

或电容在衬底基板10的正投影部分重合即可。本公开的实施例对此不作限制。例如,如图5A所示,第一电源线VGH1在衬底基板10的正投影与第一导电层320上的走线重叠,例如,和连接第三晶体管T3的栅极和第一晶体管T1的栅极之间的走线、连接第四晶体管T4的栅极的走线、连接第五晶体管T5的栅极的走线以及连接第二晶体管T2的栅极的走线部分重叠。

[0111] 例如,如图5A所示,第一扫描驱动电路的各个移位寄存器包括与第一电源线VGH1连接的第一构成晶体管以及与第二电源线VGH2连接的第三构成晶体管。例如,第五晶体管T5为第一构成晶体管的一个示例,第八晶体管T8为第三构成晶体管的一个示例,第九晶体管T9为第三构成晶体管的一个示例。下面以第一构成晶体管为第五晶体管T5、第三构成晶体管为第八晶体管T8以及第三构成晶体管为第九晶体管T9为例进行说明,本公开的实施例对此不作限制。以下实施例与此相同,不再赘述。

[0112] 例如,第五晶体管T5在衬底基板10的正投影位于第一信号线组150在衬底基板10的正投影和第一电源线VGH1在衬底基板的正投影之间且靠近第一电源线VGH1在衬底基板10的正投影,第八晶体管T8和第九晶体管T9在衬底基板10的正投影位于第一电源线VGH1在衬底基板10的正投影和第二电源线VGH2在衬底基板10的正投影之间,且靠近第二电源线VGH2在衬底基板10的正投影。即,第一电源线VGH1设置在靠近第五晶体管T5的位置,第八晶体管T8和第九晶体管T9设置在靠近第二电源线VGH2的位置,从而可以避免第五晶体管T5、第八晶体管T8和第九晶体管T9为了均与一条电源线(例如,第一电源线VGH1)连接而绕线,从而避免了显示基板在竖直方向上由于绕线占据的空间。

[0113] 例如,第三电源线VGL1和第四电源线VGL2配置为提供相同的第二电源电压,例如,直流低电压。例如,第一电源电压高于第二电源电压。例如,第四电源线VGL2在衬底基板10的正投影与第一扫描驱动电路在衬底基板10的正投影部分重合,第三电源线VGL1在衬底基板10的正投影位于第三电源线VGL1在衬底基板10的正投影与和第一信号线组150在衬底基板10的正投影之间。

[0114] 如上所述,第一扫描驱动电路在衬底基板10上的正投影并非是一个连续的区域,因此,第四电源线VGL2在衬底基板10的正投影只要与第一扫描驱动电路的部分晶体管或电容在衬底基板10的正投影部分重合即可。本公开的实施例对此不作限制。例如,如图5A所示,第四电源线VGL2在衬底基板10的正投影与第一导电层320上的走线重叠,例如,和连接第八晶体管T8的栅极的走线、连接第十晶体管T10的栅极的走线以及第二电容C2的第一极CE12部分重叠。

[0115] 例如,第一扫描驱动电路的各个移位寄存器还包括与第三电源线VGL1连接的第四构成晶体管,以及包括与第四电源线VGL2连接的第五构成晶体管。例如,第三晶体管T3是第四构成晶体管的一个示例,第十晶体管T10是第五构成晶体管的一个示例。下面以第三晶体管T3为第四构成晶体管以及第十晶体管T10为第五构成晶体管为例进行说明,本公开的实施例对此不作限制。以下实施例与此相同,不再赘述。

[0116] 例如,第三晶体管T3在衬底基板10的正投影位于第三电源线VGL1在衬底基板10的正投影远离第一信号线组150在衬底基板10的正投影的一侧,且靠近第三电源线VGL1在衬底基板10的正投影。例如,第十晶体管T10在衬底基板10的正投影位于第四电源线VGL2在衬底基板10的正投影和第二信号线组160在衬底基板10的正投影之间,且靠近第十晶体管T10在衬底基板10的正投影。即,第三电源线VGL1设置在靠近第三晶体管T3的位置,第十晶体管

T10设置在靠近第四电源线VGL2的位置,从而可以避免第三晶体管T3和第十晶体管T10为了均与一条电源线(例如,第三电源线VGL1)或分别与位于显示基板左侧的第三电源线VGL1和第四电源线VGL2连接而绕线,从而避免了显示基板在竖直方向上由于绕线占据的空间。

[0117] 在本公开的至少一实施例中,通过将第一电源线VGH1、第二电源线VGH2、第三电源线VGL1和第四电源线VGL2分别设置在与其连接的晶体管旁边,可以避免各个晶体管为了均与一条电源线连接而绕线,从而避免了显示基板在竖直方向上由于绕线占据的空间,有利于实现窄边框的设计。

[0118] 在另一些实施例中,像素阵列区110包括彼此并列且不重叠的第一显示区域和第二显示区域(图中未示出),第一扫描驱动电路130与第一显示区域连接以驱动第一显示区域显示。

[0119] 该显示基板还包括设置在周边区域内且位于衬底基板的一侧的第二扫描驱动电路。例如,该第二扫描驱动电路沿像素阵列的扫描方向(例如,列方向)与第一扫描驱动电路依次排列,且与第二显示区域连接以驱动第二显示区域显示。例如,第二扫描驱动电路包括多个级联的第二移位寄存器(例如,包括图5B中所示的第一级移位寄存器132)。例如,第二移位寄存器的结构和第一移位寄存器的电路结构相同,均采用图1所示的移位寄存器的电路结构,当然,第二移位寄存器的结构和第一移位寄存器的电路结构也可以不相同,本公开的实施例对此不作限制。为了表示清楚、简洁,下面将第二移位寄存器也简称为移位寄存器。以下实施例与此相同,不再赘述。

[0120] 例如,该显示基板为折叠显示基板,还包括折叠线,位于第一显示区域和第二显示区域之间。例如,第二电阻R2位于折叠线的延伸方向上,折叠线的延伸方向与第一信号线组150和第二信号线组160的延伸方向垂直,从而信号线可以贯穿整个显示基板,例如,第一信号线组150和第二信号线组160的延伸方向为图4所述的竖直方向,折叠线的延伸方向为水平方向。

[0121] 例如,如图5B所示,第二信号线组160还包括第二触发信号线ESTV2,与第二扫描驱动电路包括的多个级联的移位寄存器中的第一级移位寄存器132连接,以向第二扫描驱动电路包括的第一级移位寄存器132提供第二触发信号。例如,第一触发信号线ESTV1和第二触发信号线ESTN2相邻且并排设置。第一触发信号线ESTV1和第二触发信号线ESTV2并列延伸,二者的延伸长度均与第一扫描驱动电路和第二扫描驱动电路的排列长度相同,例如,可贯穿整个显示面板,从而可以避免由于第一触发信号线ESTV1和第二触发信号线ESTV2的长度不同而导致走线电阻不同,以影响其分别传输的触发信号。相应地,例如,当包括多个扫描驱动电路时,其余各条触发信号线也可以与第一触发信号线ESTV1和第二触发信号线ESTV2相邻且并排设置,且其延伸长度均可以与第一触发信号线ESTV1和第二触发信号线ESTV2的延伸长度相同。

[0122] 需要注意的是,图5B仅示意性地示出了第一扫描驱动电路的最后一级移位寄存器131和第二扫描驱动电路的第一级移位寄存器132,其他各级移位寄存器的布局方式可以参考图5A所示的布局方式,不再赘述。

[0123] 图6B、图7B、图8和图9B分别示出了图5B中所示显示基板包括的第一级移位寄存器的各层布线的平面图。下面结合图5B-图9B对本公开至少一实施例提供的显示基板进行详细地介绍。

[0124] 需要注意的是,图6B所示的半导体层与图6A所示的半导体层类似,区别在于还包括至少一个电阻(例如,第二电阻R2);图7B所示的第一导电层320与图7A所示的第一导电层320类似,区别在于还包括第一连接线L1和第二连接线L2;图9B所示的第三导电层340和图9A所示的第三导电层340类似,区别在于还包括第一导电连接部341和第二导电连接部342,具体的连接关系将在下面进行详细地介绍。

[0125] 例如,在第一扫描驱动电路的最后一级移位寄存器131输出输出信号时,第二触发信号线ESTV2提供第二触发信号至第二扫描驱动电路第一级移位寄存器132,以驱动其包括的多个级联的移位寄存器逐行输出所述输出信号。需要注意的是,也可以在在第一触发信号线ESTV1提供第一触发信号至第一扫描驱动电路的同时,第二触发信号线ESTV2提供第二触发信号至第二扫描驱动电路,从而可以同时驱动第一扫描驱动电路和第二扫描驱动电路工作,只要可以驱动显示基板的像素阵列区的像素单元显示正常的图像即可,本公开的实施例对此不作限制。

[0126] 例如,在一些示例中,如图3所示,该显示基板还包括至少一个第一电阻R1(如图3所示)。例如,该第一电阻R1位于第一扫描驱动电路130远离第一级第一移位寄存器的一侧。例如,第一触发信号线ESTV1通过第一电阻R1与第一扫描驱动电路130的第一级移位寄存器(例如,第一级移位寄存器的第一晶体管T1)连接。例如,如图5B所示,在显示基板包括第二扫描驱动电路230时,该显示基板还可以包括至少一个第二电阻R2。例如,第二电阻R2位于第一扫描驱动电路130的最后一级第一移位寄存器和第二扫描驱动电路230第一级第二移位寄存器之间。例如,第二触发信号线ESTV2通过第二电阻R2与第二扫描驱动电路230的第一级第二移位寄存器连接,例如,与第二扫描驱动电路230的第一级移位寄存器132的第一晶体管T1连接。

[0127] 例如,第一电阻R1的阻值和第二电阻R2的阻值不同。例如,在一些示例中,第一触发信号线ESTV1从显示基板的上侧与控制器20连接,以接收第一触发信号,第二触发信号线ESTV2从该显示基板的中间穿过,与控制器连接以接收第二触发信号,从而第一触发信号线ESTV1和第二触发信号线ESTV2的走线电阻(负载)不同,因此,例如,在第一触发信号线ESTV1的负载大于第二触发信号线ESTV2的负载时,第一电阻R1小于第二电阻R2,以使得第一触发信号线ESTV1上的走线电阻的阻值加上第一电阻的阻值与第二触发信号线ESTV1上的走线电阻的阻值加上第二电阻的阻值近似相等。例如,在一些示例中,第一电阻R1的阻值为5000欧姆,第二电阻R2的阻值为5500欧姆,第一触发信号线ESTV1上的走线电阻的阻值为1000欧姆,第二触发信号线ESTV1上的走线电阻的阻值为500欧姆。

[0128] 需要注意的是,当该显示基板包括多个扫描驱动电路时,该显示基板还可以包括多个电阻,以分别连接该多个扫描驱动电路的第一级移位寄存器和相应的触发信号线,例如,当该显示基板包括第三扫描驱动电路、第四扫描驱动电路等多个扫描驱动电路时,相应地,该显示基板还包括分别与其第一级移位寄存器的第一晶体管T1连接的第三电阻、第四电阻等,本公开的实施例对此不作限制。例如,其余多个电阻的设置均可参考该第一电阻和第二电阻R2的设置,不再赘述。

[0129] 例如,该第一电阻和第二电阻可以相同,也可以不同,具体可视实际情况而定,本公开的实施例对此不作限制。例如,该第一电阻和第二电阻的材料可以为半导体材料,其可以和晶体管的有源层同层设置。例如,该第一电阻和第二电阻位于图6B所示的半导体层。

[0130] 由于图5B中示出了第二电阻的连接方式,下面以图5B中所示的第二电阻R2为例进行说明。图10为图5B中所示的显示基板沿A-A`方向的剖面图。下面结合图5B和图10详细地描述以第二电阻为例的各个电阻的连接方式。

[0131] 如图5B和图10所示,第二电阻R2在垂直于衬底基板10的方向上位于衬底基板10和第二信号线组160之间(即位于半导体层310),且第二电阻R2在衬底基板10的正投影位于第二信号线组160在衬底基板10的正投影远离像素阵列区的一侧。相应地,第一电阻在垂直于衬底基板10的方向上位于衬底基板10和第二信号线组160之间(即位于半导体层310),且第一电阻在衬底基板10的正投影位于第二信号线组160在衬底基板10的正投影远离像素阵列区的一侧。需要注意的是,第一电阻和第二电阻R2还可以设置在其他合适的位置,不限于图5B所示的位置,只要位于便于连接触发信号线和第一晶体管T1的位置即可,本公开的实施例对此不作限制。

[0132] 如图5B所示,该显示基板还包括至少一条第一连接线L1和至少一条第二连接线L2。第一连接线L1将第二电阻R2的一端与第二扫描驱动电路的第一级移位寄存器(例如,第一晶体管T1)连接,第二连接线L2将第二电阻R2的另一端与第二触发信号线ESTV2连接。

[0133] 需要注意的是,该显示基板还包括多条与其他扫描驱动电路对应的电阻一一对应的第一连接线和第二连接线,第一电阻或其他的电阻均通过与其对应的第一连接线和第二连接线连接相应的扫描驱动电路和触发信号线,例如,第一连接线将第一电阻的一端与第一扫描驱动电路的第一级移位寄存器连接,第二连接线将所述第一电阻的另一端与第一触发信号线连接,在此不再赘述。

[0134] 例如,第一连接线L1和第二连接线L2位于第二电阻R2远离衬底基板10的一侧,即第一连接线L1和第二连接线L2位于图7B所示的第一导电层320,因此,可以避免在将其设置在第三导电层340时由于与第四电源线VGL2交叉而导致信号错乱的现象。

[0135] 例如,显示基板还包括至少一个第一导电连接部L3和第二导电连接部L4,使得各个电阻与第一连接线和第二连接线采用桥接的方式连接。例如,第一导电连接部L3和第二导电连接部L4位于第一连接线L1和第二连接线L2远离衬底基板10的一侧,且与多条电源线140、第一信号线组150和第二信号线160组同层设置,即,第一导电连接部L3和第二导电连接部L4位于如图9B所示的第三导电层340。

[0136] 例如,如上所述,显示基板1还包括第一绝缘层350、第二绝缘层360和第三绝缘层370。例如,第一绝缘层350在垂直于衬底基板10的方向上位于第二电阻R2(即半导体层310)和第一连接线L1以及第二连接线L2(第一导电层320)之间,第二绝缘层360在垂直于衬底基板10的方向上位于第一连接线L1以及第二连接线L2(即第一导电层320)和第一导电连接部L3以及第二导电连接部L4(即第三导电层340)之间。需要注意的是,在第二绝缘层360和第三导电层之间340还包括图8所示的第二导电层330和位于第二导电层330和第三导电层340之间的第三绝缘层370,具体介绍可参考上面的描述,在此不再赘述。

[0137] 例如,如图5B和图10所示,第一导电连接部L3的一端通过贯穿第二绝缘层360(以及第三绝缘层370)的过孔133与第一连接线L1的一端连接,第一导电连接部L3的另一端通过贯穿第一绝缘层350以及第二绝缘层360(以及第三绝缘层370)的过孔134与第二电阻R2的一端连接。例如,第一连接线L1的另一端通过贯穿第二绝缘层360以及第三绝缘层360的过孔135以及通过贯穿第一绝缘层350、第二绝缘层360以及第三绝缘层360的过孔139与第

一扫描驱动电路的第一级移位寄存器(例如,第一晶体管T1的源极S1)连接。例如,当该第一连接线L1的另一端在衬底基板10上的正投影与第一晶体管T1的源极S1在衬底基板10上的正投影至少部分重叠时,第一连接线L1的另一端也可以通过贯穿第一绝缘层350的过孔(图中未示出)与第一晶体管T1的源极S1连接,本公开的实施例对此不作限制。

[0138] 第二导电连接部L4的一端通过贯穿第二绝缘层350(和第三绝缘层360)的过孔136与第二连接线L2的一端连接,第二导电连接部L4的另一端通过贯穿第一绝缘层350以及第二绝缘层360(以及第三绝缘层370)的过孔137与第二电阻R2的另一端连接。第二连接线L2的另一端通过贯穿第二绝缘层360和第三绝缘层370的过孔138与第二触发信号线ESTV2连接。

[0139] 需要注意的是,该显示基板还包括多个与其他扫描驱动电路对应的电阻一一对应的第一导电连接部和第二导电连接部,第一电阻或其他的电阻均通相应的过第一导电连接部和第二导电连接部和与其对应的第一连接线和第二连接线连接,在此不再赘述。

[0140] 例如,第一导电连接部的一端通过贯穿第二绝缘层的过孔与第一连接线的一端连接,第一导电连接部的另一端通过贯穿第一绝缘层以及第二绝缘层的过孔与第一电阻的一端连接,第一连接线的另一端与第一扫描驱动电路的第一级移位寄存器连接;第二导电连接部的一端通过贯穿第二绝缘层的过孔与第二连接线的一端连接,第二导电连接部的另一端通过贯穿第一绝缘层以及第二绝缘层的过孔与第一电阻的另一端连接,第二连接线的另一端通过贯穿第二绝缘层的过孔与第一触发信号线连接。

[0141] 在本公开的实施例中,各个扫描驱动电路的第一级移位寄存器通过各个电阻与对应的触发信号连接,可以避免在对设备通电的瞬间产生的静电对各个信号(例如,触发信号、时钟信号等)的影响,从而可以使得扫描驱动电路输出的输出信号更加精确,提高显示面板的显示质量。

[0142] 本公开至少一实施例还提供一种显示装置。图11为本公开至少一实施例提供的一种显示装置的示意图。如图11所示,该显示装置2包括本公开任一实施例提供显示基板1,例如,图4、图5A或图5B中所示的显示基板1。

[0143] 需要说明的是,该显示装置2可以为OLED面板、OLED电视、手机、平板电脑、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。该显示装置2还可以包括其他部件,本公开的实施例对此不作限定。

[0144] 需要说明的是,为表示清楚、简洁,本公开的实施例并没有给出该显示装置的全部组成单元。为实现该显示装置的基板功能,本领域技术人员可以根据具体需要提供、设置其他未示出的结构,本公开的实施例对此不作限制。

[0145] 关于上述实施例提供的显示装置2的技术效果可以参考本公开的实施例中提供的显示基板1的技术效果,这里不再赘述。

[0146] 本公开至少一实施例还提供了一种显示基板的制作方法。图12为本公开至少一实施例提供的一种显示基板的制作方法的流程图。例如,该制作方法可以用于制作本公开任一实施例提供的显示基板。例如,可以用于制作图5A或图5B中所示的显示基板。

[0147] 如图12所示,该显示基板的制作方法包括步骤S110至步骤S120。

[0148] 步骤S110:提供衬底基板。

[0149] 步骤S120:在衬底基板的周边区域以及衬底基板的第一侧形成第一扫描驱动电

路、多条电源线、第一信号线组以及第二信号线组。

[0150] 对于步骤S110,例如,该衬底基板10可以采用例如玻璃、塑料、石英,或其他适合的材料,本公开的实施例对此不作限制。例如,衬底基板10包括像素阵列区110和周边区120。

[0151] 对于步骤S120,例如,第一扫描驱动电路130、多条电源线140、第一信号线组150以及第二信号线组160设置在周边区域120内且位于衬底基板10的第一侧,例如,位于衬底基板10的左侧。

[0152] 例如,第一扫描驱动电路130包括多个级联的移位寄存器100,例如,包括多个如图1所示的移位寄存器。例如,该移位寄存器的第一晶体管T1至第十晶体管T10可以形成在图6A所示的半导体层310上。例如,半导体层310的材料可以包括氧化物半导体、有机半导体或非晶硅、多晶硅等,例如,氧化物半导体包括金属氧化物半导体(例如氧化铟镓锌(IGZO)),多晶硅包括低温多晶硅或者高温多晶硅等,本公开的实施例对此不作限定。需要说明的是,上述的源极区域和漏极区域可为掺杂有n型杂质或p型杂质的区域,本公开的实施例对此不作限制。

[0153] 例如,第一电容C1至第三电容C3的第一电极CE11、CE12、CE13以及第一晶体管T1至第十晶体管T10的栅极可以形成在图7A所示的第一导电层320。如图7A所示,第一晶体管T1至第十晶体管T10的栅极为各个晶体管的半导体层结构与第一导电层320上的走线交叠的部分。

[0154] 例如,第一电容C1至第三电容C3的第二电极CE21、CE22、CE23可以形成在图8所示的第二导电层330。例如,第二电极CE21与第一电极CE11至少部分重叠以形成第一电容C1,第二电极CE22与第一电极CE12至少部分重叠以形成第二电容C2,第二电极CE23与第一电极CE13至少部分重叠以形成第三电容C3。

[0155] 例如,该多条电源线140、第一信号线组150以及第二信号线组可以形成在图9A所示的第三导电层340。需要注意的是,该第三导电层还包括连接各个晶体管、电容以及信号线之间的导电连接部。如图5A和9A所示,第一信号线组150、多条电源线140以及第二信号线组160通过至少一个过孔与其余各层中需要与其连接的晶体管连接,各个晶体管之间也通过至少一个过孔连接,或通过导电连接部桥接,在此不再赘述。

[0156] 例如,上述第三导电层340的材料可以包括铝、铝合金、铜、铜合金或其他任意适合的材料,本公开的实施例对此不作限定。例如,第一导电层320和第二导电层330的材料可以与第三导电层340的材料相同,在此不再赘述。

[0157] 例如,多条电源线140配置为向第一扫描驱动电路130包括的多个级联的移位寄存器100提供电源电压。例如,提供第一电源电压(例如,具有直流高电平)和第二电源电压(例如,具有直流低电平)等。

[0158] 例如,第一信号线组150包括至少一条时序信号线,例如,包括第一时钟信号线ECK和第二时钟信号线ECB,配置为向第一扫描驱动电路130包括的多个级联的移位寄存器100提供时序信号,例如,上面所述的第一时钟信号ECK和第二时钟信号ECB。

[0159] 例如,在至少一个示例中,第二信号线组160包括第一触发信号线ESTV1,配置为与第一扫描驱动电路130包括的多个级联的移位寄存器100中的第一级移位寄存器连接,以向第一级移位寄存器提供第一触发信号。例如,第一触发信号线ESTV1位于多条电源线140和像素阵列区110之间。

[0160] 在一些实施例中,如图4或图5A所示,第二信号线组160形成于第一扫描驱动电路130靠近像素阵列区110的一侧,第一信号线组150形成于第一扫描驱动电路130的与第二信号线组160所在侧相对的另一侧。例如,如图4或图5A所示,第二信号线组160位于移位寄存器100的右侧,第一信号线组150位于移位寄存器100的左侧。

[0161] 在该实施例中,通过将第一触发信号线ESTV1设置在移位寄存器的右侧,即与第一信号组150和多条电源线140分开设置,可以避免由于左侧信号线太多而造成走线密集,从而可以避免由于走线密集使得留给触发信号线的空间太小而影响其他信号线的引入的问题。

[0162] 例如,步骤S120还包括在衬底基板10上形成第一电源线VGH1、第二电源线VGH2、第三电源线VGL1第三电源线VGL1,以及在衬底基板10上形成与第一电源线VGH1连接的第五晶体管T5、与第二电源线VGH2连接的第八晶体管T8和第九晶体管T9、与第三电源线VGH1连接的第三晶体管T3以及与第四电源线VGL2连接的第十晶体管T10。例如,第一电源线VGH1和第二电源线VGH2提供相同的第一电源电压,例如,直流高电压。

[0163] 例如,第一电源线VGH1在衬底基板10的正投影与第一扫描驱动电路在衬底基板10的正投影部分重合,第二电源线VGH2在衬底基板10的正投影位于第一电源线VGH1在衬底基板10的正投影与和第二信号线组160在衬底基板的正投影之间。

[0164] 例如,第一电源线VGH1形成在靠近第五晶体管T5的位置,第二电源线VGH2形成在靠近第八晶体管T8和第九晶体管T9的位置,从而可以避免第五晶体管T5、第八晶体管T8和第九晶体管T9为了均与一条电源线(例如,第一电源线VGH1)连接而绕线,从而避免了显示基板在竖直方向上由于绕线占据的空间。

[0165] 例如,第三电源线VGL1和第四电源线VGL2提供相同的第二电源电压,例如,直流低电压。例如,第一电源电压高于第二电源电压。例如,第四电源线VGL2在衬底基板10的正投影与第一扫描驱动电路在衬底基板10的正投影部分重合,第三电源线VGL1在衬底基板10的正投影位于第三电源线VGL1在衬底基板10的正投影与和第一信号线组150在衬底基板10的正投影之间。

[0166] 例如,第三电源线VGL1形成在靠近第三晶体管T3的位置,第四电源线VGL2形成在靠近第十晶体管T10的位置,从而可以避免第三晶体管T3和第十晶体管T10为了均与一条电源线(例如,第三电源线VGL1)或分别与位于显示基板左侧的第三电源线VGL1和第四电源线VGL2连接而绕线,从而避免了显示基板在竖直方向上由于绕线占据的空间。

[0167] 例如,在一些示例中,该显示基板的制作方法还包括:在周边区域内以及衬底基板10的第一侧形成第二扫描驱动电路。例如,第二扫描驱动电路包括多个级联的移位寄存器(例如,包括图5B中所示的第一级移位寄存器132)。例如,如图5B所示,第二信号线组160还包括第二触发信号线ESTV2,与第二扫描驱动电路包括的多个级联的移位寄存器中的第一级移位寄存器132连接,以向第二扫描驱动电路包括的第一级移位寄存器132提供第二触发信号。

[0168] 例如,第一触发信号线ESTV1和第二触发信号线ESTV2的延伸长度均与第一扫描驱动电路和第二扫描驱动电路的排列长度相同,从而可以避免由于第一触发信号线ESTV1和第二触发信号线ESTV2的延伸长度不同而导致走线电阻不同,以影响其分别传输的触发信号。相应地,例如,当包括多个扫描驱动电路时,其余各条触发信号线的延伸长度均可以与

第一触发信号线ESTV1和第二触发信号线ESTV2的延伸长度相同。

[0169] 例如,在一些示例中,该显示基板的制作方法还包括:在垂直于衬底基板10的方向上且在衬底基板10和第二信号线组160之间形成至少一个第一电阻和至少一个第二电阻。

[0170] 需要注意的是,当该显示基板包括多个扫描驱动电路(例如,还包括第三扫描驱动电路、第四扫描驱动电路等)时,该显示基板的制作方法,还包括:在垂直于衬底基板10的方向上且在衬底基板10和第二信号线组之间形成与多个扫描驱动电路对应的电阻,本公开的实施例对此不作限制。

[0171] 如图5B和图10所示,第二电阻R2在垂直于衬底基板10的方向上位于衬底基板10和第二信号线组160之间(即位于半导体层310),且第二电阻R2在衬底基板10的正投影位于第二信号线组160在衬底基板10的正投影远离像素阵列区的一侧。相应地,第一电阻在垂直于衬底基板10的方向上位于衬底基板10和第二信号线组160之间,且第一电阻在衬底基板10的正投影位于第二信号线组160在衬底基板10的正投影远离像素阵列区的一侧。需要注意的是,第一电阻和第二电阻R2还可以设置在其他合适的位置,不限于图5B所示的位置。

[0172] 例如,在一些示例中,该显示基板的制作方法还包括:在第一电阻R1和第二电阻R2远离衬底基板10的一侧,即在第一导电层320,形成至少一条第一连接线和至少一条第二连接线。因此,可以避免在将其设置在第三导电层340时由于与第四电源线VGL2交叉而导致信号错乱的现象。

[0173] 例如,第一连接线将第一电阻的一端与第一扫描驱动电路的第一级移位寄存器连接,第二连接线将所述第一电阻的另一端与第一触发信号线连接;第一连接线L1将第二电阻R2的一端与第二扫描驱动电路的第一级移位寄存器(例如,第一晶体管T1)连接,第二连接线L2将第二电阻R2的另一端与第二触发信号线ESTV2连接。

[0174] 例如,在一些示例中,该显示基板的制作方法还包括:在衬底基板10上形成与多条电源线140、第一信号线组150和第二信号线组160同层设置的第一导电连接部L3和第二导电连接部L4;在垂直于衬底基板10的方向上且在第一电阻R1(即半导体层310)和第一连接线L1以及第二连接线L2(第一导电层320)之间形成第一绝缘层350;在垂直于衬底基板10的方向上且在第一连接线L1以及第二连接线L2(第一导电层320)和第一导电连接部L3以及第二导电连接部L4(即第三导电层340)之间形成第二绝缘层360。需要注意的是,该显示基板的制作方法还包括在第二绝缘层360和第三导电层之间340形成如图8所示的第二导电层330和位于第二导电层330和第三导电层340之间的第三绝缘层370,具体介绍可参考上面的描述,在此不再赘述。

[0175] 例如,如图5B和图10所示,第一导电连接部L3的一端通过贯穿第二绝缘层360(以及第三绝缘层370)的过孔133与第一连接线L1的一端连接,第一导电连接部L3的另一端通过贯穿第一绝缘层350以及第二绝缘层360(以及第三绝缘层370)的过孔134与第二电阻R2的一端连接。例如,第一连接线L1的另一端通过贯穿第二绝缘层360以及第三绝缘层360的过孔135以及通过贯穿第一绝缘层350、第二绝缘层360以及第三绝缘层360的过孔139与第一扫描驱动电路的第一级移位寄存器(例如,第一晶体管T1的源极S1)连接。例如,当该第一连接线L1的另一端在衬底基板10上的正投影与第一晶体管T1的源极S1在衬底基板10上的正投影至少部分重叠时,第一连接线L1的另一端也可以通过贯穿第一绝缘层350的过孔(图中未示出)与第一晶体管T1的源极S1连接,本公开的实施例对此不作限制。

[0176] 第二导电连接部L4的一端通过贯穿第二绝缘层350(和第三绝缘层360)的过孔136与第二连接线L2的一端连接,第二导电连接部L4的另一端通过贯穿第一绝缘层350以及第二绝缘层360(以及第三绝缘层370)的过孔137与第二电阻R2的另一端连接。第二连接线L2的另一端通过贯穿第二绝缘层360和第三绝缘层370的过孔138与第二触发信号线ESTV2连接。

[0177] 在本公开的实施例中,各个扫描驱动电路的第一级移位寄存器通过各个电阻与对应的触发信号连接,可以避免在对设备通电的瞬间产生的静电对各个信号(例如,触发信号、时钟信号等)的影响,从而可以使得扫描驱动电路输出的输出信号更加精确,提高显示面板的显示质量。

[0178] 需要说明的是,本公开的多个实施例中,该显示基板的制作方法的流程可以包括更多或更少的操作,这些操作可以顺序执行或并行执行。虽然上文描述的制作方法的流程包括特定顺序出现的多个操作,但是应该清楚地了解,多个操作的顺序并不受限制。上文描述的制作方法可以执行一次,也可以按照预定条件执行多次。

[0179] 关于上述实施例提供的显示基板的制作方法的技术效果可以参考本公开的实施例中提供的显示基板的技术效果,这里不再赘述。

[0180] 有以下几点需要说明:

[0181] (1) 本公开实施例附图只涉及到与本公开实施例涉及到的结构,其他结构可参考通常设计。

[0182] (2) 在不冲突的情况下,本公开的实施例及实施例中的特征可以相互组合以得到新的实施例。

[0183] 以上所述仅是本公开的示范性实施方式,而非用于限制本公开的保护范围,本公开的保护范围由所附的权利要求确定。

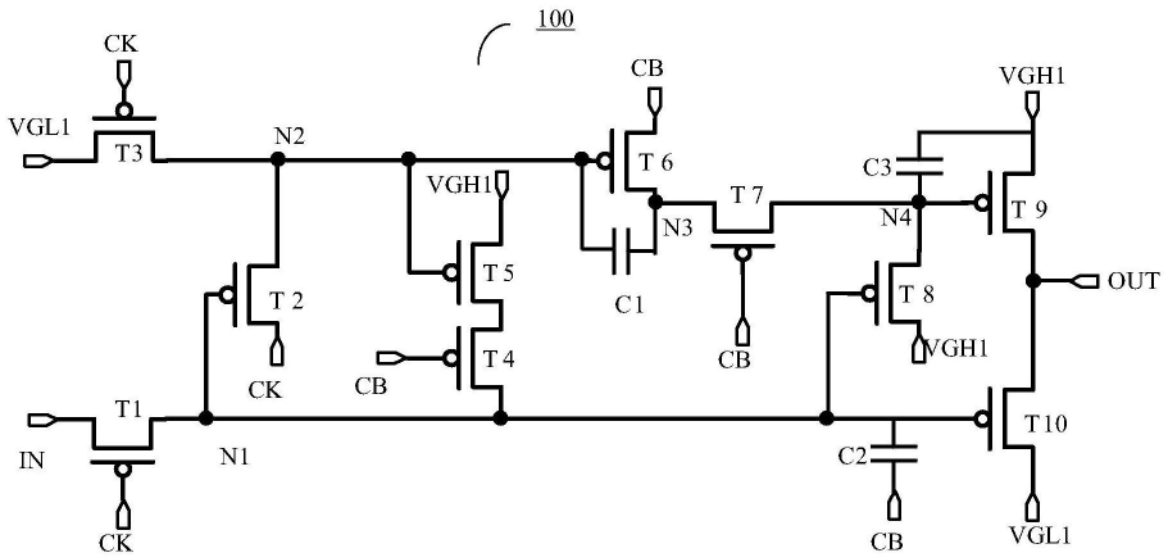


图1

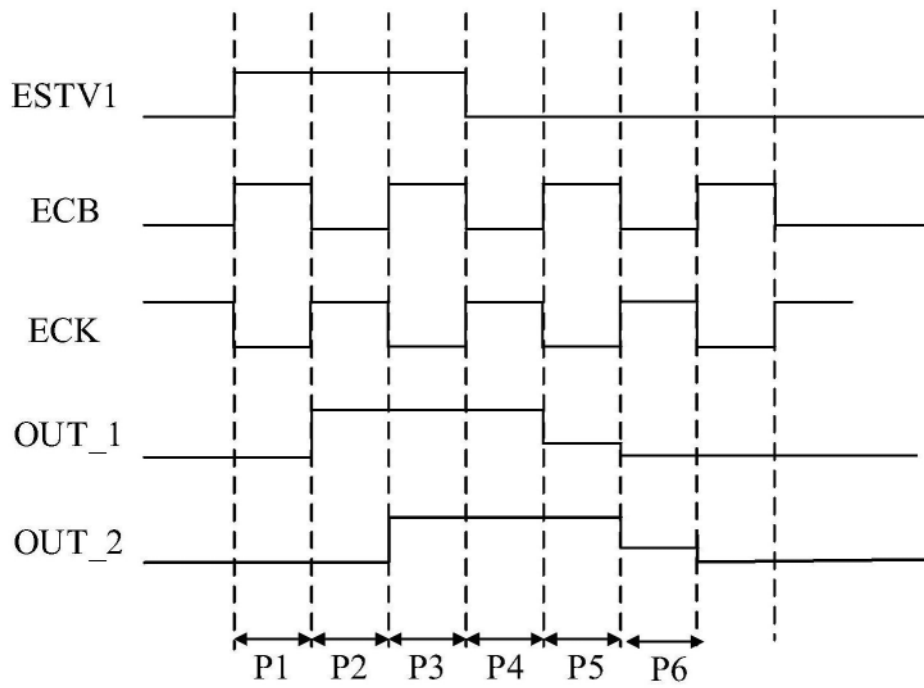


图2

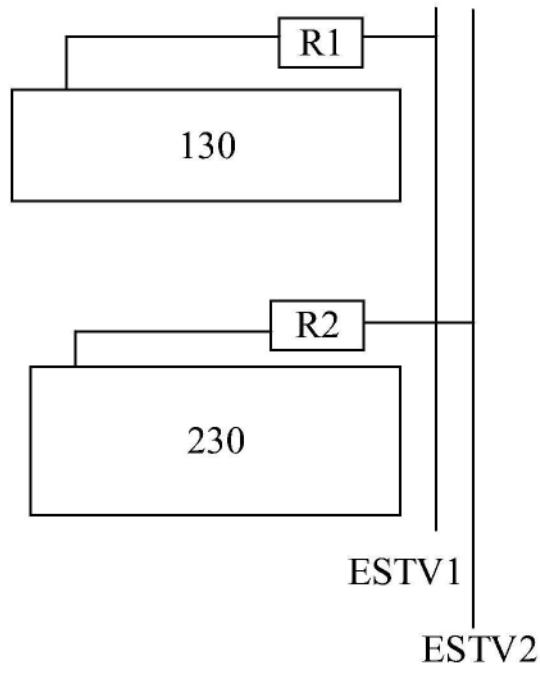


图3

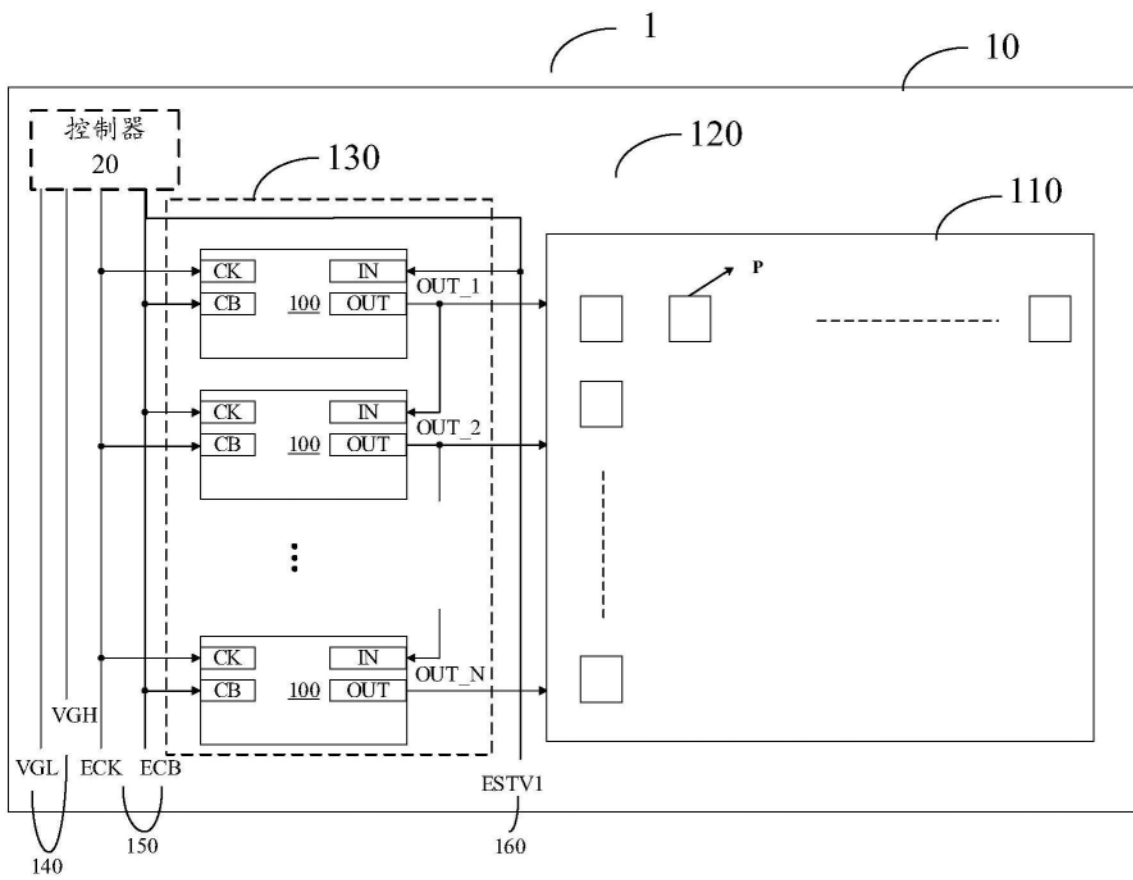


图4

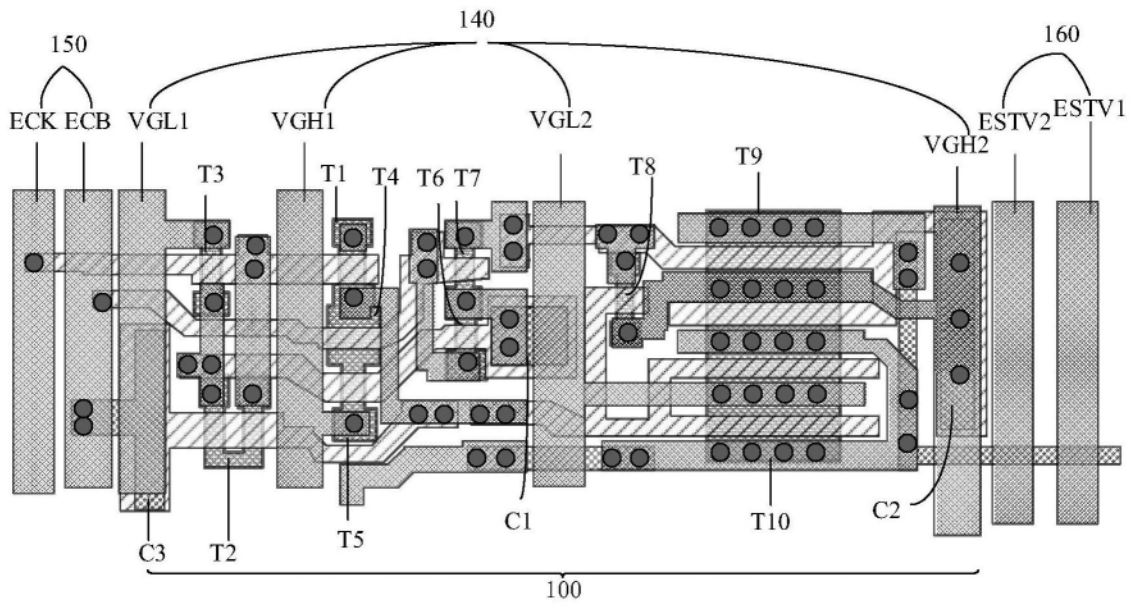


图5A

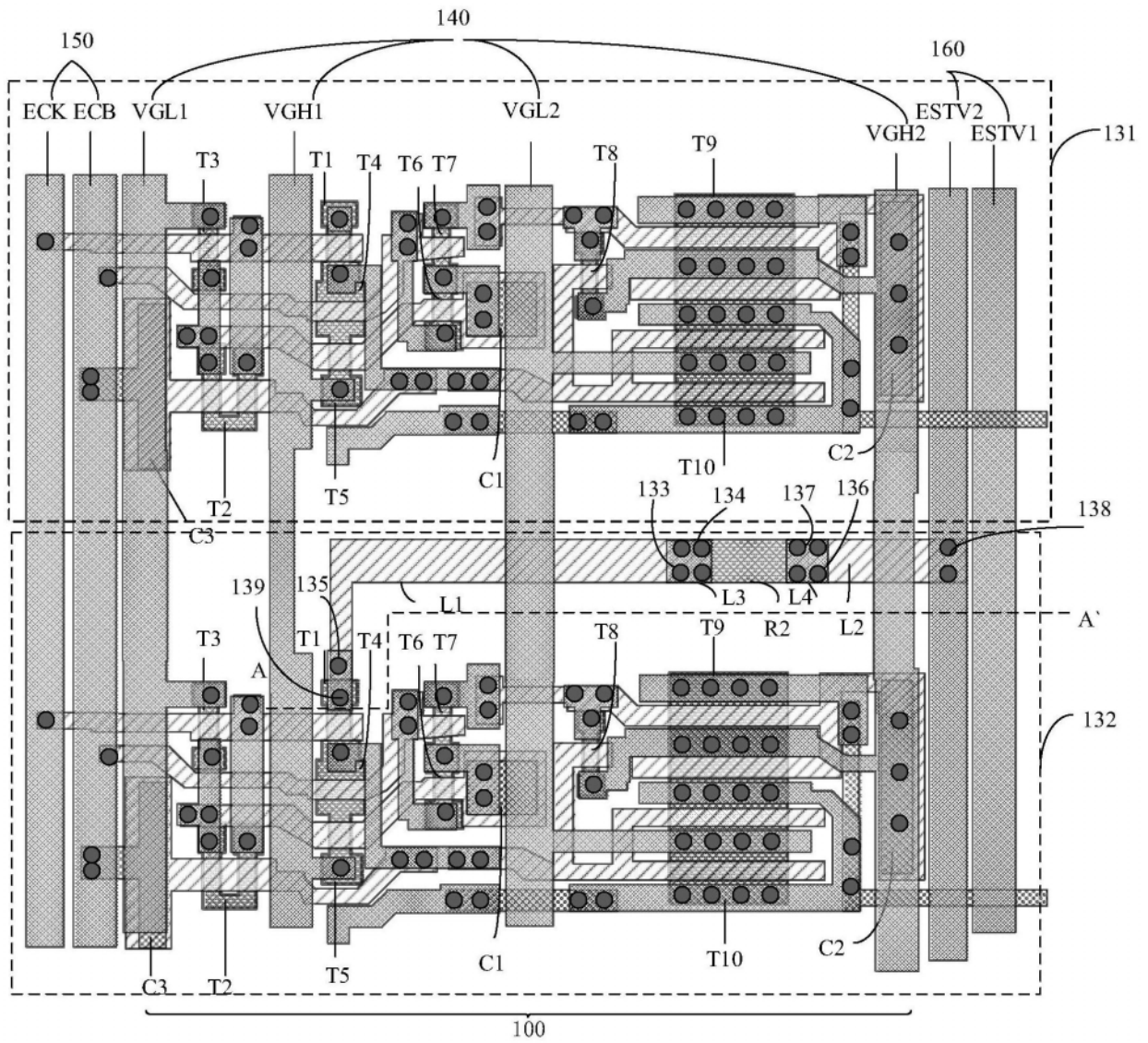


图5B

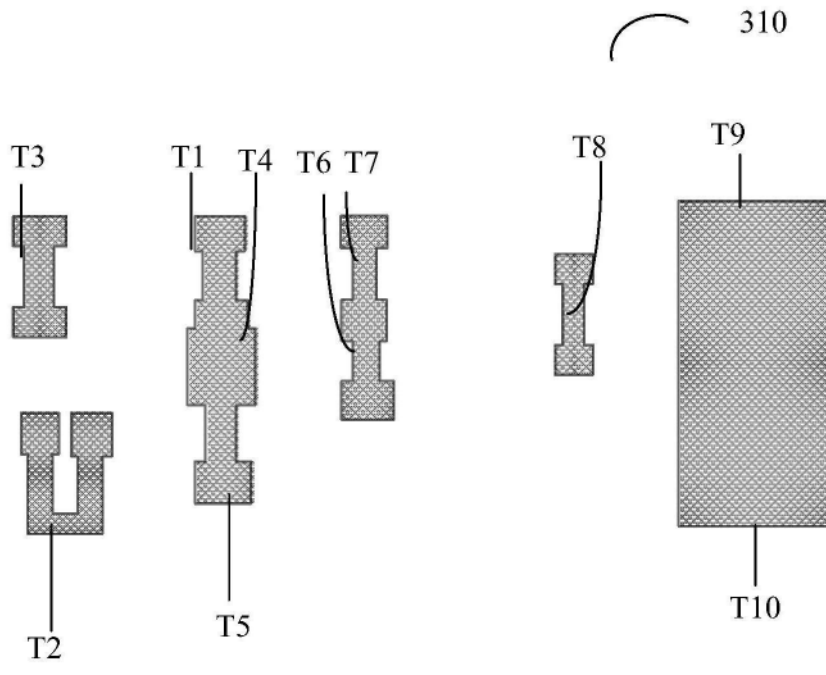


图6A

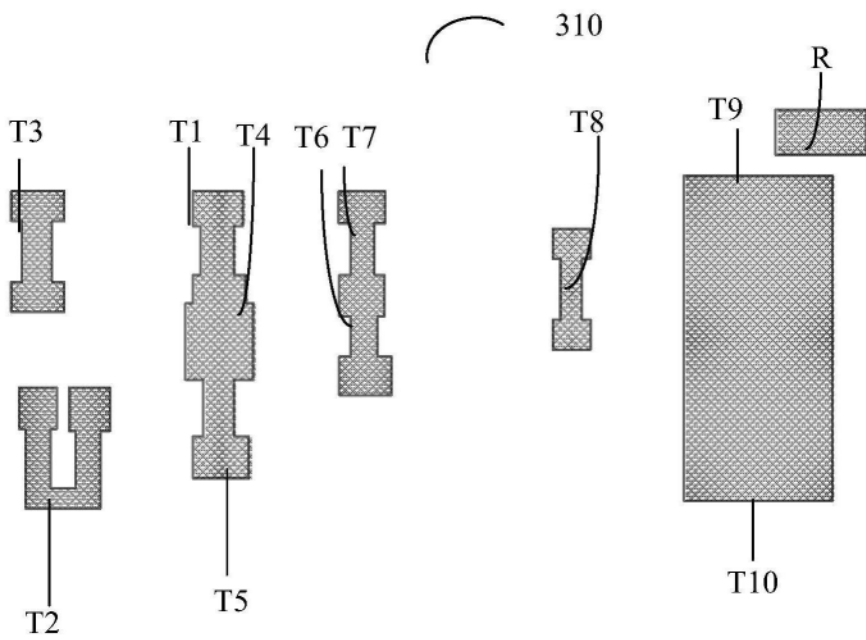


图6B

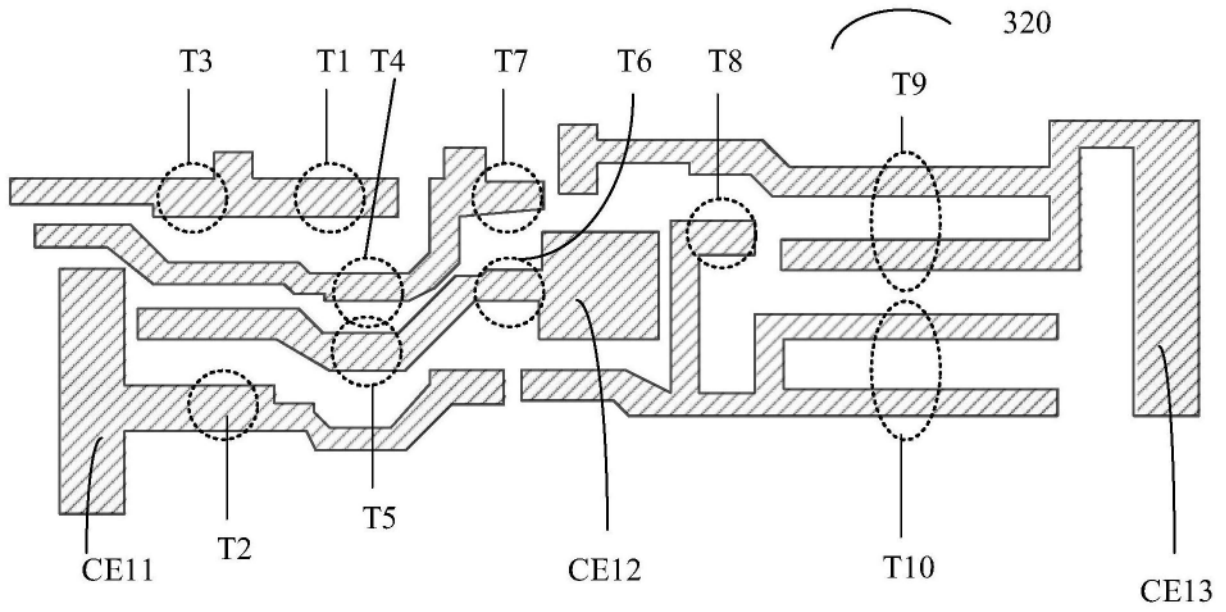


图7A

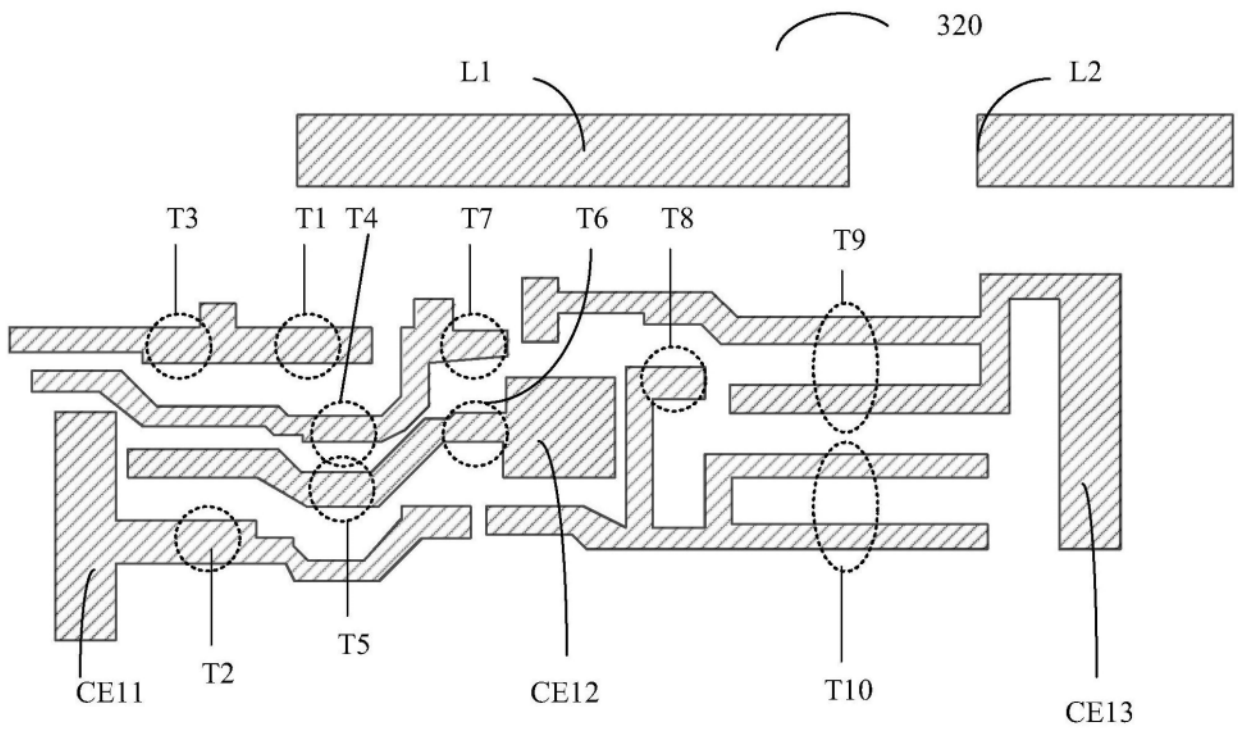


图7B

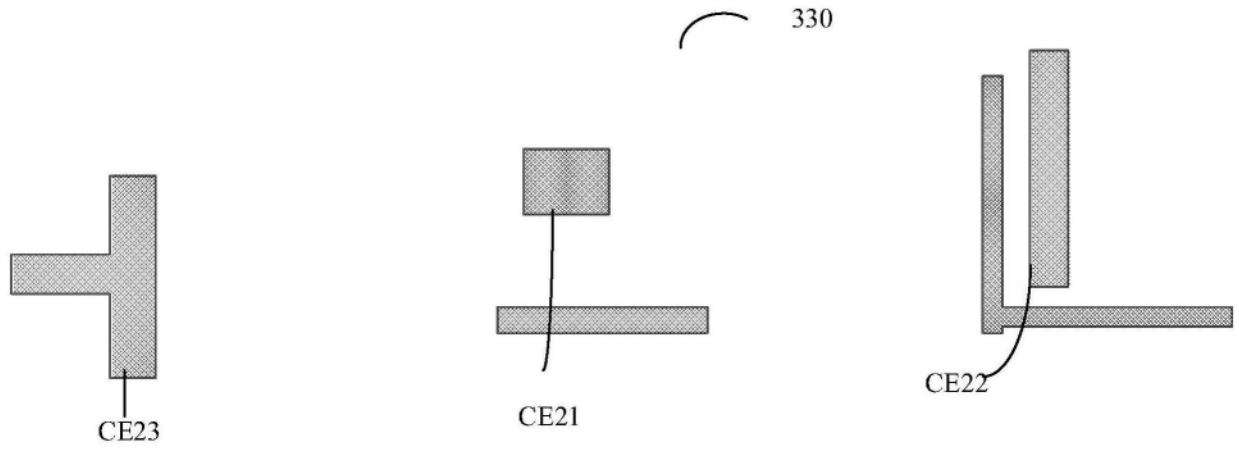


图8

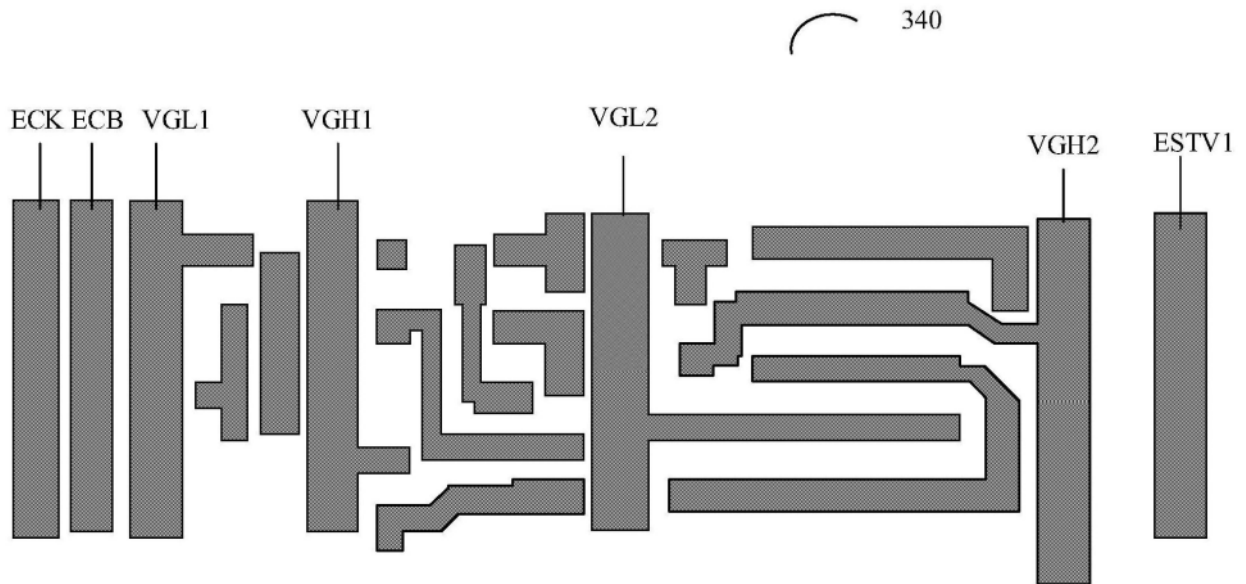


图9A

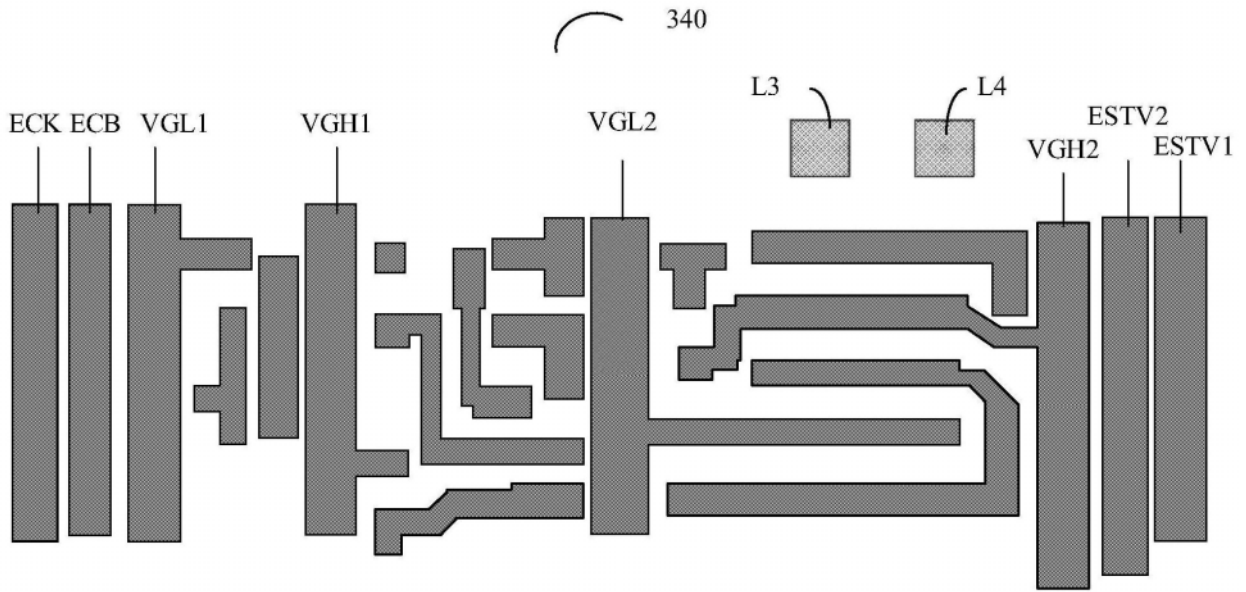


图9B

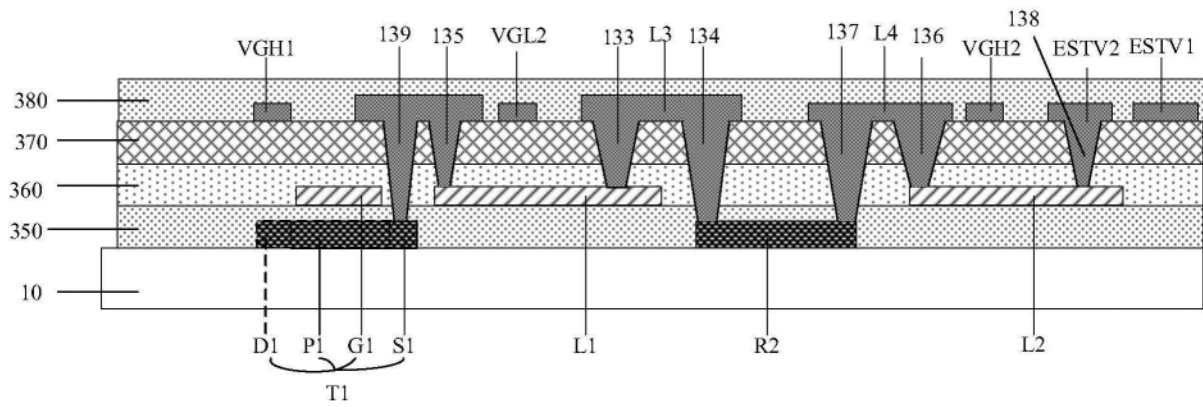


图10

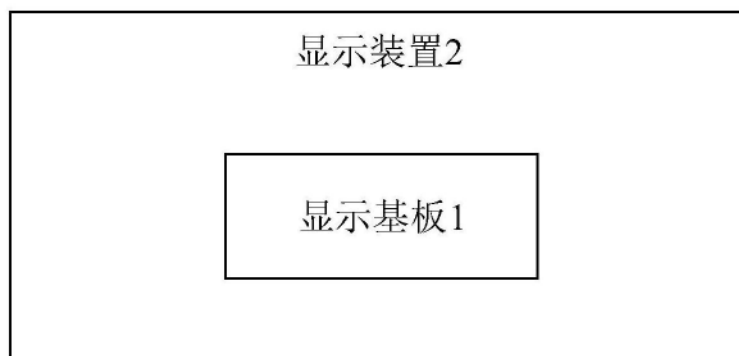


图11

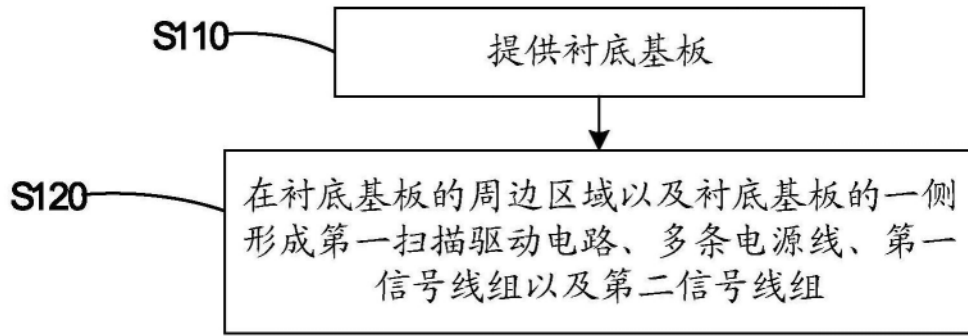


图12