(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2025 년 2 월 27 일 (27.02.2025)

WIPO | PCT

(10) 국제공개번호
WO 2025/042012 A1

(51) 국제특허분류:
H10B 51/30 (2023.01) *H10B 43/27* (2023.01)
H10B 51/20 (2023.01) *G11C 16/10* (2006.01)
H10B 43/35 (2023.01) *G11C 16/26* (2006.01)

(21) 국제출원번호: PCT/KR2024/008768

(22) 국제출원일: 2024 년 6 월 25 일 (25.06.2024)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2023-0109057 2023 년 8 월 21 일 (21.08.2023) KR

(71) 출원인: 한양대학교 산학협력단 (**IUCF-HYU (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY)**) [KR/KR]; 04763 서울특별시 성동구 왕십리로 222, Seoul (KR).

(72) 발명자: **송윤흡 (SONG, Yun Heub)**; 04763 서울특별시 성동구 왕십리로 222, Seoul (KR).

(74) 대리인: 김정훈 (**KIM, Jeong Hoon**); 06099 서울특별시 강남구 선릉로125길 14 삼성빌딩 2층 피앤티특허법률사무소, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

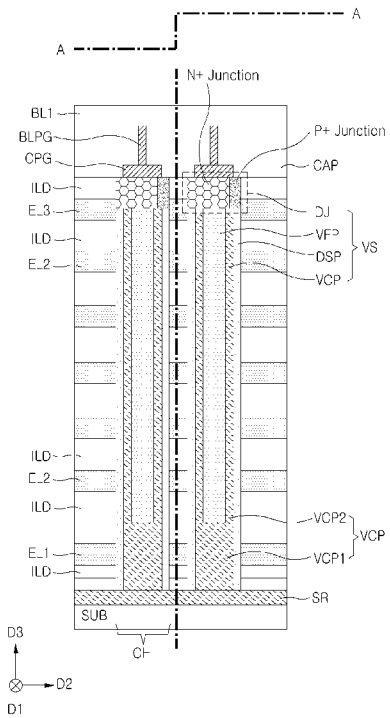
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:
— 국제조사보고서와 함께 (조약 제21조(3))

WO 2025/042012 A1

(54) Title: THREE-DIMENSIONAL FLASH MEMORY COMPRISING ASYMMETRICALLY-STRUCTURED DUAL JUNCTION

(54) 발명의 명칭: 비대칭 구조의 듀얼 정션을 포함하는 3차원 플래시 메모리



(57) Abstract: A three-dimensional flash memory including an asymmetrically-structured dual junction is disclosed. According to one embodiment, the three-dimensional flash memory may comprise: gate electrodes vertically spaced apart and stacked while extending horizontally on a substrate; and vertical channel structures passing through the gate electrodes and extending vertically, each of the vertical channel structures including a vertical channel pattern and a data storage pattern, and the respective tops of the vertical channel structures having a asymmetrically-structured dual junction that is doped with different types of impurities and has different areas.

(57) 요약서: 비대칭 구조의 듀얼 정션을 포함하는 3차원 플래시 메모리가 개시된다. 일 실시예에 따르면, 3차원 플래시 메모리는 기판 상 수평 방향으로 연장 형성된 채 수직 방향으로 이격되며 적층된 게이트 전극들; 및 상기 게이트 전극들을 관통하며 상기 수직 방향으로 연장 형성되는 수직 채널 구조체들-상기 수직 채널 구조체들 각각은 수직 채널 패턴 및 데이터 저장 패턴을 포함하고, 상기 수직 채널 구조체들 각각의 상단에는 서로 다른 타입의 불순물로 도핑된 채 서로 다른 면적을 갖는 비대칭 구조인 듀얼 정션(Dual junction)이 형성됨-을 포함할 수 있다.

명세서

발명의 명칭: 비대칭 구조의 듀얼 정션을 포함하는 3차원 플래시 메모리

기술분야

[1] 아래의 실시예들은 비대칭 구조의 듀얼 정션을 포함하는 3차원 플래시 메모리, 그 동작 방법 및 그 제조 방법에 관한 기술이다.

배경기술

[2] 플래시 메모리 소자는 F-N 터널링(Fowler-Nordheimtunneling) 또는 열전자 주입(Hot electron injection)에 의해 전기적으로 데이터의 입출력을 제어하여 전기적으로 프로그램 및 소거가 가능한 판독 전용 메모리(Electrically Erasable Programmable Read Only Memory; EEPROM)로서, 컴퓨터, 디지털 카메라, MP3 플레이어, 게임 시스템, 메모리 스틱(Memory stick) 등에 공통적으로 이용될 수 있다.

[3] 이러한 플래시 메모리 소자에서는 소비자가 요구하는 우수한 성능 및 저렴한 가격을 충족시키기 위해 집적도를 증가시키는 것이 요구된 바, 메모리 셀 트랜지스터들이 수직 방향으로 배열되어 셀 스트링을 구성하는 3차원 구조가 제안되었다.

[4] 그러나 기존의 3차원 플래시 메모리는 메모리 윈도우로 양의 전압 일부 영역만을 사용하는 한계로 인해 4Bit의 다치화 수준에 머물고 있는 단점을 갖는다.

[5] 이에, 다치화를 개선하기 위한 기술이 제안될 필요가 있다.

발명의 상세한 설명

기술적 과제

[6] 일 실시예들은 기존 3차원 플래시 메모리보다 개선된 다치화를 구현하고자, 서로 다른 타입의 불순물로 도핑되는 듀얼 정션(Dual junction)을 포함하는 3차원 플래시 메모리, 그 동작 방법 및 제조 방법을 제안한다.

[7] 이 때, 일 실시예들은 비대칭 구조로 구현된 듀얼 정션을 포함하는 3차원 플래시 메모리, 그 동작 방법 및 제조 방법을 제안한다.

[8] 다만, 본 발명이 해결하고자 하는 기술적 과제들은 상기 과제로 한정되는 것이 아니며, 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있다.

과제 해결 수단

[9] 일 실시예에 따르면, 3차원 플래시 메모리는, 기판 상 수평 방향으로 연장 형성된 채 수직 방향으로 이격되며 적층된 게이트 전극들; 및 상기 게이트 전극들을 관통하며 상기 수직 방향으로 연장 형성되는 수직 채널 구조체들-상기 수직 채널 구조체들 각각은 수직 채널 패턴 및 데이터 저장 패턴을 포함하고, 상기 수직 채널 구조체들 각각의 상단에는 서로 다른 타입의 불순물로 도핑된 채 서로 다른

면적을 갖는 비대칭 구조인 듀얼 정션(Dual junction)이 형성됨-을 포함할 수 있다.

[10] 일 측면에 따르면, 상기 듀얼 정션은, N+ 도핑된 N+ 정션 및 P+ 도핑된 P+ 정션을 포함하는 것을 특징으로 할 수 있다.

[11] 다른 일 측면에 따르면, 상기 듀얼 정션은, 상기 N+ 정션이 상기 P+ 정션보다 더 큰 면적을 갖는 비대칭 구조인 것을 특징으로 할 수 있다.

[12] 또 다른 일 측면에 따르면, 상기 듀얼 정션은, 프로그램 동작 시 상기 게이트 전극들 중 프로그램 동작의 대상이 되는 대상 메모리 셀에 대응하는 선택된 게이트 전극에 인가되는 전압에 응답하여, 상기 N+ 정션 또는 상기 P+ 정션 중 어느 하나를 선택적으로 활성화시켜 상기 수직 채널 패턴에 채널을 형성하는 것을 특징으로 할 수 있다.

[13] 또 다른 일 측면에 따르면, 상기 N+ 정션은, 상기 선택된 게이트 전극에 인가되는 양의 전압에 응답하여, 상기 수직 채널 패턴에 N형 채널을 형성하는 것을 특징으로 할 수 있다.

[14] 또 다른 일 측면에 따르면, 상기 양의 전압은, ISPP(Incremental step pulse program) 방식으로 상기 선택된 게이트 전극에 인가되는 것을 특징으로 할 수 있다.

[15] 또 다른 일 측면에 따르면, 상기 P+ 정션은, 상기 선택된 게이트 전극에 인가되는 음의 전압에 응답하여, 상기 수직 채널 패턴에 P형 채널을 형성하는 것을 특징으로 할 수 있다.

[16] 또 다른 일 측면에 따르면, 상기 음의 전압은, ISPP 방식으로 상기 선택된 게이트 전극에 인가되는 것을 특징으로 할 수 있다.

[17] 또 다른 일 측면에 따르면, 상기 3차원 플래시 메모리는, 상기 음의 전압으로 프로그램된 메모리 셀들을 양의 전압으로 프로그램된 상태로 이동시키는 제1 단계 및 상기 양의 전압으로 프로그램된 메모리 셀들과 상기 이동된 메모리 셀들에 대해 소거 동작을 수행하는 제2 단계로 상기 음의 전압으로 프로그램된 메모리 셀들에 대한 상기 소거 동작을 수행하는 것을 특징으로 할 수 있다.

[18] 또 다른 일 측면에 따르면, 상기 듀얼 정션은, 판독 동작 시 상기 N+ 정션만을 활성화시켜 상기 수직 채널 패턴에 N형 채널을 형성하는 것을 특징으로 할 수 있다.

[19] 또 다른 일 측면에 따르면, 상기 듀얼 정션은, 상기 N+ 정션 및 상기 P+ 정션을 서로 절연시키도록 상기 N+ 정션 및 상기 P+ 정션 사이에 개재되는 절연막을 더 포함하는 것을 특징으로 할 수 있다.

[20] 일 실시예에 따르면, 기판 상 수평 방향으로 연장 형성된 채 수직 방향으로 이격되며 적층된 게이트 전극들; 및 상기 게이트 전극들을 관통하며 상기 수직 방향으로 연장 형성되는 수직 채널 구조체들-상기 수직 채널 구조체들 각각은 수직 채널 패턴 및 데이터 저장 패턴을 포함하고, 상기 수직 채널 구조체들 각각의 상단에는 서로 다른 타입의 불순물로 도핑된 채 서로 다른 면적을 갖는 비대칭 구

조인 듀얼 정션(Dual junction)이 형성됨-을 포함하는 3차원 플래시 메모리의 프로그램 동작 방법은, 상기 게이트 전극들 중 프로그램 동작의 대상이 되는 대상 메모리 셀에 대응하는 선택된 게이트 전극에 전압을 인가하는 단계; 및 상기 선택된 게이트 전극에 인가되는 전압에 응답하여, 상기 듀얼 정션에 포함되는 N+ 정션 또는 P+ 정션 중 어느 하나를 선택적으로 활성화시켜 상기 수직 채널 패턴에 채널을 형성함으로써 상기 대상 메모리 셀에 대한 프로그램 동작을 수행하는 단계를 포함할 수 있다.

[21] 일 측면에 따르면, 상기 인가하는 단계는, 상기 선택된 게이트 전극에 양의 전압을 인가하는 단계를 포함하고, 상기 프로그램 동작을 수행하는 단계는, 상기 선택된 게이트 전극에 인가되는 양의 전압에 응답하여, 상기 N+ 정션을 통해 상기 수직 채널 패턴에 N형 채널을 형성하여 프로그램 동작을 수행하는 단계를 포함하는 것을 특징으로 할 수 있다.

[22] 다른 일 측면에 따르면, 상기 인가하는 단계는, 상기 선택된 게이트 전극에 음의 전압을 인가하는 단계를 포함하고, 상기 프로그램 동작을 수행하는 단계는, 상기 선택된 게이트 전극에 인가되는 음의 전압에 응답하여, 상기 P+ 정션을 통해 상기 수직 채널 패턴에 P형 채널을 형성하여 프로그램 동작을 수행하는 단계를 포함하는 것을 특징으로 할 수 있다.

[23] 또 다른 일 측면에 따르면, 상기 인가하는 단계는, 상기 전압을 ISPP(Incremental step pulse program) 방식으로 상기 선택된 게이트 전극에 인가하는 단계인 것을 특징으로 할 수 있다.

[24] 일 실시예에 따르면, 기판 상 수평 방향으로 연장 형성된 채 수직 방향으로 이격되며 적층된 게이트 전극들; 및 상기 게이트 전극들을 관통하며 상기 수직 방향으로 연장 형성되는 수직 채널 구조체들-상기 수직 채널 구조체들 각각은 수직 채널 패턴 및 데이터 저장 패턴을 포함하고, 상기 수직 채널 구조체들 각각의 상단에는 서로 다른 타입의 불순물로 도핑된 채 서로 다른 면적을 갖는 비대칭 구조인 듀얼 정션(Dual junction)이 형성됨-을 포함하는 3차원 플래시 메모리의 소거 동작 방법은, 상기 듀얼 정션에 포함되는 P+ 정션을 통해 상기 수직 채널 패턴에 P형 채널이 형성됨에 따라 음의 전압으로 프로그램된 메모리 셀들을 양의 전압으로 프로그램된 상태로 이동시키는 단계; 및 상기 양의 전압으로 프로그램된 메모리 셀들과 상기 이동된 메모리 셀들에 대해 소거 동작을 수행하는 단계를 포함할 수 있다.

[25] 일 실시예에 따르면, 기판 상 수평 방향으로 연장 형성된 채 수직 방향으로 이격되며 적층된 게이트 전극들; 및 상기 게이트 전극들을 관통하며 상기 수직 방향으로 연장 형성되는 수직 채널 구조체들-상기 수직 채널 구조체들 각각은 수직 채널 패턴 및 데이터 저장 패턴을 포함하고, 상기 수직 채널 구조체들 각각의 상단에는 서로 다른 타입의 불순물로 도핑된 채 서로 다른 면적을 갖는 비대칭 구조인 듀얼 정션(Dual junction)이 형성됨-을 포함하는 3차원 플래시 메모리의 판독 동작 방법은, 상기 게이트 전극들 중 판독 동작의 대상이 되는 대상 메모리 셀

에 대응하는 선택된 게이트 전극에 양의 전압을 인가하는 단계; 및 상기 선택된 게이트 전극에 인가되는 양의 전압에 응답하여, 상기 듀얼 정션에 포함되는 N+ 정션만을 활성화시켜 상기 수직 채널 패턴에 N형 채널을 형성함으로써 상기 대상 메모리 셀에 대한 판독 동작을 수행하는 단계를 포함할 수 있다.

[26] 일 실시예에 따르면, 서로 다른 타입의 불순물로 도핑된 채 서로 다른 면적을 갖는 비대칭 구조인 듀얼 정션(Dual junction)을 포함하는 3차원 플래시 메모리의 제조 방법은, 기판 상 수평 방향으로 연장 형성된 채 수직 방향으로 이격되며 적층된 게이트 전극들; 및 상기 게이트 전극들을 관통하며 상기 수직 방향으로 연장 형성되는 수직 채널 구조체들-상기 수직 채널 구조체들 각각은 수직 채널 패턴 및 데이터 저장 패턴을 포함함-을 포함하는 반도체 구조체를 준비하는 단계; 상기 반도체 구조체 상에 상기 수직 채널 구조체들 각각의 상면 절반 미만의 영역을 가리는 제1 마스크 패턴을 배치하는 단계; 상기 제1 마스크 패턴을 이용하여, 상기 수직 채널 구조체들 각각에서 상기 제1 마스크 패턴에 의해 가려지지 않은 상면 절반 이상의 나머지 영역에 N+ 도핑된 N+ 정션을 형성하는 단계; 상기 반도체 구조체 상에 상기 수직 채널 구조체들 각각의 상기 상면 절반 이상의 나머지 영역을 가리는 제2 마스크 패턴을 배치하는 단계; 및 상기 제2 마스크 패턴을 이용하여, 상기 수직 채널 구조체들 각각에서 상기 제2 마스크 패턴에 의해 가려지지 않은 상기 상면 절반 미만의 영역에 P+ 도핑된 P+ 정션을 형성하는 단계를 포함할 수 있다.

[27] 일 측면에 따르면, 상기 제1 마스크 패턴 및 상기 제2 마스크 패턴은, 상기 수직 채널 구조체들 각각에서 상기 N+ 정션이 상기 P+ 정션보다 더 큰 면적을 갖는 비대칭 구조를 갖도록 상기 수직 채널 구조체들 각각의 상면에서 서로 상이한 면적의 영역들을 각기 가리는 것을 특징으로 할 수 있다.

발명의 효과

[28] 일 실시예들은 서로 다른 타입의 불순물로 도핑되는 듀얼 정션(Dual junction)을 포함하는 3차원 플래시 메모리, 그 동작 방법 및 제조 방법을 제안함으로써, 기존 3차원 플래시 메모리보다 개선된 다치화를 구현하는 기술 효과를 달성할 수 있다.

[29] 이 때, 일 실시예들은 비대칭 구조로 구현된 듀얼 정션을 포함하는 3차원 플래시 메모리, 그 동작 방법 및 제조 방법을 제안할 수 있다.

[30] 다만, 본 발명의 효과는 상기 효과들로 한정되는 것이 아니며, 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있다.

도면의 간단한 설명

[31] 도 1은 일 실시예에 따른 3차원 플래시 메모리의 어레이를 도시한 간략 회로도이다.

[32] 도 2는 일 실시예에 따른 3차원 플래시 메모리의 구조를 도시한 평면도이다.

[33] 도 3a 내지 3d는 일 실시예에 따른 3차원 플래시 메모리의 구조를 도시한 단면도로, 도 2를 A-A'선으로 자른 단면에 해당된다.

[34] 도 4a 내지 4b는 일 실시예에 따른 3차원 플래시 메모리의 개선된 메모리 윈도우를 설명하기 위한 도면이다.

[35] 도 5는 일 실시예에 따른 3차원 플래시 메모리의 프로그램 동작 방법을 도시한 플로우 차트이다.

[36] 도 6a 내지 6b는 일 실시예에 따른 3차원 플래시 메모리의 프로그램 동작 방법을 설명하기 위해 3차원 플래시 메모리의 구조를 도시한 단면도이다.

[37] 도 7은 일 실시예에 따른 3차원 플래시 메모리의 판독 동작 방법을 도시한 플로우 차트이다.

[38] 도 8은 일 실시예에 따른 3차원 플래시 메모리의 판독 동작을 설명하기 위해 메모리 윈도우를 도시한 도면이다.

[39] 도 9는 일 실시예에 따른 3차원 플래시 메모리의 소거 동작 방법을 도시한 플로우 차트이다.

[40] 도 10a 내지 10b는 일 실시예에 따른 3차원 플래시 메모리의 소거 동작을 설명하기 위해 메모리 윈도우를 도시한 도면이다.

[41] 도 11은 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 도시한 플로우 차트이다.

[42] 도 12는 일 실시예들에 따른 3차원 플래시 메모리를 포함하는 전자 시스템을 개략적으로 도시한 사시도이다.

발명의 실시를 위한 최선의 형태

[43] 이하, 본 발명의 실시예를 첨부된 도면을 참조하여 상세하게 설명한다. 그러나 본 발명이 실시예들에 의해 제한되거나 한정되는 것은 아니다. 또한, 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.

[44] 또한, 본 명세서에서 사용되는 용어(Terminology)들은 본 발명의 바람직한 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 시청자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다. 예컨대, 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 또한, 본 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다. 또한, 본 명세서에서 제1, 제2 등의 용어가 다양한 영역, 방향, 형상 등을 기술하기 위해서 사용되었지만, 이들 영역, 방향, 형상이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 소정 영역, 방향 또는 형상을 다른 영역, 방향 또는 형상과 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시예에서 제1 부분으로 언급된 부분이 다른 실시예에서는 제2 부분으로 언급될 수도 있다.

[45] 또한, 본 발명의 다양한 실시 예는 서로 다르지만 상호 배타적일 필요는 없음이 이해되어야 한다. 예를 들어, 여기에 기재되어 있는 특정 형상, 구조 및 특성은 일 실시예에 관련하여 본 발명의 기술적 사상 및 범위를 벗어나지 않으면서 다른 실시 예로 구현될 수 있다. 또한, 제시된 각각의 실시예 범주에서 개별 구성요소의 위치, 배치, 또는 구성은 본 발명의 기술적 사상 및 범위를 벗어나지 않으면서 변경될 수 있음이 이해되어야 한다.

[46] 이하, 도면들을 참조하여, 기존 3차원 플래시 메모리보다 개선된 다치화를 구현하는 3차원 플래시 메모리, 그 동작 방법 및 그 제조 방법에 대해 상세히 설명한다.

[47]

[48] 도 1은 일 실시예에 따른 3차원 플래시 메모리의 어레이를 도시한 간략 회로도이다.

[49] 도 1을 참조하면, 일 실시예에 따른 3차원 플래시 메모리의 어레이는 공통 소스 라인(CSL), 복수의 비트 라인들(BL0, BL1, BL2) 및 공통 소스 라인(CSL)과 비트 라인들(BL0, BL1, BL2) 사이에 배치되는 복수의 셀 스트링들(CSTR)을 포함할 수 있다.

[50] 비트 라인들(BL0, BL1, BL2)은 제2 방향(D2)으로 연장 형성된 채 제1 방향(D1)을 따라 서로 이격되며 2차원적으로 배열될 수 있다. 여기서, 제1 방향(D1), 제2 방향(D2) 및 제3 방향(D3) 각각은 서로 직교하며 X, Y, Z축으로 정의되는 직각 좌표계를 형성할 수 있다.

[51] 비트 라인들(BL0, BL1, BL2) 각각에는 복수의 셀 스트링들(CSTR)이 병렬로 연결될 수 있다. 셀 스트링들(CSTR)은 비트 라인들(BL0, BL1, BL2)과 하나의 공통 소스 라인(CSL) 사이에 제공된 채 공통 소스 라인(CSL)에 공통으로 연결될 수 있다. 이 때, 공통 소스 라인(CSL)은 복수 개로 제공될 수 있으며, 복수의 공통 소스 라인들(CSL)은 제1 방향(D1)으로 연장 형성된 채 제2 방향(D2)을 따라 서로 이격되며 2차원적으로 배열될 수 있다. 복수의 공통 소스 라인들(CSL)에는 전기적으로 동일한 전압이 인가될 수 있으나, 이에 제한되거나 한정되지 않고 복수의 공통 소스 라인들(CSL) 각각이 전기적으로 독립적으로 제어됨으로써 서로 다른 전압이 인가될 수도 있다.

[52] 셀 스트링들(CSTR)은 제3 방향(D3)으로 연장 형성된 채 비트 라인별로 제2 방향(D2)을 따라 서로 이격되며 배열될 수 있다. 실시예에 따르면, 셀 스트링들(CSTR) 각각은 공통 소스 라인(CSL)에 접속하는 접지 선택 트랜지스터(GST), 비트 라인들(BL0, BL1, BL2)에 접속하며 직렬 연결된 제1 및 제2 스트링 선택 트랜지스터들(SST1, SST2), 접지 선택 트랜지스터(GST)와 제1 및 제2 스트링 선택 트랜지스터들(SST1, SST2) 사이에 배치된 채 직렬 연결된 메모리 셀 트랜지스터들(MCT) 및 소거 제어 트랜지스터(ECT)로 구성될 수 있다. 또한, 메모리 셀 트랜지스터들(MCT) 각각은 데이터 저장 요소(Data storage element)를 포함할 수 있다.

[53] 일 예로, 각각의 셀 스트링들(CSTR)은 직렬 연결된 제1 및 제2 스트링 선택 트랜지스터들(SST1, SST2)을 포함할 수 있으며, 제2 스트링 선택 트랜지스터(SST2)는 비트 라인들(BL0, BL1, BL2) 중 하나에 접속될 수 있다. 그러나 이에 제한되거나 한정되지 않고, 각각의 셀 스트링들(CSTR)은 하나의 스트링 선택 트랜지스터를 포함할 수도 있다. 다른 예로, 각각의 셀 스트링들(CSTR)에서 접지 선택 트랜지스터(GST)는, 제1 및 제2 스트링 선택 트랜지스터들(SST1, SST2)와 유사하게, 직렬 연결된 복수 개의 모스 트랜지스터들로 구성될 수도 있다.

[54] 하나의 셀 스트링(CSTR)은 공통 소스 라인들(CSL)로부터의 거리가 서로 다른 복수 개의 메모리 셀 트랜지스터들(MCT)로 구성될 수 있다. 즉, 메모리 셀 트랜지스터들(MCT)은 제1 스트링 선택 트랜지스터(SST1)와 접지 선택 트랜지스터(GST) 사이에서 제3 방향(D3)을 따라 배치된 채 직렬 연결될 수 있다. 소거 제어 트랜지스터(ECT)는 접지 선택 트랜지스터(GST)와 공통 소스 라인들(CSL) 사이에 연결될 수 있다. 셀 스트링들(CSTR) 각각은 제1 스트링 선택 트랜지스터(SST1)와 메모리 셀 트랜지스터들(MCT) 중 최상위의 것 사이 및 접지 선택 트랜지스터(GST)와 메모리 셀 트랜지스터들(MCT) 중 최하위의 것 사이에 각각 연결된 더미 셀 트랜지스터들(DMC)을 더 포함할 수 있다.

[55] 실시예에 따르면, 제1 스트링 선택 트랜지스터(SST1)는 제1 스트링 선택 라인들(SSL1-1, SSL1-2, SSL1-3)에 의해 제어될 수 있으며, 제2 스트링 선택 트랜지스터(SST2)는 제2 스트링 선택 라인들(SSL2-1, SSL2-2, SSL2-3)에 의해 제어될 수 있다. 메모리 셀 트랜지스터들(MCT)은 복수의 워드 라인들(WL0-WLn)에 의해 각각 제어될 수 있으며, 더미 셀 트랜지스터들(DMC)은 더미 워드 라인(DWL)에 의해 각각 제어될 수 있다. 접지 선택 트랜지스터(GST)는 접지 선택 라인들(GSL0, GSL1, GSL2)에 의해 제어될 수 있으며, 소거 제어 트랜지스터(ECT)는 소거 제어 라인(ECL)에 의해 제어될 수 있다. 소거 제어 트랜지스터(ECT)는 복수 개로 제공될 수 있다. 공통 소스 라인들(CSL)은 소거 제어 트랜지스터들(ECT)의 소스들에 공통으로 연결될 수 있다.

[56] 공통 소스 라인들(CSL)로부터 실질적으로 동일한 거리에 제공되는, 메모리 셀 트랜지스터들(MCT)의 게이트 전극들은 워드 라인들(WL0-WLn, DWL) 중의 하나에 공통으로 연결되어 등전위 상태에 있을 수 있다. 그러나 이에 제한되거나 한정되지 않고, 메모리 셀 트랜지스터들(MCT)의 게이트 전극들이 공통 소스 라인들(CSL)로부터 실질적으로 동일한 레벨에 제공되더라도, 서로 다른 행 또는 열에 제공되는 게이트 전극들이 독립적으로 제어될 수도 있다.

[57] 접지 선택 라인들(GSL0, GSL1, GSL2), 제1 스트링 선택 라인들(SSL1-1, SSL1-2, SSL1-3) 및 제2 스트링 선택 라인들(SSL2-1, SSL2-2, SSL2-3)은 제1 방향(D1)을 따라 연장되며, 제2 방향(D2)으로 서로 이격되며 2차원적으로 배열될 수 있다. 공통 소스라인들(CSL)로부터 실질적으로 동일한 레벨에 제공되는 접지 선택 라인들(GSL0, GSL1, GSL2), 제1 스트링 선택 라인들(SSL1-1, SSL1-2, SSL1-3) 및 제2 스트링 선택 라인들(SSL2-1, SSL2-2, SSL2-3)은 전기적으로 서로 분리될

수 있다. 또한, 서로 다른 셀 스트링들(CSTR)의 소거 제어 트랜지스터들(ECT)은 공통의 소거 제어 라인(ECL)에 의해 제어될 수 있다. 소거 제어 트랜지스터들(ECT)은 메모리 셀 어레이의 소거 동작 시 게이트 유도 드레인 누설(Gate Induced Drain Leakage; 이하 GIDL)을 발생시킬 수 있다. 일부 실시예들에서, 메모리 셀 어레이의 소거 동작시 비트 라인들(BL0, BL1, BL2) 및/또는 공통 소스 라인들(CSL)에 소거 전압이 인가될 수 있으며, 스트링 선택 트랜지스터(SST) 및/또는 소거 제어 트랜지스터들(ECT)에서 게이트 유도 누설 전류가 발생될 수 있다.

[58] 이상 설명된 스트링 선택 라인(SSL)은 상부 선택 라인(USL)으로 표현될 수 있으며, 접지 선택 라인(GSL)은 하부 선택 라인으로 표현될 수도 있다.

[59]

[60] 도 2는 일 실시예에 따른 3차원 플래시 메모리의 구조를 도시한 평면도이고, 도 3a 내지 3d는 일 실시예에 따른 3차원 플래시 메모리의 구조를 도시한 단면도로, 도 2를 A-A'선으로 자른 단면에 해당되며, 도 4a 내지 4b는 일 실시예에 따른 3차원 플래시 메모리의 개선된 메모리 윈도우를 설명하기 위한 도면이다.

[61] 도면들을 참조하면, 기판(SUB)은 실리콘 기판, 실리콘-게르마늄 기판, 게르마늄 기판 또는 단결정(Monocrystalline) 실리콘 기판에 성장된 단결정 에피택시얼층(Epitaxial layer) 등의 반도체 기판일 수 있다. 기판(SUB)에는 제1 도전형 불순물(예컨대, P-의 불순물)이 도핑될 수 있다.

[62] 기판(SUB) 상에는 적층 구조체들(ST)이 배치될 수 있다. 적층 구조체들(ST)은 제1 방향(D1)으로 연장 형성된 채 제2 방향(D2)을 따라 2차원적으로 배치될 수 있다. 또한, 적층 구조체들(ST)은 제2 방향(D2)으로 서로 이격될 수 있다.

[63] 적층 구조체들(ST) 각각은 기판(SUB)의 상면에 수직한 수직 방향(예컨대 제3 방향(D3))으로 교대로 적층된 게이트 전극들(EL1, EL2, EL3), 층간 절연막들(ILD)을 포함할 수 있다. 적층 구조체들(ST)은 실질적으로 평탄한 상면을 가질 수 있다. 즉, 적층 구조체들(ST)의 상면은 기판(SUB)의 상면과 평행할 수 있다. 이하, 수직 방향은 제3 방향(D3) 또는 제3 방향(D3)의 역방향을 의미한다.

[64] 다시 도 1을 참조하면, 각각의 게이트 전극들(EL1, EL2, EL3)은 기판(SUB) 상에 차례로 적층된 소거 제어 라인(ECL), 접지 선택 라인들(GSL0, GSL1, GSL2), 워드라인들(WL0-WLn, DWL), 제1 스트링 선택 라인들(SSL1-1, SSL1-2, SSL1-3) 및 제2 스트링 선택 라인들(SSL2-1, SSL2-2, SSL2-3) 중 하나일 수 있다.

[65] 게이트 전극들(EL1, EL2, EL3) 각각은 제1 방향(D1)으로 연장 형성된 채 실질적으로 동일한 제3 방향(D3)으로의 두께를 가질 수 있다. 이하에서, 두께는 제3 방향(D3)으로의 두께를 의미한다. 게이트 전극들(EL1, EL2, EL3) 각각은, 도전성 물질로 형성될 수 있다. 예컨대, 게이트 전극들(EL1, EL2, EL3) 각각은 도핑된 반도체(ex, 도핑된 실리콘 등), 금속(ex, W(텅스텐), Cu(구리), Al(알루미늄), Ti(티타늄), Ta(탄탈륨), Mo(몰리브덴), Ru(루테늄), Au(금) 등) 또는 도전성 금속질화물(ex, 질화티타늄, 질화탄탈늄 등) 등에서 선택된 적어도 하나를 포함할 수 있다.

게이트 전극들(EL1, EL2, EL3) 각각은 설명된 금속 물질 이외에도 ALD로 형성 가능한 모든 금속 물질 중 적어도 하나를 포함할 수 있다.

[66] 보다 구체적으로, 게이트 전극들(EL1, EL2, EL3)은 최하부의 제1 게이트 전극(EL1), 최상부의 제3 게이트 전극(EL3) 및 제1 게이트 전극(EL1)과 제3 게이트 전극(EL3) 사이의 복수의 제2 게이트 전극들(EL2)을 포함할 수 있다. 제1 게이트 전극(EL1) 및 제3 게이트 전극(EL3)은 각각 단수로 도시 및 설명되었으나, 이는 예시적인 것으로 이에 제한되지 않으며, 필요에 따라 제1 게이트 전극(EL1) 및 제3 게이트 전극(EL3)은 복수로 제공될 수도 있다. 제1 게이트 전극(EL1)은 도 1에 도시된 접지 선택 라인들(GSL0, GSL1, GLS2) 중 어느 하나에 해당될 수 있다. 제2 게이트 전극(EL2)은 도 1에 도시된 워드 라인들(WL0-WLn, DWL) 중 어느 하나에 해당될 수 있다. 제3 게이트 전극(EL3)은 도 1에 도시된 제1 스트링 선택 라인들(SSL1-1, SSL1-2, SSL1-3) 중 어느 하나 또는 제2 스트링 선택 라인들(SSL2-1, SSL2-2, SSL2-3) 중 어느 하나에 해당될 수 있다.

[67] 도시되지 않았으나, 적층 구조체들(ST) 각각의 단부는 제1 방향(D1)을 따라 계단 구조(Stepwise structure)를 가질 수 있다. 보다 구체적으로, 적층 구조체들(ST)의 게이트 전극들(EL1, EL2, EL3)은 기판(SUB)으로부터 멀어질수록 제1 방향(D1)으로의 길이가 감소할 수 있다. 제3 게이트 전극(EL3)은 제1 방향(D1)으로의 길이가 가장 작을 수 있고, 기판(SUB)과 제3 방향(D3)으로 이격되는 거리가 가장 클 수 있다. 제1 게이트 전극(EL1)은 제1 방향(D1)으로의 길이가 가장 클 수 있고, 기판(SUB)과 제3 방향(D3)으로 이격되는 거리가 가장 작을 수 있다. 계단식 구조에 의해, 적층 구조체들(ST) 각각은 후술하는 수직 채널 구조체들(VS) 중 최외각의 것(Outer-most one)으로부터 멀어질수록 두께가 감소할 수 있고, 게이트 전극들(EL1, EL2, EL3)의 측벽들은, 평면적 관점에서, 제1 방향(D1)을 따라 일정 간격으로 이격될 수 있다.

[68] 층간 절연막들(ILD) 각각은 서로 다른 두께를 가질 수 있다. 일 예로, 층간 절연막들(ILD) 중 최하부의 것 및 최상부의 것은 다른 층간 절연막들(ILD)보다 작은 두께를 가질 수 있다. 다만, 이는 예시적인 것으로 이에 제한되지 않으며, 층간 절연막들(ILD) 각각의 두께는 반도체 장치의 특성에 따라 서로 다른 두께를 갖거나, 모두 동일하게 설정될 수도 있다. 층간 절연막들(ILD)으로는 게이트 전극들(EL1, EL2, EL3) 사이의 절연을 위해 절연 물질로 형성될 수 있다. 일 예로, 층간 절연막들(ILD)은 실리콘 산화물로 형성될 수 있다.

[69] 적층 구조체들(ST) 및 기판(SUB)의 일부를 관통하는 복수 개의 채널 홀들(CH)이 제공될 수 있다. 채널 홀들(CH) 내에는 수직 채널 구조체들(VS)이 제공될 수 있다. 수직 채널 구조체들(VS)은 도 1에 도시된 복수의 셀 스트링들(CSTR)로서, 기판(SUB)과 연결된 채 제3 방향(D3)으로 연장 형성될 수 있다. 수직 채널 구조체들(VS)이 기판(SUB)과 연결되는 것은, 수직 채널 구조체들(VS) 각각의 일부가 하면이 기판(SUB)의 상면과 맞닿음으로써 이루어질 수 있으나, 이에 제한되거나 한정되지 않고 기판(SUB) 내부에 매립되어 이루어질 수도 있다. 수직 채널 구조

체들(VS) 각각의 일부가 기판(SUB) 내부에 매립되는 경우, 수직 채널 구조체들(VS)의 하면은 기판(SUB)의 상면보다 낮은 레벨에 위치할 수 있다.

[70] 적층 구조체들(ST) 중 어느 하나를 관통하는 수직 채널 구조체들(VS)의 열들은 복수로 제공될 수 있다. 예를 들어, 도 2에 도시된 바와 같이, 3개의 수직 채널 구조체들(VS)의 열들이 적층 구조체들(ST) 중 하나를 관통할 수 있다. 그러나 이에 제한되거나 한정되지 않고, 4개 이상의 수직 채널 구조체들(VS)의 열들이 적층 구조체들(ST) 중 하나를 관통하거나 1개 이상 2개 이하의 수직 채널 구조체들(VS)의 열들이 적층 구조체들(ST) 중 하나를 관통할 수 있다. 인접한 한 쌍의 열들에 있어서, 하나의 열에 해당하는 수직 채널 구조체들(VS)은 이에 인접한 다른 하나의 열에 해당하는 수직 채널 구조체들(VS)로부터 제1 방향(D1)으로 시프트(shift)될 수 있다. 평면적 관점에서, 수직 채널 구조체들(VS)은 제1 방향(D1)을 따라서 지그재그 형태로 배열될 수 있다. 그러나 이에 제한되거나 한정되지 않고, 수직 채널 구조체들(VS)은 로우(Row) 및 컬럼(Column)으로 나란히 배치되는 배열을 형성할 수도 있다.

[71] 수직 채널 구조체들(VS) 각각은 기판(SUB)으로부터 제3 방향(D3)으로 연장 형성될 수 있다. 도면에는 수직 채널 구조체들(VS) 각각이 상단과 하단의 너비가 동일한 기둥 형상을 갖는 것으로 도시되었으나, 이에 제한되거나 한정되지 않고 제3 방향(D3)으로 갈수록 제1 방향(D1) 및 제2 방향(D2)으로의 폭이 증가되는 형상을 가질 수 있다. 수직 채널 구조체들(VS) 각각의 상면은 원 형상, 타원 형상, 사각 형상 또는 바(Bar) 형상을 가질 수 있다.

[72] 수직 채널 구조체들(VS) 각각은 데이터 저장 패턴(DSP), 수직 채널 패턴(VCP), 수직 매립 패턴(VFP) 및 듀얼 정션(Dual junction; DJ)을 포함할 수 있다. 수직 채널 구조체들(VS) 각각에서 데이터 저장 패턴(DSP)은 하단이 오픈된(Opened) 파이프 형태 또는 마카로니 형태를 가질 수 있고, 수직 채널 패턴(VCP)은 하단이 닫힌(Closed) 파이프 형태 또는 마카로니 형태를 가질 수 있다. 수직 매립 패턴(VFP)은 수직 채널 패턴(VCP) 및 듀얼 정션(DJ)로 둘러싸인 공간을 채울 수 있다.

[73] 데이터 저장 패턴(DSP)은 채널 홀들(CH) 각각의 내측벽을 덮은 채, 내측으로는 수직 채널 패턴(VCP)의 외측벽을 둘러싸며 외측으로는 게이트 전극들(EL1, EL2, EL3)의 측벽들과 접촉할 수 있다. 이에, 데이터 저장 패턴(DSP) 중 제2 게이트 전극들(EL2)에 대응하는 영역들은 수직 채널 패턴(VCP) 중 제2 게이트 전극들(EL2)에 대응하는 영역들과 함께, 제2 게이트 전극들(EL2)을 통해 인가되는 전압에 의해 메모리 동작(프로그램 동작, 판독 동작 또는 소거 동작)이 수행되는 메모리 셀들을 구성할 수 있다. 메모리 셀들은 도 1에 도시된 메모리 셀 트랜지스터들(MCT)에 해당된다. 이를 위해, 데이터 저장 패턴(DSP)은 제2 게이트 전극들(EL2)을 통해 인가되는 전압에 의한 전하들을 트랩하거나 전하들의 상태(예컨대, 전하들의 분극 상태)를 유지함으로써 데이터 값을 나타내는 데이터 저장 요소일 수 있다.

[74] 예를 들어, 데이터 저장 패턴(DSP)은 강유전체 물질로 형성됨으로써 전하의 분극 상태로 이진 데이터 값 또는 다치화된 데이터 값을 나타낼 수 있다. 강유전체 물질은 사방정계(Orthorhombic) 결정 구조를 갖는 HfO_x, Al, Zr 또는 Si 중 적어도 하나의 물질이 도핑된 HfO_x, PZT(Pb(Zr, Ti)O_3), PTO($PbTiO_3$), SBT($SrBi_2Ti_2O_3$), BLT(Bi(La, Ti)O_3), PLZT(Pb(La, Zr)TiO_3), BST(Bi(Sr, Ti)O_3), 티탄산바륨(barium titanate, $BaTiO_3$), P(VDF-TrFE), PVDF, AlO_x, ZnO_x, TiO_x, TaO_x 또는 InO_x 중 적어도 하나를 포함할 수 있다.

[75] 다른 예를 들면, 데이터 저장 패턴(DSP)은 ONO(Tunneling Oxide-Charge trap Nitride-Blocking Oxide)로 형성됨으로써, 전하 트랩 질화물층(Charge trap Nitride)에서 전하를 트랩함으로써 이진 데이터 값 또는 다치화된 데이터 값을 나타낼 수 있다.

[76] 도면에는 데이터 저장 패턴(DSP)이 수직 방향(예컨대, 제3 방향(D3))으로 연장 형성되는 것으로 도시되었으나, 이에 제한되거나 한정되지 않고 수직 채널 패턴(VCP)의 외측벽 상 그리고 채널 홀들(CH) 각각의 내측벽 상 제2 게이트 전극들(EL2)에 대응하는 영역들에만 이격되어 배치되는 복수 개로 분절된 구조를 가질 수도 있다.

[77] 수직 채널 패턴(VCP)은 데이터 저장 패턴(DSP)의 내측벽을 덮을 수 있으며, 수직 방향(예컨대, 제3 방향(D3))으로 연장될 수 있다. 수직 채널 패턴(VCP)은 제1 부분(VCP1) 및 제1 부분(VCP1) 상의 제2 부분(VCP2)을 포함할 수 있다.

[78] 수직 채널 패턴(VCP)의 제1 부분(VCP1)은 채널 홀들(CH) 각각의 하부에 제공될 수 있고, 기판(SUB)과 접촉할 수 있다. 이러한 수직 채널 패턴(VCP)의 제1 부분(VCP1)은 수직 채널 구조체들(VS) 각각에서의 누설 전류를 차단, 억제 또는 최소화하는 용도 및/또는 에피택시얼 패턴의 용도로 사용될 수 있다. 수직 채널 패턴(VCP)의 제1 부분(VCP1)의 두께는, 예를 들어, 제1 게이트 전극(EL1)의 두께보다 클 수 있다. 수직 채널 패턴(VCP)의 제1 부분(VCP1)의 측벽은 데이터 저장 패턴(DSP)으로 둘러싸일 수 있다. 수직 채널 패턴(VCP)의 제1 부분(VCP1)의 상면은 제1 게이트 전극(EL1)의 상면보다 높은 레벨에 위치할 수 있다. 보다 구체적으로, 수직 채널 패턴(VCP)의 제1 부분(VCP1)의 상면은 제1 게이트 전극(EL1)의 상면과 제2 게이트 전극들(EL2) 중 최하부의 것의 하면 사이에 위치할 수 있다. 수직 채널 패턴(VCP)의 제1 부분(VCP1)의 하면은 기판(SUB)의 최상면(즉, 층간 절연막들(ILD) 중 최하부의 것의 하면)보다 낮은 레벨에 위치할 수 있다. 수직 채널 패턴(VCP)의 제1 부분(VCP1)의 일부는 제1 게이트 전극(EL1)과 수평 방향으로 중첩될 수 있다. 이하에서, 수평 방향은 제1 방향(D1) 및 제2 방향(D2)과 나란한 평면 상에서 연장되는 임의의 방향을 의미한다.

[79] 수직 채널 패턴(VCP)의 제2 부분(VCP2)은 제1 부분(VCP1)의 상면으로부터 제3 방향(D3)으로 연장될 수 있다. 수직 채널 패턴(VCP)의 제2 부분(VCP2)은 데이터 저장 패턴(DSP)와 수직 매립 패턴(VFP) 사이에 제공될 수 있으며, 제2 게이트

전극들(EL2)에 대응될 수 있다. 이에, 수직 채널 패턴(VCP)의 제2 부분(VCP2)은 전술된 바와 같이 데이터 저장 패턴(DSP) 중 제2 게이트 전극들(EL2)에 대응하는 영역들과 함께, 메모리 셀들을 구성할 수 있다.

[80] 수직 채널 패턴(VCP)의 제2 부분(VCP2)의 상면은 수직 매립 패턴(VFP)의 상면과 실질적으로 공면을 이룰 수 있다. 수직 채널 패턴(VCP)의 제2 부분(VCP2)의 상면은 제2 게이트 전극들(EL2) 중 최상부의 것의 상면보다 높은 레벨에 위치할 수 있다. 보다 구체적으로, 수직 채널 패턴(VCP)의 제2 부분(VCP2)의 상면은 제3 게이트 전극(EL3)의 상면과 하면 사이에 위치할 수 있다.

[81] 수직 채널 패턴(VCP)은 데이터 저장 패턴(DSP)으로 전하 또는 홀을 전달하는 구성요소로서, 인가되는 전압에 의해 채널을 형성하거나 부스팅되도록 단결정질의 실리콘 또는 폴리 실리콘으로 형성될 수 있다. 그러나 이에 제한되거나 한정되지 않고 수직 채널 패턴(VCP)은 누설 전류를 차단, 억제 또는 최소화할 수 있는 산화물 반도체 물질로 형성될 수 있다. 예컨대, 수직 채널 패턴(VCP)은 누설 전류 특성이 우수한 In, Zn 또는 Ga 중 적어도 어느 하나를 포함하는 산화물 반도체 물질 또는 4족 반도체 물질 등으로 형성될 수 있다. 수직 채널 패턴(VCP)은, 예를 들어, AZO, ZTO, IZO, ITO, IGZO 또는 Ag-ZnO 등을 포함하는 ZnOx 계열의 물질로 형성될 수 있다. 따라서, 수직 채널 패턴(VCP)은 게이트 전극들(EL1, EL2, EL3) 또는 기판(SUB)으로의 누설 전류를 차단, 억제 또는 최소화할 수 있고, 게이트 전극들(EL1, EL2, EL3) 중 적어도 어느 하나의 트랜지스터 특성(예를 들어, 문턱 전압 산포 및 프로그램/판독 동작의 속도)을 개선할 수 있어, 결과적으로 3차원 플래시 메모리의 전기적 특성을 향상시킬 수 있다.

[82] 특히 수직 채널 패턴(VCP)은 후술되는 듀얼 정션(DJ)의 채널 형성 동작을 위해, 단결정질의 실리콘 또는 폴리 실리콘뿐만 아니라, 농도가 낮은 p- 도핑된 물질 또는 농도가 낮은 n- 도핑된 물질로 형성될 수 있다.

[83] 이상 수직 채널 패턴(VCP)가 제1 부분(VCP1) 및 제2 부분(VCP2)을 포함하는 구조인 것으로 설명되었으나, 이에 제한되거나 한정되지 않고 제1 부분(VCP1)이 배제된 구조를 가질 수 있다. 예를 들어, 수직 채널 패턴(VCP)은 기판(SUB)까지 연장 형성된 수직 매립 패턴(VFP) 및 데이터 저장 패턴(DSP) 사이에 제공되며 기판(SUB)과 접촉하도록 기판(SUB)까지 연장 형성될 수 있다. 이러한 경우 수직 채널 패턴(VCP)의 하면은 기판(SUB)의 최상면(층간 절연막들(ILD) 중 최하부의 것의 하면)보다 낮은 레벨에 위치할 수 있으며, 수직 채널 패턴(VCP)의 상면은 수직 매립 패턴(VFP)의 상면과 실질적으로 공면을 이룰 수 있다.

[84] 수직 매립 패턴(VFP)은 수직 채널 패턴(VCP)의 제2 부분(VCP2)으로 둘러싸일 수 있다. 수직 매립 패턴(VFP)의 상면은 듀얼 정션(DJ)과 접촉할 수 있고, 수직 매립 패턴(VFP)의 하면은 수직 채널 패턴(VCP)의 제1 부분(VCP1)과 접촉할 수 있다. 수직 매립 패턴(VFP)은 기판(SUB)과 제3 방향(D3)으로 이격될 수 있다. 다시 말하면, 수직 매립 패턴(VFP)은 기판(SUB)으로부터 전기적으로 플로팅될 수 있다.

[85] 수직 매립 패턴(VFP)은 수직 채널 패턴(VCP)에서의 전하 또는 홀의 확산을 돕는 물질로 형성될 수 있다. 보다 상세하게, 수직 매립 패턴(VFP)은 전하, 홀 이동도(Hole mobility)가 우수한 물질로 형성될 수 있다. 예를 들어, 수직 매립 패턴(VFP)은 불순물이 도핑된 반도체 물질, 불순물이 도핑되지 않은 상태의 진성 반도체(Intrinsic semiconductor) 물질 또는 다결정(Polycrystalline) 반도체 물질로 형성될 수 있다. 보다 구체적인 예를 들면, 수직 매립 패턴(VFP)은 기판(SUB)과 동일한 제1 도전형 불순물(예컨대, P-의 불순물)이 도핑된 폴리 실리콘으로 형성될 수 있다. 즉, 수직 매립 패턴(VFP)은 3차원 플래시 메모리의 전기적 특성을 개선시켜 메모리 동작의 속도를 향상시킬 수 있다.

[86] 이상 수직 채널 구조체들(VS)에 수직 매립 패턴(VFP)이 포함되는 것으로 설명되었으나, 이에 제한되거나 한정되지 않고 수직 매립 패턴(VFP)이 생략될 수도 있다.

[87] 또한, 수직 채널 구조체들(VS) 각각은 수직 매립 패턴(VFP)이 생략된 구조를 갖는 것에 그치지 않고, 백 게이트(BG; 미도시)를 포함하는 구조를 가질 수 있다. 이러한 경우, 백 게이트(BG)는 수직 채널 패턴(VCP)에 의해 적어도 일부분이 감싸진 채 맞닿을 수 있으며, 메모리 동작을 위하여 수직 채널 패턴(VCP)으로 전압을 인가하는 구성요소일 수 있다.

[88] 다시 도 1을 참조하면, 수직 채널 구조체들(VS)은 소거 제어 트랜지스터(ECT), 제1 및 제2 스트링 선택 트랜지스터들(SST1, SST2) 및 접지 선택 트랜지스터(GST) 및 메모리 셀 트랜지스터들(MCT)의 채널들에 해당할 수 있다.

[89] 도 3a 내지 3d에 도시된 바와 같이 수직 채널 패턴(VCP)의 상면 상에는 듀얼 정션(DJ)이 제공될 수 있다. 즉, 듀얼 정션(DJ)은 수직 채널 구조체들(VS) 각각의 상단에 위치한 채 수직 채널 패턴(VCP)의 상부와 연결됨으로써, 드레인 정션(Drain junction)으로 동작할 수 있다.

[90] 듀얼 정션(DJ)은 서로 다른 타입의 불순물로 각기 도핑된 이중 구조를 가질 수 있다. 일례로, 듀얼 정션(DJ)은 N+ 도핑된 N+ 정션(N+ Junction) 및 P+ 도핑된 P+ 정션(P+ Junction)을 포함하는 이중 구조를 가질 수 있다.

[91] 이에, 듀얼 정션(DJ)은 도 4a에 도시된 바와 같이 프로그램 동작 시 음의 프로그램 전압이 인가됨에 응답하여 P+ 정션을 활성화시킴으로써 수직 채널 패턴(VCP)에 P형 채널을 형성하여 PGM1 내지 PGM8의 메모리 윈도우를 사용할 수 있으며, 양의 프로그램 전압이 인가됨에 응답하여 N+ 정션을 활성화시킴으로써 수직 채널 패턴(VCP)에 N형 채널을 형성하여 PGM9 내지 PGM32의 메모리 윈도우를 사용할 수 있다.

[92] 이처럼 N+ 정션이 사용하는 메모리 윈도우가 P+ 정션이 사용하는 메모리 윈도우보다 넓은 것은, 듀얼 정션(DJ)이 후술되는 바와 같이 N+ 정션이 P+ 정션보다 더 큰 면적을 갖는 비대칭 구조이기 때문이다.

[93] 따라서, 듀얼 정션(DJ)을 포함하는 3차원 플래시 메모리는, 도 4b에 도시된 바와 같은 기존의 3차원 NAND 플래시 메모리가 갖는 4Bit의 다치화보다 더욱 개선된 5Bit 이상의 다치화를 구현할 수 있다.

[94] 즉, 3차원 플래시 메모리는 선택된 게이트 전극(Sel EL)에 인가되는 프로그램 전압의 값을 음의 전압 범위 내지 양의 전압 범위 내에서 조절함으로써, 조절된 양의 프로그램 전압 값 및 조절된 음의 프로그램 전압 값에 따라 다치화된 데이터를 기록하는 프로그램 동작을 수행할 수 있다.

[95] 특히, 듀얼 정션(DJ)은 서로 다른 타입의 불순물로 각기 도핑된 채 서로 다른 면적을 갖는 비대칭 구조를 가질 수 있다. 보다 구체적으로, 듀얼 정션(DJ)은 N+ 도핑된 N+ 정션(N+ Junction) 및 P+ 도핑된 P+ 정션(P+ Junction)을 포함하는 가운데 N+ 정션이 P+ 정션보다 더 큰 면적을 갖는 비대칭 구조를 가질 수 있다.

[96] 이하, N+ 정션이 P+ 정션보다 더 큰 면적을 갖는 비대칭 구조라는 것은, N+ 정션이 수직 채널 구조체(VS)의 상면 중심을 기준으로 상면 절반 이상의 영역을 차지함으로써 수직 채널 패턴(VCP)에 대해 보다 넓은 접촉 면적(P+ 정션에 비해 넓은 접촉 면적)을 갖고 P+ 정션이 수직 채널 구조체(VS)의 상면 중심을 기준으로 상면 절반 미만의 영역을 차지함으로써 수직 채널 패턴(VCP)에 대해 보다 좁은 접촉 면적(N+ 정션에 비해 좁은 접촉 면적)을 갖는 것을 의미한다.

[97] 이처럼 N+ 정션의 수직 채널 패턴(VCP)에 대한 접촉 면적이 P+ 정션의 수직 채널 패턴(VCP)에 대한 접촉 면적보다 큰 듀얼 정션(DJ)의 비대칭 구조는, N+ 정션 및 P+ 정션 각각의 전기적 특성을 고려하여, 게이트 전극들(EL1, EL2, EL3)을 통해 인가되는 전압에 따라 수직 채널 패턴(VCP)에 N형 채널을 형성하는 동작 및 P형 채널을 형성하는 동작이 균일하게 이루어지도록 하기 위함이다(N형 채널이 형성되는 동작과 P형 채널이 형성되는 동작이 대칭되도록 하기 위함이다).

[98] 일례로, 선택된 게이트 전극(Sel EL)에 인가되는 양의 전압에 응답하여 수직 채널 패턴(VCP)에 N형 채널을 형성하는 동작의 속도 및 선택된 게이트 전극(Sel EL)에 인가되는 음의 전압에 응답하여 수직 채널 패턴(VCP)에 P형 채널을 형성하는 동작의 속도가 균일하도록 N+ 정션의 수직 채널 패턴(VCP)에 대한 접촉 면적이 P+ 정션의 수직 채널 패턴(VCP)에 대한 접촉 면적보다 큰 비대칭 구조의 듀얼 정션(DJ)이 구현될 수 있다.

[99] 따라서, 비대칭 구조의 듀얼 정션(DJ)에서 N+ 정션과 P+ 정션 각각의 면적에 대한 세부적인 값은, 설명된 조건(수직 채널 패턴(VCP)에 N형 채널을 형성하는 동작 및 P형 채널을 형성하는 동작이 균일하게 이루어지는 조건)을 만족시키도록 조절 및 결정될 수 있다.

[100] 또한, N+ 정션의 수직 채널 패턴(VCP)에 대한 접촉 면적이 P+ 정션의 수직 채널 패턴(VCP)에 대한 접촉 면적보다 큰 듀얼 정션(DJ)의 비대칭 구조는, 판독 동작 시 P+ 정션을 사용하는 것이 아닌, N+ 정션만을 활성화시켜 수직 채널 패턴(VCP)에 N형 채널을 형성하기 때문이다.

[101] 비대칭 구조를 갖는 듀얼 정션(DJ)은 메모리 동작 시 게이트 전극들(EL1, EL2, EL3)(보다 상세하게는 제2 게이트 전극들(EL2)) 중 메모리 동작의 대상이 되는 대상 메모리 셀에 대응하는 선택된 게이트 전극(Sel EL)에 인가되는 전압에 응답하여, N+ 정션 또는 P+ 정션 중 어느 하나를 선택적으로 활성화시켜 수직 채널 패턴(VCP)에 채널을 형성할 수 있다.

[102] 예를 들어, N+ 정션은 선택된 게이트 전극(Sel EL)에 인가되는 양의 프로그램 전압($+V_{pgm}$)에 응답하여 수직 채널 패턴(VCP)에 N형 채널을 형성함으로써 프로그램 동작을 수행할 수 있다. 즉, N형 채널은 N+ 정션에 이어지도록 수직 방향으로 연장 형성될 수 있다. 이러한 경우, 선택된 게이트 전극(Sel EL)에 인가되는 양의 프로그램 전압($+V_{pgm}$)은, ISPP(Incremental step pulse program) 방식으로 선택된 게이트 전극(Sel EL)에 인가될 수 있다.

[103] 다른 예를 들면, P+ 정션은 선택된 게이트 전극(Sel EL)에 인가되는 음의 프로그램 전압($-V_{pgm}$)에 응답하여 수직 채널 패턴(VCP)에 P형 채널을 형성함으로써 프로그램 동작을 수행할 수 있다. 마찬가지로, P형 채널은 P+ 정션에 이어지도록 수직 방향으로 연장 형성될 수 있으며, 선택된 게이트 전극(Sel EL)에 인가되는 음의 프로그램 전압($-V_{pgm}$) 역시 ISPP(Incremental step pulse program) 방식으로 선택된 게이트 전극(Sel EL)에 인가될 수 있다.

[104] 또 다른 예를 들면, N+ 정션은 선택된 게이트 전극(Sel EL)에 인가되는 양의 판독 전압($+V_{read}$)에 응답하여 수직 채널 패턴(VCP)에 N형 채널을 형성함으로써 판독 동작을 수행할 수 있다. 이 경우 역시 마찬가지로, N형 채널은 N+ 정션에 이어지도록 수직 방향으로 연장 형성될 수 있다. 다만, 선택된 게이트 전극(Sel EL)에 인가되는 양의 판독 전압($+V_{read}$)은, ISPP(Incremental step pulse program) 방식이 아닌 전압의 증감없이 전압이 일정 값을 유지하는 방식으로 선택된 게이트 전극(Sel EL)에 인가될 수 있다.

[105] 설명된 바와 같이 듀얼 정션(DJ)이 N+ 정션이 P+ 정션보다 더 큰 면적을 갖는 비대칭 구조로 구현됨에 따라 N+ 정션이 사용하는 메모리 윈도우가 P+ 정션이 사용하는 메모리 윈도우보다 넓기 때문에, 듀얼 정션(DJ)을 포함하는 3차원 플래시 메모리는, 음의 프로그램 전압($-V_{pgm}$)으로 프로그램된 메모리 셀들을 양의 프로그램 전압($+V_{pgm}$)으로 프로그램된 상태로 이동시키는 제1 단계 및 양의 프로그램 전압($+V_{pgm}$)으로 프로그램된 메모리 셀들과 이동된 메모리 셀들에 대해 소거 동작을 수행하는 제2 단계로 음의 프로그램 전압($-V_{pgm}$)으로 프로그램된 메모리 셀들에 대한 소거 동작을 수행할 수 있다. 즉, 듀얼 정션(DJ)을 포함하는 3차원 플래시 메모리는 두 단계들로 구성된 소거 동작을 수행할 수 있다.

[106] 듀얼 정션(DJ)의 상면은 적층 구조체들(ST) 각각의 상면(즉, 층간 절연막들(ILD) 중 최상부의 것의 상면)과 실질적으로 공면을 이룰 수 있다. 듀얼 정션(DJ)의 하면은 제3 게이트 전극(EL3)의 상면보다 낮은 레벨에 위치할 수 있다. 보다 구체적으로, 듀얼 정션(DJ)의 하면은 제3 게이트 전극(EL3)의 상면과 하면 사이

에 위치할 수 있다. 즉, 듀얼 정션(DJ)의 적어도 일부는 제3 게이트 전극(EL3)과 수평 방향으로 중첩될 수 있다.

[107] 듀얼 정션(DJ)의 상부에는 비트 라인 플러그(BLPG)와 연결되는 콘택 플러그(CPG)가 배치될 수 있다. 즉, 듀얼 정션(DJ)은 콘택 플러그(CPG)를 통해 비트 라인 플러그(BLPG)와 연결될 수 있다.

[108] 듀얼 정션(DJ)이 콘택 플러그(CPG)를 통해 비트 라인 플러그(BLPG)와 연결되는 것은, 비트 라인 플러그(BLPG)의 단면적이 듀얼 정션(DJ)의 N+ 정션 및 P+ 정션 각각에 대해 전압을 인가하기 충분하지 못한 크기(듀얼 정션(DJ)의 N+ 정션 및 P+ 정션 각각에 대해 전류를 제공하기 충분하지 못한 크기)를 갖기 때문이다. 따라서, 콘택 플러그(CPG)는 듀얼 정션(DJ)의 N+ 정션 및 P+ 정션 각각에 대해 전압을 인가할 수 있는 충분한 면적(듀얼 정션(DJ)의 N+ 정션 및 P+ 정션 각각에 전류를 제공할 수 있는 충분한 면적)으로 구성될 수 있다.

[109] 또한, 듀얼 정션(DJ)이 콘택 플러그(CPG)를 통해 비트 라인 플러그(BLPG)와 연결되는 것은, 듀얼 정션(DJ)과 비트 라인 플러그(BLPG)와의 접촉 저항을 줄이기 위함이다. 이에, 콘택 플러그(CPG)는 듀얼 정션(DJ)과 비트 라인 플러그(BLPG)와의 접촉 저항을 줄일 수 있는 물질로 형성될 수 있다. 예컨대, 콘택 플러그(CPG)는 불순물이 도핑된 반도체 또는 도전성 물질로 형성될 수 있다. 예를 들어, 콘택 플러그(CPG)는 기판(SUB) 또는 수직 매립 패턴(VFP)과 다른 불순물(보다 정확하게 제1 도전형(예컨대, P-)과 다른 제2 도전형(예컨대, N-)의 불순물)이 도핑된 반도체 물질로 형성될 수 있다.

[110] 이상, 듀얼 정션(DJ)이 콘택 플러그(CPG)를 통해 비트 라인 플러그(BLPG)와 연결되는 것으로 설명되었으나, 이에 제한되거나 한정되지 않고 콘택 플러그(CPG)가 생략될 수도 있다. 이러한 경우, 비트 라인 플러그(BLPG)는 듀얼 정션(DJ)의 N+ 정션 및 P+ 정션 각각에 대해 전압을 인가할 수 있는 충분한 면적(듀얼 정션(DJ)의 N+ 정션 및 P+ 정션 각각에 전류를 제공할 수 있는 충분한 면적)으로 구성되어, 듀얼 정션(DJ)에 직접적으로 전압을 인가하거나 전류를 제공할 수 있다.

[111] 도 3a에 도시된 바와 같이 수직 채널 패턴(VCP)의 하면 아래에는 소스 영역(Source Region; SR)이 형성될 수 있다. 수직 채널 구조체들(VS) 각각의 소스 영역(SR)은 기판(SUB) 내 별도의 배선(미도시)을 통해 서로 연결됨으로써, 도 1의 공통 소스 라인(CSL)에 해당될 수 있다. 그러나 이에 제한되거나 한정되지 않고, 수직 채널 구조체들(VS) 각각의 소스 영역(SR)은 수직 채널 구조체들(VS)별로 독립적으로 동작하도록 서로 연결되지 않은 구조를 가질 수도 있다.

[112] 또한, 듀얼 정션(DJ)은 도 3b에 도시된 바와 같이 수직 채널 패턴(VCP)의 하면 아래에도 제공될 수 있다. 즉, 듀얼 정션(DJ)은 수직 채널 구조체들(VS) 각각의 하단에 위치한 채 수직 채널 패턴(VCP)의 하부와 연결됨으로써, 소스 정션(Source junction)으로 동작할 수 있다. 소스 정션으로 동작하는 듀얼 정션(DJ) 역시 전술된 드레인 정션으로 동작하는 듀얼 정션(DJ)과 그 구조가 동일하므로, 이에 대한 상세한 설명은 생략하기로 한다. 수직 채널 구조체들(VS) 각각에서 소스

정션으로 동작하는 듀얼 정션(DJ)의 하부에는 소스 영역(Source Region; SR)이 형성될 수 있다. 수직 채널 구조체들(VS) 각각의 소스 영역(SR)은 기판(SUB) 내 별도의 배선(미도시)을 통해 서로 연결됨으로써, 도 1의 공통 소스 라인(CSL)에 해당될 수 있다. 그러나 이에 제한되거나 한정되지 않고, 수직 채널 구조체들(VS) 각각의 소스 영역(SR)은 수직 채널 구조체들(VS)별로 독립적으로 동작하도록 서로 연결되지 않은 구조를 가질 수도 있다.

[113] 또한, 수직 채널 구조체들(VS) 각각의 하단에도 듀얼 정션(DJ)이 위치하는 경우, 소스 영역(SR)은 생략될 수도 있다. 이러한 경우, 수직 채널 구조체들(VS) 각각에서 소스 정션(Source junction)으로 동작하는 듀얼 정션(DJ)은 기판(SUB) 내 별도의 배선(미도시)을 통해 서로 연결됨으로써, 도 1의 공통 소스 라인(CSL)에 해당될 수 있다. 그러나 이에 제한되거나 한정되지 않고, 수직 채널 구조체들(VS) 각각에서 소스 정션으로 동작하는 듀얼 정션(DJ)은 수직 채널 구조체들(VS)별로 독립적으로 동작하도록 서로 연결되지 않은 구조를 가질 수도 있다.

[114] 또한, 수직 채널 구조체들 각각의 상단에만 듀얼 정션(DJ)이 위치하는 경우에는, 수직 채널 구조체들(VS) 각각이 도 3c에 도시된 바와 같이 수직 채널 패턴(VCP)의 하면 아래에 소스 영역(SR)이 생략된 소스 프리(Source free) 구조를 가질 수도 있다.

[115] 이상 듀얼 정션(DJ)이 N+ 정션 및 P+ 정션만이 포함되는 구조인 것으로 설명되었으나, 이에 제한되거나 한정되지 않고 도 3d에 도시된 바와 같이 N+ 정션 및 P+ 정션 사이에 개재된 채 N+ 정션 및 P+ 정션을 서로 절연시키는 절연막(Insulator)을 포함하는 구조일 수도 있다.

[116] 별도의 도면으로 도시되지는 않았으나, 수직 채널 패턴(VCP)의 하면 아래에 배치되는 듀얼 정션(DJ) 역시 절연막(Insulator)을 더 포함하는 구조로 구현될 수 있다.

[117] 또한, 도면에는 도시되지 않았으나, 서로 인접한 적층 구조체들(ST) 사이에는 제1 방향(D1)으로 연장되는 분리 트렌치(TR)가 제공될 수 있다. 공통 소스 영역(CSR)은 분리 트렌치(TR)에 의해 노출되는 기판(SUB) 내부에 제공될 수 있다. 공통 소스 영역(CSR)은 기판(SUB) 내에서 제1 방향(D1)으로 연장될 수 있다. 공통 소스 영역(CSR)은, 제2 도전형의 불순물(예컨대, N+의 불순물)이 도핑된 반도체 물질로 형성될 수 있다. 공통 소스 영역(CSR)은 도 1의 공통 소스 라인(CSL)에 해당할 수 있다.

[118] 공통 소스 플러그(CSP)는 분리 트렌치(TR) 내에 제공될 수 있다. 공통 소스 플러그(CSP)는 공통 소스 영역(CSR)과 연결될 수 있다. 공통 소스 플러그(CSP)의 상면은 적층 구조체들(ST) 각각의 상면(즉, 층간 절연막들(ILD) 중 최상부의 것의 상면)과 실질적으로 공면을 이룰 수 있다. 공통 소스 플러그(CSP)는 제1 방향(D1) 및 제3 방향(D3)으로 연장되는 플레이트(Plate) 형상을 가질 수 있다. 이 때 공통 소스 플러그(CSP)는, 제3 방향(D3)으로 갈수록 제2 방향(D2)으로의 폭이 증가되는 형상을 가질 수 있다.

[119] 공통 소스 플러그(CSP)와 적층 구조체들(ST) 사이에는 절연 스페이서들(SP)이 개재될 수 있다. 절연 스페이서들(SP)은 서로 인접하는 적층 구조체들(ST) 사이에서 서로 대향하며 제공될 수 있다. 예를 들어 절연 스페이서들(SP)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 또는 낮은 유전 상수를 갖는 low-k 물질로 형성될 수 있다.

[120] 적층 구조체들(ST), 수직 채널 구조체들(VS) 및 공통 소스 플러그(CSP) 상에 캡핑 절연막(CAP)이 제공될 수 있다. 캡핑 절연막(CAP)은 층간 절연막들(ILD) 중 최상부의 것의 상면, 듀얼 정션(DJ)의 상면 및 공통 소스 플러그(CSP)의 상면을 덮을 수 있다. 캡핑 절연막(CAP)은, 층간 절연막들(ILD)과 다른 절연 물질로 형성될 수 있다. 캡핑 절연막(CAP) 내부에는 콘택 플러그(CPG) 및 비트 라인 콘택 플러그(BLPG)가 제공될 수 있다. 비트 라인 콘택 플러그(BLPG)는, 제3 방향(D3)으로 갈수록 제1 방향(D1) 및 제2 방향(D2)으로의 폭이 증가되는 형상을 가질 수 있다.

[121] 캡핑 절연막(CAP) 및 비트 라인 콘택 플러그(BLPG) 상에 비트 라인(BL)이 제공될 수 있다. 비트 라인(BL)은 도 1에 도시된 복수의 비트 라인들(BL0, BL1, BL2) 중 어느 하나에 해당되는 것으로, 제2 방향(D2)을 따라 도전성 물질로 연장 형성될 수 있다. 비트 라인(BL)을 구성하는 도전성 물질은 전술된 게이트 전극들(EL1, EL2, EL3) 각각을 형성하는 도전성 물질과 동일한 물질일 수 있다.

[122] 비트 라인(BL)은 비트 라인 콘택 플러그(BLPG)를 통해 수직 채널 구조체들(VS)과 전기적으로 연결될 수 있다. 여기서 비트 라인(BL)이 수직 채널 구조체들(VS)과 연결된다는 것은, 수직 채널 구조체들(VS)에 포함되는 듀얼 정션(DJ)을 통해 수직 채널 패턴(VCP)과 연결되는 것을 의미할 수 있다.

[123] 전술된 바와 같이 적층 구조체들(ST) 내에 3개의 수직 채널 구조체들(VS)의 열들이 관통함에 따라, 동일한 행에 위치하는 3개의 수직 채널 구조체들(VS)은 동일한 평면 상에 위치하는 비트 라인들(BL0, BL1, BL2) 각각과 연결되도록 각각의 비트 라인 콘택 플러그(BLPG)가 서로 어긋난 구조를 가질 수 있다. 일례로, 도 2에 도시된 바와 같이 제1 수직 채널 구조체(VS1)는 비트 라인(BL0)과 연결되도록 평면 상 제1 방향(D1)으로 편향된 비트 라인 콘택 플러그(BLPG)를 포함할 수 있고, 제2 수직 채널 구조체(VS2)는 비트 라인(BL1)과 연결되도록 평면 상 중심에 위치하는 비트 라인 콘택 플러그(BLPG)를 포함할 수 있으며, 제3 수직 채널 구조체(VS3)는 비트 라인(BL2)와 연결되도록 평면 상 제1 방향(D1)의 반대 방향으로 편향된 비트 라인 콘택 플러그(BLPG)를 포함할 수 있다.

[124] 일 실시예에 따른 3차원 플래시 메모리는 설명된 구조로 제한되거나 한정되지 않고, 구현 예시에 따라 수직 채널 패턴(VCP), 듀얼 정션(DJ), 데이터 저장 패턴(DSP), 게이트 전극들(EL1, EL2, EL3), 비트 라인(BL)을 포함하는 것을 전제로 다양한 구조로 구현될 수 있다.

[125] 이상 설명된 바와 같은 듀얼 정션(DJ)을 포함하는 구조의 3차원 플래시 메모리에 대한 동작 방법 및 제조 방법은 아래에서 기재하기로 한다.

[126]

[127] 도 5는 일 실시예에 따른 3차원 플래시 메모리의 프로그램 동작 방법을 도시한 플로우 차트이고, 도 6a 내지 6b는 일 실시예에 따른 3차원 플래시 메모리의 프로그램 동작 방법을 설명하기 위해 3차원 플래시 메모리의 구조를 도시한 단면도이다.

[128] 이하, 설명되는 프로그램 동작 방법은 도 1 내지 4a를 참조하여 상술된 구조의 3차원 플래시 메모리에 의해 수행됨을 전제로 한다.

[129] 도 5를 참조하면, 단계(S510)에서 3차원 플래시 메모리는, 게이트 전극들(EL1, EL2, EL3)(보다 정확하게는 제2 게이트 전극(EL2)) 중 프로그램 동작의 대상이 되는 대상 메모리 셀에 대응하는 선택된 게이트 전극(Sel EL)에 전압을 인가할 수 있다.

[130] 여기서 3차원 플래시 메모리는 양의 전압이건 음의 전압이건, 프로그램 동작을 위한 전압을 ISPP(Incremental step pulse program) 방식으로 선택된 게이트 전극(Sel EL)에 인가할 수 있다.

[131] 이에, 단계(S520)에서 3차원 플래시 메모리는, 선택된 게이트 전극(Sel EL)에 인가되는 전압에 응답하여, 듀얼 정션(DJ)에 포함되는 N+ 정션 또는 P+ 정션 중 어느 하나를 선택적으로 활성화시켜 수직 채널 패턴(VCP)에 채널을 형성함으로써 대상 메모리 셀에 대한 프로그램 동작을 수행할 수 있다.

[132] 예를 들어, 3차원 플래시 메모리는 도 6a에 도시된 바와 같이 단계(S510)에서 선택된 게이트 전극(Sel EL)에 양의 프로그램 전압($+V_{pgm}$)을 인가함으로써, 단계(S520)에서 듀얼 정션(DJ)의 N+ 정션을 통해 수직 채널 패턴(VCP)에 N형 채널을 형성(N형 채널이 N+ 정션에 이어지도록 수직 방향으로 연장 형성)하여 프로그램 동작을 수행할 수 있다.

[133] 다른 예를 들면, 3차원 플래시 메모리는 도 6b에 도시된 바와 같이 단계(S520)에서 선택된 게이트 전극(Sel EL)에 음의 프로그램 전압($-V_{pgm}$)을 인가함으로써, 단계(S520)에서 듀얼 정션(DJ)의 P+ 정션을 통해 수직 채널 패턴(VCP)에 P형 채널을 형성(P형 채널이 P+ 정션에 이어지도록 수직 방향으로 연장 형성)하여 기록 동작을 수행할 수 있다.

[134] 이 때, 3차원 플래시 메모리는 선택된 게이트 전극(Sel EL)에 인가되는 전압의 값을 다양한 복수의 값들로 조절함으로써, 다치화를 구현할 수 있다. 특히, 3차원 플래시 메모리는 선택된 게이트 전극(Sel EL)에 인가되는 전압의 값을 양의 범위 뿐만 아니라 음의 범위 내에서도 선택 가능할 수 있기 때문에, 도 4b에 도시된 바와 같은 기존의 3차원 NAND 플래시 메모리가 갖는 4 Bit의 다치화보다 더욱 개선된 도 4a에 도시된 바와 같은 5 Bit 이상의 다치화를 구현할 수 있다. 즉, 3차원 플래시 메모리는 선택된 게이트 전극(Sel EL)에 인가되는 양의 전압의 값과 음의 전압의 값을 조절함으로써, 조절된 양의 전압의 값 및 조절된 음의 전압의 값에 따라 다치화된 값의 프로그램 동작을 수행할 수 있다.

[135] 또한, 단계(S520)에서 3차원 플래시 메모리는, 수직 채널 구조체들(VS) 각각의 하단에도 형성된 듀얼 정션(DJ)을 이용하여 수직 채널 패턴(VCP)에 채널을 형성하여 메모리 동작을 수행할 수 있다. 수직 채널 구조체들(VS) 각각의 하단에도 형성된 듀얼 정션(DJ)을 이용하는 것은, 수직 채널 구조체들(VS) 각각의 상단에 형성된 듀얼 정션(DJ)을 이용하는 것과 동일한 과정을 통해 이루어지므로, 이에 대한 상세한 설명은 생략하기로 한다.

[136] 이 때, 듀얼 정션(DJ)은 N+ 정션이 P+ 정션보다 더 큰 면적을 갖는 비대칭 구조로 구현됨에 따라, N+ 정션 및 P+ 정션 각각의 전기적 특성을 고려하여 수직 채널 패턴(VCP)에 N형 채널을 형성하는 동작 및 P형 채널을 형성하는 동작이 균일하게 이루어지도록 할 수 있다. 예컨대, 듀얼 정션(DJ)은 선택된 게이트 전극(Sel EL)에 인가되는 양의 전압에 응답하여 수직 채널 패턴(VCP)에 N형 채널을 형성하는 동작의 속도 및 선택된 게이트 전극(Sel EL)에 인가되는 음의 전압에 응답하여 수직 채널 패턴(VCP)에 P형 채널을 형성하는 동작의 속도가 균일하도록 N+ 정션의 수직 채널 패턴(VCP)에 대한 접촉 면적이 P+ 정션의 수직 채널 패턴(VCP)에 대한 접촉 면적보다 큰 비대칭 구조로 구현될 수 있다.

[137]

[138] 도 7은 일 실시예에 따른 3차원 플래시 메모리의 판독 동작 방법을 도시한 플로우 차트이고, 도 8은 일 실시예에 따른 3차원 플래시 메모리의 판독 동작을 설명하기 위해 메모리 윈도우를 도시한 도면이다.

[139] 이하, 설명되는 판독 동작 방법은 도 1 내지 4a를 참조하여 상술된 구조의 3차원 플래시 메모리에 의해 수행됨을 전제로 한다.

[140] 도 7을 참조하면, 단계(S710)에서 3차원 플래시 메모리는, 게이트 전극들(EL1, EL2, EL3)(보다 정확하게는 제2 게이트 전극(EL2)) 중 판독 동작의 대상이 되는 대상 메모리 셀에 대응하는 선택된 게이트 전극(Sel EL)에 양의 전압을 인가할 수 있다.

[141] 예컨대, 3차원 플래시 메모리는 ISPP(Incremental step pulse program) 방식이 아닌 전압의 증감없이 전압이 일정 값을 유지하는 방식으로 선택된 게이트 전극(Sel EL)에 양의 판독 전압($+V_{read}$)을 인가할 수 있다.

[142] 이에, 단계(S720)에서 3차원 플래시 메모리는, 선택된 게이트 전극(Sel EL)에 인가되는 양의 전압에 응답하여, 듀얼 정션(DJ)에 포함되는 N+ 정션만을 활성화시켜 수직 채널 패턴(VCP)에 N형 채널을 형성함으로써 대상 메모리 셀에 대한 판독 동작을 수행할 수 있다.

[143] 설명된 바와 같이 듀얼 정션(DJ)이 N+ 정션이 P+ 정션보다 더 큰 면적을 갖는 비대칭 구조로 구현됨에 따라 N+ 정션이 사용하는 메모리 윈도우가 P+ 정션이 사용하는 메모리 윈도우보다 넓기 때문에, 3차원 플래시 메모리는 판독 동작 시 선택된 게이트 전극(Sel EL)에 인가되는 양의 판독 전압($+V_{read}$)과 게이트 전극들(EL1, EL2, EL3)(보다 정확하게는 제2 게이트 전극(EL2)) 중 선택된 게이트 전극

(Sel EL)을 제외한 나머지 비선택된 게이트 전극(Unsel EL)에 인가되는 양의 패스 전압(V_{pass})은 도 8에 도시된 바와 같다.

[144]

[145] 도 9는 일 실시예에 따른 3차원 플래시 메모리의 소거 동작 방법을 도시한 플로우 차트이고, 도 10a 내지 10b는 일 실시예에 따른 3차원 플래시 메모리의 소거 동작을 설명하기 위해 메모리 윈도우를 도시한 도면이다.

[146] 이하, 설명되는 소거 동작 방법은 도 1 내지 4a를 참조하여 상술된 구조의 3차원 플래시 메모리에 의해 수행됨을 전제로 한다.

[147] 도 9를 참조하면, 단계(S910)에서 3차원 플래시 메모리는, P+ 정션을 통해 수직 채널 패턴(VCP)에 P형 채널이 형성됨에 따라 음의 전압으로 프로그램된 메모리 셀들을 도 10a에 도시된 바와 같이 양의 전압으로 프로그램된 상태로 이동시킬 수 있다.

[148] 여기서, 3차원 플래시 메모리는 음의 전압으로 프로그램된 메모리 셀들을 블록 단위로 이동시킬 수 있다.

[149] 이에, 단계(S920)에서 3차원 플래시 메모리는, 도 10b에 도시된 바와 같이 양의 전압으로 프로그램된 메모리 셀들과 이동된 메모리 셀들에 대해 소거 동작을 수행할 수 있다.

[150] 보다 상세하게, 3차원 플래시 메모리는 사전에 양의 전압으로 프로그램된 메모리 셀들(PGM9 내지 PGM32로 프로그램된 메모리 셀들)과 함께 단계(S910)에서 이동된 메모리 셀들에 대해 소거 동작을 일괄적으로 수행할 수 있다.

[151] 마찬가지로 소거 동작은 블록 단위로 이루어질 수 있다.

[152] 이처럼 음의 프로그램 전압($-V_{pgm}$)으로 프로그램된 메모리 셀들과 양의 프로그램 전압($+V_{pgm}$)으로 프로그램된 메모리 셀들에 대해 단계들(S910 내지 S920)을 통해 일괄적으로 소거 동작이 수행됨으로써, 음의 프로그램 전압($-V_{pgm}$)으로 프로그램된 메모리 셀들과 양의 프로그램 전압($+V_{pgm}$)으로 프로그램된 메모리 셀들에 대해 제각기 소거 동작이 수행되는 경우보다 소거 동작 전력 및 속도가 개선될 수 있다.

[153]

[154] 도 11은 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 도시한 플로우 차트이다.

[155] 이하, 설명되는 제조 방법은 도 1 내지 4를 참조하여 상술된 구조의 3차원 플래시 메모리를 제조하기 위한 것으로, 자동화 및 기계화된 제조 시스템에 의해 수행됨을 전제로 한다.

[156] 도 11을 참조하면, 단계(S1110)에서 제조 시스템은, 반도체 구조체(SEMI-STR)를 준비할 수 있다. 여기서, 반도체 구조체(SEM-STR)는 기판(SUB) 상 수평 방향으로 연장 형성된 채 수직 방향으로 이격되며 적층된 게이트 전극들(EL1, EL2, EL3); 및 게이트 전극들(EL1, EL2, EL3)을 관통하며 수직 방향으로 연장 형성되

는 수직 채널 구조체들(VS)을 포함할 수 있다. 즉, 반도체 구조체(SEMI-STR)는 도 1 내지 4를 참조하여 전술된 구조의 적층 구조체들(ST)과 수직 채널 구조체들(VS)을 포함할 수 있다. 다만, 수직 채널 구조체들(VS)에는 듀얼 정션(DJ)이 형성되어 있지 않다.

[157] 여기서, 제조 시스템은 수직 채널 구조체들(VS) 각각의 하단에 소스 영역이 형성된 반도체 구조체(SEMI-STR)를 준비할 수 있다. 또는 제조 시스템은 수직 채널 구조체들(VS) 각각의 하단에 소스 영역이 생략된 소스 프리 구조를 갖는 반도체 구조체를 준비할 수도 있다.

[158] 전술된 바와 같이 수직 채널 구조체들(VS) 각각의 하단에도 듀얼 정션이 형성되는 경우, 단계(S1110)에서 제조 시스템은, 수직 채널 구조체들(VS) 각각의 하단에도 듀얼 정션이 형성된 반도체 구조체(SEMI-STR)를 준비할 수 있다.

[159] 단계(S1120)에서 제조 시스템은, 반도체 구조체(SEMI-STR) 상에 수직 채널 구조체들(VS) 각각의 상면 절반 미만의 영역을 가리는 제1 마스크 패턴(MASK 1)을 배치할 수 있다.

[160] 단계(S1130)에서 제조 시스템은, 제1 마스크 패턴(MASK 1)을 이용하여, 수직 채널 구조체들(VS) 각각에서 제1 마스크 패턴(MASK 1)에 의해 가려지지 않은 상면 절반 이상의 나머지 영역에 N+ 도핑된 N+ 정션을 형성할 수 있다.

[161] 단계(S1140)에서 제조 시스템은, 반도체 구조체(SEMI-STR) 상에 수직 채널 구조체들(VS) 각각의 상면 절반 이상의 나머지 영역을 가리는 제2 마스크 패턴(MASK 2)을 배치할 수 있다.

[162] 단계(S1150)에서 제조 시스템은, 제2 마스크 패턴(MASK 2)을 이용하여, 수직 채널 구조체들(VS) 각각에서 제2 마스크 패턴(MASK 2)에 의해 가려지지 않은 상면 절반 미만의 영역에 P+ 도핑된 P+ 정션을 형성할 수 있다.

[163] 여기서 제1 마스크 패턴(MASK 1) 및 제2 마스크 패턴(MASK 2)은, 수직 채널 구조체들(VS) 각각에서 N+ 정션이 P+ 정션보다 더 큰 면적을 갖는 비대칭 구조를 구현하기 위하여, 수직 채널 구조체들(VS) 각각의 상면에서 서로 상이한 면적의 영역들을 각기 가리도록 구성 및 배치될 수 있다.

[164] 이처럼 단계들(S1110 내지 S1150)을 통해 N+ 정션 및 P+ 정션을 포함하는 비대칭 구조의 듀얼 정션(DJ)이 수직 채널 구조체들(VS) 각각에 형성될 수 있다.

[165] 이상 N+ 정션이 형성된 뒤 P+ 정션이 형성되는 제조 방법이 설명되었으나, 이에 제한되거나 한정되지 않고 P+ 정션이 형성된 뒤 N+ 정션이 형성될 수도 있다. 이러한 경우, 단계들(S1120 내지 S1130)이 단계들(S1140 내지 S1150) 이후에 수행됨으로써 P+ 정션이 N+ 정션보다 먼저 형성될 수 있다.

[166]

[167] 도 12는 일 실시예들에 따른 3차원 플래시 메모리를 포함하는 전자 시스템을 개략적으로 도시한 사시도이다.

[168] 도 12를 참조하면, 실시예들에 따른 3차원 플래시 메모리를 포함하는 전자 시스템(1200)은 메인 기판(1201)과, 메인 기판(1201)에 실장되는 컨트롤러(1202), 하나 이상의 반도체 패키지(1203) 및 DRAM(1204)을 포함할 수 있다.

[169] 반도체 패키지(1203) 및 DRAM(1204)은 메인 기판(1201)에 제공되는 배선 패턴들(1205)에 의해 컨트롤러(1202)와 서로 연결될 수 있다.

[170] 메인 기판(1201)은 외부 호스트와 결합되는 복수의 핀들을 포함하는 커넥터(1206)를 포함할 수 있다. 커넥터(1206)에서 복수의 핀들의 개수와 배치는, 전자 시스템(1200)과 외부 호스트 사이의 통신 인터페이스에 따라 달라질 수 있다.

[171] 전자 시스템(1200)은, 예를 들어, USB(Universal Serial Bus), PCIExpress(Peripheral Component Interconnect Express), SATA(Serial Advanced Technology Attachment), UFS(Universal Flash Storage)용 M-Phy 등의 인터페이스들 중 어느 하나에 따라 외부 호스트와 통신할 수 있다. 전자 시스템(1200)은 예를 들어, 커넥터(1206)를 통해 외부 호스트로부터 공급받는 전원에 의해 동작할 수 있다. 전자 시스템(1200)은 외부 호스트로부터 공급받는 전원을 컨트롤러(1202) 및 반도체 패키지(1203)에 분배하는 PMIC(Power Management Integrated Circuit)를 더 포함할 수도 있다.

[172] 컨트롤러(1202)는 반도체 패키지(1203)에 데이터를 기록하거나, 반도체 패키지(1203)로부터 데이터를 읽어올 수 있으며, 전자 시스템(1200)의 동작 속도를 개선할 수 있다.

[173] DRAM(1204)은 데이터 저장 공간인 반도체 패키지(1203)와 외부 호스트의 속도 차이를 완화하기 위한 버퍼 메모리일 수 있다. 전자 시스템(1200)에 포함되는 DRAM(1204)은 일종의 캐시 메모리로도 동작할 수 있으며, 반도체 패키지(1203)에 대한 제어 동작에서 임시로 데이터를 저장하기 위한 공간을 제공할 수도 있다. 전자 시스템(1200)에 DRAM(1204)이 포함되는 경우, 컨트롤러(1202)는 반도체 패키지(1203)를 제어하기 위한 NAND 컨트롤러 외에 DRAM(1204)을 제어하기 위한 DRAM 컨트롤러를 더 포함할 수 있다.

[174] 반도체 패키지(1203)는 서로 이격된 제1 및 제2 반도체 패키지들(1203a, 1203b)을 포함할 수 있다. 제1 및 제2 반도체 패키지들(1203a, 1203b)은 각각 복수의 반도체 칩들(1220)을 포함하는 반도체 패키지일 수 있다. 제1 및 제2 반도체 패키지들(1203a, 1203b) 각각은, 패키지 기판(1210), 패키지 기판(1210) 상의 반도체 칩들(1220), 반도체 칩들(1220) 각각의 하부면에 배치되는 접착층들(1230), 반도체 칩들(1220)과 패키지 기판(1210)을 전기적으로 연결하는 연결 구조체들(1240) 및 패키지 기판(1210) 상에서 반도체 칩들(1220) 및 연결 구조체들(1240)을 덮는 몰딩층(1250)을 포함할 수 있다.

[175] 패키지 기판(1210)은 패키지 상부 패드들(1211)을 포함하는 인쇄회로 기판일 수 있다. 각각의 반도체 칩들(1220)은 입출력 패드들(1221)을 포함할 수 있다. 반도체 칩들(1220) 각각은 도 1 내지 6b를 참조하여 전술된 3차원 플래시 메모리를 포함할 수 있다. 보다 구체적으로, 반도체 칩들(1220) 각각은 게이트 적층 구조체

들(1222) 및 메모리 채널 구조체들(1223)을 포함할 수 있다. 게이트 적층 구조체들(1222)은 상술한 적층 구조체들(ST)에 해당할 수 있고, 메모리 채널 구조체들(1223)은 상술한 수직 채널 구조체들(VS)에 해당할 수 있다.

[176] 연결 구조체들(1240)은 예를 들어, 입출력 패드들(1221)과 패키지 상부 패드들(1211)을 전기적으로 연결하는 본딩 와이어들일 수 있다. 따라서, 각각의 제1 및 제2 반도체 패키지들(1203a, 1203b)에서, 반도체 칩들(1220)은 본딩 와이어 방식으로 서로 전기적으로 연결될 수 있으며, 패키지 기판(1210)의 패키지 상부 패드들(1211)과 전기적으로 연결될 수 있다. 실시예들에 따라, 각각의 제1 및 제2 반도체 패키지들(1203a, 1203b)에서, 반도체 칩들(1220)은 본딩 와이어 방식의 연결 구조체들(1240) 대신에, 관통 전극(Through Silicon Via)에 의하여 서로 전기적으로 연결될 수도 있다.

[177] 도시된 바와 달리, 컨트롤러(1202)와 반도체 칩들(1220)은 하나의 패키지에 포함될 수도 있다. 메인 기판(1201)과 다른 별도의 인터포저 기판에 컨트롤러(1202)와 반도체 칩들(1220)이 실장되고, 인터포저 기판에 제공되는 배선에 의해 컨트롤러(1202)와 반도체 칩들(1220)이 서로 연결될 수도 있다.

[178]

발명의 실시를 위한 형태

[179] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[180] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

청구범위

[청구항 1] 기판 상 수평 방향으로 연장 형성된 채 수직 방향으로 이격되며 적층된 게이트 전극들; 및
상기 게이트 전극들을 관통하며 상기 수직 방향으로 연장 형성되는 수직 채널 구조체들-상기 수직 채널 구조체들 각각은 수직 채널 패턴 및 데이터 저장 패턴을 포함하고, 상기 수직 채널 구조체들 각각의 상단에는 서로 다른 타입의 불순물로 도핑된 채 서로 다른 면적을 갖는 비대칭 구조인 듀얼 정션(Dual junction)이 형성됨-
을 포함하는 3차원 플래시 메모리.

[청구항 2] 제1항에 있어서,
상기 듀얼 정션은,
N+ 도핑된 N+ 정션 및 P+ 도핑된 P+ 정션을 포함하는 것을 특징으로 하는 3차원 플래시 메모리.

[청구항 3] 제2항에 있어서,
상기 듀얼 정션은,
상기 N+ 정션이 상기 P+ 정션보다 더 큰 면적을 갖는 비대칭 구조인 것을 특징으로 하는 3차원 플래시 메모리.

[청구항 4] 제2항에 있어서,
상기 듀얼 정션은,
프로그램 동작 시 상기 게이트 전극들 중 프로그램 동작의 대상이 되는 대상 메모리 셀에 대응하는 선택된 게이트 전극에 인가되는 전압에 응답하여, 상기 N+ 정션 또는 상기 P+ 정션 중 어느 하나를 선택적으로 활성화시켜 상기 수직 채널 패턴에 채널을 형성하는 것을 특징으로 하는 3차원 플래시 메모리.

[청구항 5] 제4항에 있어서,
상기 N+ 정션은,
상기 선택된 게이트 전극에 인가되는 양의 전압에 응답하여, 상기 수직 채널 패턴에 N형 채널을 형성하는 것을 특징으로 하는 3차원 플래시 메모리.

[청구항 6] 제5항에 있어서,
상기 양의 전압은,
ISPP(Incremental step pulse program) 방식으로 상기 선택된 게이트 전극에 인가되는 것을 특징으로 하는 3차원 플래시 메모리.

[청구항 7] 제4항에 있어서,
상기 P+ 정션은,
상기 선택된 게이트 전극에 인가되는 음의 전압에 응답하여, 상기 수직 채널 패턴에 P형 채널을 형성하는 것을 특징으로 하는 3차원 플래시 메모리.

[청구항 8] 제7항에 있어서,
상기 음의 전압은,
ISPP 방식으로 상기 선택된 게이트 전극에 인가되는 것을 특징으로 하는 3차원 플래시 메모리.

[청구항 9] 제7항에 있어서,
상기 3차원 플래시 메모리는,
상기 음의 전압으로 프로그램된 메모리 셀들을 양의 전압으로 프로그램된 상태로 이동시키는 제1 단계 및 상기 양의 전압으로 프로그램된 메모리 셀들과 상기 이동된 메모리 셀들에 대해 소거 동작을 수행하는 제2 단계로 상기 음의 전압으로 프로그램된 메모리 셀들에 대한 상기 소거 동작을 수행하는 것을 특징으로 하는 3차원 플래시 메모리.

[청구항 10] 제2항에 있어서,
상기 듀얼 정션은,
판독 동작 시 상기 N+ 정션만을 활성화시켜 상기 수직 채널 패턴에 N형 채널을 형성하는 것을 특징으로 하는 3차원 플래시 메모리.

[청구항 11] 제2항에 있어서,
상기 듀얼 정션은,
상기 N+ 정션 및 상기 P+ 정션을 서로 절연시키도록 상기 N+ 정션 및 상기 P+ 정션 사이에 개재되는 절연막을 더 포함하는 것을 특징으로 하는 3차원 플래시 메모리.

[청구항 12] 기판 상 수평 방향으로 연장 형성된 채 수직 방향으로 이격되며 적층된 게이트 전극들; 및 상기 게이트 전극들을 관통하며 상기 수직 방향으로 연장 형성되는 수직 채널 구조체들-상기 수직 채널 구조체들 각각은 수직 채널 패턴 및 데이터 저장 패턴을 포함하고, 상기 수직 채널 구조체들 각각의 상단에는 서로 다른 타입의 불순물로 도핑된 채 서로 다른 면적을 갖는 비대칭 구조인 듀얼 정션(Dual junction)이 형성됨-을 포함하는 3차원 플래시 메모리의 프로그램 동작 방법에 있어서,
상기 게이트 전극들 중 프로그램 동작의 대상이 되는 대상 메모리 셀에 대응하는 선택된 게이트 전극에 전압을 인가하는 단계; 및
상기 선택된 게이트 전극에 인가되는 전압에 응답하여, 상기 듀얼 정션에 포함되는 N+ 정션 또는 P+ 정션 중 어느 하나를 선택적으로 활성화시켜 상기 수직 채널 패턴에 채널을 형성함으로써 상기 대상 메모리 셀에 대한 프로그램 동작을 수행하는 단계
를 포함하는 3차원 플래시 메모리의 프로그램 동작 방법.

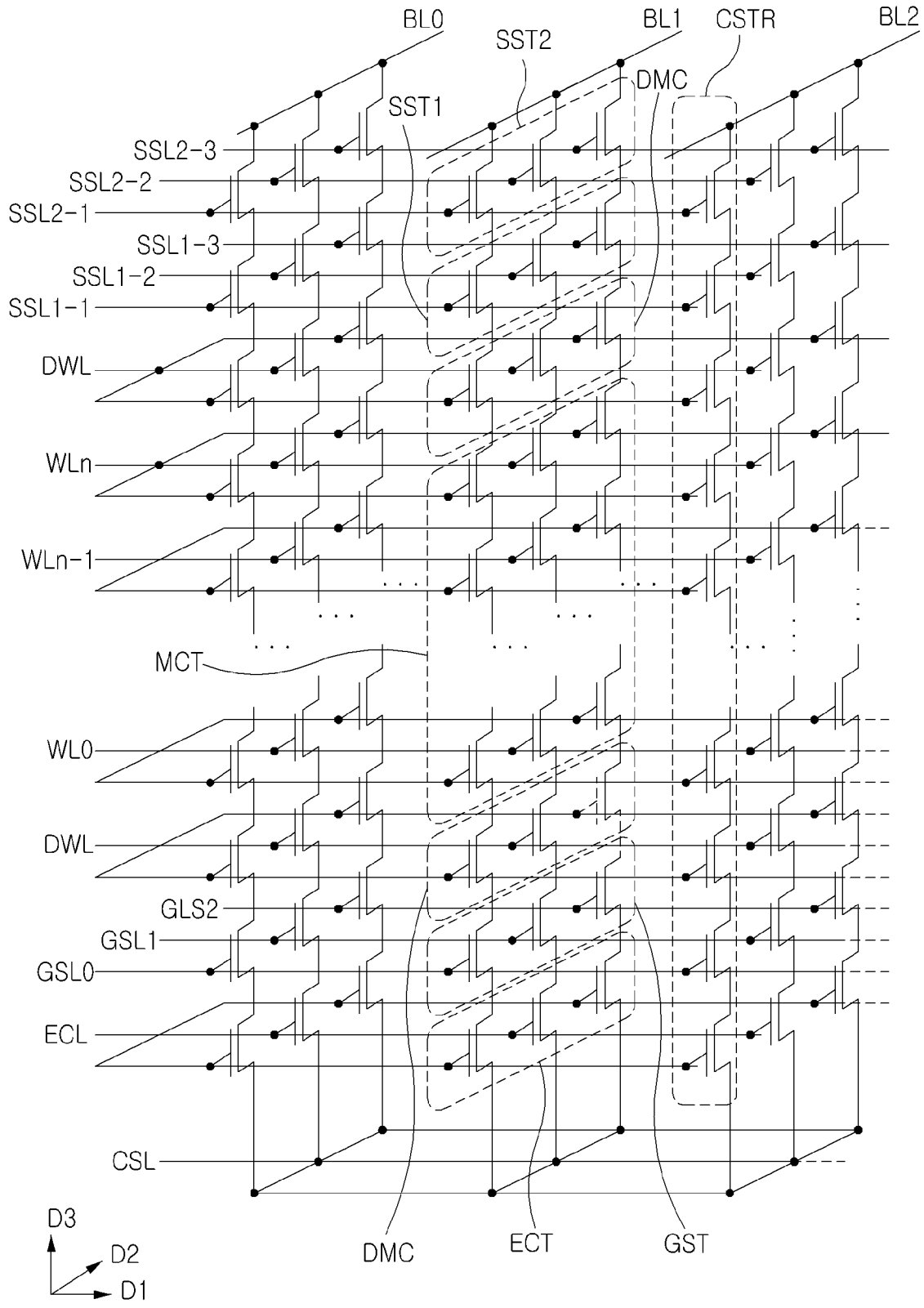
[청구항 13] 기판 상 수평 방향으로 연장 형성된 채 수직 방향으로 이격되며 적층된 게이트 전극들; 및 상기 게이트 전극들을 관통하며 상기 수직 방향으로 연장 형성되는 수직 채널 구조체들-상기 수직 채널 구조체들 각각은 수직 채널 패턴 및 데이터 저장 패턴을 포함하고, 상기 수직 채널 구조체들 각각의

상단에는 서로 다른 타입의 불순물로 도핑된 채 서로 다른 면적을 갖는 비대칭 구조인 듀얼 정션(Dual junction)이 형성됨-을 포함하는 3차원 플래시 메모리의 소거 동작 방법에 있어서,
상기 듀얼 정션에 포함되는 P+ 정션을 통해 상기 수직 채널 패턴에 P형 채널이 형성됨에 따라 음의 전압으로 프로그램된 메모리 셀들을 양의 전압으로 프로그램된 상태로 이동시키는 단계; 및
상기 양의 전압으로 프로그램된 메모리 셀들과 상기 이동된 메모리 셀들에 대해 소거 동작을 수행하는 단계
를 포함하는 3차원 플래시 메모리의 소거 동작 방법.

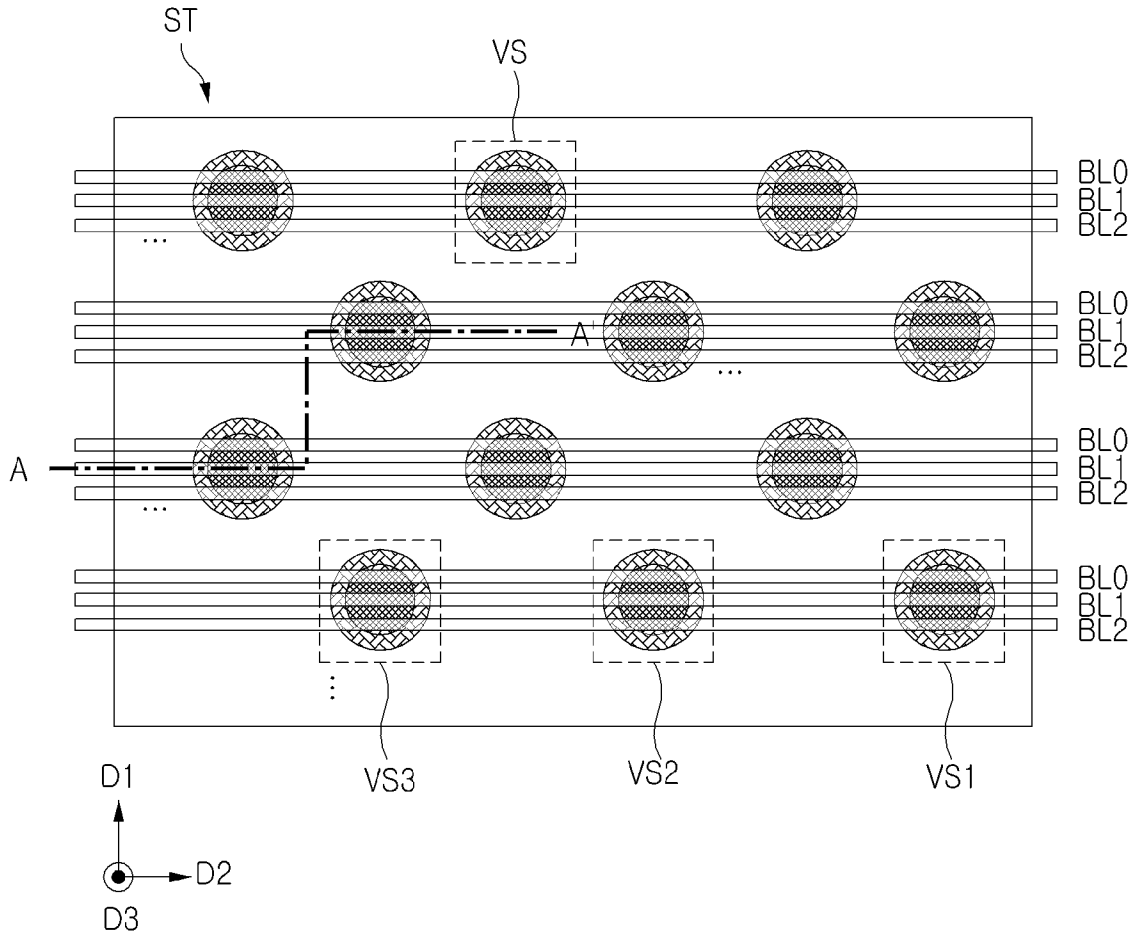
[청구항 14] 기판 상 수평 방향으로 연장 형성된 채 수직 방향으로 이격되며 적층된 게이트 전극들; 및 상기 게이트 전극들을 관통하며 상기 수직 방향으로 연장 형성되는 수직 채널 구조체들-상기 수직 채널 구조체들 각각은 수직 채널 패턴 및 데이터 저장 패턴을 포함하고, 상기 수직 채널 구조체들 각각의 상단에는 서로 다른 타입의 불순물로 도핑된 채 서로 다른 면적을 갖는 비대칭 구조인 듀얼 정션(Dual junction)이 형성됨-을 포함하는 3차원 플래시 메모리의 판독 동작 방법에 있어서,
상기 게이트 전극들 중 판독 동작의 대상이 되는 대상 메모리 셀에 대응하는 선택된 게이트 전극에 양의 전압을 인가하는 단계; 및
상기 선택된 게이트 전극에 인가되는 양의 전압에 응답하여, 상기 듀얼 정션에 포함되는 N+ 정션만을 활성화시켜 상기 수직 채널 패턴에 N형 채널을 형성함으로써 상기 대상 메모리 셀에 대한 판독 동작을 수행하는 단계
를 포함하는 3차원 플래시 메모리의 판독 동작 방법.

WO 2025/042012 PCT/KR2024/008768

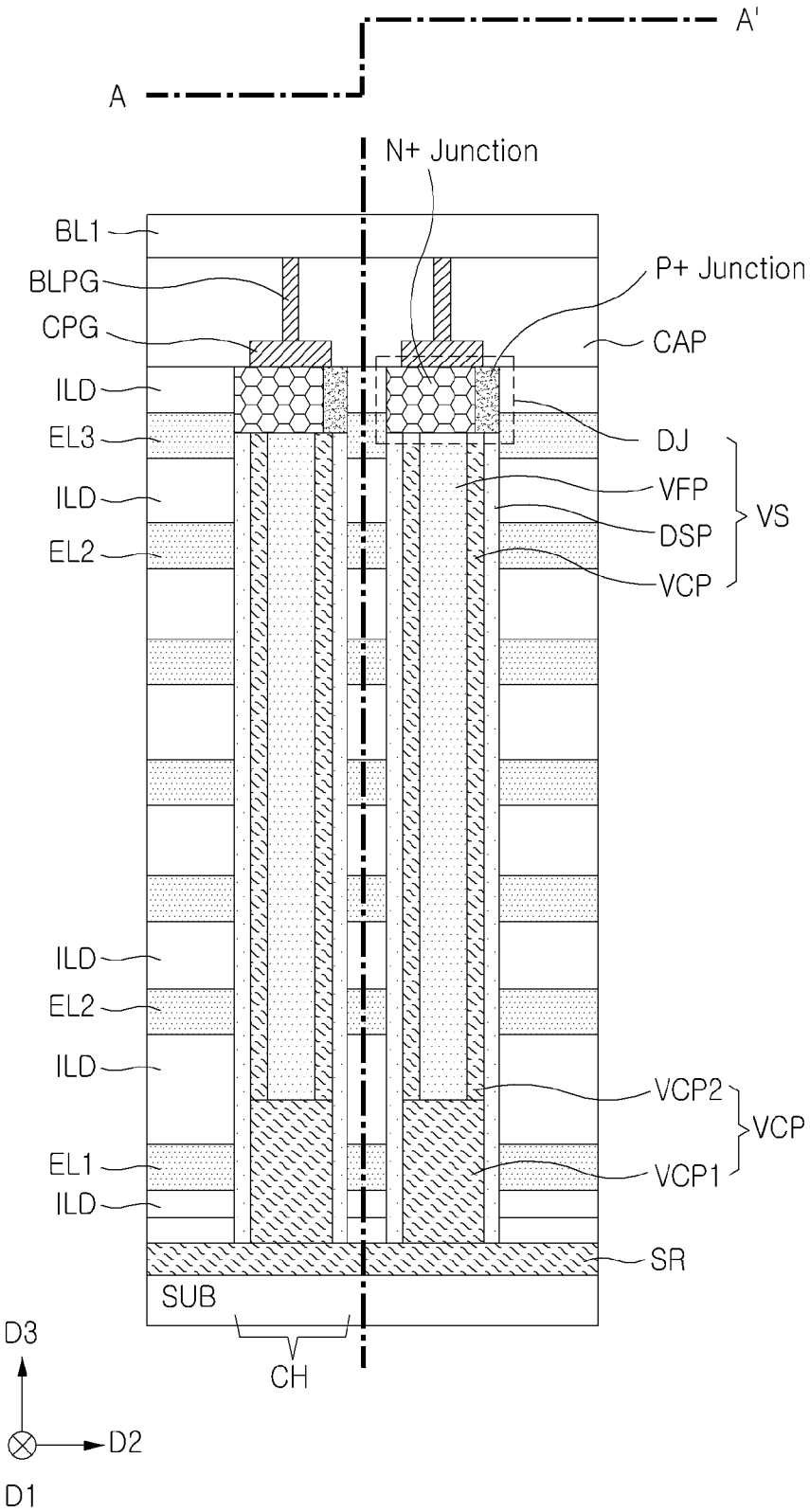
[도1]



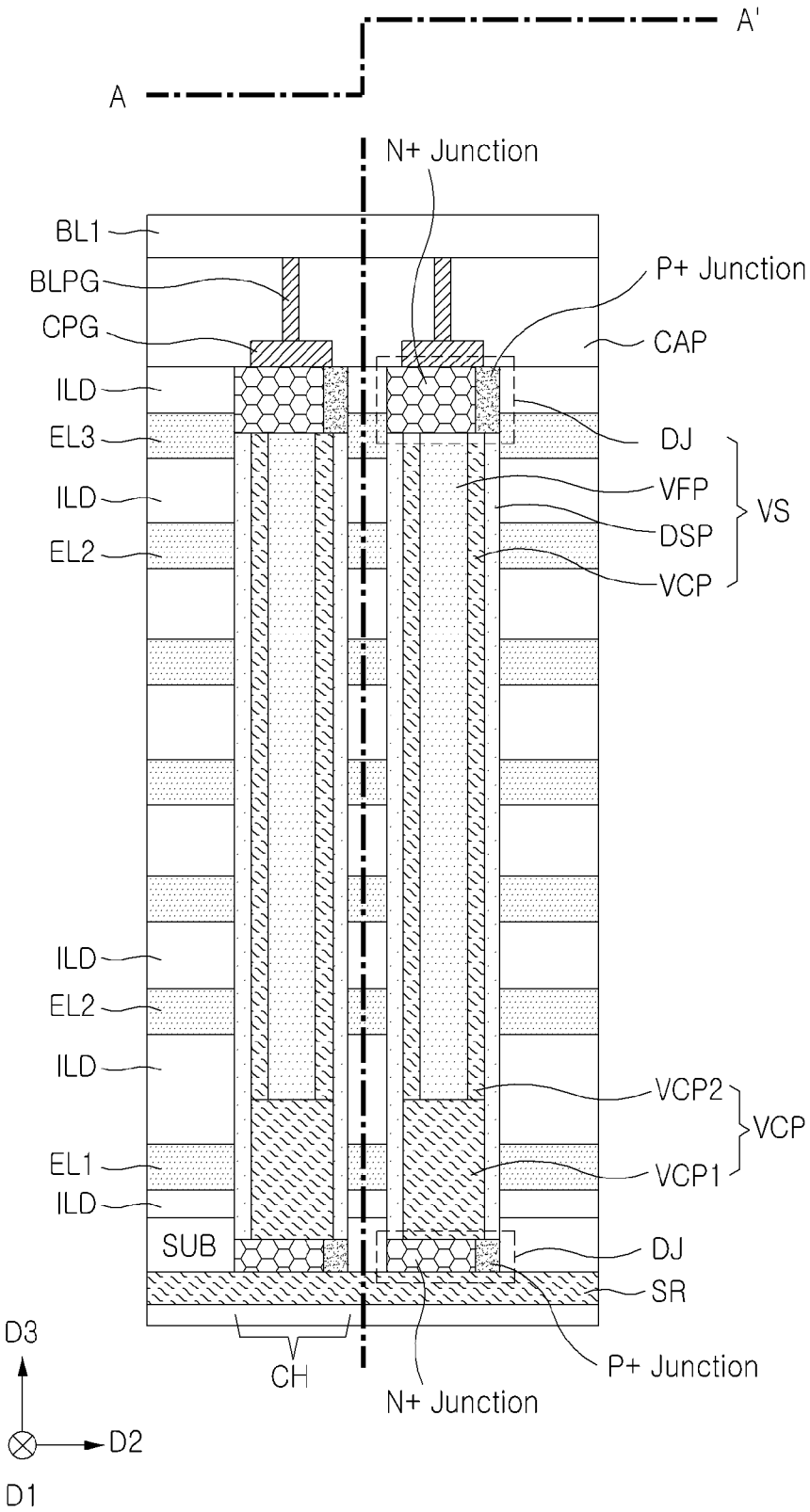
[도2]



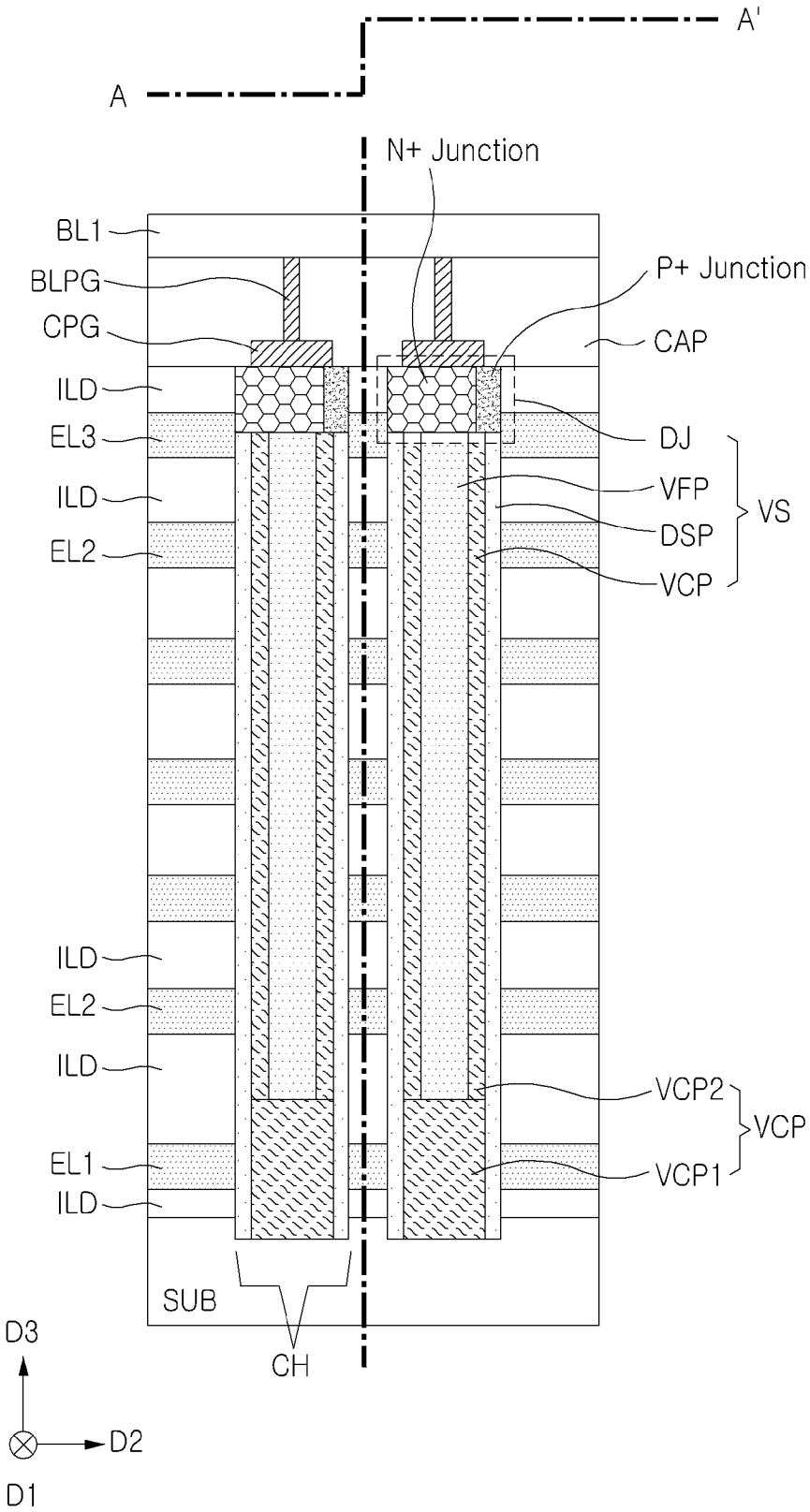
[도3a]


A
A'
N+ Junction
BL1
BLPG
CPG
ILD
EL3
ILD
EL2
P+ Junction
CAP
DJ
VFP
DSP
VCP
VS
ILD
EL2
ILD
EL1
ILD
VCP2
VCP1
VCP
SR
SUB
CH
D3
D2
D1

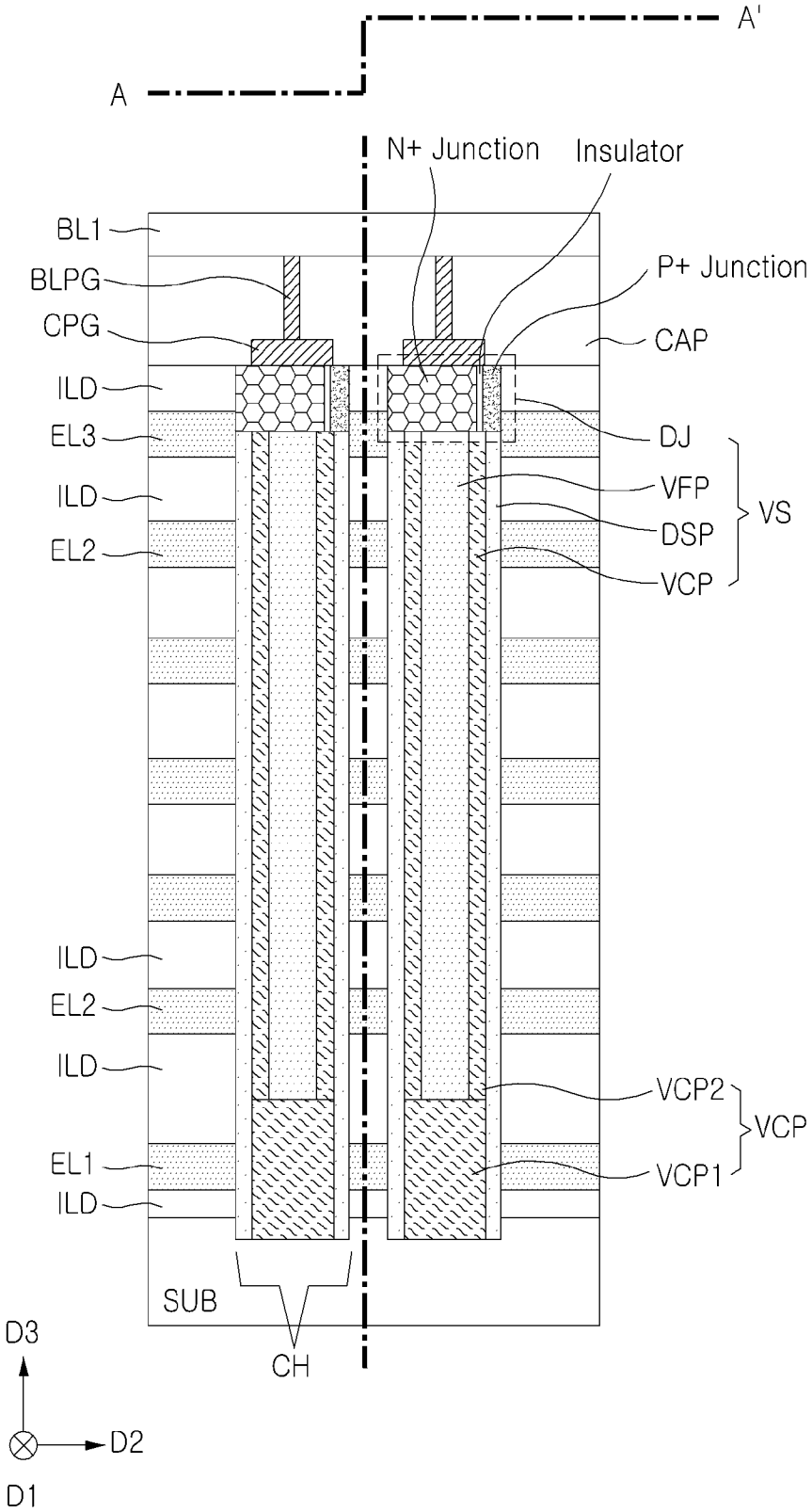
[도3b]


A'
A
N+ Junction
BL1
BLPG
CPG
P+ Junction
CAP
ILD
EL3
DJ
ILD
VFP
VS
DSP
EL2
VCP
ILD
EL2
ILD
VCP2
VCP
EL1
VCP1
ILD
SUB
DJ
SR
CH
N+ Junction
P+ Junction
D3
D2
D1

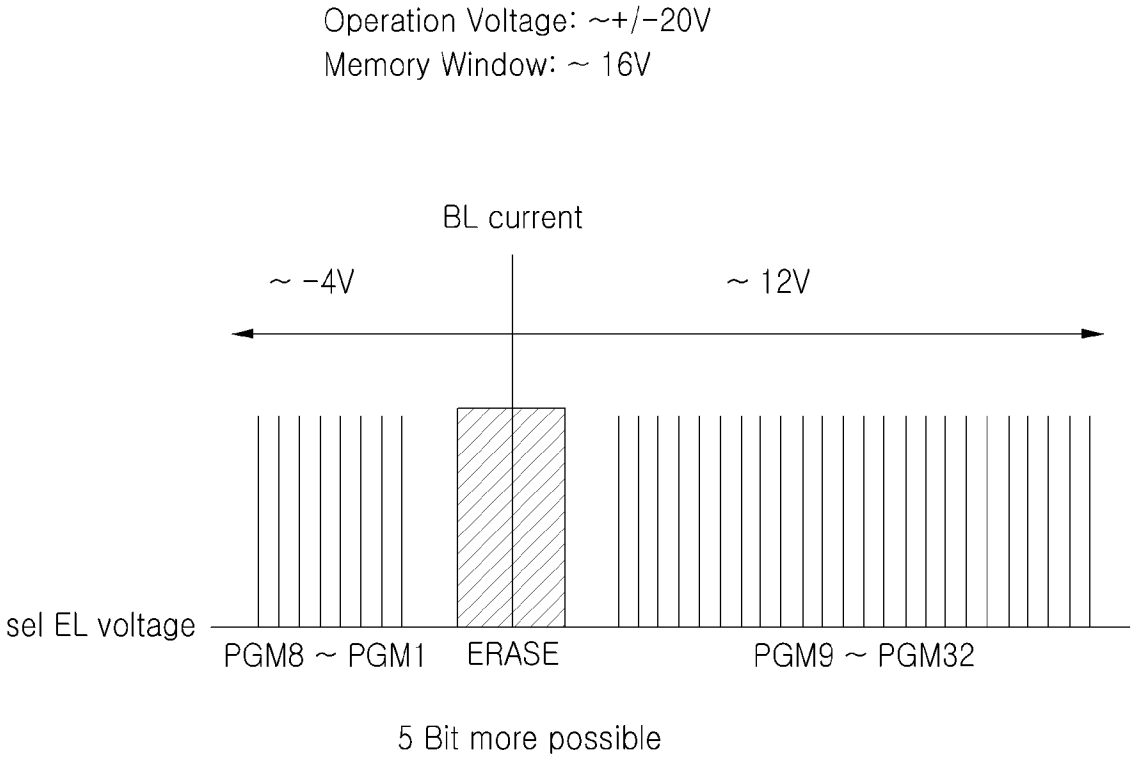
[도3c]


A'
A
N+ Junction
BL1
BLPG
CPG
ILD
EL3
ILD
EL2
P+ Junction
CAP
DJ
VFP
DSP
VCP
VS
ILD
EL2
ILD
EL1
ILD
VCP2
VCP1
VCP
SUB
CH
D3
D2
D1

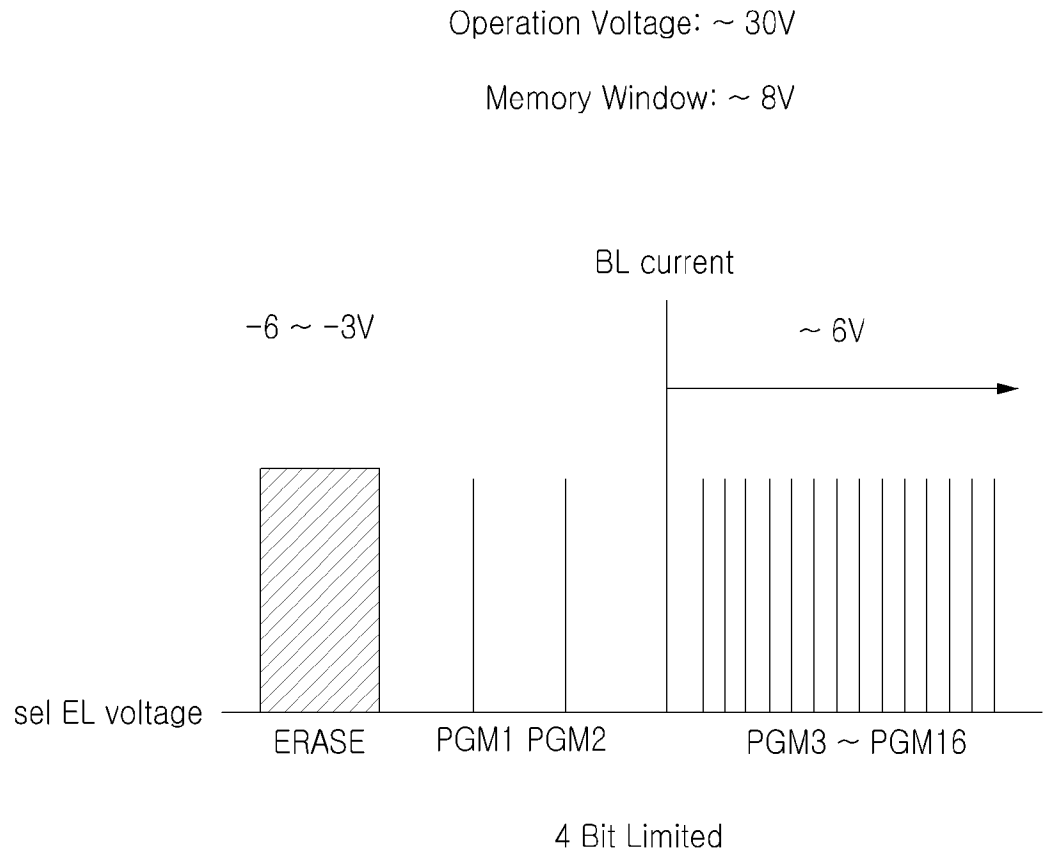
[도3d]


A
A'
N+ Junction
Insulator
BL1
BLPG
CPG
P+ Junction
CAP
ILD
EL3
DJ
ILD
VFP
VS
EL2
DSP
VCP
ILD
EL2
ILD
VCP2
VCP
EL1
VCP1
ILD
SUB
CH
D3
D2
D1

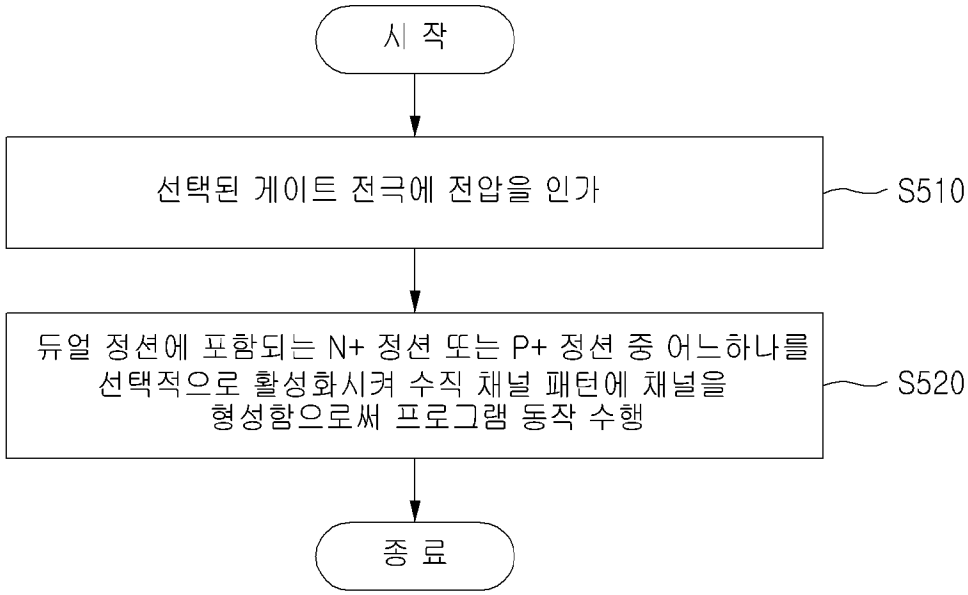
[도4a]


Operation Voltage: ~+/-20V
Memory Window: ~ 16V
BL current
~ -4V
~ 12V
sel EL voltage
PGM8 ~ PGM1
ERASE
PGM9 ~ PGM32
5 Bit more possible

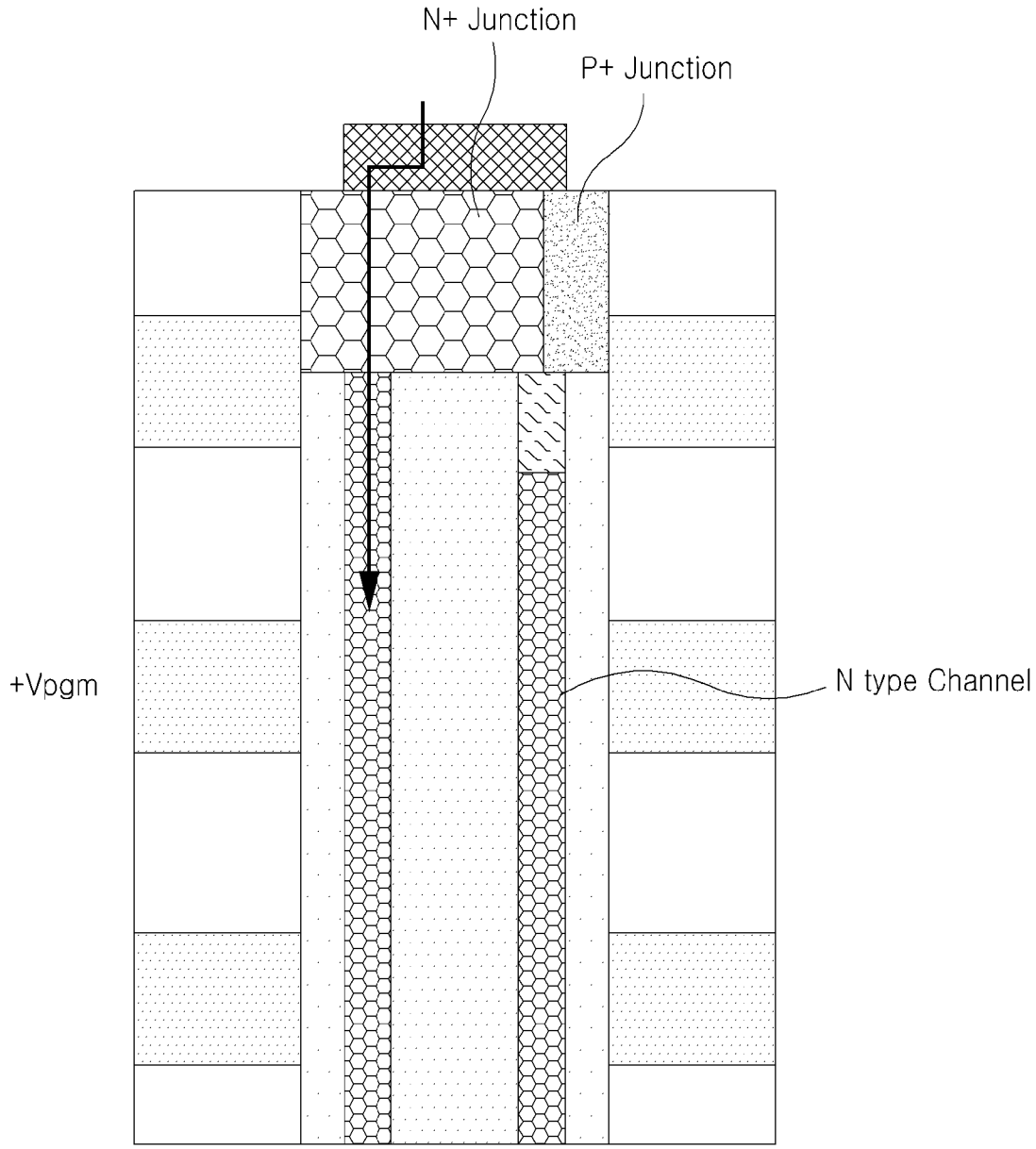
[도4b]


Operation Voltage: ~ 30V
Memory Window: ~ 8V
BL current
-6 ~ -3V
~ 6V
sel EL voltage
ERASE
PGM1 PGM2
PGM3 ~ PGM16
4 Bit Limited

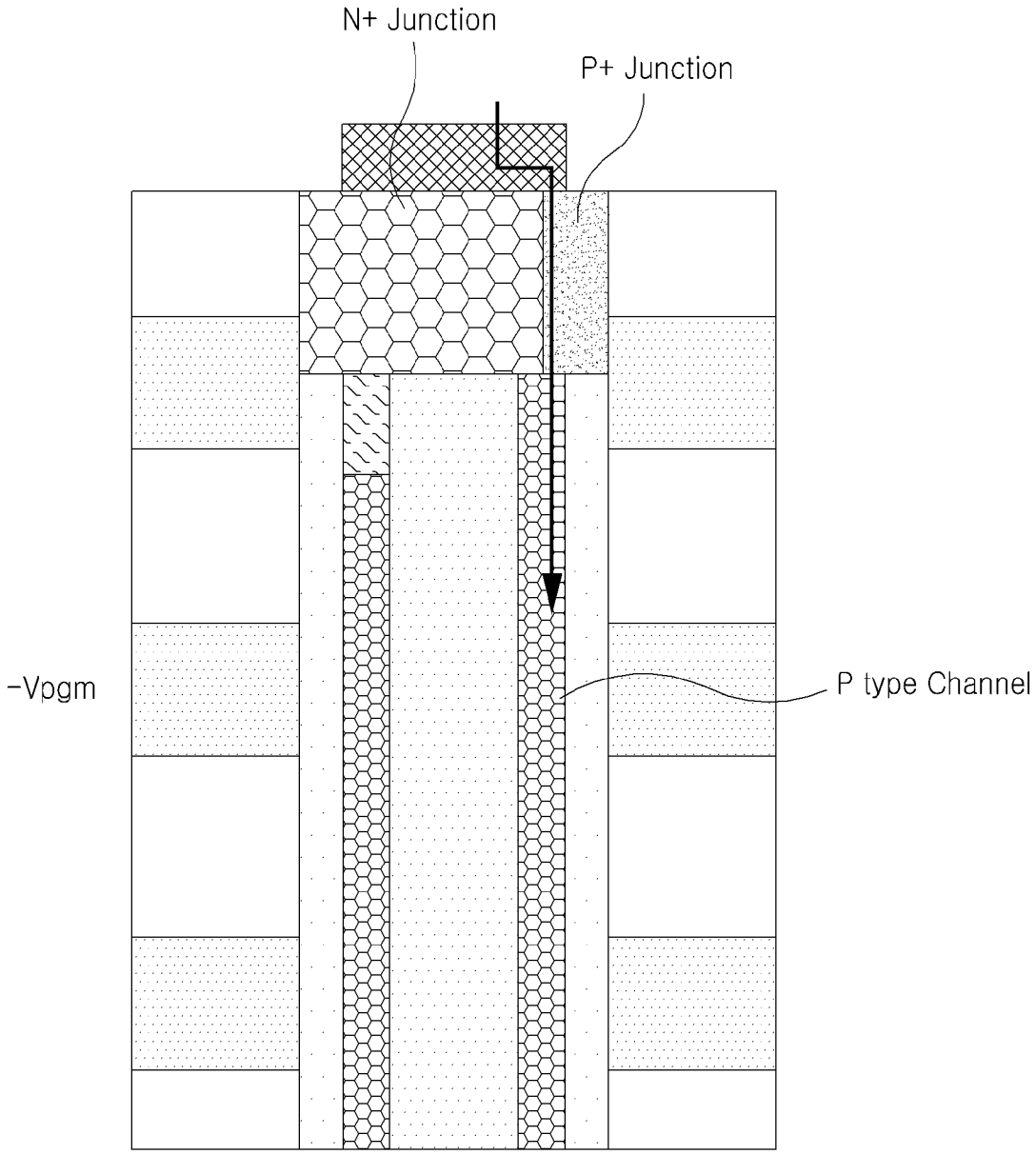
[도5]


시 작
선택된 게이트 전극에 전압을 인가
S510
듀얼 정션에 포함되는 N+ 정션 또는 P+ 정션 중 어느하나를 선택적으로 활성화시켜 수직 채널 패턴에 채널을 형성함으로써 프로그램 동작 수행
S520
종 료

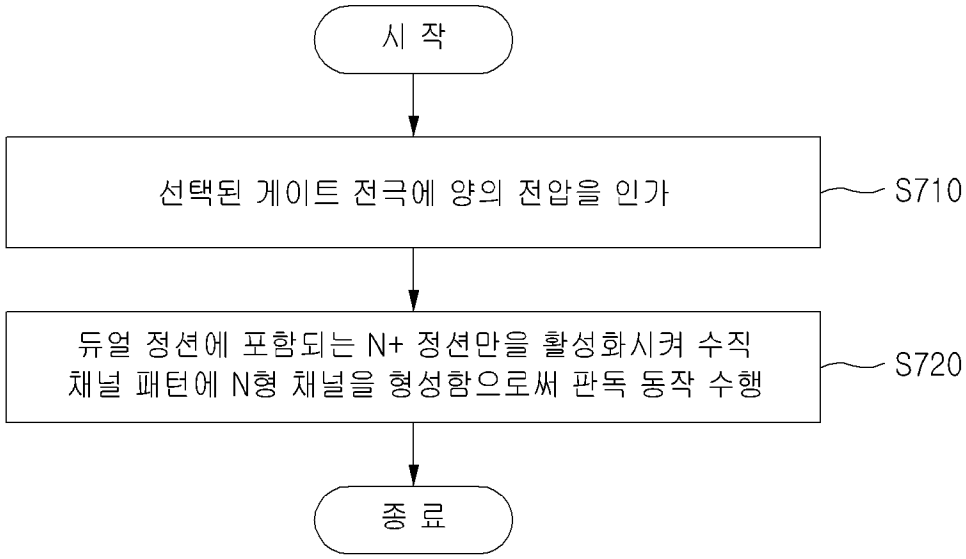
[도6a]



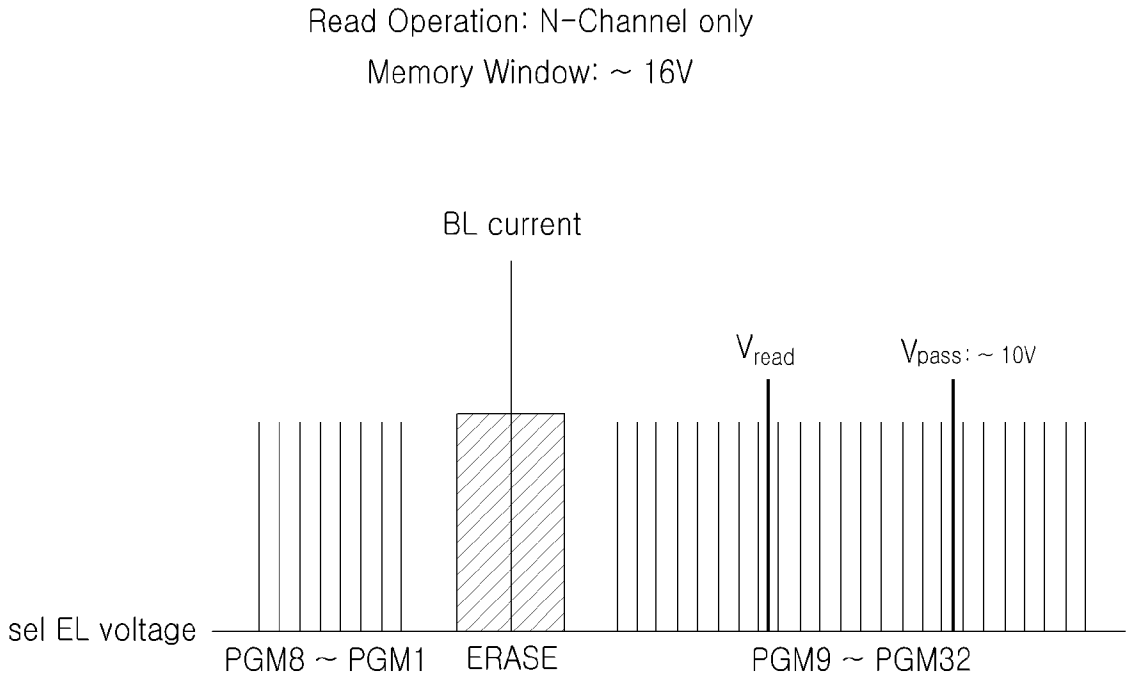
[도6b]



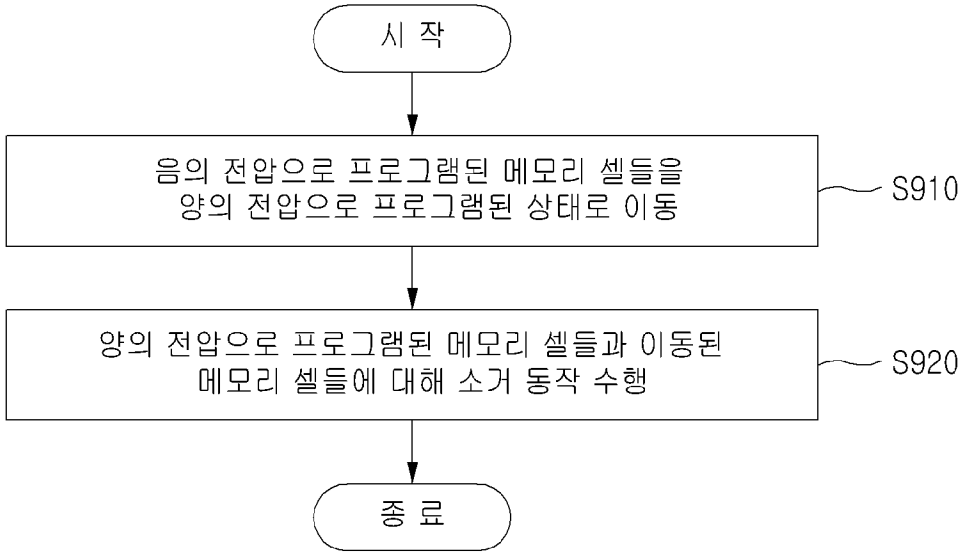
[도7]


시 작
선택된 게이트 전극에 양의 전압을 인가
S710
듀얼 정션에 포함되는 N+ 정션만을 활성화시켜 수직 채널 패턴에 N형 채널을 형성함으로써 판독 동작 수행
S720
종 료

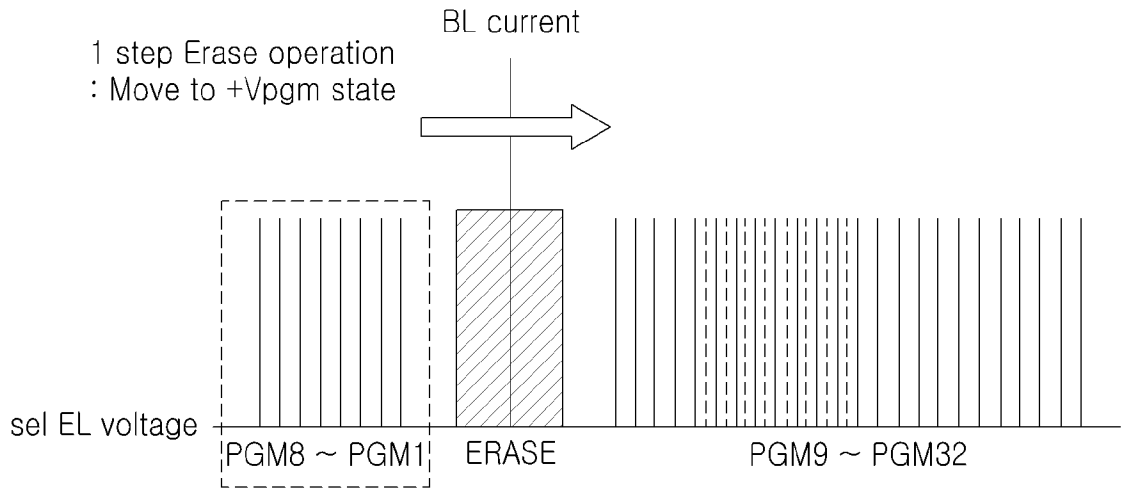
[도8]


Read Operation: N-Channel only
Memory Window: ~ 16V
BL current
Vread
Vpass: ~ 10V
sel EL voltage
PGM8 ~ PGM1
ERASE
PGM9 ~ PGM32

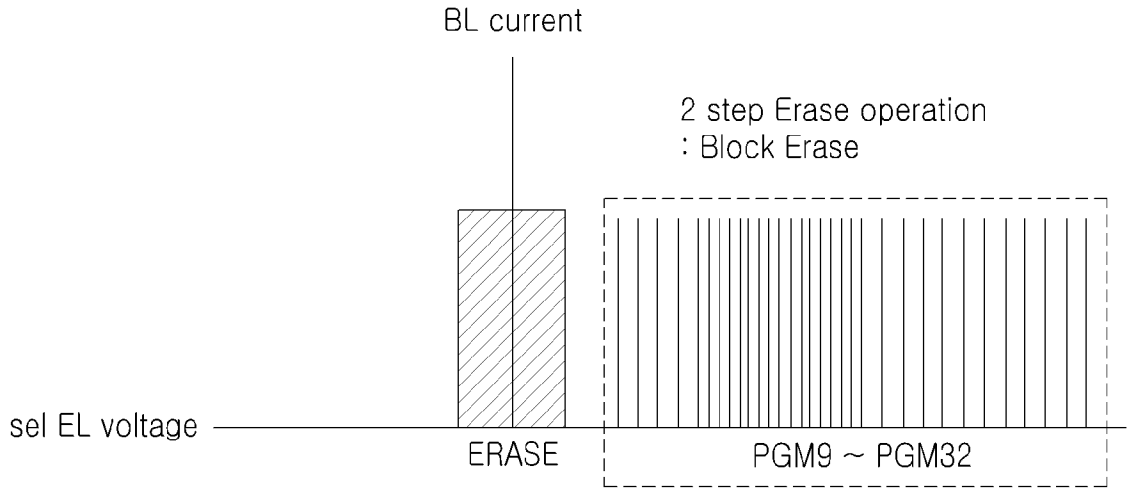
[도9]


시 작
음의 전압으로 프로그램된 메모리 셀들을
양의 전압으로 프로그램된 상태로 이동
S910
양의 전압으로 프로그램된 메모리 셀들과 이동된
메모리 셀들에 대해 소거 동작 수행
S920
종 료

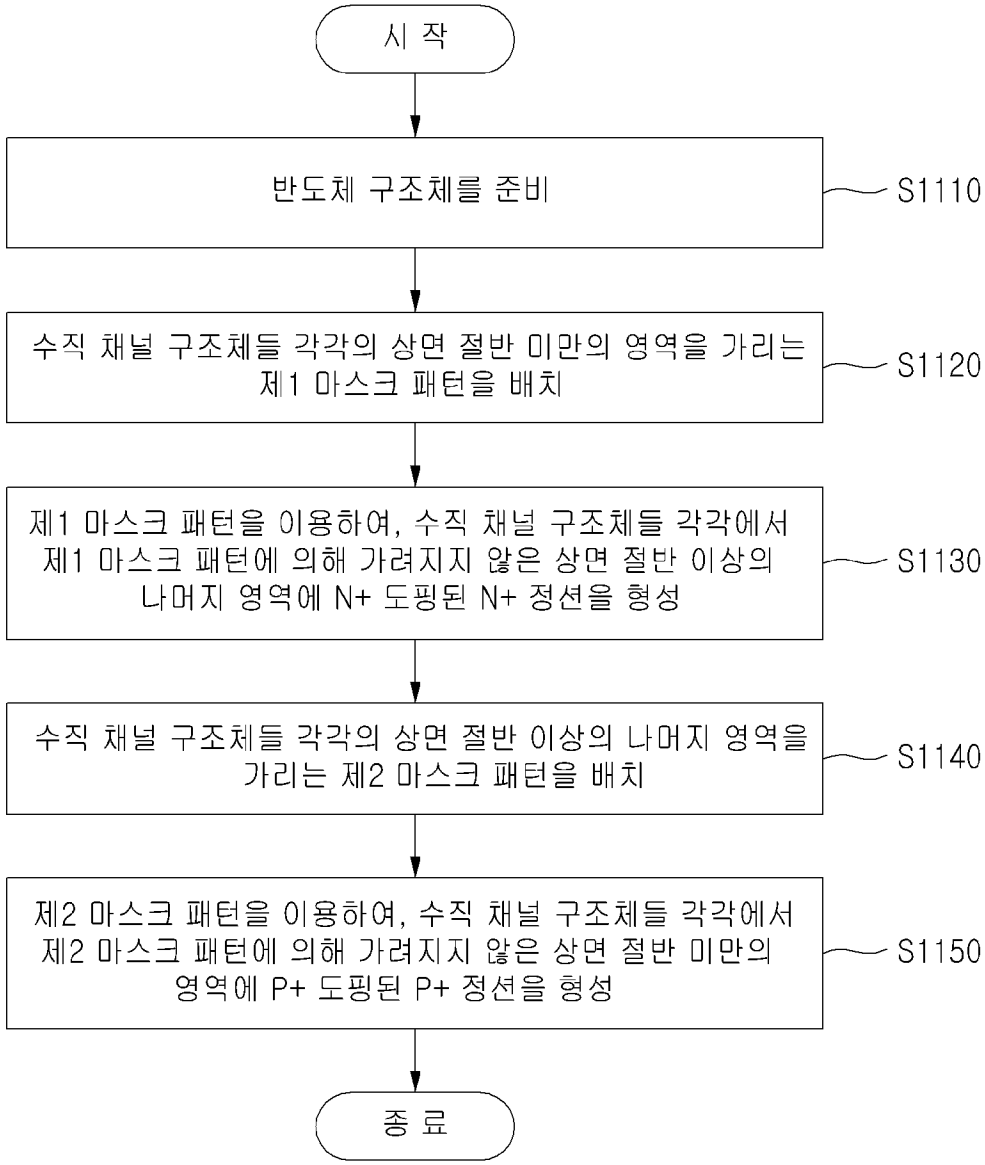
[도10a]


BL current
1 step Erase operation
: Move to +Vpgm state
sel EL voltage
PGM8 ~ PGM1
ERASE
PGM9 ~ PGM32

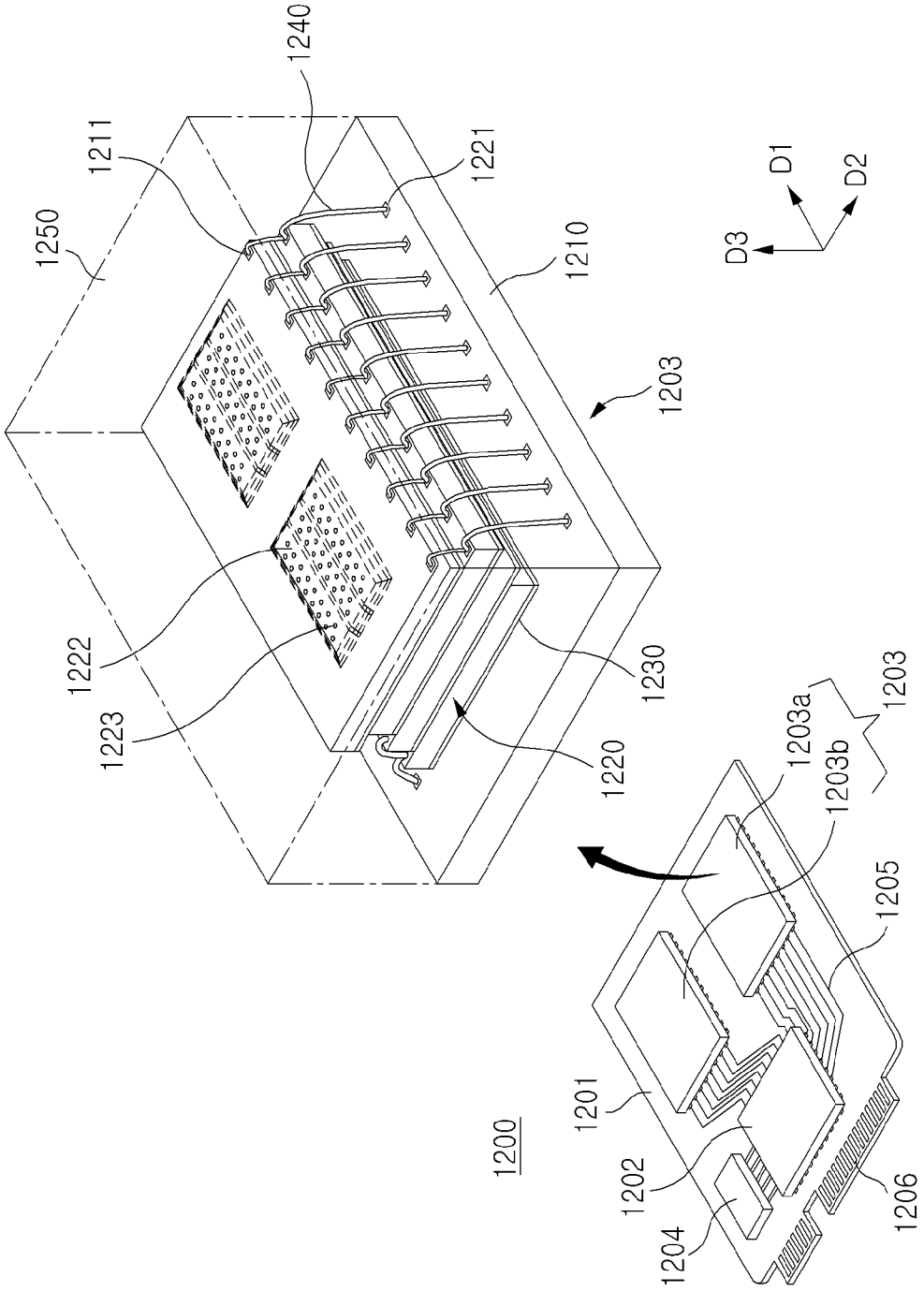
[도10b]


BL current
2 step Erase operation
: Block Erase
sel EL voltage
ERASE
PGM9 ~ PGM32

[도11]


시 작
반도체 구조체를 준비
S1110
수직 채널 구조체들 각각의 상면 절반 미만의 영역을 가리는 제1 마스크 패턴을 배치
S1120
제1 마스크 패턴을 이용하여, 수직 채널 구조체들 각각에서 제1 마스크 패턴에 의해 가려지지 않은 상면 절반 이상의 나머지 영역에 N+ 도핑된 N+ 정션을 형성
S1130
수직 채널 구조체들 각각의 상면 절반 이상의 나머지 영역을 가리는 제2 마스크 패턴을 배치
S1140
제2 마스크 패턴을 이용하여, 수직 채널 구조체들 각각에서 제2 마스크 패턴에 의해 가려지지 않은 상면 절반 미만의 영역에 P+ 도핑된 P+ 정션을 형성
S1150
종 료

[도12]


1240
1211
1221
1250
1210
D1
D2
D3
1203
1222
1230
1223
1220
1203
1203a
1203b
1205
1200
1201
1202
1206
1204

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2024/008768

A. CLASSIFICATION OF SUBJECT MATTER

H10B 51/30(2023.01)i; **H10B 51/20**(2023.01)i; **H10B 43/35**(2023.01)i; **H10B 43/27**(2023.01)i; **G11C 16/10**(2006.01)i; **G11C 16/26**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H10B 51/30(2023.01); H01L 27/11551(2017.01); H01L 27/11556(2017.01); H10B 41/27(2023.01); H10B 43/10(2023.01); H10B 43/27(2023.01); H10B 43/30(2023.01); H10B 43/35(2023.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 3차원 플래시 메모리(3D flash memory), 비대칭 구조(asymmetric structure), 듀얼 정션(dual junction), 채널(channel), 게이트 전극(gate electrode)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2020-0078779 A (SAMSUNG ELECTRONICS CO., LTD.) 02 July 2020 (2020-07-02) See paragraphs [0018]-[0094] and figures 4 and 14.	1-5,7,9-14
Y		6,8
Y	KR 10-2023-0121269 A (IUCF-HYU (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY)) 18 August 2023 (2023-08-18) See paragraph [0080] and figure 4.	6,8
A	KR 10-2022-0052688 A (IUCF-HYU (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY)) 28 April 2022 (2022-04-28) See paragraphs [0025]-[0049] and figures 3-5d.	1-14
A	KR 10-2017-0061646 A (SAMSUNG ELECTRONICS CO., LTD.) 05 June 2017 (2017-06-05) See paragraphs [0018]-[0057] and figures 1-16.	1-14

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
02 December 2024	**02 December 2024**

Name and mailing address of the ISA/KR	Authorized officer
Korean Intellectual Property Office **Government Complex-Daejeon Building 4, 189 Cheongsa-ro, Seo-gu, Daejeon 35208**	
Facsimile No. **+82-42-481-8578**	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2024/008768

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2022-0158425 A (IUCF-HYU (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY)) 01 December 2022 (2022-12-01) See claims 1-5 and figures 1-19.	1-14
PX	KR 10-2024-0008762 A (IUCF-HYU (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY) et al.) 19 January 2024 (2024-01-19) See claims 1-23 and figures 2-10.	1-14

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2024/008768

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
KR 10-2020-0078779 A	02 July 2020	KR 10-2697628 B1	26 August 2024
		US 11239249 B2	01 February 2022
		US 2020-0203371 A1	25 June 2020
KR 10-2023-0121269 A	18 August 2023	WO 2023-153671 A1	17 August 2023
KR 10-2022-0052688 A	28 April 2022	KR 10-2022-0048809 A	20 April 2022
		KR 10-2493068 B1	30 January 2023
		KR 10-2493068 B9	07 September 2023
		KR 10-2504650 B1	28 February 2023
		WO 2022-080842 A1	21 April 2022
KR 10-2017-0061646 A	05 June 2017	JP 2012-015517 A	19 January 2012
		JP 5866151 B2	17 February 2016
		KR 10-1785690 B1	18 October 2017
		KR 10-2012-0003351 A	10 January 2012
		US 2012-0003800 A1	05 January 2012
		US 2012-0327715 A1	27 December 2012
		US 2014-0016408 A1	16 January 2014
		US 8278170 B2	02 October 2012
		US 8546869 B2	01 October 2013
		US 9000508 B2	07 April 2015
KR 10-2022-0158425 A	01 December 2022	KR 10-2635478 B1	13 February 2024
KR 10-2024-0008762 A	19 January 2024	KR 10-2728030 B1	11 November 2024
		WO 2024-063315 A1	28 March 2024

국 제 조 사 보 고 서

국제출원번호
PCT/KR2024/008768

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H10B 51/30(2023.01)i; **H10B 51/20**(2023.01)i; **H10B 43/35**(2023.01)i; **H10B 43/27**(2023.01)i; **G11C 16/10**(2006.01)i; **G11C 16/26**(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H10B 51/30(2023.01); H01L 27/11551(2017.01); H01L 27/11556(2017.01); H10B 41/27(2023.01); H10B 43/10(2023.01); H10B 43/27(2023.01); H10B 43/30(2023.01); H10B 43/35(2023.01)

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 3차원 플래시 메모리(3D flash memory), 비대칭 구조(asymmetric structure), 듀얼 정션(dual junction), 채널(channel), 게이트 전극(gate electrode)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2020-0078779 A (삼성전자주식회사) 2020.07.02 단락 [0018]-[0094] 및 도면 4, 14 참조.	1-5,7,9-14
Y		6,8
Y	KR 10-2023-0121269 A (한양대학교 산학협력단) 2023.08.18 단락 [0080] 및 도면 4 참조.	6,8
A	KR 10-2022-0052688 A (한양대학교 산학협력단) 2022.04.28 단락 [0025]-[0049] 및 도면 3-5d 참조.	1-14
A	KR 10-2017-0061646 A (삼성전자주식회사) 2017.06.05 단락 [0018]-[0057] 및 도면 1-16 참조.	1-14
A	KR 10-2022-0158425 A (한양대학교 산학협력단) 2022.12.01 청구항 1-5 및 도면 1-19 참조.	1-14

☑ 추가 문헌이 C(계속)에 기재되어 있습니다.

☑ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌
"D" 본 국제출원에서 출원인이 인용한 문헌
"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌
"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌
"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌
"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌
"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌
"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.
"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.
"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2024년12월02일(02.12.2024)	**2024년12월02일(02.12.2024)**

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사)

팩스 번호 **+82-42-481-8578**

심사관

이강하

전화번호 **+82-42-481-5687**

국 제 조 사 보 고 서

국제출원번호
PCT/KR2024/008768

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
PX	KR 10-2024-0008762 A (한양대학교 산학협력단 등) 2024.01.19 청구항 1-23 및 도면 2-10 참조.	1-14

국 제 조 사 보 고 서
대응특허에 관한 정보

국제출원번호
PCT/KR2024/008768

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2020-0078779 A	2020/07/02	KR 10-2697628 B1	2024/08/26
		US 11239249 B2	2022/02/01
		US 2020-0203371 A1	2020/06/25
KR 10-2023-0121269 A	2023/08/18	WO 2023-153671 A1	2023/08/17
KR 10-2022-0052688 A	2022/04/28	KR 10-2022-0048809 A	2022/04/20
		KR 10-2493068 B1	2023/01/30
		KR 10-2493068 B9	2023/09/07
		KR 10-2504650 B1	2023/02/28
		WO 2022-080842 A1	2022/04/21
KR 10-2017-0061646 A	2017/06/05	JP 2012-015517 A	2012/01/19
		JP 5866151 B2	2016/02/17
		KR 10-1785690 B1	2017/10/18
		KR 10-2012-0003351 A	2012/01/10
		US 2012-0003800 A1	2012/01/05
		US 2012-0327715 A1	2012/12/27
		US 2014-0016408 A1	2014/01/16
		US 8278170 B2	2012/10/02
		US 8546869 B2	2013/10/01
		US 9000508 B2	2015/04/07
KR 10-2022-0158425 A	2022/12/01	KR 10-2635478 B1	2024/02/13
KR 10-2024-0008762 A	2024/01/19	KR 10-2728030 B1	2024/11/11
		WO 2024-063315 A1	2024/03/28