



ÚŘAD PRO VYNÁLEZY

A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

240 155

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 04 07 83
(21) PV 5041-83

(51) Int. Cl.⁴

H 02 H 7/20

(40) Zveřejněno 13 06 85

(45) Vydáno 01 06 87

(75)

Autor vynálezu

HRZÁN EMIL ing. CSc.;
PETRAŠEK PETR ing., PLZEŇ

(54)

Stejnoseměrný napájecí zdroj elektronických
obvodů s ochranou

Stejnoseměrný napájecí zdroj elektronických obvodů s ochranou slouží k napájení elektronických obvodů všech druhů. Předností popisovaného zařízení je, že chrání napájené obvody před zničením vlivem nepřipustného zvýšení, nesymetrie nebo zvlněním výstupních napětí napájecího zdroje. Zařízení je složeno ze zdroje dvou symetrických nestabilizovaných napětí, dvou jisticích prvků, stabilizátoru se dvěma symetrickými výstupními napětími, obvodu pro vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí a dvou polovodičových spínačů.

Vynález se týká stejnosměrného napájecího zdroje elektronických obvodů s ochranou.

U dosud známých systémů bylo použito takových zapojení, u kterých při poruše ve stejnosměrném napájecím zdroji nebo v napájených obvodech docházelo k nepřipustnému zvýšení, nesymetrii nebo zvlnění výstupních napětí napájecího zdroje, což vedlo v některých případech k poškození napájených obvodů.

Systém podle vynálezu, jehož podstata spočívá v tom, že první výstup zdroje dvou symetrických nestabilizovaných napětí je připojen přes první jisticí prvek jednak na první vstup stabilizátoru se dvěma symetrickými výstupními napětími a jednak na první vstup obvodu pro vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí a na třetí vstup prvního polovodičového spínače, přičemž první výstup stabilizátoru se dvěma symetrickými výstupními napětími je připojen jednak na čtvrtý vstup prvního polovodičového spínače, jednak na druhý vstup obvodu vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí, jenž je prvním výstupem zapojení. Druhý výstup zdroje dvou symetrických nestabilizovaných napětí je připojen jednak na druhý vstup stabilizátoru se dvěma symetrickými výstupními napětími a jednak na třetí vstup obvodu vyhodnocení nesymetrie a zvlnění nestabilizovaného napětí a nepřipustných velikostí stabilizovaných napětí jednak na druhý vstup prvního polovodičového spínače a na druhý vstup druhého polovodičového spínače, jenž je druhým výstupem zapojení. Třetí výstup zdroje dvou symetrických nestabilizovaných napětí je připojen přes druhý jisticí prvek jednak na třetí vstup stabilizátoru se dvěma symetrickými výstupními napětími a jednak na

čtvrtý vstup druhého polovodičového spínače a na pátý vstup obvodu vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí. Druhý výstup stabilizátoru se dvěma symetrickými výstupními napětími je připojen na třetí vstup druhého polovodičového spínače a na čtvrtý vstup obvodu vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí, jenž je třetím výstupem zapojení. Prvý výstup obvodu vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí je připojen na první vstup prvního polovodičového spínače. Druhý výstup obvodu vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí je připojen na první vstup druhého polovodičového spínače.

Hlavní výhodou stejnosměrného napájecího zdroje elektronických obvodů s ochranou podle vynálezu spočívá v tom, že svými vlastnostmi chrání napájené elektronické zařízení, jehož cena je mnohonásobně vyšší, dále před poruchou nebo úplným zničením, které může nastat při poruše ve stejnosměrném napájecím zdroji nebo v napájených elektronických obvodech. Další výhodou je, že zařízení se jednoduše seřizuje a je nenáročné na údržbu.

Stejnosměrný napájecí zdroj elektronických obvodů s ochranou podle vynálezu je zřejmý z přiloženého vyobrazení, které znázorňuje napájecí zdroj s výstupními stabilizovanými napětími s ochranou.

Systém podle vynálezu sestává z prvního výstupu 1.1 zdroje 1 dvou symetrických nestabilizovaných napětí, jenž je připojen přes první jisticí prvek 2 jednak na první vstup 4.1 stabilizátoru 4 se dvěma symetrickými výstupními napětími, jednak na první vstup 5.1 obvodu 5 pro vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí a na třetí vstup 6.3 prvního polovodičového spínače 6. První výstup 4.4 stabilizátoru 4 se dvěma symetrickými výstupními napětími, připojený jednak na čtvrtý vstup 6.4 prvního polovodičového spínače 6 a jednak na druhý vstup 5.2

obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí, jenž je prvním výstupem zapojení. Druhý výstup 1.2 zdroje 1 dvou symetrických nestabilizovaných napětí, připojený jednak na druhý vstup 4.2 stabilizátoru 4 se dvěma symetrickými výstupními napětími a jednak na třetí vstup 5.3 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí, na druhý vstup 6.2 prvního polovodičového spínače 6 a na druhý vstup 7.2 druhého polovodičového spínače 7, jenž je druhým výstupem zapojení. Třetí výstup 1.3 zdroje 1 dvou symetrických nestabilizovaných napětí, připojený přes druhý jisticí prvek 3 jednak na třetí vstup 4.3 stabilizátoru 4 se dvěma symetrickými výstupními napětími a jednak na čtvrtý vstup 7.4 druhého polovodičového spínače 7 a dále na pátý vstup 5.5 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí. Druhý výstup 4.5 stabilizátoru 4 se dvěma symetrickými výstupními napětími, připojený na třetí vstup 7.3 druhého polovodičového spínače 7 a na čtvrtý vstup 5.4 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí, jenž je třetím výstupem zapojení. První výstup 5.6 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí je připojen na první vstup 6.1 prvního polovodičového spínače 6. Druhý výstup 5.7 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí je připojen na první vstup 7.1 druhého polovodičového spínače 7. Obvod 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí obsahuje odpory R1, R2, R3, R4, R5, R6, R7, R8, R9, R10, R11, R12, R13, R14, R15, R16, R17, R18, R19, R20, R21, R22, R23, R24, kondenzátory C1, C2, C3, C4, C5, C6, Zenerovy diody Z3, Z4, Z5, Z8, Z9, Z13, Z15, Z16, diody V1, V10 a tranzistory T2, T6, T7, T11, T12, T14. K prvnímu vstupu 5.1 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí

je připojen jedním koncem první kondenzátor C1, jehož druhý konec je připojen jednak přes druhý odpor R2 na katodu první diody V1 a jednak přes první odpor R1 na třetí vstup 5.3 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí. Anoda první diody V1 je připojena jednak k bázi prvního tranzistoru T2 a jednak přes paralelně spojený druhý kondenzátor C2 a třetí odpor R3 na třetí vstup 5.3 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí. K pátému vstupu 5.5 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí je připojen jedním koncem třetí kondenzátor C4, jehož druhý konec je připojen jednak přes čtvrtý odpor R14 na anodu druhé diody V10 a jednak přes pátý odpor R15 na třetí vstup 5.3 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí. Katoda druhé diody V10 je připojena jednak k bázi druhého tranzistoru T11 a jednak přes paralelně spojený čtvrtý kondenzátor C3 a šestý odpor R13 na třetí vstup 5.3 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí. Kolektor prvního tranzistoru T2 je připojen na pátý vstup 5.5 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí. Kolektor druhého tranzistoru T11 je připojen na první vstup 5.1 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí. Emitor prvního tranzistoru T2 je připojen jednak přes sedmý odpor R4 na třetí vstup 5.3 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí a přes osmý odpor R5 do společného bodu, kam je dále připojena anoda první Zenerovy diody Z4, báze třetího a čtvrtého tranzistoru T6 a T12 a jeden konec devátého odporu R18, který je druhým koncem připojen jednak na emitor druhého tranzistoru T11 a dále přes desátý odpor R16 na třetí vstup 5.3 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí

a nepřípustných velikostí stabilizovaných napětí. Katoda první Zenerovy diody Z4 je připojena na katodu druhé Zenerovy diody Z3, jejíž anoda je připojena do společného bodu dvou sériově řazených odporů R6 a R17, přičemž druhý konec ^{jedenáctého} odporu R6 je připojen k prvnímu vstupu 5.1 a druhý konec ^{dvánáctého} odporu R17 k pátému vstupu 5.5 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřípustných velikostí stabilizovaných napětí. Emitory třetího a čtvrtého tranzistoru T6 a T12 jsou připojeny jednak na třetí vstup 5.3 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřípustných velikostí stabilizovaných napětí a jednak na sériově spojený třináctý odpor R9 a čtrnáctý odpor R8, připojené ke kolektoru třetího tranzistoru T6, a na sériově spojený patnáctý odpor R21 a šestnáctý odpor R20, připojené ke kolektoru čtvrtého tranzistoru T12. Kolektor třetího tranzistoru T6 je připojen na anodu třetí Zenerovy diody Z5, která je svou katodou připojena přes sedmáctý odpor R7 jednak na druhý výstup 5.2 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a jednak na jeden konec osmáctého odporu R11. Kolektor čtvrtého tranzistoru T12 je připojen na katodu čtvrté Zenerovy diody Z13, jejíž anoda je připojena přes devatenáctý odpor R19 jednak na čtvrtý vstup 5.4 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřípustných velikostí stabilizovaných napětí a jednak na jeden konec dvacátého odporu R23. Společný bod třináctého odporu R9 a čtrnáctého odporu R8 je připojen jednak na bázi pátého tranzistoru T7 a jednak přes pátý kondenzátor C5 na jeho kolektor, který je přes dvacátý první odpor R10 připojen na první vstup 5.1 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřípustných velikostí stabilizovaných napětí. Společný bod patnáctého odporu R21 a šestnáctého odporu R20 je připojen jednak na bázi šestého tranzistoru T14 a jednak je přes šestý kondenzátor C6 připojen na jeho kolektor, který je přes dvacátý druhý odpor R22 připojen na pátý vstup 5.5 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřípustných velikostí stabilizovaného napětí.

Emitory pátého tranzistoru T 7 a šestého tranzistoru T 14 jsou připojeny ke společnému bodu dvacátého třetího odporu R 12 a dvacátého čtvrtého odporu R 24, který je připojen ke třetímu vstupu 5.3 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí. Druhý konec dvacátého třetího odporu R 12 je připojen na jeden konec jedenáctého odporu R 6 a dále připojen na druhý vstup 5.2 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí. Do společného bodu dvacátého třetího odporu R 12 a osmnáctého odporu R 11 je připojena svou katodou pátá Zenerova dioda Z 9, jejíž anoda je připojena na anodu šesté Zenerovy diody Z 8, připojené ke kolektoru pátého tranzistoru T 7. Společný bod páté a šesté Zenerovy diody Z 9 a Z 8 je prvním výstupem 5.6 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí. Do společného bodu dvacátého odporu R 23 a dvacátého čtvrtého odporu R 24 je připojena svojí anodou sedmá Zenerova dioda Z 15, jejíž katoda je připojena na katodu osmé Zenerovy diody Z 16, jejíž anoda je propojena ke kolektoru šestého tranzistoru T 14. Společný bod sedmé a osmé Zenerovy diody Z 15 a Z 16 je druhým výstupem 5.7 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí. První polovodičový spínač 6 se skládá z odporů R 25, R 26, R 27, R 28, diod V 19, V 21, V 22 a tranzistorů T 17, T 18, T 20. Na první vstup 6.1 prvního polovodičového spínače 6 je připojena báze sedmého tranzistoru T 17, jehož emitor je připojen jednak na druhý vstup 6.2 prvního polovodičového spínače 6 a jednak na jeden konec dvacátého pátého odporu R 27 a na emitor osmého tranzistoru T 20 a anodu třetí diody V 22. Kolektor sedmého tranzistoru T 17 je připojen na jeden konec dvacátého šestého odporu R 25, jehož druhý konec je připojen jednak na jeden konec dvacátého sedmého odporu R 26 a jednak na bázi devátého tranzistoru T 18. Druhý konec dvacátého sedmého odporu R 26 je připojen jednak na emitor devátého tranzistoru T 18 a jednak do společného bodu, vytvořeného spojením katod čtvrté diody V 19, páté diody V 21 a kolektoru osmého tranzistoru T 20. Anoda čtvrté diody V 19

je připojena na třetí vstup 6.3 prvního polovodičového spínače 6. Anoda páté diody V 21 je společně s katodou šesté diody V 22 připojena na čtvrtý vstup 6.4 prvního polovodičového spínače 6. Druhý konec dvacátého pátého odporu R 27 je připojen společně s jedním koncem dvacátého osmého odporu R 28, jehož druhý konec je připojen na bázi osmého tranzistoru T 20, a na kolektor devátého tranzistoru T 18. Druhý polovodičový spínač 7 se skládá z dvacátého devátého odporu R 29, z diod V 25, V 26, V 27, a z tranzistorů T 23 T 24. Na první vstup 7.1 druhého polovodičového spínače 7 je připojena báze desátého tranzistoru T 23. Jeho emitor je připojen jednak na druhý vstup 7.2 druhého polovodičového spínače 7 a jednak na kolektor jedenáctého tranzistoru T 24 a na katodu sedmé diody V 25. Na kolektor desátého tranzistoru T 23 je připojen jeden konec dvacátého devátého odporu R 29, jehož druhý konec je připojen na bázi jedenáctého tranzistoru T 24, přičemž na jeho emitor jsou připojeny svými anodami osmá dioda V 26 a devátá dioda V 27. Ke katodě osmé diody V 26 je připojena anoda sedmé diody V 25 a obě společně jsou připojeny na třetí vstup 7.3 druhého polovodičového spínače 7. Katoda deváté diody V 27 je připojena na čtvrtý vstup 7.4 druhého polovodičového spínače 7.

Systém podle vynálezu pracuje tak, že zdroj 1 dvou symetrických nestabilizovaných napětí má na svém prvním výstupu 1.1 kladné napětí, na svém druhém výstupu 1.2 má nulové napětí a na svém třetím výstupu 1.3 má záporné napětí. Stabilizátor 4 se dvěma symetrickými výstupními napětími má na svém prvním výstupu 4.4 kladné napětí a na svém druhém výstupu 4.5 záporné napětí. Obvod 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí vyhodnocuje nesymetrii výstupních napětí zdroje 1 dvou symetrických nestabilizovaných napětí obvodem skládajícím se z jedenáctého a dvanáctého odporu R 6, R 17 a z první a druhé Zenerovy diody Z 4, Z 3. Nepřipustné zvlnění výstupních napětí zdroje 1 dvou symetrických nestabilizovaných napětí se vyhodnocuje obvodem obsahujícím odpory R 1, R 2, R 3, R 4, R 5, R 13, R 14, R 15, R 16 a R 18, kondenzátory C 1,

C 2, C 3 a C 4, diody V 1 a V 10 a tranzistory T 2, T 11. Nepřípustný pokles jednoho nebo obou výstupních napětí stabilizátoru 4 se dvěma symetrickými výstupními napětími je vyhodnocen obvodem skládajícím se ze třetího tranzistoru T 6 a čtvrtého tranzistoru T 12, třetí a čtvrté Zenerovy diody Z 5 a Z 13 a sedmnáctého a devatenáctého odporu R 7 a R 19. Aby se vyloučila chybná funkce obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřípustných velikostí stabilizovaných napětí při zapínání zdroje 1 dvou symetrických nestabilizovaných napětí, obsahuje zpoždovací obvod, který zpožďuje vyhodnocení výše uvedených poruch. Tento obvod se skládá z odporů R 8, R 9, R 10, R 21, R 22 z kondenzátorů C 5, C 6, Zenerových diod Z 8, Z 16 a tranzistorů T 7, T 14. Vyhodnocení nedovolených zvýšení výstupních napětí stabilizátoru 4 se dvěma symetrickými výstupními napětími je provedeno obvodem skládajícím se z odporů R 11, R 12, R 23, R 24 a Zenerových diod Z 9, Z 15. První polovodičový spínač 6 je tranzistorový zesilovač, který při kladném napětí určité velikosti na svém prvním vstupu 6.1 zkratuje kladné napětí na svém třetím vstupu 6.3 a kladné napětí na svém čtvrtém vstupu 6.4 vůči nulovému napětí. Diody V 19 a V 21 oddělují třetí a čtvrtý vstup 6.3 a 6.4. Třetí dioda V 22 chrání první výstup 4.4 stabilizátoru 4 se dvěma symetrickými výstupními napětími před připojením externího záporného napětí. Druhý polovodičový spínač 7 je tranzistorový zesilovač, který při záporném napětí určité velikosti na svém druhém vstupu 7.2 zkratuje záporné napětí na svém čtvrtém vstupu 7.4 a záporné napětí na svém třetím vstupu 7.3.

V následujícím textu je několik příkladů funkce zapojení. Při poruše stabilizátoru 4 se dvěma symetrickými výstupními napětími, která se projeví nedovoleným zvýšením jeho kladného výstupního napětí, se zvýší napětí ve společném bodě osmnáctého a dvacátého třetího odporu R 11 a R 12 v obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřípustných velikostí stabilizovaných napětí natolik, že se objeví kladné napětí na prvním vstupu 6.1 prvé-

ho polovodičového spínače 6 a ten omezí nedovolené zvýšení kladného výstupního napětí stabilizátoru 4 se dvěma symetrickými výstupními napětími a po určitém časovém okamžiku způsobí výpadek prvního jisticího prvku 2, a tím odpojí kladné napětí od prvního vstupu 4.1 stabilizátoru 4 se dvěma symetrickými výstupními napětími. Výpadkem prvního jisticího prvku 2 se poruší symetrie kladného napětí na vstupech stabilizátoru 4 se dvěma symetrickými výstupními napětími. Následkem toho se objeví záporné napětí i na druhém výstupu 5.7 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí, které způsobí prostřednictvím druhého polovodičového spínače 7 výpadek druhého jisticího prvku 3. Poškozený stabilizátor 4 se dvěma symetrickými výstupními napětími je tedy odpojen od obou napájecích kladných napětí. Obdobně funguje zapojení při poruše stabilizátoru 4 se dvěma symetrickými výstupními napětími, která se projeví nedovoleným zvýšením jeho záporného výstupního napětí. Při poruše stabilizátoru 4 se dvěma symetrickými výstupními napětími, která má za následek nedovolené snížení jeho kladného výstupního napětí, se kladné napětí na kolektoru třetího tranzistoru T 6 sníží natolik, že se pátý tranzistor T 7 uzavře. Na prvním výstupu 5.6 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaného napětí a nepřipustných velikostí stabilizovaných napětí je pak kladné napětí. Obdobně jako v předchozím případě jsou odpojeny první a třetí vstup 4.1 a 4.3 stabilizátoru 4 se dvěma symetrickými výstupními napětími od prvního a třetího 1.1 a 1.3 výstupu zdroje 1 dvou symetrických nestabilizovaných napětí. Jestliže dojde ke snížení velikosti výstupních napětí stabilizátoru 4 se dvěma symetrickými výstupními napětími vlivem podstatného snížení obou výstupních napětí zdroje 1 symetrických nestabilizovaných napětí, je funkce zapojení blokována, neboť napětí na prvním a pátém vstupu 5.1 a 5.5 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí se sníží natolik, že ani uzavření pátého tranzistoru T 7 a šestého tranzistoru T 14 nemá za následek kladné napětí na prvním výstupu 5.6 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných na-

pětí nebo záporné napětí na druhém výstupu 5.7 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí. Při poruše zdroje 1 dvou symetrických nestabilizovaných napětí, která se projeví zvýšením zvlnění jeho kladného výstupního napětí, se objeví na druhém kondenzátoru C 2 v obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí záporné napětí, které se přenesou i na emitor prvního tranzistoru T 2, což má za následek, že se objeví záporné napětí na druhém výstupu 5.7 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí a prostřednictvím druhého polovodičového spínače 7 dojde k výpadku druhého jisticího prvku 3. Výpadkem druhého jisticího prvku 3 se poruší symetrie kladného napětí na vstupech stabilizátoru 4 se dvěma symetrickými výstupními napětími. Následkem toho se objeví kladné napětí i na prvním výstupu 5.6 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí, které způsobí prostřednictvím prvního polovodičového spínače 6 výpadek prvního jisticího prvku 2, a tím i odpojení prvního a třetího vstupu 4.1 a 4.3 stabilizátoru 4 se dvěma symetrickými výstupními napětími od prvního a třetího 1.1. a 1.3 výstupu zdroje 1 dvou symetrických nestabilizovaných napětí. Při poruše zdroje 1 dvou symetrických nestabilizovaných napětí, která se projeví zvýšením zvlnění jeho záporného výstupního napětí, se objeví na čtvrtém kondenzátoru C 3 v obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí, která se přenesou i na emitor druhého tranzistoru T 11, což má za následek, že se objeví kladné napětí na prvním výstupu 5.6 obvodu 5 vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí a prostřednictvím prvního polovodičového spínače 6 dojde k výpadku prvního jisticího prvku 2. Tím dojde k poruše symetrie kladného napětí na vstupech stabilizátoru 4 se dvěma symetrickými výstupními napětími, následkem čehož dojde i k výpadku druhého jisticího prvku 3, a tím i k odpojení prvního a třetího vstupu 4.1 a 4.3 stabilizátoru 4 se dvěma symetrickými výstupními

napětími od prvního a třetího výstupu 1.1 a 1.3 zdroje 1 dvou symetrických nestabilizovaných napětí, jak již bylo několikrát popsáno.

Zapojení chrání napájené obvody a stabilizátor i před chybným připojením některých napájecích napětí do napájených obvodů. Jedná se například o připojení kladného napětí do obvodů napájených stabilizovaným kladným napětím. Funkci zapojení lze odvodit stejným způsobem jako v předchozích případech.

Stejnoseměrný napájecí zdroj elektronických obvodů, který je předmětem vynálezu, najde použití v elektronických zařízeních, kde je nutno elektronické obvody chránit před nedovolenými velikostmi napájecích napětí nebo před nesymetrií a zvlněním napájecích napětí.

PŘEDMĚT VYNÁLEZU

240 155

Stejnoseměrný zdroj elektronických obvodů s ochranou, vyznačený tím, že první výstup /1.1/ zdroje /1/ dvou symetrických nestabilizovaných napětí je připojen přes první jisticí prvek /2/, jednak na první vstup /4.1/ stabilizátoru /4/ se dvěma symetrickými výstupními napětími a jednak na první vstup /5.1/ obvodu /5/ pro vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřípustných velikostí stabilizovaných napětí a na třetí vstup /6.3/ prvního polovodičového spínače /6/, přičemž první výstup /4.4/ stabilizátoru /4/ se dvěma symetrickými výstupními napětími je připojen jednak na čtvrtý vstup /6.4/ prvního polovodičového spínače /6/, jednak na druhý vstup /5.2/ obvodu /5/ vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřípustných velikostí stabilizovaných napětí a je prvním výstupem /A/ zapojení, druhý výstup /1.2/ zdroje /1/ dvou symetrických nestabilizovaných napětí, je připojen jednak na druhý vstup /4.2/ stabilizátoru /4/ se dvěma symetrickými výstupními napětími a jednak na třetí vstup /5.3/ obvodu /5/ vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřípustných velikostí stabilizovaných napětí, jednak na druhý vstup /6.2/ prvního polovodičového spínače /6/ a na druhý vstup /7.2/ druhého polovodičového spínače /7/, jenž je druhým výstupem /B/ zapojení, a třetí výstup /1.3/ zdroje /1/ dvou symetrických nestabilizovaných napětí je připojen přes druhý jisticí prvek /3/ jednak na třetí vstup /4.3/ stabilizátoru /4/ se dvěma symetrickými výstupními napětími, jednak na čtvrtý vstup /7.4/ druhého polovodičového spínače /7/ a na pátý vstup /5.5/ obvodu /5/ vyhodnocení nesymetrie a zvlnění nestabilizovaných napětí a nepřípustných velikostí stabilizovaných napětí, přičemž druhý výstup /4.5/ stabilizátoru /4/ se dvěma symetrickými výstupními napětími je připojen na třetí vstup /7.3/ druhého polovodičového spínače /7/ a na čtvrtý vstup /5.4/

obvodu /5/ vyhodnocení nesymetrií a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí, jenž je třetím výstupem /C/ zapojení, a že první výstup /5.6/ obvodu /5/ vyhodnocení a nesymetrie a zvlnění nestabilizovaných napětí a nepřipustných velikostí stabilizovaných napětí je připojen na první vstup /6.1/ prvního polovodičového spínače /6/ a druhý výstup /5.7/ obvodu /5/ vyhodnocení nesymetrie a zvlnění nestabilizovaných a nepřipustných velikostí stabilizovaných napětí je připojen na první vstup /7.1/ druhého polovodičového spínače /7/ .

1 výkres

