

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年1月13日(13.01.2022)



(10) 国際公開番号

WO 2022/009482 A1

- (51) 国際特許分類:
H01L 25/07 (2006.01) H02M 7/48 (2007.01)
H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2021/011484
- (22) 国際出願日: 2021年3月19日(19.03.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-117644 2020年7月8日(08.07.2020) JP
- (71) 出願人: 三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東

京 都 千 代 田 区 丸 の 内 二 丁 目 7 番
3 号 Tokyo (JP).

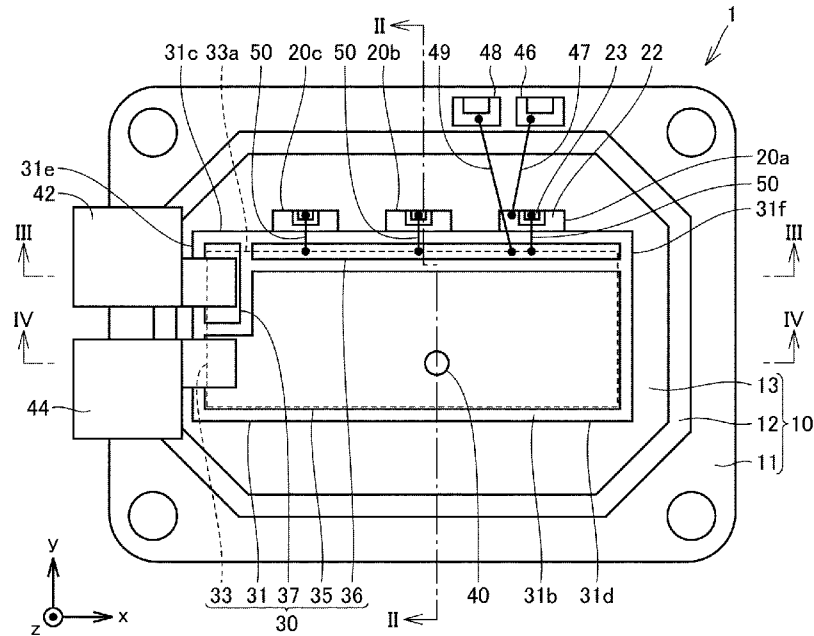
- (72) 発明者: 岡田 一也(OKADA, Kazuya); 〒1008310
東京都千代田区丸の内二丁目7番3号 三
菱電機株式会社内 Tokyo (JP). 岡 誠次(OKA,
Seiji); 〒1008310 東京都千代田区丸の内二
丁目7番3号 三菱電機株式会社内 Tokyo
(JP). 森崎 翔太(MORISAKI, Shota); 〒1008310
東京都千代田区丸の内二丁目7番3号 三
菱電機株式会社内 Tokyo (JP).

- (74) 代理人: 特許業務法人深見特許事務所(FUKAMI
PATENT OFFICE, P.C.); 〒5300005 大阪府大
阪市北区中之島三丁目2番4号 中之島フェス
ティバルタワー・ウエスト Osaka (JP).

(54) Title: POWER SEMICONDUCTOR MODULE AND POWER CONVERSION DEVICE

(54) 発明の名称: パワー半導体モジュール及び電力変換装置

【図1】



(57) Abstract: A power semiconductor module (1) equipped with a power semiconductor element (20a), a power semiconductor element (20c) and a printed circuit board (30). The printed circuit board (30) comprises an insulating substrate (31), a first emitter conductor pattern (33) provided on a main surface (31a) of the insulating substrate (31), and a first gate conductor pattern (36) provided on a main surface (31b) of the insulating substrate (31). The first gate conductor pattern (36) is positioned along a first edge (33a) of the first emitter conductor pattern (33) when seen from a planar view of the

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

main surface (31b) of the insulating substrate (31).

(57) 要約: パワー半導体モジュール(1)は、パワー半導体素子(20a)と、パワー半導体素子(20c)と、プリント配線基板(30)とを備える。プリント配線基板(30)は、絶縁基板(31)と、絶縁基板(31)の主面(31a)上に設けられている第1エミッタ導電パターン(33)と、絶縁基板(31)の主面(31b)上に設けられている第1ゲート導電パターン(36)とを含む。第1ゲート導電パターン(36)は、絶縁基板(31)の主面(31b)の平面視において第1エミッタ導電パターン(33)の第1縁(33a)に沿って配置されている。

明 細 書

発明の名称： パワー半導体モジュール及び電力変換装置

技術分野

[0001] 本開示は、パワー半導体モジュール及び電力変換装置に関する。

背景技術

[0002] 国際公開第2017/175686号（特許文献1）は、第1絶縁基板と、第1半導体デバイスと、第2絶縁基板と、第1柱状電極と、第2柱状電極とを備えるパワーモジュールを開示している。

[0003] 第1絶縁基板は、第1導電層を含む。第1半導体デバイスは、第1導電層の上に配置されている。第1半導体デバイスの主電極の一方は、第1導電層と接続されている。第2絶縁基板は、第1絶縁基板の上方に、かつ、第1半導体デバイスと対向して、配置されている。第2絶縁基板は、第2絶縁基板のおもて面上に設けられている第2導電層と、第2絶縁基板の裏面上に設けられている第3導電層とを含む。第1柱状電極は、第1導電層と第2導電層とを接続する。第2柱状電極は、第1半導体デバイスの主電極の他方と第3導電層とを接続する。第2導電層は、第1半導体デバイスに電圧を供給する正極パターンまたは負極パターンのうちの一方である。第3導電層は、第1半導体デバイスに電圧を供給する正極パターンまたは負極パターンのうちの他方である。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第2017/175686号

発明の概要

発明が解決しようとする課題

[0005] パワー半導体モジュールの電力容量を増加させるために、パワー半導体モジュールが複数のパワー半導体素子を含む必要がある。しかし、複数のパワー半導体素子をターンオンさせると、複数のパワー半導体素子のうちの一つ

に過大な電流が流れて、複数のパワー半導体素子のうちの 하나가壊れることがあった。そのため、パワー半導体モジュールの寿命が短かった。

[0006] 本開示は、上記の課題を鑑みてなされたものであり、その第一局面の目的は、パワー半導体モジュールの電力容量を増加させるとともに、パワー半導体モジュールの寿命を延ばすことである。本開示の第二局面の目的は、電力変換装置の電力容量を増加させるとともに、電力変換装置の寿命を延ばすことである。

課題を解決するための手段

[0007] 本開示のパワー半導体モジュールは、絶縁回路基板と、第1パワー半導体素子と、第2パワー半導体素子と、プリント配線基板とを備える。絶縁回路基板は、第1主面を含む絶縁板と、絶縁板の第1主面上に設けられている導電パターンとを含む。第1パワー半導体素子は、第1エミッタ電極と、第1ゲート電極とを含む。第2パワー半導体素子は、第2エミッタ電極と、第2ゲート電極とを含む。プリント配線基板は、絶縁基板の第1主面に対向して配置されている。プリント配線基板は、絶縁基板と、エミッタ導電パターンと、第1ゲート導電パターンとを含む。絶縁基板は、第2主面と、第2主面とは反対側の第3主面とを含む。第1パワー半導体素子及び第2パワー半導体素子は、導電パターンに固定されている。第1エミッタ電極及び第2エミッタ電極は、エミッタ導電パターンに電氣的に接続されている。第1ゲート電極及び第2ゲート電極は、第1ゲート導電パターンに電氣的に接続されている。エミッタ導電パターンは、第2主面上に設けられている。第1ゲート導電パターンは、第3主面上に設けられており、かつ、絶縁基板の第3主面の平面視においてエミッタ導電パターンの第1縁に沿って配置されている。

[0008] 本開示の電力変換装置は、入力される電力を変換して出力する主変換回路と、主変換回路を制御する制御信号を主変換回路に出力する制御回路とを備える。主変換回路は、本開示のパワー半導体モジュールを有する。

発明の効果

[0009] 本開示のパワー半導体モジュールは、第1パワー半導体素子に加えて、第

2 パワー半導体素子を備えている。そのため、パワー半導体モジュールの電力容量を増加させることができる。また、第1ゲート導電パターンは、絶縁基板の第3主面の平面視においてエミッタ導電パターンの第1縁に沿って配置されている。そのため、第1パワー半導体素子と第2パワー半導体素子との間のエミッタ電圧の変動の少なくとも一部は、第1パワー半導体素子と第2パワー半導体素子との間のゲート電圧の変動によって打ち消される。第1パワー半導体素子及び第2パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュールの寿命を延ばすことができる。

[0010] 本開示の電力変換装置は、本開示のパワー半導体モジュールを含む。そのため、本開示の電力変換装置によれば、電力変換装置の電力容量を増加させるとともに、電力変換装置の寿命を延ばすことができる。

図面の簡単な説明

[0011] [図1]実施の形態1のパワー半導体モジュールの概略平面図である。

[図2]実施の形態1のパワー半導体モジュールの、図1に示される断面線ⅠⅠ-ⅠⅠにおける概略断面図である。

[図3]実施の形態1のパワー半導体モジュールの、図1に示される断面線ⅠⅠ-ⅠⅠⅠⅠにおける概略断面図である。

[図4]実施の形態1のパワー半導体モジュールの、図1に示される断面線ⅠⅤ-ⅠⅤにおける概略断面図である。

[図5]実施の形態1のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図6]実施の形態1のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図7]実施の形態1及び比較例のパワー半導体モジュールの、エミッタ制御端子から第1電極端子までの等価回路図である。

[図8]比較例のパワー半導体モジュールにおいてパワー半導体素子をターンオンした時にパワー半導体素子に流れるコレクターエミッタ間電流の時間波形

を示す図である。

[図9]実施の形態1のパワー半導体モジュールの、ゲート制御端子からパワー半導体素子のゲート電極までの等価回路図である。

[図10]実施の形態1のパワー半導体モジュールにおいてパワー半導体素子をターンオンした時にパワー半導体素子に流れるコレクターエミッタ間電流の時間波形を示す図である。

[図11]実施の形態1の第1変形例のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図12]実施の形態1の第1変形例のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図13]実施の形態1の第1変形例のパワー半導体モジュールの、図11に示される断面線X11-X11における概略部分拡大断面図である。

[図14]実施の形態1の第2変形例のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図15]実施の形態1の第2変形例のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図16]実施の形態1の第3変形例のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図17]実施の形態1の第3変形例のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図18]実施の形態1の第4変形例のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図19]実施の形態1の第4変形例のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図20]実施の形態2のパワー半導体モジュールの概略平面図である。

[図21]実施の形態2のパワー半導体モジュールの、図20に示される断面線X21-X21における概略断面図である。

[図22]実施の形態2のパワー半導体モジュールの、図20に示される断面線

XXII—XXIIにおける概略断面図である。

[図23]実施の形態2のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図24]実施の形態2のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図25]実施の形態2の第1変形例のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図26]実施の形態2の第1変形例のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図27]実施の形態2の第1変形例のパワー半導体モジュールの、図25に示される断面線XXV—XXVにおける概略部分拡大断面図である。

[図28]実施の形態2の第2変形例のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図29]実施の形態2の第2変形例のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図30]実施の形態2の第3変形例のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図31]実施の形態2の第3変形例のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図32]実施の形態2の第4変形例のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図33]実施の形態2の第4変形例のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図34]実施の形態3のパワー半導体モジュールの概略平面図である。

[図35]実施の形態3のパワー半導体モジュールの、図34に示される断面線XXXV—XXXVにおける概略断面図である。

[図36]実施の形態3のパワー半導体モジュールの、図34に示される断面線XXXV—XXXVにおける概略断面図である。

[図37]実施の形態3のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図38]実施の形態3のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図39]実施の形態4のパワー半導体モジュールの概略平面図である。

[図40]実施の形態4のパワー半導体モジュールの、図39に示される断面線X-L-X-Lにおける概略断面図である。

[図41]実施の形態4のパワー半導体モジュールの、図39に示される断面線X-L-I-X-L-Iにおける概略断面図である。

[図42]実施の形態4のパワー半導体モジュールの、図39に示される断面線X-L-I-I-X-L-I-Iにおける概略断面図である。

[図43]実施の形態4のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図44]実施の形態4のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図45]実施の形態5のパワー半導体モジュールの概略平面図である。

[図46]実施の形態5のパワー半導体モジュールの、図45に示される断面線X-L-V-I-X-L-V-Iにおける概略断面図である。

[図47]実施の形態5のパワー半導体モジュールの、図45に示される断面線X-L-V-I-I-X-L-V-I-Iにおける概略断面図である。

[図48]実施の形態5のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図49]実施の形態5の第1変形例のパワー半導体モジュールの概略平面図である。

[図50]実施の形態5の第1変形例のパワー半導体モジュールの、図49に示される断面線L-Lにおける概略断面図である。

[図51]実施の形態5の第1変形例のパワー半導体モジュールに含まれるプリント配線基板の概略部分拡大平面図である。

[図52]実施の形態5の第2変形例のパワー半導体モジュールの概略断面図である。

[図53]実施の形態6に係る電力変換システムの構成を示すブロック図である。

発明を実施するための形態

[0012] 以下、本開示の実施の形態を説明する。なお、同一の構成には同一の参照番号を付し、その説明は繰り返さない。

[0013] 実施の形態1.

図1から図6を参照して、実施の形態1のパワー半導体モジュール1を説明する。パワー半導体モジュール1は、絶縁回路基板10と、パワー半導体素子20a、20b、20cと、プリント配線基板30と、導電ワイヤ50とを主に備える。パワー半導体モジュール1は、導電ポスト40と、第1電極端子42と、第2電極端子44と、エミッタ制御端子46と、ゲート制御端子48とをさらに備えてもよい。

[0014] 絶縁回路基板10は、絶縁板12と、導電回路パターン13とを含む。絶縁回路基板10は、さらに、ベース板11を含んでもよい。

[0015] 絶縁板12は、主面12aを含む。絶縁板12の主面12aは、第1方向（x方向）と第2方向（y方向）とに延在している。

[0016] 絶縁板12は、特に限定されないが、アルミナ（ Al_2O_3 ）、窒化アルミニウム（ AlN ）、窒化シリコン（ Si_3N_4 ）、二酸化ケイ素（ SiO_2 ）または窒化ホウ素（ BN ）のような無機セラミックス材料で形成されてもよい。絶縁板12は、微粒子及びフィラーの少なくとも1つが分散された樹脂材料で形成されてもよい。微粒子及びフィラーの少なくとも1つは、例えば、アルミナ（ Al_2O_3 ）、窒化アルミニウム（ AlN ）、窒化シリコン（ Si_3N_4 ）、二酸化ケイ素（ SiO_2 ）、窒化ホウ素（ BN ）、ダイヤモンド（ C ）、炭化ケイ素（ SiC ）または酸化ホウ素（ B_2O_3 ）のような無機セラミックス材料で形成されてもよいし、シリコーン樹脂またはアクリル樹脂のような樹脂材料で形成されてもよい。微粒子及びフィラーの少なくとも1つが分散され

る樹脂は、特に限定されないが、エポキシ樹脂、ポリイミド樹脂、シリコーン樹脂またはアクリル樹脂で形成されてもよい。

[0017] 導電回路パターン13は、絶縁板12の主面12a上に設けられている。導電回路パターン13は、銅またはアルミニウムのような金属で形成されている。

[0018] ベース板11は、絶縁板12の主面12aとは反対側の絶縁板12の主面上に設けられている。ベース板11は、銅またはアルミニウムのような金属で形成されている。

[0019] パワー半導体素子20a, 20b, 20cは、各々、絶縁ゲート型バイポーラトランジスタ (I G B T) または金属酸化物半導体電界効果トランジスタ (M O S F E T) のようなパワー半導体素子である。パワー半導体素子20a, 20b, 20cは、各々、コレクタ電極21と、エミッタ電極22と、ゲート電極23とを含む。パワー半導体素子20a, 20b, 20cは、各々、主に、シリコン (S i) 、または、炭化珪素 (S i C) 、窒化ガリウム (G a N) もしくはダイヤモンドのようなワイドバンドギャップ半導体材料で形成されている。

[0020] パワー半導体素子20a, 20b, 20cは、導電回路パターン13に固定されている。具体的には、パワー半導体素子20a, 20b, 20cのコレクタ電極21は、はんだ、金属微粒子焼結体または導電性接着剤のような導電接合部材15を用いて、導電回路パターン13に接合されている。パワー半導体素子20a, 20b, 20cは、第1エミッタ導電パターン33に電氣的に接続されている。具体的には、パワー半導体素子20a, 20b, 20cのエミッタ電極22は、はんだ、金属微粒子焼結体または導電性接着剤のような導電接合部材25を用いて、第1エミッタ導電パターン33に接合されている。本明細書のはんだは、例えば、S n - A g - I n系はんだ、または、S n - A g - C u系はんだなどである。本明細書の金属微粒子焼結体は、例えば、銀ナノ粒子焼結体などである。後に詳しく述べるように、パワー半導体素子20a, 20b, 20cのゲート電極23は、第1ゲート導

電パターン 36 に電氣的に接続されている。パワー半導体素子 20a, 20b, 20c は、互いに電氣的に並列接続されている。

[0021] プリント配線基板 30 は、第 1 方向 (x 方向) 及び第 2 方向 (y 方向) に垂直な第 3 方向 (z 方向) において、絶縁回路基板 10 から離間されており、かつ、絶縁板 12 の主面 12a に対向して配置されている。プリント配線基板 30 は、絶縁基板 31 と、第 1 エミッタ導電パターン 33 と、第 1 ゲート導電パターン 36 と、第 1 コレクタ導電パターン 35 とを含む。プリント配線基板 30 は、第 1 導電パッド 34 と、第 2 導電パッド 37 と、第 1 導電ビア 38 とをさらに含んでもよい。

[0022] 絶縁基板 31 は、例えば、ガラスエポキシ基材又はガラスコンポジット基材である。ガラスエポキシ基材は、例えば、エポキシ樹脂を含浸したガラス織布が熱硬化されて形成される。ガラスコンポジット基材は、例えば、エポキシ樹脂を含浸したガラス不織布が熱硬化されて形成される。

[0023] 絶縁基板 31 は、主面 31a と、主面 31a とは反対側の主面 31b とを含む。絶縁基板 31 の主面 31b の平面視において、絶縁基板 31 の長手方向は第 1 方向 (x 方向) であり、絶縁基板 31 の短手方向は第 2 方向 (y 方向) である。なお、絶縁基板 31 の主面 31b の平面視は、絶縁基板 31 の主面 31a の平面視と同様である。絶縁基板 31 の短手方向 (y 方向) は、絶縁基板 31 の長手方向 (x 方向) に垂直である。主面 31a と主面 31b とは、第 1 方向 (x 方向) と第 2 方向 (y 方向) とに延在している。主面 31a の長手方向と主面 31b の長手方向とは、各々、第 1 方向 (x 方向) である。主面 31a の短手方向と主面 31b の短手方向とは、各々、第 2 方向 (y 方向) である。本実施の形態では、絶縁基板 31 の主面 31a は、導電回路パターン 13 に面している。絶縁基板 31 の主面 31a は、絶縁板 12 の主面 12a に対向している。

[0024] 絶縁基板 31 の主面 31b の平面視において、絶縁基板 31 は、縁 31c と、縁 31c とは反対側の縁 31d と、縁 31e と、縁 31e とは反対側の縁 31f とを含む。絶縁基板 31 の縁 31c は、絶縁基板 31 の長手方向 (

第1方向（x方向））に沿って延在してもよく、絶縁基板31の主面31bの平面視における絶縁基板31の長辺であってもよい。絶縁基板31の縁31dは、絶縁基板31の長手方向（第1方向（x方向））に沿って延在してもよく、絶縁基板31の主面31bの平面視における絶縁基板31の長辺であってもよい。縁31cと縁31dとは、絶縁基板31の短手方向（第2方向（y方向））において、互いに対向している。

[0025] 絶縁基板31の縁31eは、縁31cと縁31dとを接続している。絶縁基板31の縁31eは、絶縁基板31の短手方向（第2方向（y方向））に沿って延在してもよく、絶縁基板31の主面31bの平面視における絶縁基板31の短辺であってもよい。絶縁基板31の縁31fは、縁31cと縁31dとを接続している。絶縁基板31の縁31fは、絶縁基板31の短手方向（第2方向（y方向））に沿って延在してもよく、絶縁基板31の主面31bの平面視における絶縁基板31の短辺であってもよい。縁31eと縁31fとは、絶縁基板31の長手方向（第1方向（x方向））において、互いに対向している。

[0026] 第1エミッタ導電パターン33と、第1ゲート導電パターン36と、第1コレクタ導電パターン35と、第1導電パッド34と、第2導電パッド37とは、銅またはアルミニウムのような金属で形成されている。第1エミッタ導電パターン33と、第1導電パッド34とは、主面31a上に設けられている。第1エミッタ導電パターン33が設けられている絶縁基板31の主面31aが、導電回路パターン13に面している。第1エミッタ導電パターン33が設けられている絶縁基板31の主面31aが、絶縁板12の主面12aに対向している。第1エミッタ導電パターン33と第1導電パッド34とは、互いに離間されており、かつ、互いに電氣的に絶縁されている。

[0027] 第1ゲート導電パターン36と、第1コレクタ導電パターン35と、第2導電パッド37とは、主面31b上に設けられている。第1ゲート導電パターン36と第1コレクタ導電パターン35と第2導電パッド37とは、互いに離間されており、かつ、互いに電氣的に絶縁されている。プリント配線基

板 30 は、例えば、両面銅張積層板である。

[0028] 第 1 エミッタ導電パターン 33 は、第 1 方向（x 方向）と第 2 方向（y 方向）とに延在している。第 1 エミッタ導電パターン 33 の長手方向は、第 1 方向（x 方向）であり、第 1 エミッタ導電パターン 33 の短手方向は、第 2 方向（y 方向）である。第 1 エミッタ導電パターン 33 は、第 1 エミッタ導電パターン 33 の長手方向（第 1 方向（x 方向））に沿って延在する第 1 縁 33a を含む。絶縁基板 31 の主面 31b の平面視において、第 1 エミッタ導電パターン 33 の第 1 縁 33a は、絶縁基板 31 の縁 31c に沿って配置されている。第 1 エミッタ導電パターン 33 の第 1 縁 33a は、絶縁基板 31 の長手方向（第 1 方向（x 方向））に延在している。

[0029] 第 1 エミッタ導電パターン 33 は、第 1 導電ビア 38 に接続されている。第 1 導電ビア 38 は、絶縁基板 31 を貫通している。第 1 導電ビア 38 は、第 1 エミッタ導電パターン 33 と第 2 導電パッド 37 とを電氣的に接続している。第 1 導電ビア 38 は、例えば、銅またはアルミニウムのような金属で形成されている。

[0030] 第 1 コレクタ導電パターン 35 は、第 1 方向（x 方向）と第 2 方向（y 方向）とに延在している。第 1 コレクタ導電パターン 35 の長手方向は、第 1 方向（x 方向）であり、第 1 コレクタ導電パターン 35 の短手方向は、第 2 方向（y 方向）である。

[0031] 第 1 コレクタ導電パターン 35 は、導電ポスト 40 に接続されている。導電ポスト 40 は、プリント配線基板 30 を貫通している。導電ポスト 40 は、導電回路パターン 13 と第 1 コレクタ導電パターン 35 とに電氣的に接続されている。導電ポスト 40 は、銅またはアルミニウムのような金属で形成されている。導電ポスト 40 は、プリント配線基板 30 を支持している。具体的には、導電ポスト 40 は、はんだのような導電接合部材（図示せず）を用いて、導電回路パターン 13 に固定されている。導電ポスト 40 は、はんだのような導電接合部材（図示せず）を用いて、第 1 コレクタ導電パターン 35 と第 1 導電パッド 34 とに固定されている。

[0032] 第1ゲート導電パターン36の長手方向は、第1方向（x方向）であり、第1ゲート導電パターン36の短手方向は、第2方向（y方向）である。第1ゲート導電パターン36の長手方向は、絶縁基板31の縁31cが延在する第1方向（x方向）である。第1ゲート導電パターン36の長手方向は、第1エミッタ導電パターン33の第1縁33aが延在する第1方向（x方向）である。

[0033] 図1、図5及び図6に示されるように、第1ゲート導電パターン36は、絶縁基板31の主面31bの平面視において絶縁基板31の縁31cに沿って配置されている。第1ゲート導電パターン36は、絶縁基板31の主面31bの平面視において第1エミッタ導電パターン33の第1縁33aに沿って配置されている。特定的には、絶縁基板31の主面31bの平面視において、第1ゲート導電パターン36は、第1エミッタ導電パターン33の第1縁33aに重なっている。さらに特定的には、絶縁基板31の主面31bの平面視において、第1ゲート導電パターン36の短手方向（第2方向（y方向））における第1ゲート導電パターン36の中心線は、第1エミッタ導電パターン33の第1縁33aに重なっている。

[0034] 第1ゲート導電パターン36の第1幅 w_{g1} は、第1エミッタ導電パターン33のうち、絶縁基板31の主面31bの平面視において第1ゲート導電パターン36の長手方向（第1方向（x方向））で第1ゲート導電パターン36に対応する第1部分33pの幅 w_{e1} より小さい。第1ゲート導電パターン36の第1幅 w_{g1} は、第1エミッタ導電パターン33の第1部分33pの幅 w_{e1} の二分の一以下であってもよく、第1エミッタ導電パターン33の第1部分33pの幅 w_{e1} の三分の一以下であってもよく、第1エミッタ導電パターン33の第1部分33pの幅 w_{e1} の四分の一以下であってもよく、第1エミッタ導電パターン33の第1部分33pの幅 w_{e1} の五分の一以下であってもよい。

[0035] 第1ゲート導電パターン36の第1幅 w_{g1} は、第1ゲート導電パターン36の短手方向（第2方向（y方向））における第1ゲート導電パターン36の長さとして定義される。第1エミッタ導電パターン33の第1部分33pの

幅 w_{e1} は、第1エミッタ導電パターン33の短手方向（第2方向（y方向））における第1エミッタ導電パターン33の第1部分33pの長さとして定義される。

[0036] 一般に、導電パターンの幅が減少するにつれて、導電パターンのインダクタンスは増加する。第1ゲート導電パターン36の第1幅 w_{g1} は、第1エミッタ導電パターン33の第1部分33pの幅 w_{e1} より狭い。そのため、第1ゲート導電パターン36の寄生インダクタンス65、66（図9を参照）を、第1エミッタ導電パターン33の寄生インダクタンス60、61（図7を参照）よりも大きくすることができる。

[0037] 導電ワイヤ47は、パワー半導体素子20aのエミッタ電極22とエミッタ制御端子46とにボンディングされている。導電ワイヤ47が接続されるパワー半導体素子20aは、パワー半導体素子20a、20b、20cのうち、第1電極端子42または絶縁基板31の縁31eから最も遠位するパワー半導体素子である。導電ワイヤ47が接続されるパワー半導体素子20aは、パワー半導体素子20a、20b、20cのうち、絶縁基板31の縁31fに最も近位するパワー半導体素子である。導電ワイヤ47は、例えば、金、銀、銅またはアルミニウムのような金属で形成されている。

[0038] エミッタ制御端子46は、例えば、ベース板11上に載置された絶縁ブロック（図示せず）上に設けられている。パワー半導体モジュール1の外部から、エミッタ制御端子46に、エミッタ電圧が供給される。エミッタ制御端子46は、例えば、銅またはアルミニウムのような金属で形成されている。エミッタ制御端子46は、導電ワイヤ47を介して、パワー半導体素子20aのエミッタ電極22に接続されている。エミッタ制御端子46は、導電ワイヤ47、パワー半導体素子20aのエミッタ電極22及び第1エミッタ導電パターン33を介して、パワー半導体素子20b、20cのエミッタ電極22に接続されている。

[0039] パワー半導体素子20a、20b、20cは、第1エミッタ導電パターン33の第1縁33aに沿って配置されている。パワー半導体素子20a、2

0 b, 20 c は、第1ゲート導電パターン36に沿って配置されている。パワー半導体素子20 a, 20 b, 20 c は、絶縁基板31の縁31 cに沿って配置されている。絶縁基板31の主面31 bの平面視において、第1ゲート導電パターン36の長手方向（第1方向（x方向））は、パワー半導体素子20 a, 20 b, 20 cの配列方向（第1方向（x方向））である。絶縁基板31の主面31 bの平面視において、パワー半導体素子20 a, 20 b, 20 cの配列方向（第1方向（x方向））は、絶縁基板31の長手方向（第1方向（x方向））である。絶縁基板31の主面31 bの平面視において、パワー半導体素子20 a, 20 b, 20 cのゲート電極23は、絶縁基板31（プリント配線基板30）から露出している。

[0040] 導電ワイヤ50は、パワー半導体素子20 a, 20 b, 20 cのゲート電極23と第1ゲート導電パターン36とにボンディングされている。導電ワイヤ50は、例えば、金、銀、銅またはアルミニウムのような金属で形成されている。パワー半導体素子20 a, 20 b, 20 cのゲート電極23は、導電ワイヤ50を介して、第1ゲート導電パターン36に電氣的に接続されている。

[0041] 導電ワイヤ49は、第1ゲート導電パターン36とゲート制御端子48とにボンディングされている。導電ワイヤ49は、例えば、金、銀、銅またはアルミニウムのような金属で形成されている。第1ゲート導電パターン36は、導電ワイヤ49を介して、ゲート制御端子48に電氣的に接続されている。パワー半導体モジュール1の外部から、ゲート制御端子48に、ゲート電圧が供給される。ゲート制御端子48は、例えば、ベース板11上に載置された絶縁ブロック（図示せず）上に設けられている。ゲート制御端子48は、例えば、銅またはアルミニウムのような金属で形成されている。ゲート制御端子48は、導電ワイヤ49、第1ゲート導電パターン36及び導電ワイヤ50を介して、パワー半導体素子20 a, 20 b, 20 cのゲート電極23に電氣的に接続されている。

[0042] パワー半導体モジュール1の外部から、エミッタ制御端子46とゲート制

御端子 4 8 との間に、エミッターゲート間電圧が供給される。エミッターゲート間電圧に応じて、パワー半導体素子 2 0 a, 2 0 b, 2 0 c はオン状態とオフ状態との間でスイッチングされる。

[0043] 第 1 電極端子 4 2 と第 2 電極端子 4 4 とは、例えば、銅またはアルミニウムのような金属で形成されている。絶縁基板 3 1 の主面 3 1 b の平面視において、第 1 電極端子 4 2 と第 2 電極端子 4 4 とは、絶縁基板 3 1 の縁 3 1 e に配置されている。

[0044] 第 1 電極端子 4 2 は、はんだのような導電接合部材 4 3 を用いて、第 2 導電パッド 3 7 に固定されている。図 3 に示されるように、第 1 電極端子 4 2 は、第 2 導電パッド 3 7 及び第 1 導電ビア 3 8、第 1 エミッタ導電パターン 3 3 及び導電接合部材 2 5 を介して、パワー半導体素子 2 0 a, 2 0 b, 2 0 c のエミッタ電極 2 2 に電氣的に接続されている。第 1 電極端子 4 2 は、エミッタ電極端子として機能する。

[0045] 第 2 電極端子 4 4 は、はんだのような導電接合部材 4 5 を用いて、第 1 コレクタ導電パターン 3 5 に固定されている。図 3 及び図 4 に示されるように、第 2 電極端子 4 4 は、第 1 コレクタ導電パターン 3 5、導電ポスト 4 0、導電回路パターン 1 3 及び導電接合部材 1 5 を介して、パワー半導体素子 2 0 a, 2 0 b, 2 0 c のコレクタ電極 2 1 に電氣的に接続されている。第 2 電極端子 4 4 は、コレクタ電極端子として機能する。導電回路パターン 1 3 の一部はコレクタ導電パターンとして機能する。すなわち、導電回路パターン 1 3 は、コレクタ導電パターンを含む。

[0046] 図 5 から図 1 0 を参照して、比較例のパワー半導体モジュールと対比しながら、本実施の形態のパワー半導体モジュール 1 の作用を説明する。比較例のパワー半導体モジュールは、本実施の形態のパワー半導体モジュール 1 と異なり、第 1 ゲート導電パターン 3 6 が、絶縁基板 3 1 の主面 3 1 b の平面視において、第 1 エミッタ導電パターン 3 3 の第 1 縁 3 3 a に沿って配置されていない。

[0047] パワー半導体素子 2 0 a, 2 0 b, 2 0 c の各々に印加されるゲートーエ

ミッタ間電圧（すなわち、ゲート制御端子48に印加されるゲート電圧とエミッタ制御端子46に印加されるエミッタ電圧との間の差）を閾値電圧よりも大きくして、パワー半導体素子20a, 20b, 20cをターンオンさせる。主電流55は、第2電極端子44から、第1コレクタ導電パターン35、導電ポスト40、導電回路パターン13、パワー半導体素子20a, 20b, 20c、第1エミッタ導電パターン33、第1導電ビア38及び第2導電パッド37を通して、第1電極端子42に流れる。図5から図7に示されるように、パワー半導体素子20a, 20b, 20cでは、主電流55は、パワー半導体素子20a、パワー半導体素子20b、パワー半導体素子20cの順に流れる。

[0048] 一般に、導電パターンの縁が、導電パターンのうち、電流が最も多く流れる部分である。そのため、図5及び図6に示されるように、主電流55は、第1エミッタ導電パターン33のうちパワー半導体素子20a, 20b, 20cに近位する第1縁33aに沿って流れる。第1エミッタ導電パターン33を流れる主電流55は、主電流55の周りに（例えば、第1エミッタ導電パターン33に）磁束Φを形成する。

[0049] パワー半導体素子20a, 20b, 20cをターンオンさせると、主電流55は時間が経つにつれて増加し（図8または図10を参照）、主電流55が形成する磁束Φも時間が経つにつれて増加する。図7に示されるように、第1エミッタ導電パターン33は、寄生インダクタンス60, 61を有している。そのため、第1エミッタ導電パターン33の第1縁33aに沿って流れる主電流55が形成する磁束Φの時間変化 $d\Phi/dt$ は、第1エミッタ導電パターン33に、第1誘導起電力62, 63（図7を参照）を発生させる。

[0050] 第1誘導起電力62, 63は、パワー半導体素子20a, 20b, 20c間でエミッタ電圧を変動させる。第1誘導起電力62, 63は、パワー半導体素子20aの第1ゲートーエミッタ間電圧 V_{gea} と、パワー半導体素子20bの第2ゲートーエミッタ間電圧 V_{geb} と、パワー半導体素子20cの第3ゲート

ーエミッタ間電圧 V_{gec} とを互いに異ならせる。例えば、第3ゲートーエミッタ間電圧 V_{gec} は第2ゲートーエミッタ間電圧 V_{geb} よりも大きくなり、第2ゲートーエミッタ間電圧 V_{geb} は第1ゲートーエミッタ間電圧 V_{gea} よりも大きくなる。

[0051] そのため、パワー半導体素子20a, 20b, 20cのうちの一つのパワー半導体素子20cのコレクターエミッタ間電流が急増する。例えば、図8に示されるように、パワー半導体素子20aのコレクターエミッタ間電流 I_{cea} とパワー半導体素子20bのコレクターエミッタ間電流 I_{ceb} とに比べて、パワー半導体素子20cのコレクターエミッタ間電流 I_{cec} が急増する。比較例では、パワー半導体素子20cのコレクターエミッタ間電流 I_{cec} がパワー半導体素子20cの定格電流を超えて、パワー半導体素子20cが破壊されてしまう。比較例のパワー半導体モジュールの寿命は相対的に短い。

[0052] これに対し、本実施の形態のパワー半導体モジュール1では、第1ゲート導電パターン36は、絶縁基板31の主面31bの平面視において、第1エミッタ導電パターン33の第1縁33aに沿って配置されている。そのため、第1エミッタ導電パターン33を流れる主電流55は、第1ゲート導電パターン36にも磁束Φを形成する。第1ゲート導電パターン36は、寄生インダクタンス65, 66を有している。第1エミッタ導電パターン33の第1縁33aに沿って流れる主電流55が形成する磁束Φの時間変化 $d\Phi/dt$ は、第1ゲート導電パターン36に、第2誘導起電力67, 68（図9を参照）を発生させる。

[0053] 第2誘導起電力67, 68は、パワー半導体素子20a, 20b, 20c間でゲート電圧を変動させる。パワー半導体素子20a, 20b, 20c間のゲート電圧の変動は、パワー半導体素子20a, 20b, 20c間のエミッタ電圧の変動の少なくとも一部を打ち消す。特定的には、パワー半導体素子20a, 20b, 20c間のゲート電圧の変動は、パワー半導体素子20a, 20b, 20c間のエミッタ電圧の変動を完全に打ち消す。例えば、パワー半導体素子20bの第2ゲートーエミッタ間電圧 V_{geb} とパワー半導体素子20aの第1ゲートーエミッタ間電圧 V_{gea} との間の差が減少する。パワー半導

体素子 20c の第 3 ゲートーエミッタ間電圧 V_{gec} とパワー半導体素子 20b の第 2 ゲートーエミッタ間電圧 V_{geb} との間の差が減少する。特定的には、パワー半導体素子 20a の第 1 ゲートーエミッタ間電圧 V_{gea} とパワー半導体素子 20b の第 2 ゲートーエミッタ間電圧 V_{geb} とパワー半導体素子 20c の第 3 ゲートーエミッタ間電圧 V_{gec} とは、互いに等しくなる。

[0054] そのため、図 10 に示されるように、パワー半導体素子 20a, 20b, 20c のコレクターエミッタ間電流が急増することが防止される。本実施の形態では、パワー半導体素子 20a, 20b, 20c が破壊されることが防止されて、パワー半導体モジュール 1 の寿命を延ばすことができる。

[0055] 第 1 ゲート導電パターン 36 の寄生インダクタンス 65, 66 を第 1 エミッタ導電パターン 33 の寄生インダクタンス 60, 61 より大きくする。例えば、先に記載したとおり、第 1 ゲート導電パターン 36 の第 1 幅 w_{g1} を第 1 エミッタ導電パターン 33 の第 1 部分 33p の幅 w_{e1} より小さくすることによって、第 1 ゲート導電パターン 36 の寄生インダクタンス 65, 66 を第 1 エミッタ導電パターン 33 の寄生インダクタンス 60, 61 より大きくすることができる。

[0056] そうすると、パワー半導体素子 20a, 20b, 20c 間のゲート電圧の変動は、パワー半導体素子 20a, 20b, 20c 間のエミッタ電圧の変動をより一層打ち消すことができる。パワー半導体素子 20a の第 1 ゲートーエミッタ間電圧 V_{gea} とパワー半導体素子 20b の第 2 ゲートーエミッタ間電圧 V_{geb} とパワー半導体素子 20c の第 3 ゲートーエミッタ間電圧 V_{gec} との間の変動をより一層小さくすることができる。

[0057] 図 11 から図 19 を参照して、本実施の形態のいくつかの変形例を説明する。

図 11 から図 13 に示されるように、本実施の形態の第 1 変形例では、絶縁基板 31 の主面 31b の平面視において、第 1 ゲート導電パターン 36 は、第 1 エミッタ導電パターン 33 の第 1 縁 33a から離間されてもよい。

[0058] 第一の例では、第 1 ゲート導電パターン 36 の長手方向（第 1 方向（x 方

向)) に垂直な断面における、第1 ゲート導電パターン36と第1 エミッタ導電パターン33との間の第1 最大距離 d_1 は、3.0 mm以下である。そのため、パワー半導体素子20a, 20b, 20c間のゲート電圧の変動が増加する。パワー半導体素子20a, 20b, 20c間のゲート電圧の変動は、パワー半導体素子20a, 20b, 20c間のエミッタ電圧の変動をより一層打ち消すことができる。パワー半導体素子20a, 20b, 20cのコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1の寿命を延ばすことができる。

[0059] 第二の例では、絶縁基板31の主面31bの平面視において、第1 ゲート導電パターン36の短手方向(第2方向(y方向))における第1 中心線と第1 エミッタ導電パターン33との間の第2 最大距離 d_2 は、絶縁基板31の厚さTの7倍以下である。そのため、パワー半導体素子20a, 20b, 20c間のゲート電圧の変動が増加する。パワー半導体素子20a, 20b, 20c間のゲート電圧の変動は、パワー半導体素子20a, 20b, 20c間のエミッタ電圧の変動をより一層打ち消すことができる。パワー半導体素子20a, 20b, 20cのコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1の寿命を延ばすことができる。

[0060] 第三の例では、絶縁基板31の主面31bの平面視において、第1 ゲート導電パターン36と第1 エミッタ導電パターン33との間の第3 最大距離 d_3 は、絶縁基板31の厚さTの5倍以下である。そのため、パワー半導体素子20a, 20b, 20c間のゲート電圧の変動が増加する。パワー半導体素子20a, 20b, 20c間のゲート電圧の変動は、パワー半導体素子20a, 20b, 20c間のエミッタ電圧の変動をより一層打ち消すことができる。パワー半導体素子20a, 20b, 20cのコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1の寿命を延ばすことができる。

[0061] 図14及び図15に示されるように、本実施の形態の第2変形例では、第1 エミッタ導電パターン33に、第1 エミッタ導電パターン33の第1 縁3

3 a に沿う第 1 スリット 3 3 s が設けられている。第 1 スリット 3 3 s の外縁は、第 1 エミッタ導電パターン 3 3 の縁でもある。一般に、導電パターンのうち、導電パターンの縁には、より多く電流が流れる。そのため、第 1 エミッタ導電パターン 3 3 を流れる主電流 5 5 は、第 1 エミッタ導電パターン 3 3 のうち、第 1 エミッタ導電パターン 3 3 の第 1 縁 3 3 a と第 1 スリット 3 3 s との間の第 1 領域に、より集中的に流れる。主電流 5 5 が第 1 ゲート導電パターン 3 6 に形成する磁束Φが増加する。第 1 ゲート導電パターン 3 6 における磁束Φの時間変化 $d\Phi/dt$ の大きさが増加する。

[0062] そのため、第 1 ゲート導電パターン 3 6 に発生する第 2 誘導起電力 6 7, 6 8 (図 9 を参照) の大きさが増加する。パワー半導体素子 2 0 a, 2 0 b, 2 0 c 間のゲート電圧の変動が増加する。パワー半導体素子 2 0 a, 2 0 b, 2 0 c 間のゲート電圧の変動は、パワー半導体素子 2 0 a, 2 0 b, 2 0 c 間のエミッタ電圧の変動をより一層打ち消すことができる。パワー半導体素子 2 0 a, 2 0 b, 2 0 c のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール 1 の寿命を延ばすことができる。

[0063] 本実施の形態の第 2 変形例では、第 1 ゲート導電パターン 3 6 の第 1 幅 w_{g1} は、第 1 エミッタ導電パターン 3 3 のうち、第 1 エミッタ導電パターン 3 3 の第 1 縁 3 3 a と第 1 スリット 3 3 s との間の第 1 領域の第 2 幅 w_{r1} より狭くてもよい。第 1 エミッタ導電パターン 3 3 の第 1 領域の第 2 幅 w_{r1} は、第 1 ゲート導電パターン 3 6 の短手方向 (第 2 方向 (y 方向)) における第 1 エミッタ導電パターン 3 3 の第 1 領域の長さとして定義される。

[0064] 図 1 6 及び図 1 7 に示されるように、本実施の形態の第 3 変形例では、第 1 ゲート導電パターン 3 6 の第 1 幅 w_{g1} は、第 1 エミッタ導電パターン 3 3 のうち、第 1 エミッタ導電パターン 3 3 の第 1 縁 3 3 a と第 1 スリット 3 3 s との間の第 1 領域の第 2 幅 w_{r1} より広い。

[0065] そのため、主電流 5 5 が第 1 ゲート導電パターン 3 6 に形成する磁束Φが増加する。第 1 ゲート導電パターン 3 6 に発生する第 2 誘導起電力 6 7, 6 8 (図 9 を参照) の大きさが増加する。パワー半導体素子 2 0 a, 2 0 b,

20c間のゲート電圧の変動が増加する。パワー半導体素子20a, 20b, 20c間のゲート電圧の変動は、パワー半導体素子20a, 20b, 20c間のエミッタ電圧の変動をより一層打ち消すことができる。パワー半導体素子20a, 20b, 20cのコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1の寿命を延ばすことができる。

[0066] 図18及び図19に示されるように、本実施の形態の第4変形例では、第1エミッタ導電パターン33の第1縁33aに、第1縁33aから後退している少なくとも一つの第1後退部33hが設けられている。絶縁基板31の主面31bの平面視において、少なくとも一つの第1後退部33hでは、少なくとも一つの第1後退部33hに対応するパワー半導体素子20a, 20b, 20cの少なくとも一つは、第1エミッタ導電パターン33から露出してもよい。

[0067] 少なくとも一つの第1後退部33hは、第1エミッタ導電パターン33を流れる主電流55bと第1ゲート導電パターン36との間の距離を増加させる。少なくとも一つの第1後退部33hは、主電流55が第1ゲート導電パターン36に形成する磁束Φを減少させる。少なくとも一つの第1後退部33hは、第1ゲート導電パターン36に発生する第2誘導起電力67, 68（図9を参照）の大きさを減少させて、パワー半導体素子20a, 20b, 20c間のゲート電圧の変動を減少させる。少なくとも一つの第1後退部33hは、パワー半導体素子20a, 20b, 20c間のゲート電圧の変動が、パワー半導体素子20a, 20b, 20c間のエミッタ電圧の変動を過度に打ち消すことを防止する。

[0068] 少なくとも一つの第1後退部33hは、複数の第1後退部33hであってもよい。複数の第1後退部33hは、それぞれパワー半導体素子20a, 20b, 20cに対応するように、第1エミッタ導電パターン33の第1縁33aに設けられている。絶縁基板31の主面31bの平面視において、複数の第1後退部33hでは、パワー半導体素子20a, 20b, 20cは、第1エミッタ導電パターン33から露出してもよい。複数の第1後退部33h

は、パワー半導体素子 20a, 20b, 20c 間のゲート電圧の変動が、パワー半導体素子 20a, 20b, 20c 間のエミッタ電圧の変動を過度に打ち消すことを防止する。

[0069] 本実施の形態のパワー半導体モジュール 1 の効果を説明する。

本実施の形態のパワー半導体モジュール 1 は、絶縁回路基板 10 と、第 1 パワー半導体素子（例えば、パワー半導体素子 20a）と、第 2 パワー半導体素子（例えば、パワー半導体素子 20c）と、プリント配線基板 30 とを備える。絶縁回路基板 10 は、第 1 主面（主面 12a）を含む絶縁板 12 と、絶縁板 12 の第 1 主面上に設けられている導電回路パターン 13 とを含む。第 1 パワー半導体素子は、第 1 エミッタ電極（例えば、パワー半導体素子 20a のエミッタ電極 22）と、第 1 ゲート電極（例えば、パワー半導体素子 20a のゲート電極 23）とを含む。第 2 パワー半導体素子は、第 2 エミッタ電極（例えば、パワー半導体素子 20c のエミッタ電極 22）と、第 2 ゲート電極（例えば、パワー半導体素子 20c のゲート電極 23）とを含む。プリント配線基板 30 は、絶縁板 12 の第 1 主面に対向して配置されている。プリント配線基板 30 は、絶縁基板 31 と、第 1 エミッタ導電パターン 33 と、第 1 ゲート導電パターン 36 とを含む。絶縁基板 31 は、第 2 主面（例えば、主面 31a）と第 2 主面とは反対側の第 3 主面（例えば、主面 31b）とを含む。第 1 パワー半導体素子及び第 2 パワー半導体素子は、導電回路パターン 13 に固定されている。

[0070] 第 1 エミッタ電極（例えば、パワー半導体素子 20a のエミッタ電極 22）及び第 2 エミッタ電極（例えば、パワー半導体素子 20c のエミッタ電極 22）は、第 1 エミッタ導電パターン 33 に電氣的に接続されている。第 1 ゲート電極（例えば、パワー半導体素子 20a のゲート電極 23）及び第 2 ゲート電極（例えば、パワー半導体素子 20c のゲート電極 23）は、第 1 ゲート導電パターン 36 に電氣的に接続されている。第 1 エミッタ導電パターン 33 は、第 2 主面（例えば、主面 31a）上に設けられている。第 1 ゲート導電パターン 36 は、第 3 主面（例えば、主面 31b）上に設けられて

おり、かつ、絶縁基板 31 の第 3 主面（例えば、主面 31 b）の平面視において第 1 エミッタ導電パターン 33 の第 1 縁 33 a に沿って配置されている。

[0071] パワー半導体モジュール 1 は、第 1 パワー半導体素子（例えば、パワー半導体素子 20 a）に加えて、第 2 パワー半導体素子（例えば、パワー半導体素子 20 c）を備えている。そのため、パワー半導体モジュール 1 の電力容量を増加させることができる。

[0072] また、第 1 ゲート導電パターン 36 は、絶縁基板 31 の第 3 主面（例えば、主面 31 b）の平面視において第 1 エミッタ導電パターン 33 の第 1 縁 33 a に沿って配置されている。そのため、第 1 エミッタ導電パターン 33 を流れる主電流 55 は、第 1 エミッタ導電パターン 33 だけでなく、第 1 ゲート導電パターン 36 にも磁束 Φ を形成する。第 1 パワー半導体素子（例えば、パワー半導体素子 20 a）及び第 2 パワー半導体素子（例えば、パワー半導体素子 20 c）のターンオン時における磁束 Φ の時間変化 $d\Phi/dt$ は、第 1 エミッタ導電パターン 33 に第 1 誘導起電力 62, 63（図 7 を参照）を発生させるとともに、第 1 ゲート導電パターン 36 に第 2 誘導起電力 67, 68（図 9 を参照）を発生させる。

[0073] 第 1 エミッタ導電パターン 33 に発生する第 1 誘導起電力 62, 63 は、第 1 パワー半導体素子（例えば、パワー半導体素子 20 a）と第 2 パワー半導体素子（例えば、パワー半導体素子 20 c）との間のエミッタ電圧の変動をもたらす。第 1 ゲート導電パターン 36 に発生する第 2 誘導起電力 67, 68（図 9 を参照）は、第 1 パワー半導体素子と第 2 パワー半導体素子との間のゲート電圧の変動をもたらす。第 1 パワー半導体素子（例えば、パワー半導体素子 20 a）と第 2 パワー半導体素子（例えば、パワー半導体素子 20 c）との間のエミッタ電圧の変動の少なくとも一部は、第 1 パワー半導体素子と第 2 パワー半導体素子との間のゲート電圧の変動によって打ち消される。第 1 パワー半導体素子及び第 2 パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール 1 の寿命を延

ばすことができる。

[0074] 本実施の形態のパワー半導体モジュール1では、第1ゲート導電パターン36の第1長手方向（第1方向（x方向））に垂直な断面における、第1ゲート導電パターン36と第1エミッタ導電パターン33との間の第1最大距離 d_1 は、3.0mm以下である。

[0075] 第1ゲート導電パターン36と第1エミッタ導電パターン33との間の第1最大距離 d_1 が3.0mm以下であるため、第1パワー半導体素子（例えば、パワー半導体素子20a）と第2パワー半導体素子（例えば、パワー半導体素子20c）との間のゲート電圧の変動が増加する。このゲート電圧の変動は、第1パワー半導体素子と第2パワー半導体素子との間のエミッタ電圧の変動をより一層打ち消すことができる。第1パワー半導体素子及び第2パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1の寿命を延ばすことができる。

[0076] 本実施の形態のパワー半導体モジュール1では、絶縁基板31の第3主面（例えば、主面31b）の平面視において、第1ゲート導電パターン36の第1短手方向（第1方向（x方向））における第1中心線と第1エミッタ導電パターン33との間の第2最大距離 d_2 は、絶縁基板31の厚さTの7倍以下である。

[0077] 第2最大距離 d_2 が絶縁基板31の厚さTの7倍以下であるため、第1パワー半導体素子（例えば、パワー半導体素子20a）と第2パワー半導体素子（例えば、パワー半導体素子20c）との間のゲート電圧の変動が増加する。このゲート電圧の変動は、第1パワー半導体素子と第2パワー半導体素子との間のエミッタ電圧の変動をより一層打ち消すことができる。第1パワー半導体素子及び第2パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1の寿命を延ばすことができる。

[0078] 本実施の形態のパワー半導体モジュール1では、絶縁基板31の第3主面（例えば、主面31b）の平面視において、第1ゲート導電パターン36と

第1エミッタ導電パターン33との間の第3最大距離 d_3 は、絶縁基板31の厚さ T の5倍以下である。

[0079] 第3最大距離 d_3 が絶縁基板31の厚さ T の5倍以下であるため、第1パワー半導体素子（例えば、パワー半導体素子20a）と第2パワー半導体素子（例えば、パワー半導体素子20c）との間のゲート電圧の変動が増加する。このゲート電圧の変動は、第1パワー半導体素子と第2パワー半導体素子との間のエミッタ電圧の変動をより一層打ち消すことができる。第1パワー半導体素子及び第2パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1の寿命を延ばすことができる。

[0080] 本実施の形態のパワー半導体モジュール1では、絶縁基板31の第3主面（例えば、主面31b）の平面視において、第1ゲート導電パターン36は、第1エミッタ導電パターン33の第1縁33aに重なっている。

[0081] そのため、第1エミッタ導電パターン33を流れる主電流55が第1ゲート導電パターン36に形成する磁束中が増加する。第1パワー半導体素子（例えば、パワー半導体素子20a）と第2パワー半導体素子（例えば、パワー半導体素子20c）との間のゲート電圧の変動が増加する。このゲート電圧の変動は、第1パワー半導体素子と第2パワー半導体素子との間のエミッタ電圧の変動をより一層打ち消すことができる。第1パワー半導体素子及び第2パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1の寿命を延ばすことができる。

[0082] 本実施の形態のパワー半導体モジュール1では、絶縁基板31の第3主面（例えば、主面31b）の平面視において、第1ゲート導電パターン36の短手方向（第2方向（ y 方向））における第1ゲート導電パターン36の中心線は、第1エミッタ導電パターン33の第1縁33aに重なっている。

[0083] そのため、第1エミッタ導電パターン33を流れる主電流55が第1ゲート導電パターン36に形成する磁束中がさらに増加する。第1パワー半導体素子（例えば、パワー半導体素子20a）と第2パワー半導体素子（例えば

、パワー半導体素子 20c) との間のゲート電圧の変動が増加する。このゲート電圧の変動は、第 1 パワー半導体素子と第 2 パワー半導体素子との間のエミッタ電圧の変動をより一層打ち消すことができる。第 1 パワー半導体素子及び第 2 パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール 1 の寿命を延ばすことができる。

[0084] 本実施の形態のパワー半導体モジュール 1 では、第 1 エミッタ導電パターン 33 に、第 1 エミッタ導電パターン 33 の第 1 縁 33a に沿う第 1 スリット 33s が設けられている。

[0085] 第 1 エミッタ導電パターン 33 を流れる主電流 55 は、第 1 エミッタ導電パターン 33 のうち、第 1 エミッタ導電パターン 33 の第 1 縁 33a と第 1 スリット 33s との間の第 1 領域に、集中的に流れる。第 1 エミッタ導電パターン 33 を流れる主電流 55 が第 1 ゲート導電パターン 36 に形成する磁束 Φ が増加する。第 1 パワー半導体素子（例えば、パワー半導体素子 20a）と第 2 パワー半導体素子（例えば、パワー半導体素子 20c）との間のゲート電圧の変動が増加する。このゲート電圧の変動は、第 1 パワー半導体素子と第 2 パワー半導体素子との間のエミッタ電圧の変動をより一層打ち消すことができる。第 1 パワー半導体素子及び第 2 パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール 1 の寿命を延ばすことができる。

[0086] 本実施の形態のパワー半導体モジュール 1 では、第 1 ゲート導電パターン 36 の第 1 幅 w_{g1} は、第 1 エミッタ導電パターン 33 のうち、第 1 エミッタ導電パターン 33 の第 1 縁 33a と第 1 スリット 33s との間の第 1 領域の第 2 幅 w_{r1} より広い。

[0087] そのため、第 1 エミッタ導電パターン 33 を流れる主電流 55 が第 1 ゲート導電パターン 36 に形成する磁束 Φ が増加する。第 1 パワー半導体素子（例えば、パワー半導体素子 20a）と第 2 パワー半導体素子（例えば、パワー半導体素子 20c）との間のゲート電圧の変動が増加する。このゲート電圧の変動は、第 1 パワー半導体素子と第 2 パワー半導体素子との間のエミッ

タ電圧の変動をより一層打ち消すことができる。第1パワー半導体素子及び第2パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1の寿命を延ばすことができる。

[0088] 本実施の形態のパワー半導体モジュール1では、第1エミッタ導電パターン33の第1縁33aに、第1縁33aから後退している少なくとも一つの第1後退部33hが設けられている。

[0089] 少なくとも一つの第1後退部33hは、第1エミッタ導電パターン33を流れる主電流55が第1ゲート導電パターン36に形成する磁束Φを減少させる。少なくとも一つの第1後退部33hは、第1パワー半導体素子（例えば、パワー半導体素子20a）と第2パワー半導体素子（例えば、パワー半導体素子20c）との間のゲート電圧の変動が、第1パワー半導体素子と第2パワー半導体素子との間のエミッタ電圧の変動を過度に打ち消すことを防止する。第1パワー半導体素子及び第2パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1の寿命を延ばすことができる。

[0090] 本実施の形態のパワー半導体モジュール1では、少なくとも一つの第1後退部33hは、複数の第1後退部33hである。複数の第1後退部33hは、第1パワー半導体素子（例えば、パワー半導体素子20a）と第2パワー半導体素子（例えば、パワー半導体素子20c）とに対応するように、第1エミッタ導電パターン33の第1縁33aに設けられている。

[0091] 複数の第1後退部33hは、第1エミッタ導電パターン33を流れる主電流55が第1ゲート導電パターン36に形成する磁束Φを減少させる。複数の第1後退部33hは、第1パワー半導体素子（例えば、パワー半導体素子20a）と第2パワー半導体素子（例えば、パワー半導体素子20c）との間のゲート電圧の変動が、第1パワー半導体素子と第2パワー半導体素子との間のエミッタ電圧の変動を過度に打ち消すことを防止する。第1パワー半導体素子及び第2パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1の寿命を延ばすことができる。

。

[0092] 本実施の形態のパワー半導体モジュール1では、第1エミッタ導電パターン33の第1縁33aと第1ゲート導電パターン36とは、第1パワー半導体素子（例えば、パワー半導体素子20a）及び第2パワー半導体素子（例えば、パワー半導体素子20c）に沿って配置されている。そのため、第1パワー半導体素子及び第2パワー半導体素子のゲート電極23と第1ゲート導電パターン36との間の電氣的接続が容易になる。第1パワー半導体素子及び第2パワー半導体素子のエミッタ電極22と第1エミッタ導電パターン33との間の電氣的接続が容易になる。

[0093] 本実施の形態のパワー半導体モジュール1では、絶縁基板31の第2主面（例えば、主面31a）は、導電回路パターン13に面している。そのため、パワー半導体モジュール1の電力容量を増加させることができるとともに、パワー半導体モジュール1の寿命を延ばすことができる。

[0094] 本実施の形態のパワー半導体モジュール1では、第1ゲート導電パターン36の第1幅 w_{g1} は、第1エミッタ導電パターン33のうち、第3主面（例えば、主面31b）の平面視において第1ゲート導電パターン36の第1長手方向（x方向）で第1ゲート導電パターン36に対応する第1部分33pの幅 w_{e1} より小さい。

[0095] そのため、第1ゲート導電パターン36の寄生インダクタンス65、66を第1エミッタ導電パターン33の寄生インダクタンス60、61より大きくすることができる。第1パワー半導体素子（例えば、パワー半導体素子20a）と第2パワー半導体素子（例えば、パワー半導体素子20c）との間のゲート電圧の変動が増加する。このゲート電圧の変動は、第1パワー半導体素子と第2パワー半導体素子との間のエミッタ電圧の変動をより一層打ち消すことができる。第1パワー半導体素子及び第2パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1の寿命を延ばすことができる。また、第1パワー半導体素子及び第2パワー半導体素子のスイッチング動作の際に発生するノイズが第1ゲート導電

パターン 36 に及ぼす悪影響が低減され得る。

[0096] 実施の形態 2.

図 20 から図 24 を参照して、実施の形態 2 のパワー半導体モジュール 1 e を説明する。本実施の形態のパワー半導体モジュール 1 e は、実施の形態 1 のパワー半導体モジュール 1 と同様の構成を備えるが、以下の点で主に異なる。

[0097] パワー半導体モジュール 1 e は、パワー半導体素子 20 d, 20 e, 20 f と、導電ポスト 40 e と、導電ワイヤ 50 e とをさらに備える。プリント配線基板 30 は、第 2 ゲート導電パターン 36 b と、第 1 導電パッド 34 e とをさらに含む。プリント配線基板 30 は、第 3 ゲート導電パターン 36 c をさらに含んでもよい。

[0098] パワー半導体素子 20 d, 20 e, 20 f は、各々、絶縁ゲート型バイポーラトランジスタ (I G B T) または金属酸化物半導体電界効果トランジスタ (M O S F E T) のようなパワー半導体素子である。パワー半導体素子 20 d, 20 e, 20 f は、各々、エミッタ電極 22 と、ゲート電極 23、コレクタ電極 21 とを含む。パワー半導体素子 20 d, 20 e, 20 f は、各々、主に、シリコン (S i)、または、炭化珪素 (S i C)、窒化ガリウム (G a N) もしくはダイヤモンドのようなワイドバンドギャップ半導体材料で形成されている。

[0099] パワー半導体素子 20 d, 20 e, 20 f は、導電回路パターン 13 に固定されている。具体的には、パワー半導体素子 20 d, 20 e, 20 f のコレクタ電極 21 は、はんだ、金属微粒子焼結体または導電性接着剤のような導電接合部材 15 を用いて、導電回路パターン 13 に接合されている。パワー半導体素子 20 d, 20 e, 20 f のエミッタ電極 22 は、第 1 エミッタ導電パターン 33 に電氣的に接続されている。具体的には、パワー半導体素子 20 d, 20 e, 20 f のエミッタ電極 22 は、はんだ、金属微粒子焼結体または導電性接着剤のような導電接合部材 25 を用いて、第 1 エミッタ導電パターン 33 に接合されている。後に詳しく述べるように、パワー半導体

素子 20d, 20e, 20f のゲート電極 23 は、第 1 ゲート導電パターン 36 に電氣的に接続されている。パワー半導体素子 20d, 20e, 20f は、互いに電氣的に並列接続されている。パワー半導体素子 20a, 20b, 20c とパワー半導体素子 20d, 20e, 20f とは、互いに電氣的に並列接続されている。

[0100] 本実施の形態のパワー半導体モジュール 1e に含まれるパワー半導体素子 20a, 20b, 20c, 20d, 20e, 20f の数は、実施の形態 1 のパワー半導体モジュール 1 に含まれるパワー半導体素子 20a, 20b, 20c の数よりも多い。本実施の形態のパワー半導体モジュール 1e は、実施の形態 1 のパワー半導体モジュール 1 より大きな電流容量を有している。そのため、本実施の形態のパワー半導体モジュール 1e は、実施の形態 1 のパワー半導体モジュール 1 より多くの導電ポスト 40, 40e を備えている。具体的には、パワー半導体モジュール 1e は、導電ポスト 40 に加えて、導電ポスト 40e をさらに備えている。

[0101] 第 1 導電パッド 34e は、絶縁基板 31 の主面 31a 上に設けられている。第 1 導電パッド 34e は、第 1 エミッタ導電パターン 33 及び第 1 導電パッド 34 から離間されており、かつ、第 1 エミッタ導電パターン 33 及び第 1 導電パッド 34 から電氣的に絶縁されている。第 1 導電パッド 34e は、銅またはアルミニウムのような金属で形成されている。

[0102] 第 1 コレクタ導電パターン 35 は、導電ポスト 40e に接続されている。導電ポスト 40e は、プリント配線基板 30 を貫通している。導電ポスト 40e は、導電回路パターン 13 と第 1 コレクタ導電パターン 35 とに電氣的に接続されている。導電ポスト 40e は、銅またはアルミニウムのような金属で形成されている。導電ポスト 40e は、プリント配線基板 30 を支持している。具体的には、導電ポスト 40e は、はんだのような導電接合部材（図示せず）を用いて、導電回路パターン 13 に固定されている。導電ポスト 40e は、はんだのような導電接合部材（図示せず）を用いて、第 1 コレクタ導電パターン 35 と第 1 導電パッド 34e とに固定されている。

- [0103] 第1エミッタ導電パターン33は、第1エミッタ導電パターン33の長手方向（第1方向（x方向））に沿って延在する第2縁33bを含む。絶縁基板31の主面31bの平面視において、第1エミッタ導電パターン33の第2縁33bは、絶縁基板31の縁31dに沿って配置されている。第1エミッタ導電パターン33の第2縁33bは、絶縁基板31の長手方向（第1方向（x方向））に延在している。第1エミッタ導電パターン33の第2縁33bは、第1エミッタ導電パターン33の短手方向（第2方向（y方向））において、第1エミッタ導電パターン33の第1縁33aに対向している。
- [0104] 第2ゲート導電パターン36bは、主面31b上に設けられている。第2ゲート導電パターン36bは、銅またはアルミニウムのような金属で形成されている。第2ゲート導電パターン36bは、第1コレクタ導電パターン35と第2導電パッド37とから離間されており、かつ、第1コレクタ導電パターン35と第2導電パッド37とから電氣的に絶縁されている。
- [0105] 第2ゲート導電パターン36bの長手方向は、第1方向（x方向）であり、第2ゲート導電パターン36bの短手方向は、第2方向（y方向）である。第2ゲート導電パターン36bの長手方向は、絶縁基板31の縁31dが延在する第1方向（x方向）である。第2ゲート導電パターン36bの長手方向は、第1エミッタ導電パターン33の第2縁33bが延在する第1方向（x方向）である。
- [0106] 図20、図23及び図24に示されるように、第2ゲート導電パターン36bは、絶縁基板31の縁31dに沿って配置されている。第2ゲート導電パターン36bは、絶縁基板31の主面31bの平面視において、第1縁33aとは反対側の第1エミッタ導電パターン33の第2縁33bに沿って配置されている。特定的には、絶縁基板31の主面31bの平面視において、第2ゲート導電パターン36bは、第1エミッタ導電パターン33の第2縁33bに重なっている。さらに特定的には、絶縁基板31の主面31bの平面視において、第2ゲート導電パターン36bの短手方向（第2方向（y方向））における第2ゲート導電パターン36bの第2中心線は、第1エミッ

タ導電パターン33の第2縁33bに重なっている。

[0107] 第2ゲート導電パターン36bの第3幅 w_{g2} は、第1エミッタ導電パターン33のうち、絶縁基板31の主面31bの平面視において第2ゲート導電パターン36bの長手方向（第1方向（x方向））で第2ゲート導電パターン36bに対応する第2部分33qの幅 w_{e2} より小さい。第2ゲート導電パターン36bの第3幅 w_{g2} は、第1エミッタ導電パターン33の第2部分33qの幅 w_{e2} の二分の一以下であってもよく、第1エミッタ導電パターン33の第2部分33qの幅 w_{e2} の三分の一以下であってもよく、第1エミッタ導電パターン33の第2部分33qの幅 w_{e2} の四分の一以下であってもよく、第1エミッタ導電パターン33の第2部分33qの幅 w_{e2} の五分の一以下であってもよい。

[0108] 第2ゲート導電パターン36bの第3幅 w_{g2} は、第2ゲート導電パターン36bの短手方向（第2方向（y方向））における第2ゲート導電パターン36bの長さとして定義される。第1エミッタ導電パターン33の第2部分33qの幅 w_{e2} は、第1エミッタ導電パターン33の短手方向（第2方向（y方向））における第1エミッタ導電パターン33の第2部分33qの長さとして定義される。本実施の形態では、第1エミッタ導電パターン33の第2部分33qは、第1エミッタ導電パターン33の第1部分33pと同じである。

[0109] 一般に、導電パターンの幅が減少するにつれて、導電パターンのインダクタンスは増加する。第2ゲート導電パターン36bの第3幅 w_{g2} は、第1エミッタ導電パターン33の第2部分33qの幅 w_{e2} より狭い。そのため、第2ゲート導電パターン36bの寄生インダクタンスを、第1エミッタ導電パターン33の寄生インダクタンスより大きくすることができる。

[0110] 第2ゲート導電パターン36bは、第1ゲート導電パターン36に電氣的に接続されている。例えば、第3ゲート導電パターン36cは、第1ゲート導電パターン36と第2ゲート導電パターン36bとを接続する。第2ゲート導電パターン36bは、第3ゲート導電パターン36cを介して、第1ゲ

ート導電パターン36に電氣的に接続されている。第2ゲート導電パターン36bは、導電ワイヤ49と第1ゲート導電パターン36と第3ゲート導電パターン36cとを介して、ゲート制御端子48に電氣的に接続されている。

[0111] 第3ゲート導電パターン36cは、第1コレクタ導電パターン35と第2導電パッド37とから離間されており、かつ、第1コレクタ導電パターン35と第2導電パッド37とから電氣的に絶縁されている。第3ゲート導電パターン36cは、銅またはアルミニウムのような金属で形成されている。特定的には、第3ゲート導電パターン36cは、絶縁基板31の縁31fに沿って配置されている。第3ゲート導電パターン36cは、第1エミッタ導電パターン33の縁に沿って配置されている。さらに特定的には、絶縁基板31の主面31bの平面視において、第3ゲート導電パターン36cは、第1エミッタ導電パターン33の縁に重なっている。絶縁基板31の主面31bの平面視において、第1ゲート導電パターン36、第2ゲート導電パターン36b及び第3ゲート導電パターン36cは、第1コレクタ導電パターン35の三辺に対向している。

[0112] 具体的には、第3ゲート導電パターン36cは、第1ゲート導電パターン36の第1端と第2ゲート導電パターン36bの第2端とを接続する。第1ゲート導電パターン36の第1端は、絶縁基板31の縁31fに近位する第1ゲート導電パターン36の端である。第1ゲート導電パターン36の第1端は、第1ゲート導電パターン36の端のうち、第1電極端子42及び第2電極端子44から遠位する端である。第1ゲート導電パターン36の第1端は、第1ゲート導電パターン36の端のうち、エミッタ制御端子46から延びる導電ワイヤ47がボンディングされるパワー半導体素子20aに近位する端である。第2ゲート導電パターン36bの第2端は、絶縁基板31の縁31fに近位する第2ゲート導電パターン36bの端である。第2ゲート導電パターン36bの第2端は、第2ゲート導電パターン36bの端のうち、第1電極端子42及び第2電極端子44から遠位する端である。第2ゲート

導電パターン36bの第2端は、第1ゲート導電パターン36の端のうち、エミッタ制御端子46から延びる導電ワイヤ47がボンディングされるパワー半導体素子20aに近位する端である。

[0113] エミッタ制御端子46は、導電ワイヤ47、パワー半導体素子20aのエミッタ電極22及び第1エミッタ導電パターン33を介して、パワー半導体素子20d、20e、20fのエミッタ電極22に接続されている。

[0114] パワー半導体素子20d、20e、20fは、第1エミッタ導電パターン33の第2縁33bに沿って配置されている。パワー半導体素子20d、20e、20fは、第2ゲート導電パターン36bに沿って配置されている。パワー半導体素子20d、20e、20fは、絶縁基板の縁31dに沿って配置されている。絶縁基板31の主面31bの平面視において、第2ゲート導電パターン36bの長手方向（第1方向（x方向））は、パワー半導体素子20d、20e、20fの配列方向（第1方向（x方向））である。絶縁基板31の主面31bの平面視において、パワー半導体素子20d、20e、20fの配列方向（第1方向（x方向））は、絶縁基板31の長手方向（第1方向（x方向））である。絶縁基板31の主面31bの平面視において、パワー半導体素子20d、20e、20fのゲート電極23は、絶縁基板31（プリント配線基板30）から露出している。

[0115] 導電ワイヤ50eは、パワー半導体素子20d、20e、20fのゲート電極23と第2ゲート導電パターン36bとにボンディングされている。導電ワイヤ50eは、例えば、金、銀、銅またはアルミニウムのような金属で形成されている。パワー半導体素子20d、20e、20fのゲート電極23は、導電ワイヤ50eを介して、第2ゲート導電パターン36bに電氣的に接続されている。ゲート制御端子48は、導電ワイヤ49、第1ゲート導電パターン36、第3ゲート導電パターン36c、第2ゲート導電パターン36b及び導電ワイヤ50eを介して、パワー半導体素子20d、20e、20fのゲート電極23に電氣的に接続されている。

[0116] パワー半導体モジュール1の外部から、エミッタ制御端子46とゲート制

御端子 4 8 との間に、エミッターゲート間電圧が供給される。エミッターゲート間電圧に応じて、パワー半導体素子 2 0 a, 2 0 b, 2 0 c, 2 0 d, 2 0 e, 2 0 f はオン状態とオフ状態との間でスイッチングされる。

[0117] 本実施の形態のパワー半導体モジュール 1 e の作用は、実施の形態 1 のパワー半導体モジュール 1 の作用に加えて、以下の作用を奏する。

[0118] パワー半導体素子 2 0 d, 2 0 e, 2 0 f の各々に印加されるゲートエミッタ間電圧を閾値電圧よりも大きくして、パワー半導体素子 2 0 d, 2 0 e, 2 0 f をいずれもターンオンさせる。第 2 電極端子 4 4 から、第 1 コレクタ導電パターン 3 5、導電ポスト 4 0, 4 0 e、導電回路パターン 1 3、パワー半導体素子 2 0 d, 2 0 e, 2 0 f、第 1 エミッタ導電パターン 3 3、第 1 導電ビア 3 8、第 2 導電パッド 3 7 を通って、第 1 電極端子 4 2 に主電流 5 5 b が流れる。図 2 3 及び図 2 4 に示されるように、主電流 5 5 b は、パワー半導体素子 2 0 d, 2 0 e, 2 0 f では、パワー半導体素子 2 0 d、パワー半導体素子 2 0 e、パワー半導体素子 2 0 f の順に流れる。

[0119] 一般に、導電パターンの縁が、導電パターンのうち、電流が最も多く流れる部分である。そのため、図 2 3 及び図 2 4 に示されるように、主電流 5 5 b は、第 1 エミッタ導電パターン 3 3 のうちパワー半導体素子 2 0 d, 2 0 e, 2 0 f に近位する第 2 縁 3 3 b に沿って流れる。第 1 エミッタ導電パターン 3 3 を流れる主電流 5 5 は、主電流 5 5 の周りに（例えば、第 1 エミッタ導電パターン 3 3 に）磁束 Φ を形成する。第 1 エミッタ導電パターン 3 3 を流れる主電流 5 5 b は、主電流 5 5 b の周りに磁束 Φ を形成する。

[0120] パワー半導体素子 2 0 d, 2 0 e, 2 0 f をターンオンさせると、主電流 5 5 b は時間が経つにつれて増加し、主電流 5 5 b が形成する磁束も時間が経つにつれて増加する。第 1 エミッタ導電パターン 3 3 は、寄生インダクタンスを有している。そのため、第 1 エミッタ導電パターン 3 3 の第 2 縁 3 3 b に沿って流れる主電流 5 5 b が形成する磁束 Φ の時間変化 $d\Phi/dt$ は、第 1 エミッタ導電パターン 3 3 に、第 3 誘導起電力を発生させる。

[0121] 第 3 誘導起電力は、パワー半導体素子 2 0 d, 2 0 e, 2 0 f 間でエミッ

タ電圧を変動させる。第3誘導起電力は、パワー半導体素子20dの第4ゲートーエミッタ間電圧 V_{ged} と、パワー半導体素子20eの第5ゲートーエミッタ間電圧 V_{gee} と、パワー半導体素子20fの第6ゲートーエミッタ間電圧 V_{gef} とを互いに異ならせる。

[0122] しかし、第2ゲート導電パターン36bは、絶縁基板31の主面31bの平面視において、第1エミッタ導電パターン33の第2縁33bに沿って配置されている。そのため、第1エミッタ導電パターン33を流れる主電流55bは、第2ゲート導電パターン36bにも磁束 Φ を形成する。第2ゲート導電パターン36bは、寄生インダクタンスを有している。第1エミッタ導電パターン33の第2縁33bに沿って流れる主電流55bが形成する磁束 Φ の時間変化 $d\Phi/dt$ は、第2ゲート導電パターン36bに、第4誘導起電力を発生させる。

[0123] 第4誘導起電力は、パワー半導体素子20d、20e、20f間でゲート電圧を変動させる。パワー半導体素子20d、20e、20f間のゲート電圧の変動は、パワー半導体素子20d、20e、20f間のエミッタ電圧の変動の少なくとも一部を打ち消す。特定的には、パワー半導体素子20d、20e、20f間のゲート電圧の変動は、パワー半導体素子20d、20e、20f間のエミッタ電圧の変動を完全に打ち消す。例えば、パワー半導体素子20eの第5ゲートーエミッタ間電圧 V_{gee} とパワー半導体素子20dの第4ゲートーエミッタ間電圧 V_{ged} との間の差が減少する。パワー半導体素子20fの第6ゲートーエミッタ間電圧 V_{gef} とパワー半導体素子20eの第5ゲートーエミッタ間電圧 V_{gee} との間の差が減少する。特定的には、パワー半導体素子20dの第4ゲートーエミッタ間電圧 V_{ged} とパワー半導体素子20eの第5ゲートーエミッタ間電圧 V_{gee} とパワー半導体素子20fの第6ゲートーエミッタ間電圧 V_{gef} とは、互いに等しくなる。

[0124] そのため、パワー半導体素子20d、20e、20fのコレクターエミッタ間電流が急増することが防止される。パワー半導体素子20d、20e、20fが破壊されることが防止されて、パワー半導体モジュール1eの寿命

を延ばすことができる。

[0125] 第2ゲート導電パターン36bの寄生インダクタンスを第1エミッタ導電パターン33の寄生インダクタンスより大きくする。例えば、先に記載したとおり、第2ゲート導電パターン36bの第3幅 w_{g2} を、第1エミッタ導電パターン33の第2部分33qの幅 w_{e2} より小さくすることによって、第2ゲート導電パターン36bの寄生インダクタンスを第1エミッタ導電パターン33の寄生インダクタンスより大きくすることができる。

[0126] そうすると、パワー半導体素子20d、20e、20f間のゲート電圧の変動は、パワー半導体素子20d、20e、20f間のエミッタ電圧の変動をより一層打ち消すことができる。パワー半導体素子20dの第4ゲートーエミッタ間電圧 V_{ged} とパワー半導体素子20eの第5ゲートーエミッタ間電圧 V_{gee} とパワー半導体素子20fの第6ゲートーエミッタ間電圧 V_{gef} との間の変動をより一層小さくすることができる。

[0127] 図25から図33を参照して、本実施の形態のいくつかの変形例を説明する。

図25から図27に示されるように、本実施の形態の第1変形例では、絶縁基板31の主面31bの平面視において、第2ゲート導電パターン36bは、第1エミッタ導電パターン33の第2縁33bから離間されてもよい。

[0128] 第一の例では、第2ゲート導電パターン36bの長手方向（第1方向（x方向））に垂直な断面における、第2ゲート導電パターン36bと第1エミッタ導電パターン33との間の第4最大距離 d_4 は、3.0mm以下である。そのため、パワー半導体素子20d、20e、20f間のゲート電圧の変動が増加する。パワー半導体素子20d、20e、20f間のゲート電圧の変動は、パワー半導体素子20d、20e、20f間のエミッタ電圧の変動をより一層打ち消すことができる。パワー半導体素子20d、20e、20fのコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1eの寿命を延ばすことができる。

[0129] 第二の例では、絶縁基板31の主面31bの平面視において、第2ゲート

導電パターン36bの短手方向（第2方向（y方向））における第2中心線と第1エミッタ導電パターン33との間の第5最大距離 d_5 は、絶縁基板31の厚さTの7倍以下である。そのため、パワー半導体素子20d, 20e, 20f間のゲート電圧の変動が増加する。パワー半導体素子20d, 20e, 20f間のゲート電圧の変動は、パワー半導体素子20d, 20e, 20f間のエミッタ電圧の変動をより一層打ち消すことができる。パワー半導体素子20d, 20e, 20fのコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1eの寿命を延ばすことができる。

[0130] 第三の例では、絶縁基板31の主面31bの平面視において、第2ゲート導電パターン36bと第1エミッタ導電パターン33との間の第6最大距離 d_6 は、絶縁基板31の厚さTの5倍以下である。そのため、パワー半導体素子20d, 20e, 20f間のゲート電圧の変動が増加する。パワー半導体素子20d, 20e, 20f間のゲート電圧の変動は、パワー半導体素子20d, 20e, 20f間のエミッタ電圧の変動をより一層打ち消すことができる。パワー半導体素子20d, 20e, 20fのコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1eの寿命を延ばすことができる。

[0131] 図28及び図29に示されるように、本実施の形態の第2変形例では、第1エミッタ導電パターン33に、第1エミッタ導電パターン33の第2縁33bに沿う第2スリット33tが設けられている。第2スリット33tの外縁は、第1エミッタ導電パターン33の縁でもある。一般に、導電パターンのうち、導電パターンの縁には、より多く電流が流れる。そのため、第1エミッタ導電パターン33を流れる主電流55bは、第1エミッタ導電パターン33のうち、第1エミッタ導電パターン33の第2縁33bと第2スリット33tとの間の第2領域に、より集中的に流れる。主電流55bが第2ゲート導電パターン36bに形成する磁束Φが増加する。第2ゲート導電パターン36bにおける磁束Φの時間変化 $d\Phi/dt$ の大きさが増加する。

[0132] そのため、第2ゲート導電パターン36bに発生する第4誘導起電力の大

きさが増加する。パワー半導体素子 20 d, 20 e, 20 f 間のゲート電圧の変動が増加する。パワー半導体素子 20 d, 20 e, 20 f 間のゲート電圧の変動は、パワー半導体素子 20 d, 20 e, 20 f 間のエミッタ電圧の変動をより一層打ち消すことができる。パワー半導体素子 20 d, 20 e, 20 f のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール 1 e の寿命を延ばすことができる。

[0133] 本実施の形態の第2変形例では、第2ゲート導電パターン 36 b の第3幅 w_{g2} は、第1エミッタ導電パターン 33 のうち、第1エミッタ導電パターン 33 の第2縁 33 b と第2スリット 33 t との間の第2領域の第4幅 w_{r2} より狭くてもよい。第1エミッタ導電パターン 33 の第2領域の第4幅 w_{r2} は、第2ゲート導電パターン 36 b の短手方向（第2方向（y 方向））における第1エミッタ導電パターン 33 の第2領域の長さとして定義される。

[0134] 図30及び図31に示されるように、本実施の形態の第3変形例では、第2ゲート導電パターン 36 b の第3幅 w_{g2} は、第1エミッタ導電パターン 33 のうち、第1エミッタ導電パターン 33 の第2縁 33 b と第2スリット 33 t との間の第2領域の第4幅 w_{r2} より広い。

[0135] そのため、主電流 55 b が第2ゲート導電パターン 36 b に形成する磁束 Φ が増加する。第2ゲート導電パターン 36 b に発生する第4誘導起電力の大きさが増加する。パワー半導体素子 20 d, 20 e, 20 f 間のゲート電圧の変動が増加する。パワー半導体素子 20 d, 20 e, 20 f 間のゲート電圧の変動は、パワー半導体素子 20 d, 20 e, 20 f 間のエミッタ電圧の変動をより一層打ち消すことができる。パワー半導体素子 20 d, 20 e, 20 f のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール 1 e の寿命を延ばすことができる。

[0136] 図32及び図33に示されるように、本実施の形態の第4変形例では、第1エミッタ導電パターン 33 の第2縁 33 b に、第2縁 33 b から後退している少なくとも一つの第2後退部 33 j が設けられている。絶縁基板 31 の主面 31 b の平面視において、少なくとも一つの第2後退部 33 j では、少

なくとも一つの第2後退部33jに対応するパワー半導体素子20d, 20e, 20fの少なくとも一つは、第1エミッタ導電パターン33から露出してもよい。

[0137] 少なくとも一つの第2後退部33jは、第1エミッタ導電パターン33を流れる主電流55bと第2ゲート導電パターン36bとの間の距離を増加させる。少なくとも一つの第2後退部33jは、主電流55bが第2ゲート導電パターン36bに形成する磁束Φを減少させる。少なくとも一つの第2後退部33jは、第2ゲート導電パターン36bに発生する第4誘導起電力の大きさを減少させて、パワー半導体素子20d, 20e, 20f間のゲート電圧の変動を減少させる。少なくとも一つの第2後退部33jは、パワー半導体素子20d, 20e, 20f間のゲート電圧の変動が、パワー半導体素子20d, 20e, 20f間のエミッタ電圧の変動を過度に打ち消すことを防止する。

[0138] 少なくとも一つの第2後退部33jは、複数の第2後退部33jであってもよい。複数の第2後退部33jは、それぞれパワー半導体素子20d, 20e, 20fに対応するように、第1エミッタ導電パターン33の第2縁33bに設けられている。絶縁基板31の主面31bの平面視において、複数の第2後退部33jでは、パワー半導体素子20d, 20e, 20fは、第1エミッタ導電パターン33から露出してもよい。複数の第2後退部33jは、パワー半導体素子20d, 20e, 20f間のゲート電圧の変動が、パワー半導体素子20d, 20e, 20f間のエミッタ電圧の変動を過度に打ち消すことを防止する。

[0139] 本実施の形態のパワー半導体モジュール1eは、実施の形態1のパワー半導体モジュール1の効果に加えて、以下の効果を奏する。

[0140] 本実施の形態のパワー半導体モジュール1eは、第3パワー半導体素子（例えば、パワー半導体素子20d）と、第4パワー半導体素子（例えば、パワー半導体素子20f）とをさらに備える。第3パワー半導体素子は、第3エミッタ電極（例えば、パワー半導体素子20dのエミッタ電極22）と、

第3ゲート電極（例えば、パワー半導体素子20dのゲート電極23）とを含む。第4パワー半導体素子は、第4エミッタ電極（例えば、パワー半導体素子20fのエミッタ電極22）と、第4ゲート電極（例えば、パワー半導体素子20fのゲート電極23）とを含む。プリント配線基板30は、第1ゲート導電パターン36に電氣的に接続されている第2ゲート導電パターン36bをさらに含む。第3パワー半導体素子及び第4パワー半導体素子は、導電回路パターン13に固定されている。

[0141] 第3エミッタ電極（例えば、パワー半導体素子20dのエミッタ電極22）及び第4エミッタ電極（例えば、パワー半導体素子20fのエミッタ電極22）は、第1エミッタ導電パターン33に電氣的に接続されている。第3ゲート電極（例えば、パワー半導体素子20dのゲート電極23）及び第4ゲート電極（例えば、パワー半導体素子20fのゲート電極23）は、第2ゲート導電パターン36bに電氣的に接続されている。第2ゲート導電パターン36bは、第3主面（主面31b）上に設けられており、かつ、絶縁基板31の第3主面（例えば、主面31b）の平面視において、第1縁33aとは反対側の第1エミッタ導電パターン33の第2縁33bに沿って配置されている。

[0142] パワー半導体モジュール1eは、第1パワー半導体素子及び第2パワー半導体素子に加えて、第3パワー半導体素子（例えば、パワー半導体素子20d）と第4パワー半導体素子（例えば、パワー半導体素子20f）とを備えている。そのため、パワー半導体モジュール1eの電力容量を増加させることができる。

[0143] また、第2ゲート導電パターン36bは、絶縁基板31の第3主面（例えば、主面31b）の平面視において第1エミッタ導電パターン33の第2縁33bに沿って配置されている。そのため、第1エミッタ導電パターン33を流れる主電流55bは、第1エミッタ導電パターン33だけでなく、第2ゲート導電パターン36bにも磁束Φを形成する。第3パワー半導体素子（例えば、パワー半導体素子20d）及び第4パワー半導体素子（例えば、パ

ワー半導体素子 20f) のターンオン時における磁束 Φ の時間変化 $d\Phi/dt$ は、は、第1エミッタ導電パターン 33 に第3誘導起電力を発生させるとともに、第2ゲート導電パターン 36b に第4誘導起電力を発生させる。

[0144] 第1エミッタ導電パターン 33 に発生する第3誘導起電力は、第3パワー半導体素子（例えば、パワー半導体素子 20d）と第4パワー半導体素子（例えば、パワー半導体素子 20f）との間のエミッタ電圧の変動をもたらす。第2ゲート導電パターン 36b に発生する第4誘導起電力は、第3パワー半導体素子と第4パワー半導体素子との間のゲート電圧の変動をもたらす。第3パワー半導体素子（例えば、パワー半導体素子 20d）と第4パワー半導体素子（例えば、パワー半導体素子 20f）との間のエミッタ電圧の変動の少なくとも一部は、第3パワー半導体素子と第4パワー半導体素子との間のゲート電圧の変動によって打ち消される。第3パワー半導体素子及び第4パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール 1e の寿命を延ばすことができる。

[0145] 本実施の形態のパワー半導体モジュール 1e では、プリント配線基板 30 は、第1ゲート導電パターン 36 の第1端と第2ゲート導電パターン 36b の第2端とを接続する第3ゲート導電パターン 36c をさらに含む。そのため、パワー半導体モジュール 1e の電力容量を増加させることができるとともに、パワー半導体モジュール 1e の寿命を延ばすことができる。

[0146] 本実施の形態のパワー半導体モジュール 1e では、第2ゲート導電パターン 36b の第2長手方向に垂直な断面における、第2ゲート導電パターン 36b と第1エミッタ導電パターン 33 との間の第4最大距離 d_4 は、3.0 mm 以下である。

[0147] 第2ゲート導電パターン 36b と第1エミッタ導電パターン 33 との間の第4最大距離 d_4 が 3.0 mm 以下であるため、第3パワー半導体素子（例えば、パワー半導体素子 20d）と第4パワー半導体素子（例えば、パワー半導体素子 20f）との間のゲート電圧の変動が増加する。このゲート電圧の変動は、第3パワー半導体素子と第4パワー半導体素子との間のエミッタ電

圧の変動をより一層打ち消すことができる。第3パワー半導体素子及び第4パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1eの寿命を延ばすことができる。

[0148] 本実施の形態のパワー半導体モジュール1eでは、絶縁基板31の第3主面（例えば、主面31b）の平面視において、第2ゲート導電パターン36bの第2短手方向（第1方向（x方向））における第2中心線と第1エミッタ導電パターン33との間の第5最大距離 d_5 は、絶縁基板31の厚さT（図13を参照）の7倍以下である。

[0149] 第5最大距離 d_5 が絶縁基板31の厚さTの7倍以下であるため、第3パワー半導体素子（例えば、パワー半導体素子20d）と第4パワー半導体素子（例えば、パワー半導体素子20f）との間のゲート電圧の変動が増加する。このゲート電圧の変動は、第3パワー半導体素子と第4パワー半導体素子との間のエミッタ電圧の変動をより一層打ち消すことができる。第3パワー半導体素子及び第4パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1eの寿命を延ばすことができる。

[0150] 本実施の形態のパワー半導体モジュール1eでは、絶縁基板31の第3主面（例えば、主面31b）の平面視において、第2ゲート導電パターン36bと第1エミッタ導電パターン33との間の第6最大距離 d_6 は、絶縁基板31の厚さT（図13を参照）の5倍以下である。

[0151] 第6最大距離 d_6 が絶縁基板31の厚さTの5倍以下であるため、第3パワー半導体素子（例えば、パワー半導体素子20d）と第4パワー半導体素子（例えば、パワー半導体素子20f）との間のゲート電圧の変動が増加する。このゲート電圧の変動は、第3パワー半導体素子と第4パワー半導体素子との間のエミッタ電圧の変動をより一層打ち消すことができる。第3パワー半導体素子及び第4パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1eの寿命を延ばすことができる。

- [0152] 本実施の形態のパワー半導体モジュール1 eでは、絶縁基板3 1の第3主面（例えば、主面3 1 b）の平面視において、第2ゲート導電パターン3 6 bは、第1エミッタ導電パターン3 3の第2縁3 3 bに重なっている。
- [0153] そのため、第1エミッタ導電パターン3 3を流れる主電流5 5 bが第2ゲート導電パターン3 6 bに形成する磁束Φが増加する。第3パワー半導体素子（例えば、パワー半導体素子2 0 d）と第4パワー半導体素子（例えば、パワー半導体素子2 0 f）との間のゲート電圧の変動が増加する。このゲート電圧の変動は、第3パワー半導体素子と第4パワー半導体素子との間のエミッタ電圧の変動をより一層打ち消すことができる。第3パワー半導体素子及び第4パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1 eの寿命を延ばすことができる。
- [0154] 本実施の形態のパワー半導体モジュール1 eでは、絶縁基板3 1の第3主面（例えば、主面3 1 b）の平面視において、第2ゲート導電パターン3 6 bの第2短手方向（第2方向（y方向））における第2ゲート導電パターン3 6 bの第2中心線は、第1エミッタ導電パターン3 3の第2縁3 3 bに重なっている。
- [0155] そのため、第1エミッタ導電パターン3 3を流れる主電流5 5 bが第2ゲート導電パターン3 6 bに形成する磁束Φがさらに増加する。第3パワー半導体素子（例えば、パワー半導体素子2 0 d）と第4パワー半導体素子（例えば、パワー半導体素子2 0 f）との間のゲート電圧の変動がさらに増加する。このゲート電圧の変動は、第3パワー半導体素子と第4パワー半導体素子との間のエミッタ電圧の変動をより一層打ち消すことができる。第3パワー半導体素子及び第4パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1 eの寿命を延ばすことができる。
- [0156] 本実施の形態のパワー半導体モジュール1 eでは、第1エミッタ導電パターン3 3に、第1エミッタ導電パターン3 3の第2縁3 3 bに沿う第2スリット3 3 tが設けられている。

- [0157] 第1エミッタ導電パターン33を流れる主電流55bは、第1エミッタ導電パターン33のうち、第1エミッタ導電パターン33の第2縁33bと第2スリット33tとの間の第2領域に、集中的に流れる。主電流55bが第2ゲート導電パターン36bに形成する磁束Φが増加する。第3パワー半導体素子（例えば、パワー半導体素子20d）と第4パワー半導体素子（例えば、パワー半導体素子20f）との間のゲート電圧の変動がさらに増加する。このゲート電圧の変動は、第3パワー半導体素子と第4パワー半導体素子との間のエミッタ電圧の変動をより一層打ち消すことができる。第3パワー半導体素子及び第4パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1eの寿命を延ばすことができる。
- [0158] 本実施の形態のパワー半導体モジュール1eでは、第2ゲート導電パターン36bの第3幅 w_{g2} は、第1エミッタ導電パターン33のうち、第1エミッタ導電パターン33の第2縁33bと第2スリット33tとの間の第2領域の第4幅 w_{r2} より広い。
- [0159] そのため、第1エミッタ導電パターン33を流れる主電流55bが第2ゲート導電パターン36bに形成する磁束Φが増加する。第3パワー半導体素子（例えば、パワー半導体素子20d）と第4パワー半導体素子（例えば、パワー半導体素子20f）との間のゲート電圧の変動がさらに増加する。このゲート電圧の変動は、第3パワー半導体素子と第4パワー半導体素子との間のエミッタ電圧の変動をより一層打ち消すことができる。第3パワー半導体素子及び第4パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1eの寿命を延ばすことができる。
- [0160] 本実施の形態のパワー半導体モジュール1eでは、第1エミッタ導電パターン33の第2縁33bに、第2縁33bから後退している少なくとも一つの第2後退部33jが設けられている。
- [0161] 少なくとも一つの第2後退部33jは、第1エミッタ導電パターン33を

流れる主電流 55b が第 2 ゲート導電パターン 36b に形成する磁束Φを減少させる。少なくとも一つの第 2 後退部 33j は、第 3 パワー半導体素子（例えば、パワー半導体素子 20d）と第 4 パワー半導体素子（例えば、パワー半導体素子 20f）との間のゲート電圧の変動が第 3 パワー半導体素子と第 4 パワー半導体素子との間のエミッタ電圧の変動を過度に打ち消すことを防止する第 3 パワー半導体素子及び第 4 パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール 1e の寿命を延ばすことができる。

[0162] 本実施の形態のパワー半導体モジュール 1e では、少なくとも一つの第 2 後退部 33j は、複数の第 2 後退部 33j である。複数の第 2 後退部 33j は、第 3 パワー半導体素子（例えば、パワー半導体素子 20d）と第 4 パワー半導体素子（例えば、パワー半導体素子 20f）とに対応するように、第 1 エミッタ導電パターン 33 の第 2 縁 33b に設けられている。

[0163] 複数の第 2 後退部 33j は、第 1 エミッタ導電パターン 33 を流れる主電流 55b が第 2 ゲート導電パターン 36b に形成する磁束Φを減少させる。複数の第 2 後退部 33j は、第 3 パワー半導体素子（例えば、パワー半導体素子 20d）と第 4 パワー半導体素子（例えば、パワー半導体素子 20f）との間のゲート電圧の変動が第 3 パワー半導体素子と第 4 パワー半導体素子との間のエミッタ電圧の変動を過度に打ち消すことを防止する。第 3 パワー半導体素子及び第 4 パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール 1e の寿命を延ばすことができる。

[0164] 本実施の形態のパワー半導体モジュール 1e では、第 1 エミッタ導電パターン 33 の第 2 縁 33b と第 2 ゲート導電パターン 36b とは、第 3 パワー半導体素子（例えば、パワー半導体素子 20d）及び第 4 パワー半導体素子（例えば、パワー半導体素子 20f）に沿って配置されている。そのため、第 3 パワー半導体素子及び第 4 パワー半導体素子のゲート電極 23 と第 2 ゲート導電パターン 36b との間の電氣的接続が容易になる。第 3 パワー半導

体素子及び第4パワー半導体素子のエミッタ電極22と第1エミッタ導電パターン33との間の電氣的接続が容易になる。

[0165] 本実施の形態のパワー半導体モジュール1eでは、第2ゲート導電パターン36bの第3幅 w_{g2} は、第1エミッタ導電パターン33のうち、第3主面（例えば、主面31b）の平面視において第2ゲート導電パターン36bの第2長手方向（第1方向（x方向））で第2ゲート導電パターン36bに対応する第2部分33qの幅 w_{e2} より小さい。

[0166] そのため、第2ゲート導電パターン36bの寄生インダクタンスを第1エミッタ導電パターン33の寄生インダクタンスより大きくすることができる。第3パワー半導体素子（例えば、パワー半導体素子20d）と第4パワー半導体素子（例えば、パワー半導体素子20f）との間のゲート電圧の変動がさらに増加する。このゲート電圧の変動は、第3パワー半導体素子と第4パワー半導体素子との間のエミッタ電圧の変動をより一層打ち消すことができる。第3パワー半導体素子及び第4パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1eの寿命を延ばすことができる。また、第3パワー半導体素子及び第4パワー半導体素子のスイッチング動作の際に発生するノイズが第2ゲート導電パターン36bに及ぼす悪影響が低減され得る。

[0167] 実施の形態3.

図34から図38を参照して、実施の形態3のパワー半導体モジュール1fを説明する。本実施の形態のパワー半導体モジュール1fは、実施の形態2のパワー半導体モジュール1eと同様の構成を備えるが、以下の点で主に異なる。

[0168] パワー半導体モジュール1fでは、第3ゲート導電パターン36cは、第1ゲート導電パターン36の第1中央部と第2ゲート導電パターン36bの第2中央部とを接続している。第1ゲート導電パターン36の第1中央部は、第1ゲート導電パターン36の長手方向（第1方向（x方向））において第1ゲート導電パターン36を三等分された部分に分けたときの中央部分で

ある。第2ゲート導電パターン36bの第2中央部は、第2ゲート導電パターン36bの長手方向（第1方向（x方向））において第2ゲート導電パターン36bを三等分された部分に分けたときの中央部分である。

[0169] プリント配線基板30は、第2コレクタ導電パターン35fをさらに含む。第2コレクタ導電パターン35fは、銅またはアルミニウムのような金属で形成されている。第2コレクタ導電パターン35fは、絶縁基板31の主面31b上に設けられている。第2コレクタ導電パターン35fは、第3ゲート導電パターン36cに対して、絶縁基板31の縁31fに近位している。第2コレクタ導電パターン35fは、第3ゲート導電パターン36cに対して、絶縁基板31の縁31eから遠位している。第2コレクタ導電パターン35fは、第3ゲート導電パターン36cに対して、第1電極端子42、第2電極端子44及び第2導電パッド37から遠位している。

[0170] 第1コレクタ導電パターン35は、第3ゲート導電パターン36cに対して、絶縁基板31の縁31eに近位している。第1コレクタ導電パターン35は、第3ゲート導電パターン36cに対して、絶縁基板31の縁31fから遠位している。第1コレクタ導電パターン35は、第1電極端子42、第2電極端子44及び第2導電パッド37に近位している。第1コレクタ導電パターン35は、第3ゲート導電パターン36cに対して、第1電極端子42及び第2電極端子44に近位している。第1コレクタ導電パターン35と第2コレクタ導電パターン35fとは、第1ゲート導電パターン36、第2ゲート導電パターン36b及び第3ゲート導電パターン36cから離間されており、かつ、第1ゲート導電パターン36、第2ゲート導電パターン36b及び第3ゲート導電パターン36cから電氣的に絶縁されている。

[0171] 第2コレクタ導電パターン35fは、導電ポスト40eに接続されている。導電ポスト40eは、プリント配線基板30を貫通している。導電ポスト40eは、導電回路パターン13と第2コレクタ導電パターン35fとに電氣的に接続されている。導電ポスト40eは、はんだのような導電接合部材（図示せず）を用いて、導電回路パターン13に固定されている。導電ポス

ト40eは、はんだのような導電接合部材（図示せず）を用いて、第2コレクタ導電パターン35fと第1導電パッド34eとに固定されている。

[0172] 本実施の形態のパワー半導体モジュール1fは、実施の形態2のパワー半導体モジュール1eと同様の以下の効果を奏する。

[0173] 本実施の形態のパワー半導体モジュール1fでは、プリント配線基板30は、第1ゲート導電パターン36の第1中央部と第2ゲート導電パターン36bの第2中央部とを接続する第3ゲート導電パターン36cをさらに含む。そのため、パワー半導体モジュール1fの電力容量を増加させることができるとともに、パワー半導体モジュール1fの寿命を延ばすことができる。

[0174] 実施の形態4.

図39から図44を参照して、実施の形態4のパワー半導体モジュール1gを説明する。本実施の形態のパワー半導体モジュール1gは、実施の形態1のパワー半導体モジュール1と同様の構成を備えるが、以下の点で主に異なる。

[0175] プリント配線基板30は、第1導電パッド34（図6を参照）に代えて、第2エミッタ導電パターン72を含む。パワー半導体モジュール1gは、導電ブロック74（図42を参照）とゲート端子70（図39を参照）とをさらに備える。

[0176] 第1コレクタ導電パターン35と第2エミッタ導電パターン72と第1ゲート導電パターン36とは、絶縁基板31の主面31a上に設けられている。第1ゲート導電パターン36が設けられている絶縁基板31の主面31aが、導電回路パターン13に面している。第1ゲート導電パターン36が設けられている絶縁基板31の主面31aが、絶縁板12の主面12aに対向している。第1コレクタ導電パターン35と第2エミッタ導電パターン72と第1ゲート導電パターン36とは、互いに離間されており、かつ、互いに電氣的に絶縁されている。第2エミッタ導電パターン72は、銅またはアルミニウムのような金属で形成されている。

[0177] 第1エミッタ導電パターン33と第2導電パッド37とは、絶縁基板31

の主面 31b 上に設けられている。第 1 エミッタ導電パターン 33 と第 2 導電パッド 37 とは、互いに離間されており、かつ、互いに電氣的に絶縁されている。

[0178] 図 4 3 及び図 4 4 に示されるように、第 1 コレクタ導電パターン 35 は、第 1 コレクタ導電パターン 35 の長手方向（第 1 方向（x 方向））に沿って延在する第 3 縁 35a を含む。第 1 コレクタ導電パターン 35 の第 3 縁 35a は、絶縁基板 31 の縁 31c に近位する第 1 コレクタ導電パターン 35 の縁である。絶縁基板 31 の主面 31b の平面視において、第 1 コレクタ導電パターン 35 の第 3 縁 35a は、絶縁基板 31 の縁 31c に沿って配置されている。第 1 コレクタ導電パターン 35 の第 3 縁 35a は、絶縁基板 31 の長手方向（第 1 方向（x 方向））に延在している。

[0179] 第 1 コレクタ導電パターン 35 の第 3 縁 35a に、第 3 縁 35a から後退している第 3 後退部 35r が設けられている。第 3 後退部 35r によって第 1 コレクタ導電パターン 35 から露出した絶縁基板 31 の主面 31a 上に、第 2 エミッタ導電パターン 72 と第 1 ゲート導電パターン 36 とが配置されている。絶縁基板 31 の主面 31b の平面視において、第 1 ゲート導電パターン 36 は、第 2 エミッタ導電パターン 72 より、第 1 コレクタ導電パターン 35 の第 3 縁 35a に近位している。絶縁基板 31 の主面 31b の平面視において、第 1 ゲート導電パターン 36 は、第 2 エミッタ導電パターン 72 より、第 1 エミッタ導電パターン 33 の第 1 縁 33a に近位している。絶縁基板 31 の主面 31b の平面視において、第 1 ゲート導電パターン 36 は、第 2 エミッタ導電パターン 72 より、絶縁基板 31 の縁 31c に近位している。

[0180] 図 4 2 に示されるように、第 1 コレクタ導電パターン 35 は、第 1 導電ビア 38 に接続されている。第 1 導電ビア 38 は、絶縁基板 31 を貫通している。第 1 導電ビア 38 は、第 1 コレクタ導電パターン 35 と第 2 導電パッド 37 とを電氣的に接続している。導電ブロック 74 は、第 1 コレクタ導電パターン 35 と導電回路パターン 13 とを電氣的に接続している。導電ブロッ

ク 7 4 は、プリント配線基板 3 0 を支持している。具体的には、導電ブロック 7 4 は、はんだのような導電接合部材（図示せず）を用いて、第 1 コレクタ導電パターン 3 5 と導電回路パターン 1 3 とに固定されている。

[0181] 図 4 1 に示されるように、第 1 エミッタ導電パターン 3 3 は、導電ポスト 4 0 に接続されている。導電ポスト 4 0 は、プリント配線基板 3 0 を貫通している。導電ポスト 4 0 は、第 1 エミッタ導電パターン 3 3 と第 2 エミッタ導電パターン 7 2 とに電氣的に接続されている。パワー半導体素子 2 0 a, 2 0 b, 2 0 c のエミッタ電極 2 2 は、第 2 エミッタ導電パターン 7 2 に電氣的に接続されている。具体的には、パワー半導体素子 2 0 a, 2 0 b, 2 0 c のエミッタ電極 2 2 は、はんだ、金属微粒子焼結体または導電性接着剤のような導電接合部材 2 5 を用いて、第 2 エミッタ導電パターン 7 2 に接合されている。

[0182] 図 3 9、図 4 3 及び図 4 4 に示されるように、絶縁基板 3 1 の主面 3 1 b の平面視において、パワー半導体素子 2 0 a, 2 0 b, 2 0 c のゲート電極 2 3 は、絶縁基板 3 1（プリント配線基板 3 0）に覆われている。絶縁基板 3 1 の主面 3 1 b の平面視において、ゲート端子 7 0 は、絶縁基板 3 1（プリント配線基板 3 0）から露出している。ゲート端子 7 0 は、例えば、ベース板 1 1 上に載置された絶縁ブロック（図示せず）上に設けられている。ゲート端子 7 0 は、例えば、銅またはアルミニウムのような金属で形成されている。ゲート端子 7 0 は、第 1 ゲート導電パターン 3 6 に電氣的に接続されている。具体的には、ゲート端子 7 0 は、はんだ、金属微粒子焼結体または導電性接着剤のような導電接合部材（図示せず）を用いて、第 1 ゲート導電パターン 3 6 に接合されている。

[0183] 導電ワイヤ 4 9 は、ゲート端子 7 0 とゲート制御端子 4 8 とにボンディングされている。ゲート端子 7 0 は、導電ワイヤ 4 9 を介して、ゲート制御端子 4 8 に電氣的に接続されている。パワー半導体素子 2 0 a, 2 0 b, 2 0 c のゲート電極 2 3 は、はんだ、金属微粒子焼結体または導電性接着剤のような導電接合部材 2 5 を用いて、第 1 ゲート導電パターン 3 6 に固定されて

いる。

[0184] 第1電極端子42は、はんだのような導電接合部材43を用いて、第1エミッタ導電パターン33に固定されている。第1電極端子42は、第1エミッタ導電パターン33、導電ポスト40及び第2エミッタ導電パターン72を介して、パワー半導体素子20a、20b、20cのエミッタ電極22に電氣的に接続されている。第1電極端子42は、エミッタ電極端子として機能する。

[0185] 第2電極端子44は、はんだのような導電接合部材45を用いて、第2導電パッド37に固定されている。第2電極端子44は、第2導電パッド37及び第1導電ビア38、第1コレクタ導電パターン35及び導電ブロック74を介して、パワー半導体素子20a、20b、20cのコレクタ電極21に電氣的に接続されている。第1電極端子42は、コレクタ電極端子として機能する。

[0186] エミッタ制御端子46は、導電ワイヤ47、第1エミッタ導電パターン33、導電ポスト40、第2エミッタ導電パターン72を介して、パワー半導体素子20a、20b、20cのエミッタ電極22に電氣的に接続されている。ゲート制御端子48は、導電ワイヤ49、ゲート端子70、第1ゲート導電パターン36を介して、パワー半導体素子20a、20b、20cのゲート電極23に電氣的に接続されている。

[0187] 本実施の形態のパワー半導体モジュール1gは、実施の形態1のパワー半導体モジュール1と同様の以下の効果を奏する。

[0188] 本実施の形態のパワー半導体モジュール1gは、絶縁回路基板10と、第1パワー半導体素子（例えば、パワー半導体素子20a）と、第2パワー半導体素子（例えば、パワー半導体素子20c）と、プリント配線基板30とを備える。絶縁回路基板10は、第1主面（主面12a）を含む絶縁板12と、絶縁板12の第1主面上に設けられている導電回路パターン13とを含む。第1パワー半導体素子は、第1エミッタ電極（例えば、パワー半導体素子20aのエミッタ電極22）と、第1ゲート電極（例えば、パワー半導体

素子 20a のゲート電極 23) とを含む。第 2 パワー半導体素子は、第 2 エミッタ電極 (例えば、パワー半導体素子 20c のエミッタ電極 22) と、第 2 ゲート電極 (例えば、パワー半導体素子 20c のゲート電極 23) とを含む。プリント配線基板 30 は、絶縁板 12 の第 1 主面に対向して配置されている。プリント配線基板 30 は、絶縁基板 31 と、第 1 エミッタ導電パターン 33 と、第 1 ゲート導電パターン 36 とを含む。絶縁基板 31 は、第 2 主面 (例えば、主面 31b) と第 2 主面とは反対側の第 3 主面 (例えば、主面 31a) とを含む。第 1 パワー半導体素子及び第 2 パワー半導体素子は、導電回路パターン 13 に固定されている。

[0189] 第 1 エミッタ電極 (例えば、パワー半導体素子 20a のエミッタ電極 22) 及び第 2 エミッタ電極 (例えば、パワー半導体素子 20c のエミッタ電極 22) は、第 1 エミッタ導電パターン 33 に電氣的に接続されている。第 1 ゲート電極 (例えば、パワー半導体素子 20a のゲート電極 23) 及び第 2 ゲート電極 (例えば、パワー半導体素子 20c のゲート電極 23) は、第 1 ゲート導電パターン 36 に電氣的に接続されている。第 1 エミッタ導電パターン 33 は、第 2 主面 (例えば、主面 31b) 上に設けられている。第 1 ゲート導電パターン 36 は、第 3 主面 (例えば、主面 31a) 上に設けられている。第 1 ゲート導電パターン 36 は、第 1 エミッタ導電パターン 33 の第 1 縁 33a に沿って配置されている。第 1 ゲート導電パターン 36 は、絶縁基板 31 の縁 31c に沿って配置されている。

[0190] パワー半導体モジュール 1g は、第 1 パワー半導体素子 (例えば、パワー半導体素子 20a) に加えて、第 2 パワー半導体素子 (例えば、パワー半導体素子 20c) を備えている。そのため、パワー半導体モジュール 1g の電力容量を増加させることができる。

[0191] また、第 1 ゲート導電パターン 36 は、絶縁基板 31 の第 3 主面 (例えば、主面 31a) の平面視において第 1 エミッタ導電パターン 33 の第 1 縁 33a に沿って配置されている。そのため、第 1 パワー半導体素子 (例えば、パワー半導体素子 20a) と第 2 パワー半導体素子 (例えば、パワー半導体

素子 20c) との間のエミッタ電圧の変動の少なくとも一部は、第 1 パワー半導体素子 (例えば、パワー半導体素子 20a) と第 2 パワー半導体素子 (例えば、パワー半導体素子 20c) との間のゲート電圧の変動によって打ち消される。第 1 パワー半導体素子及び第 2 パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール 1g の寿命を延ばすことができる。

[0192] 本実施の形態のパワー半導体モジュール 1g では、第 3 主面 (例えば、主面 31a) は、導電回路パターン 13 に面している。そのため、パワー半導体モジュール 1g の電力容量を増加させることができるとともに、パワー半導体モジュール 1g の寿命を延ばすことができる。

[0193] 実施の形態 5.

図 45 から図 48 を参照して、実施の形態 5 のパワー半導体モジュール 1h を説明する。本実施の形態のパワー半導体モジュール 1h は、実施の形態 1 のパワー半導体モジュール 1 と同様の構成を備えるが、以下の点で主に異なる。

[0194] 図 46 及び図 47 を参照して、プリント配線基板 30 は、絶縁基板 31 の主面 31a と主面 31b との間に配置されている少なくとも一つの内側ゲート導電パターン (例えば、内側ゲート導電パターン 81b, 81c) を含む。少なくとも一つの内側ゲート導電パターンは、複数の内側ゲート導電パターン (例えば、内側ゲート導電パターン 81b, 81c) であってもよい。本実施の形態では、少なくとも一つの内側ゲート導電パターンは、内側ゲート導電パターン 81b, 81c である。内側ゲート導電パターン 81b, 81c は、プリント配線基板 30 の厚さ方向 (z 方向) において、第 1 エミッタ導電パターン 33 と第 1 ゲート導電パターン 36 とから離間されている。少なくとも一つの内側ゲート導電パターン (例えば、内側ゲート導電パターン 81b, 81c) は、銅またはアルミニウムのような金属で形成されている。プリント配線基板 30 は、例えば、多層銅張積層板である。

[0195] 図 45 から図 48 を参照して、少なくとも一つの内側ゲート導電パターン

(例えば、内側ゲート導電パターン81b, 81c)は、複数のパワー半導体素子20a, 20b, 20cの少なくとも一つに対応して設けられている。例えば、内側ゲート導電パターン81bは、パワー半導体素子20bに対応して設けられている。内側ゲート導電パターン81cは、パワー半導体素子20cに対応して設けられている。絶縁基板31の主面31bの平面視において、内側ゲート導電パターン81bは、パワー半導体素子20bに重なってもよい。絶縁基板31の主面31bの平面視において、内側ゲート導電パターン81cは、パワー半導体素子20cに重なってもよい。

[0196] 図46及び図47を参照して、少なくとも一つの内側ゲート導電パターン(例えば、内側ゲート導電パターン81b, 81c)は、第1ゲート導電パターン36に電氣的に接続されている。例えば、内側ゲート導電パターン81bは、導電ビア82bを用いて、第1ゲート導電パターン36に電氣的に接続されている。内側ゲート導電パターン81cは、導電ビア82cを用いて、第1ゲート導電パターン36に電氣的に接続されている。導電ビア82b, 82cは、例えば、銅またはアルミニウムのような金属で形成されている。

[0197] 少なくとも一つの内側ゲート導電パターン(例えば、内側ゲート導電パターン81b, 81c)は、絶縁基板31の主面31bの平面視において第1エミッタ導電パターン33の第1縁33aに沿って配置されている。特定的には、絶縁基板31の主面31bの平面視において、内側ゲート導電パターン81b, 81cは、第1エミッタ導電パターン33の第1縁33aに重なっている。さらに特定的には、絶縁基板31の主面31bの平面視において、内側ゲート導電パターン81b, 81cの短手方向(例えば、第1ゲート導電パターン36の短手方向、第2方向(y方向))における内側ゲート導電パターン81b, 81cの中心線は、第1エミッタ導電パターン33の第1縁33aに重なっている。

[0198] 図45及び図48を参照して、少なくとも一つの内側ゲート導電パターン(例えば、内側ゲート導電パターン81b, 81c)の幅 w_{ig} は、第1エミッ

タ導電パターン33のうち、絶縁基板31の主面31bの平面視において第1ゲート導電パターン36の長手方向（第1方向（x方向））で第1ゲート導電パターン36に対応する第1部分33pの幅 w_{e1} （図6を参照）より小さい。そのため、少なくとも一つの内側ゲート導電パターンの寄生インダクタンスを、第1エミッタ導電パターン33の寄生インダクタンス60, 61（図7を参照）よりも大きくすることができる。少なくとも一つの内側ゲート導電パターンの幅 w_{ig} は、第1エミッタ導電パターン33の第1部分33pの幅 w_{e1} の二分の一以下であってもよく、第1エミッタ導電パターン33の第1部分33pの幅 w_{e1} の三分の一以下であってもよく、第1エミッタ導電パターン33の第1部分33pの幅 w_{e1} の四分の一以下であってもよく、第1エミッタ導電パターン33の第1部分33pの幅 w_{e1} の五分の一以下であってもよい。

[0199] 少なくとも一つの内側ゲート導電パターン（例えば、内側ゲート導電パターン81b, 81c）の幅 w_{ig} は、第1ゲート導電パターン36の第1幅 w_{g1} より大きくてもよい。少なくとも一つの内側ゲート導電パターンの幅 w_{ig} は、第1ゲート導電パターン36の第1幅 w_{g1} に等しくてもよいし、第1ゲート導電パターン36の第1幅 w_{g1} より小さくてもよい。少なくとも一つの内側ゲート導電パターン（例えば、内側ゲート導電パターン81b, 81c）の第1幅 w_{ig} は、少なくとも一つの内側ゲート導電パターンの短手方向（第1ゲート導電パターン36の短手方向、第2方向（y方向））における少なくとも一つの内側ゲート導電パターンの長さとして定義される。

[0200] 少なくとも一つの内側ゲート導電パターン（例えば、内側ゲート導電パターン81b, 81c）は、第1ゲート導電パターン36より、第1エミッタ導電パターン33の近くに配置されている。第1エミッタ導電パターン33を流れる主電流55が少なくとも一つの内側ゲート導電パターンにおいて形成する磁束Φは、主電流55が第1ゲート導電パターン36において形成する磁束Φより大きい。少なくとも一つの内側ゲート導電パターンに発生する第2誘導起電力は、第1ゲート導電パターン36に発生する第2誘導起電力

より大きくなる。

[0201] 図49から図51を参照して、本実施の形態の第1変形例では、プリント配線基板30は、絶縁基板31の主面31aと主面31bとの間に配置されているシールドパターン84をさらに含む。シールドパターン84は、例えば、パワー半導体素子20aに対応して設けられている。絶縁基板31の主面31bの平面視において、シールドパターン84は、パワー半導体素子20aに重なってもよい。シールドパターン84は、第1ゲート導電パターン36から電氣的に絶縁されている。シールドパターン84は、第1エミッタ導電パターン33から電氣的に絶縁されている。

[0202] シールドパターン84は、絶縁基板31の主面31bの平面視において第1エミッタ導電パターン33の第1縁33aに沿って配置されている。特定的には、絶縁基板31の主面31bの平面視において、シールドパターン84は、第1エミッタ導電パターン33の第1縁33aに重なっている。さらに特定的には、絶縁基板31の主面31bの平面視において、シールドパターン84の短手方向（例えば、第1ゲート導電パターン36の短手方向、第2方向（y方向））におけるシールドパターン84の中心線は、第1エミッタ導電パターン33の第1縁33aに重なっている。

[0203] シールドパターン84の幅 w_s は、第1ゲート導電パターン36の第1幅 w_{g1} に等しいまたはより大きい。そのため、シールドパターン84は、第1エミッタ導電パターン33を流れる主電流55が形成する磁束中の少なくとも一部を遮蔽する。シールドパターン84は、シールドパターン84に対応する第1ゲート導電パターン36の部分において磁束Φを減少させる。シールドパターン84は、第1ゲート導電パターン36の当該部分に発生する第2誘導起電力を減少させる。シールドパターン84の幅 w_s は、シールドパターン84の短手方向（第1ゲート導電パターン36の短手方向、第2方向（y方向））におけるシールドパターン84の長さとして定義される。

[0204] シールドパターン84の幅 w_s は、少なくとも一つの内側ゲート導電パターン（例えば、内側ゲート導電パターン81b, 81c）の幅 w_{ig} （図48を参

照) に等しくてもよい。シールドパターン 84 の幅 w_s は、少なくとも一つの内側ゲート導電パターンの幅 w_{ig} より大きくてもよい。シールドパターン 84 の幅 w_s は、第 1 エミッタ導電パターン 33 のうち、絶縁基板 31 の主面 31b の平面視において第 1 ゲート導電パターン 36 の長手方向 (第 1 方向 (x 方向)) で第 1 ゲート導電パターン 36 に対応する第 1 部分 33p の幅 w_{e1} (図 6 を参照) より小さい。

[0205] 図 5 2 を参照して、本実施の形態の第 2 変形例では、少なくとも一つの内側ゲート導電パターンは、第 1 パワー半導体素子 (例えば、パワー半導体素子 20b) に対応して設けられている第 1 内側ゲート導電パターン (例えば、内側ゲート導電パターン 81b) と、第 2 パワー半導体素子 (例えば、パワー半導体素子 20c) に対応して設けられている第 2 内側ゲート導電パターン (例えば、内側ゲート導電パターン 81c) とを含む。第 2 主面 (例えば、主面 31a) と第 3 主面 (例えば、主面 31b) とが互いに離間されている方向 (絶縁基板 31 の厚さ方向、z 方向) において、第 1 エミッタ導電パターン 33 と第 1 内側ゲート導電パターンとの間の第 1 距離は、第 1 エミッタ導電パターン 33 と第 2 内側ゲート導電パターンとの間の第 2 距離と異なっている。

[0206] 例えば、第 2 主面 (例えば、主面 31a) と第 3 主面 (例えば、主面 31b) とが互いに離間されている方向 (絶縁基板 31 の厚さ方向、z 方向) において、第 1 エミッタ導電パターン 33 と第 1 内側ゲート導電パターン (例えば、内側ゲート導電パターン 81b) との間の第 1 距離は、第 1 エミッタ導電パターン 33 と第 2 内側ゲート導電パターン (例えば、内側ゲート導電パターン 81c) との間の第 2 距離より大きい。第 1 内側ゲート導電パターンは、内側ゲート導電パターン 81c より遠くに配置されている。第 1 エミッタ導電パターン 33 を流れる主電流 55 が第 1 内側ゲート導電パターンにおいて形成する磁束 Φ は、主電流 55 が第 2 内側ゲート導電パターンにおいて形成する磁束 Φ より小さい。第 1 内側ゲート導電パターンに発生する第 2 誘導起電力は、第 2 内側ゲート導電パターンに発生する第 2 誘導起電力より

小さくなる。

[0207] 本実施の形態のパワー半導体モジュール1 hは、実施の形態1のパワー半導体モジュール1の効果に加えて、以下の効果を奏する。

[0208] 本実施の形態のパワー半導体モジュール1 hでは、プリント配線基板30は、絶縁基板31の第2主面（例えば、主面31 a）と第3主面（例えば、主面31 b）との間に配置されている少なくとも一つの内側ゲート導電パターン（例えば、内側ゲート導電パターン81 b, 81 c）を含む。少なくとも一つの内側ゲート導電パターンは、第1パワー半導体素子（例えば、パワー半導体素子20 b）または第2パワー半導体素子（例えば、パワー半導体素子20 c）の少なくとも一つに対応して設けられている。少なくとも一つの内側ゲート導電パターンは、第1ゲート導電パターン36に電氣的に接続されている。少なくとも一つの内側ゲート導電パターンは、絶縁基板31の第3主面の平面視においてエミッタ導電パターン（第1エミッタ導電パターン33）の第1縁33 aに沿って配置されている。

[0209] そのため、少なくとも一つの内側ゲート導電パターン（例えば、内側ゲート導電パターン81 b, 81 c）は、第1ゲート導電パターン36より、第1エミッタ導電パターン33の近くに配置されている。少なくとも一つの内側ゲート導電パターンに発生する第2誘導起電力は増加し得る。第1パワー半導体素子と第2パワー半導体素子との間のエミッタ電圧の変動が第1パワー半導体素子と第2パワー半導体素子との間のゲート電圧の変動によってより適切に打ち消されるように、第1パワー半導体素子と第2パワー半導体素子との間のゲート電圧は調整され得る。第1パワー半導体素子及び第2パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1 hの寿命を延ばすことができる。

[0210] 本実施の形態のパワー半導体モジュール1 hでは、少なくとも一つの内側ゲート導電パターン（例えば、内側ゲート導電パターン81 b）は、第1パワー半導体素子（例えば、パワー半導体素子20 b）に対応して設けられている。プリント配線基板30は、絶縁基板31の第2主面（例えば、主面3

1 a) と第3主面（例えば、主面3 1 b)）との間に配置されているシールドパターン8 4 をさらに含む。シールドパターン8 4 は、第2パワー半導体素子（例えば、パワー半導体素子2 0 a)）に対応して設けられている。シールドパターン8 4 は、第1ゲート導電パターン3 6 から電氣的に絶縁されている。シールドパターン8 4 は、絶縁基板3 1 の第3主面の平面視においてエミッタ導電パターン（第1エミッタ導電パターン3 3)）の第1縁3 3 a)に沿って配置されている。

[0211] シールドパターン8 4 は、シールドパターン8 4 に対応する第1ゲート導電パターン3 6 の部分において、第1エミッタ導電パターン3 3 を流れる主電流5 5 が形成する磁束中を減少させる。シールドパターン8 4 は、第1ゲート導電パターン3 6 の当該部分に発生する第2誘導起電力を減少させる。第1パワー半導体素子と第2パワー半導体素子との間のエミッタ電圧の変動が第1パワー半導体素子と第2パワー半導体素子との間のゲート電圧の変動によってより適切に打ち消されるように、第1パワー半導体素子と第2パワー半導体素子との間のゲート電圧は調整され得る。第1パワー半導体素子及び第2パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1 hの寿命を延ばすことができる。

[0212] 本実施の形態のパワー半導体モジュール1 hでは、少なくとも一つの内側ゲート導電パターンは、第1パワー半導体素子（例えば、パワー半導体素子2 0 b)）に対応して設けられている第1内側ゲート導電パターン（例えば、内側ゲート導電パターン8 1 b)）と、第2パワー半導体素子（例えば、パワー半導体素子2 0 c)）に対応して設けられている第2内側ゲート導電パターン（例えば、内側ゲート導電パターン8 1 c)）とを含む。第2主面（例えば、主面3 1 a)）と第3主面（例えば、主面3 1 b)）とが互いに離間されている方向（絶縁基板3 1 の厚さ方向、z方向）において、エミッタ導電パターン（第1エミッタ導電パターン3 3)）と第1内側ゲート導電パターンとの間の第1距離は、エミッタ導電パターンと第2内側ゲート導電パターンとの間の第2距離と異なっている。

[0213] そのため、第1パワー半導体素子と第2パワー半導体素子との間のエミッタ電圧の変動が第1パワー半導体素子と第2パワー半導体素子との間のゲート電圧の変動によってより適切に打ち消されるように、第1パワー半導体素子と第2パワー半導体素子との間のゲート電圧は調整され得る。第1パワー半導体素子及び第2パワー半導体素子のコレクターエミッタ間電流が急増することが防止される。パワー半導体モジュール1hの寿命を延ばすことができる。

[0214] 実施の形態6.

本実施の形態は、上述した実施の形態1から実施の形態5のパワー半導体モジュール1、1e、1f、1g、1hを電力変換装置に適用したものである。本開示は特定の電力変換装置に限定されるものではないが、以下、実施の形態5として、三相のインバータに本開示のパワー半導体モジュール1、1e、1f、1g、1hを適用した場合について説明する。

[0215] 図53に示す電力変換システムは、電源100、電力変換装置200、負荷300から構成される。電源100は、直流電源であり、電力変換装置200に直流電力を供給する。電源100は、特に限定されないが、例えば、直流系統、太陽電池または蓄電池で構成されてもよいし、交流系統に接続された整流回路またはAC/DCコンバータで構成されてもよい。電源100は、直流系統から出力される直流電力を別の直流電力に変換するDC/DCコンバータによって構成されてもよい。

[0216] 電力変換装置200は、電源100と負荷300の間に接続された三相のインバータであり、電源100から供給された直流電力を交流電力に変換し、負荷300に交流電力を供給する。電力変換装置200は、図53に示されるように、直流電力を交流電力に変換して出力する主変換回路201と、主変換回路201を制御する制御信号を主変換回路201に出力する制御回路203とを備えている。

[0217] 負荷300は、電力変換装置200から供給された交流電力によって駆動される三相の電動機である。なお、負荷300は特定の用途に限られるもの

ではなく、各種電気機器に搭載された電動機であり、例えば、ハイブリッド自動車や電気自動車、鉄道車両、エレベーター、もしくは、空調機器向けの電動機として用いられる。

[0218] 以下、電力変換装置200の詳細を説明する。主変換回路201は、スイッチング素子（図示せず）と還流ダイオード（図示せず）を備えている。スイッチング素子が電源100から供給される電圧をスイッチングすることによって、主変換回路201は、電源100から供給される直流電力を交流電力に変換して、負荷300に供給する。主変換回路201の具体的な回路構成は種々のものがあるが、本実施の形態の主変換回路201は2レベルの三相フルブリッジ回路であり、6つのスイッチング素子とそれぞれのスイッチング素子に逆並列された6つの還流ダイオードとから構成され得る。主変換回路201の各スイッチング素子の少なくともいずれかは、上述した実施の形態1から実施の形態5のいずれかのパワー半導体モジュール1, 1e, 1f, 1g, 1hに相当する半導体装置202が有するスイッチング素子である。6つのスイッチング素子は2つのスイッチング素子ごとに直列接続され上下アームを構成し、各上下アームはフルブリッジ回路の各相（U相、V相、W相）を構成する。そして、各上下アームの出力端子、すなわち主変換回路201の3つの出力端子は、負荷300に接続される。

[0219] また、主変換回路201は、各スイッチング素子を駆動する駆動回路（図示せず）を備えている。駆動回路は、半導体装置202に内蔵されていてもよいし、半導体装置202の外部に設けられてもよい。駆動回路は、主変換回路201のスイッチング素子を駆動する駆動信号を生成して、主変換回路201のスイッチング素子の制御電極に駆動信号を供給する。具体的には、制御回路203からの制御信号に従い、スイッチング素子をオン状態にする駆動信号とスイッチング素子をオフ状態にする駆動信号とを各スイッチング素子の制御電極に出力する。スイッチング素子をオン状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以上の電圧信号（オン信号）であり、スイッチング素子をオフ状態に維持する場合、駆動信号はスイッチング素

子の閾値電圧以下の電圧信号（オフ信号）となる。

- [0220] 制御回路203は、負荷300に電力が供給されるように主変換回路201のスイッチング素子を制御する。具体的には、負荷300に供給すべき電力に基づいて主変換回路201の各スイッチング素子がオン状態となるべき時間（オン時間）を算出する。例えば、負荷300に出力すべき電圧に応じてスイッチング素子のオン時間を変調するPWM制御によって、主変換回路201を制御することができる。そして、各時点においてオン状態となるべきスイッチング素子にはオン信号を、オフ状態となるべきスイッチング素子にはオフ信号が出力されるよう、主変換回路201が備える駆動回路に制御指令（制御信号）を出力する。駆動回路は、この制御信号に従い、各スイッチング素子の制御電極にオン信号又はオフ信号を駆動信号として出力する。
- [0221] 本実施の形態の電力変換装置では、主変換回路201を構成する半導体装置202として、実施の形態1から実施の形態5のいずれかのパワー半導体モジュール1、1e、1f、1g、1hが適用される。そのため、電力変換装置の電力容量を増加させるとともに、電力変換装置の寿命を延ばすことができる。
- [0222] 本実施の形態では、2レベルの三相インバータに本開示を適用する例を説明したが、本開示は、これに限られるものではなく、種々の電力変換装置に適用することができる。本実施の形態では2レベルの電力変換装置としたが、3レベルの電力変換装置またはマルチレベルの電力変換装置であってもよいし、電力変換装置が単相負荷に電力を供給する場合には、単相のインバータに本開示が適用されてもよい。電力変換装置が直流負荷等に電力を供給する場合には、DC／DCコンバータまたはAC／DCコンバータに本開示が適用され得る。
- [0223] 本開示を適用した電力変換装置は、上述した負荷が電動機の場合に限定されるものではなく、例えば、放電加工機やレーザー加工機、又は誘導加熱調理器や非接触給電システムの電源装置として用いることもでき、さらには太陽光発電システムや蓄電システム等のパワーコンディショナーとして用いる

ことも可能である。

[0224] 今回開示された実施の形態1から実施の形態6及びそれらの変形例はすべての点で例示であって制限的なものではないと考えられるべきである。矛盾のない限り、今回開示された実施の形態1から実施の形態6及びそれらの変形例の少なくとも2つを組み合わせてもよい。本開示の範囲は、上記した説明ではなく請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることを意図される。

符号の説明

[0225] 1, 1 e, 1 f, 1 g, 1 h パワー半導体モジュール、10 絶縁回路基板、11 ベース板、12 絶縁板、12 a 主面、13 導電回路パターン、15, 25, 43, 45 導電接合部材、20 a, 20 b, 20 c, 20 d, 20 e, 20 f パワー半導体素子、21 コレクタ電極、22 エミッタ電極、23 ゲート電極、30 プリント配線基板、31 絶縁基板、31 a, 31 b 主面、31 c, 31 d, 31 e, 31 f 縁、33 第1エミッタ導電パターン、33 a 第1縁、33 b 第2縁、33 h 第1後退部、33 j 第2後退部、33 p 第1部分、33 q 第2部分、33 s 第1スリット、33 t 第2スリット、34, 34 e 第1導電パッド、35 第1コレクタ導電パターン、35 a 第3縁、35 f 第2コレクタ導電パターン、35 r 第3後退部、36 第1ゲート導電パターン、36 b 第2ゲート導電パターン、36 c 第3ゲート導電パターン、37 第2導電パッド、38 第1導電ビア、40, 40 e 導電ポスト、42 第1電極端子、44 第2電極端子、46 エミッタ制御端子、47, 49, 50, 50 e 導電ワイヤ、48 ゲート制御端子、55, 55 b 主電流、60, 61, 65, 66 寄生インダクタンス、62, 63 第1誘導起電力、67, 68 第2誘導起電力、70 ゲート端子、72 第2エミッタ導電パターン、74 導電ブロック、81 b, 81 c 内側ゲート導電パターン、82 b, 82 c 導電ビア、84 シールドパターン、100 電源、200 電力変換装置、201 主変換回路、202 半導体装置

、 2 0 3 制御回路、 3 0 0 負荷。

請求の範囲

- [請求項1] 第1主面を含む絶縁板と、前記第1主面上に設けられている導電パターンとを含む絶縁回路基板と、
- 第1エミッタ電極と、第1ゲート電極とを含む第1パワー半導体素子と、
- 第2エミッタ電極と、第2ゲート電極とを含む第2パワー半導体素子と、
- 前記第1主面に対向して配置されているプリント配線基板とを備え、
- 前記プリント配線基板は、絶縁基板と、エミッタ導電パターンと、第1ゲート導電パターンとを含み、
- 前記絶縁基板は、第2主面と、前記第2主面とは反対側の第3主面とを含み、
- 前記第1パワー半導体素子及び前記第2パワー半導体素子は、前記導電パターンに固定されており、
- 前記第1エミッタ電極及び前記第2エミッタ電極は、前記エミッタ導電パターンに電氣的に接続されており、
- 前記第1ゲート電極及び前記第2ゲート電極は、前記第1ゲート導電パターンに電氣的に接続されており、
- 前記エミッタ導電パターンは、前記第2主面上に設けられており、
- 前記第1ゲート導電パターンは、前記第3主面上に設けられており、かつ、前記第3主面の平面視において前記エミッタ導電パターンの第1縁に沿って配置されている、パワー半導体モジュール。
- [請求項2] 前記第1ゲート導電パターンの第1長手方向に垂直な断面における、前記第1ゲート導電パターンと前記エミッタ導電パターンとの間の第1最大距離は、3.0mm以下である、請求項1に記載のパワー半導体モジュール。
- [請求項3] 前記第3主面の前記平面視において、前記第1ゲート導電パターン

の第1短手方向における第1中心線と前記エミッタ導電パターンとの間の第2最大距離は、前記絶縁基板の厚さの7倍以下である、請求項1または請求項2に記載のパワー半導体モジュール。

[請求項4] 前記第3主面の前記平面視において、前記第1ゲート導電パターンと前記エミッタ導電パターンとの間の第3最大距離は、前記絶縁基板の厚さの5倍以下である、請求項1から請求項3のいずれか一項に記載のパワー半導体モジュール。

[請求項5] 前記第3主面の前記平面視において、前記第1ゲート導電パターンは、前記エミッタ導電パターンの前記第1縁に重なっている、請求項1または請求項2に記載のパワー半導体モジュール。

[請求項6] 前記第3主面の前記平面視において、前記第1ゲート導電パターンの短手方向における前記第1ゲート導電パターンの中心線は、前記エミッタ導電パターンの前記第1縁に重なっている、請求項5に記載のパワー半導体モジュール。

[請求項7] 前記エミッタ導電パターンに、前記エミッタ導電パターンの前記第1縁に沿う第1スリットが設けられている、請求項1から請求項6のいずれか一項に記載のパワー半導体モジュール。

[請求項8] 前記第1ゲート導電パターンの第1幅は、前記エミッタ導電パターンのうち、前記エミッタ導電パターンの前記第1縁と前記第1スリットとの間の第1領域の第2幅より広い、請求項7に記載のパワー半導体モジュール。

[請求項9] 前記エミッタ導電パターンの前記第1縁に、前記第1縁から後退している少なくとも一つの第1後退部が設けられている、請求項1から請求項6のいずれか一項に記載のパワー半導体モジュール。

[請求項10] 前記少なくとも一つの第1後退部は、複数の第1後退部であり、
前記複数の第1後退部は、前記第1パワー半導体素子と前記第2パワー半導体素子とに対応するように、前記エミッタ導電パターンの前記第1縁に設けられている、請求項9に記載のパワー半導体モジュール。

ル。

- [請求項11] 前記エミッタ導電パターンの前記第1縁と前記第1ゲート導電パターンとは、前記第1パワー半導体素子及び前記第2パワー半導体素子に沿って配置されている、請求項1から請求項10のいずれか一項に記載のパワー半導体モジュール。
- [請求項12] 前記第2主面は、前記導電パターンに面している、請求項1から請求項11のいずれか一項に記載のパワー半導体モジュール。
- [請求項13] 前記第3主面は、前記導電パターンに面している、請求項1から請求項11のいずれか一項に記載のパワー半導体モジュール。
- [請求項14] 前記第1ゲート導電パターンの第1幅は、前記エミッタ導電パターンのうち、前記第3主面の前記平面視において前記第1ゲート導電パターンの第1長手方向で前記第1ゲート導電パターンに対応する第1部分の幅より小さい、請求項1に記載のパワー半導体モジュール。
- [請求項15] 第3エミッタ電極と、第3ゲート電極とを含む第3パワー半導体素子と、
第4エミッタ電極と、第4ゲート電極とを含む第4パワー半導体素子とをさらに備え、
前記プリント配線基板は、前記第1ゲート導電パターンに電氣的に接続されている第2ゲート導電パターンをさらに含み、
前記第3パワー半導体素子及び前記第4パワー半導体素子は、前記導電パターンに固定されており、
前記第3エミッタ電極及び前記第4エミッタ電極は、前記エミッタ導電パターンに電氣的に接続されており、
前記第3ゲート電極及び前記第4ゲート電極は、前記第2ゲート導電パターンに電氣的に接続されており、
前記第2ゲート導電パターンは、前記第3主面上に設けられており、かつ、前記第3主面の前記平面視において、前記第1縁とは反対側の前記エミッタ導電パターンの第2縁に沿って配置されている、請求

項 1 から請求項 1 4 のいずれか一項に記載のパワー半導体モジュール。
。

[請求項16] 前記プリント配線基板は、前記第 1 ゲート導電パターンの第 1 端と前記第 2 ゲート導電パターンの第 2 端とを接続する第 3 ゲート導電パターンをさらに含む、請求項 1 5 に記載のパワー半導体モジュール。

[請求項17] 前記プリント配線基板は、前記第 2 主面と前記第 3 主面との間に配置されている少なくとも一つの内側ゲート導電パターンを含み、

前記少なくとも一つの内側ゲート導電パターンは、前記第 1 パワー半導体素子または前記第 2 パワー半導体素子の少なくとも一つに対応して設けられており、前記第 1 ゲート導電パターンに電氣的に接続されており、かつ、前記第 3 主面の前記平面視において前記エミッタ導電パターンの前記第 1 縁に沿って配置されている、請求項 1 から請求項 1 6 のいずれか一項に記載のパワー半導体モジュール。

[請求項18] 前記少なくとも一つの内側ゲート導電パターンは、前記第 1 パワー半導体素子に対応して設けられており、

前記プリント配線基板は、前記第 2 主面と前記第 3 主面との間に配置されているシールドパターンをさらに含む、

前記シールドパターンは、前記第 2 パワー半導体素子に対応して設けられており、前記第 1 ゲート導電パターンから電氣的に絶縁されており、かつ、前記第 3 主面の前記平面視において前記エミッタ導電パターンの前記第 1 縁に沿って配置されている、請求項 1 7 に記載のパワー半導体モジュール。

[請求項19] 前記少なくとも一つの内側ゲート導電パターンは、前記第 1 パワー半導体素子に対応して設けられている第 1 内側ゲート導電パターンと、前記第 2 パワー半導体素子に対応して設けられている第 2 内側ゲート導電パターンとを含み、

前記第 2 主面と前記第 3 主面とが互いに離間されている方向において、前記エミッタ導電パターンと前記第 1 内側ゲート導電パターンと

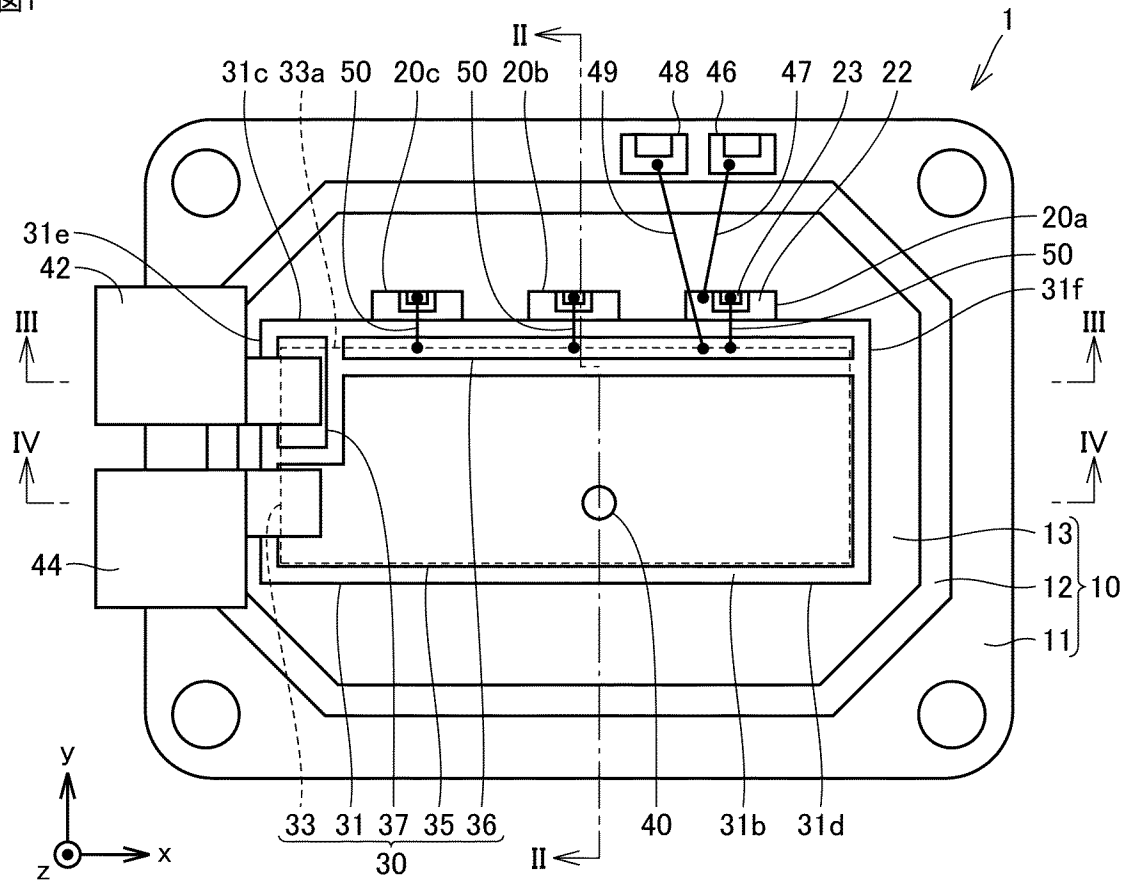
の間の第1距離は、前記エミッタ導電パターンと前記第2内側ゲート導電パターンとの間の第2距離と異なっている、請求項17に記載のパワー半導体モジュール。

[請求項20] 請求項1から請求項19のいずれか一項に記載の前記パワー半導体モジュールを有し、入力される電力を変換して出力する主変換回路と、

前記主変換回路を制御する制御信号を前記主変換回路に出力する制御回路とを備える、電力変換装置。

[図1]

図1



[図2]

図2

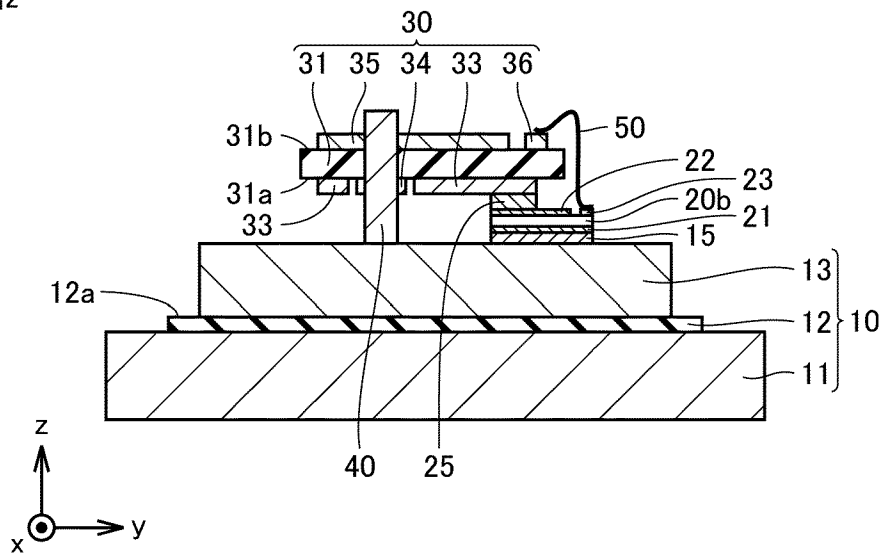
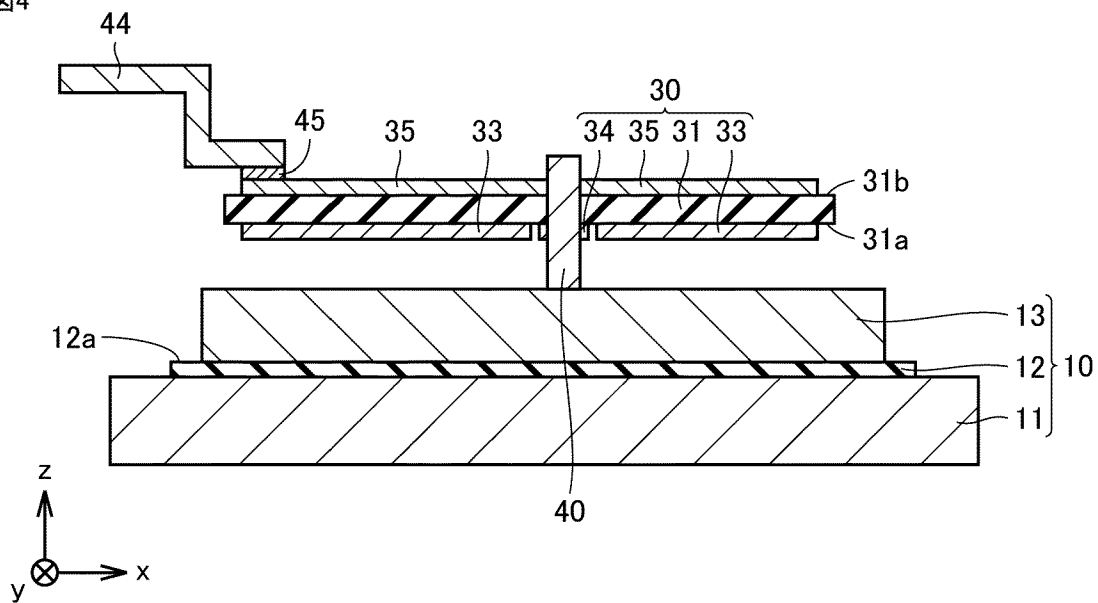


图3

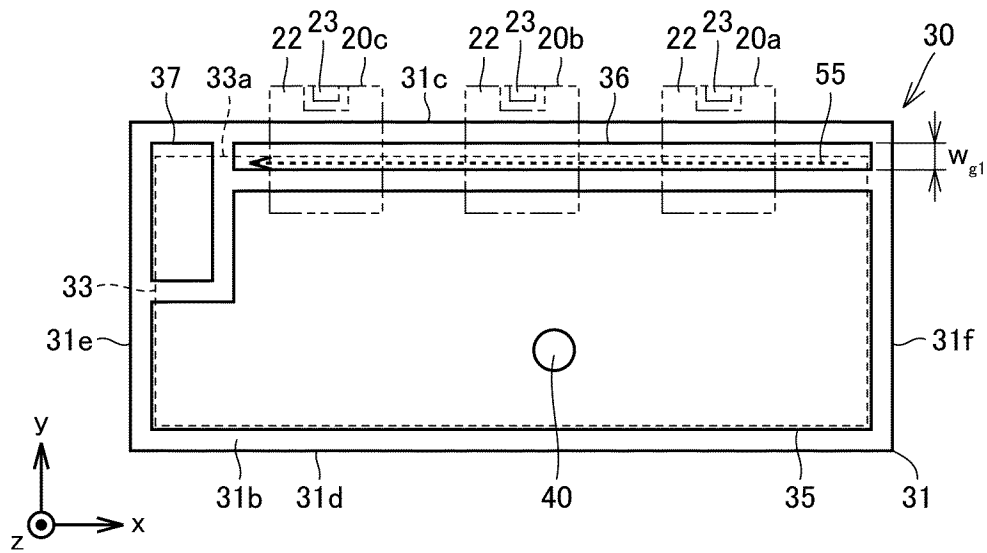


图4



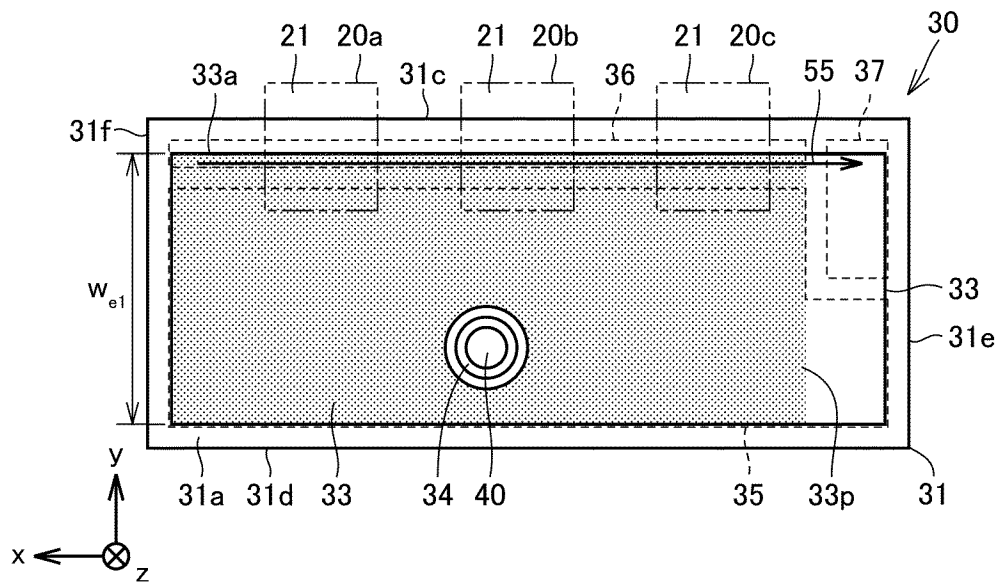
[図5]

図5



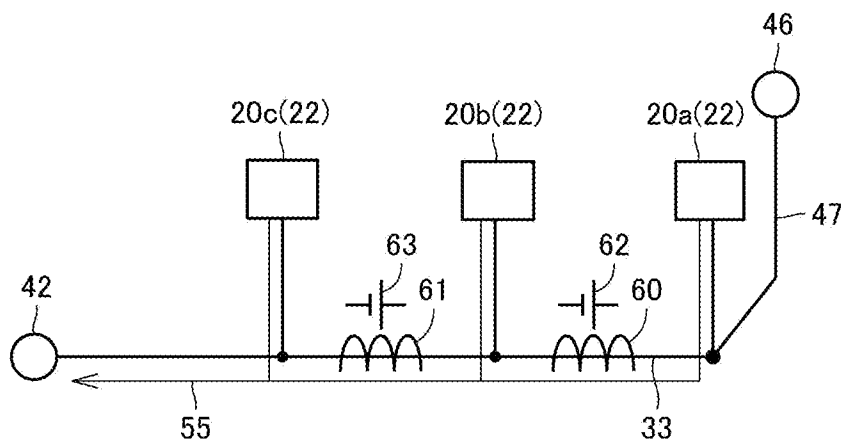
[図6]

図6



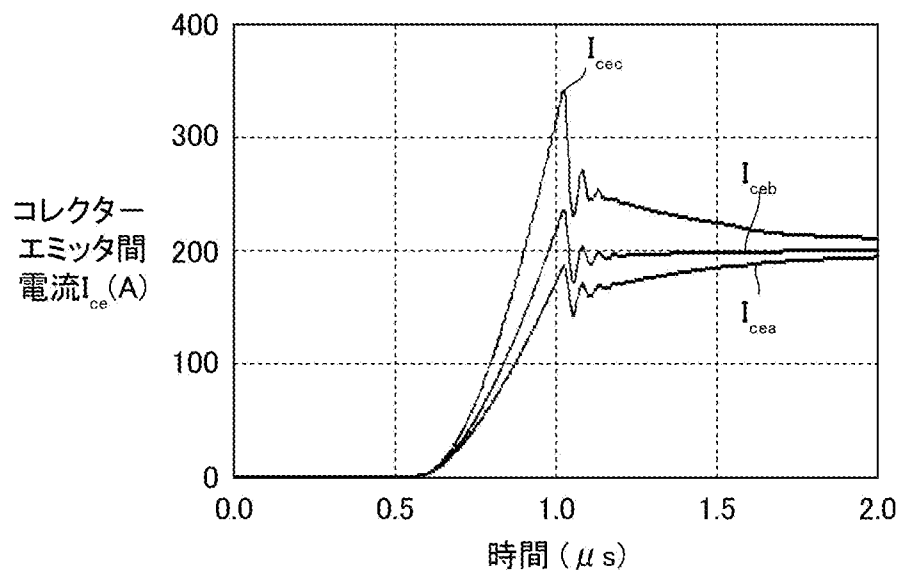
[図7]

図7



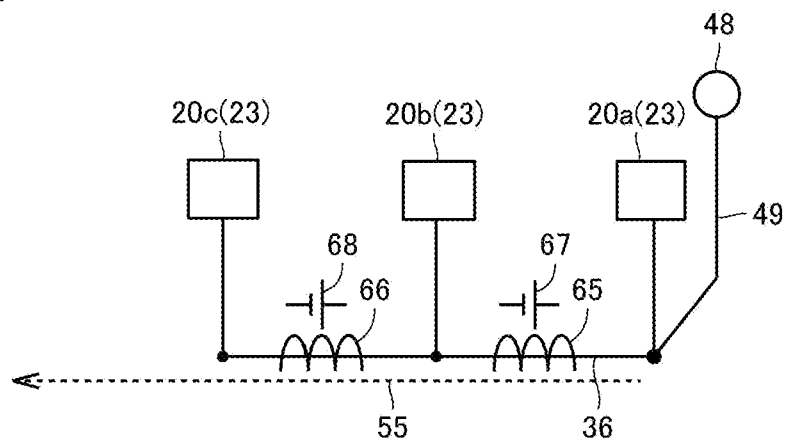
[図8]

図8



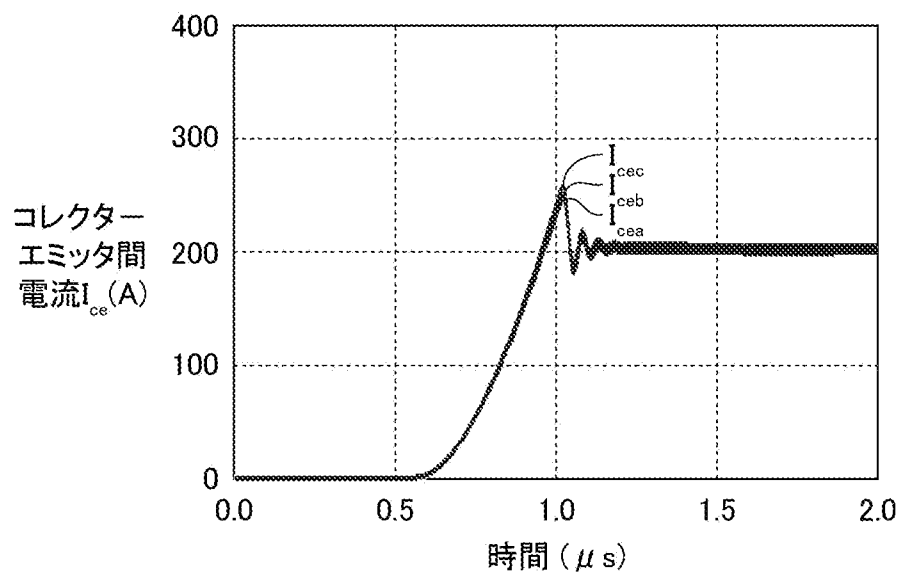
[図9]

図9



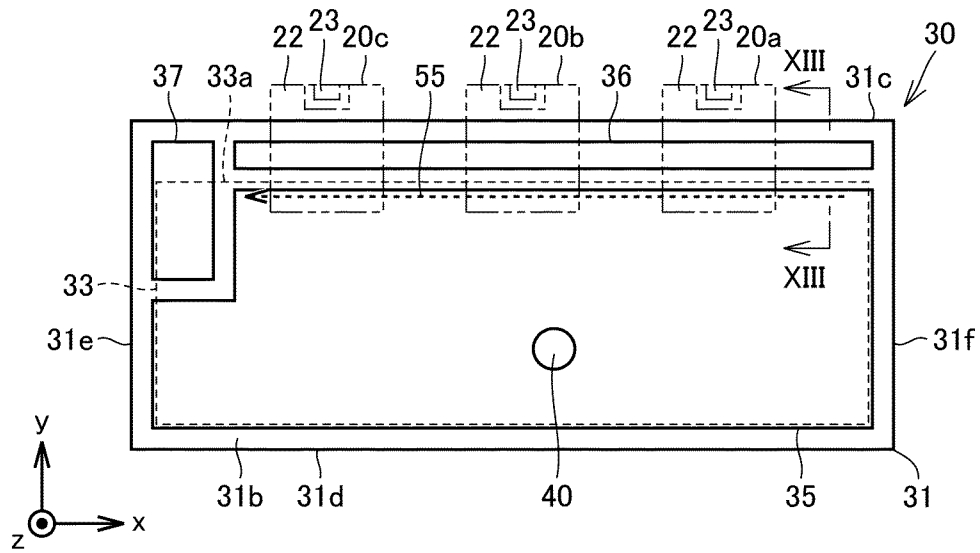
[図10]

図10



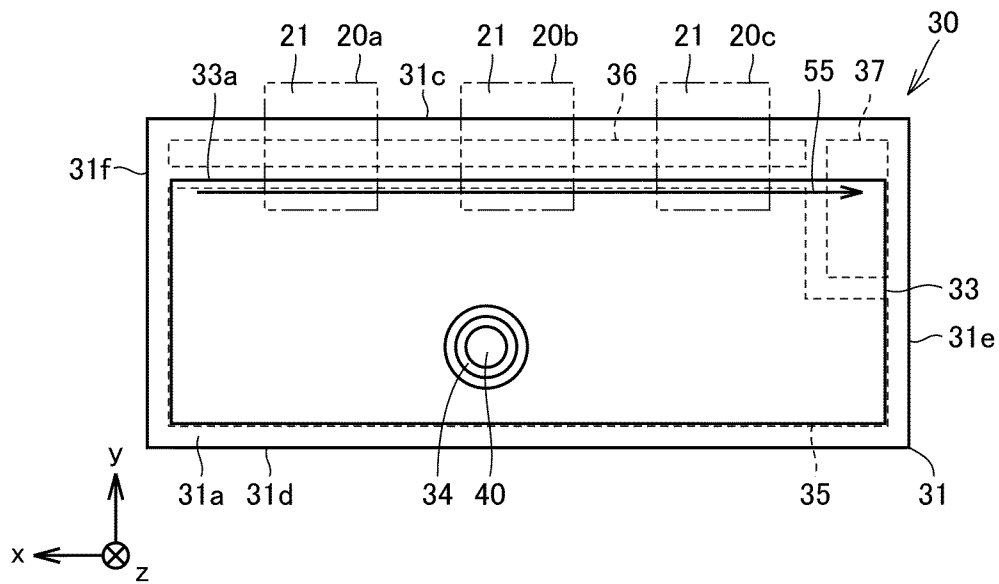
[図11]

図11



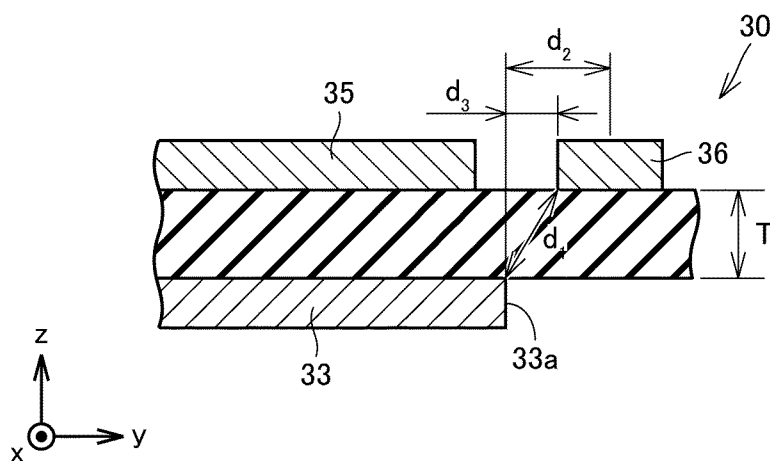
[図12]

図12



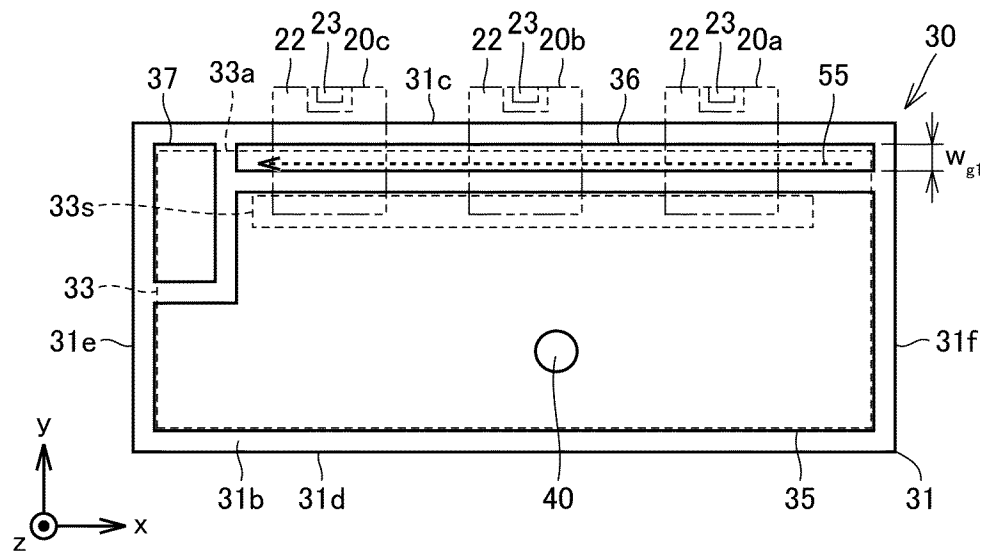
[図13]

図13



[図14]

図14



[図15]

図15

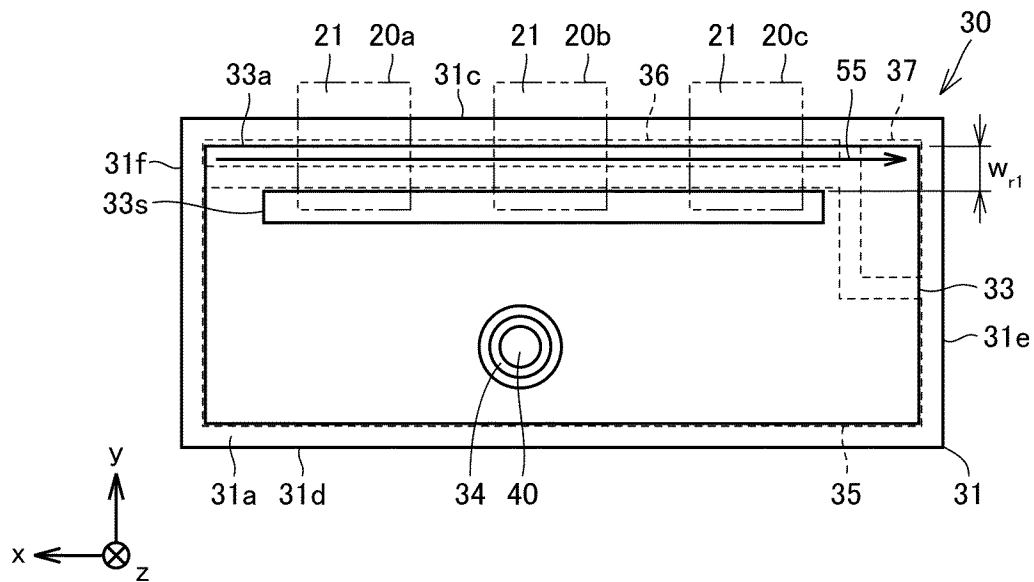
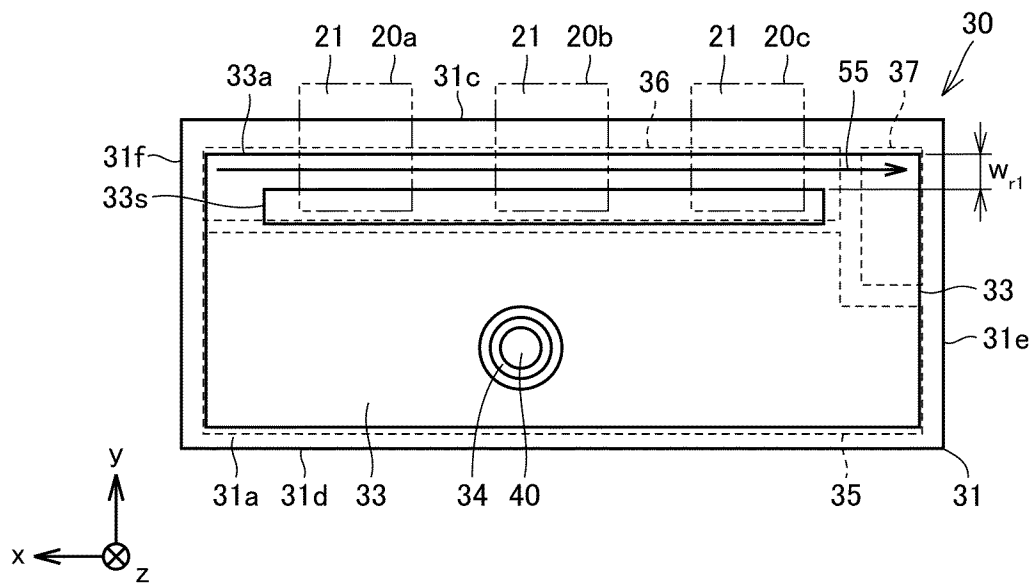
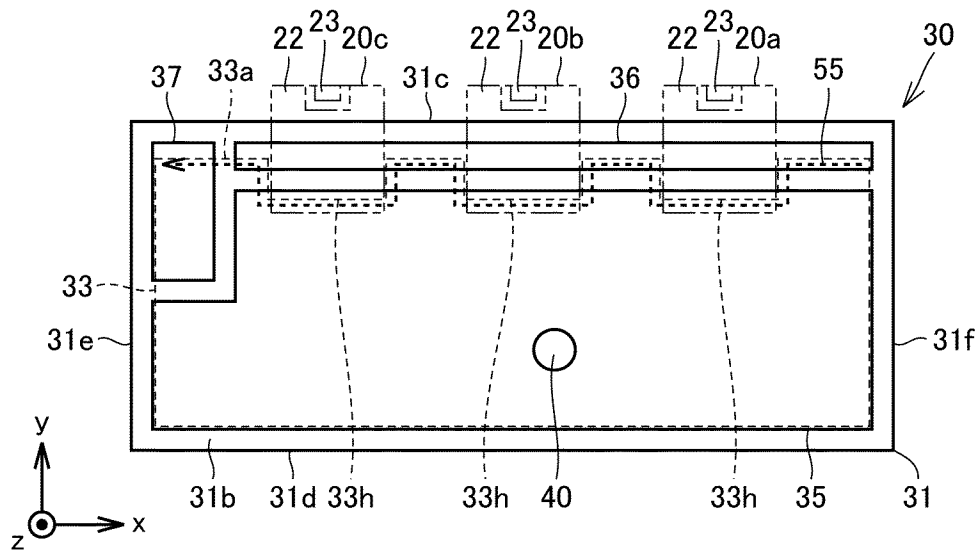


图 16



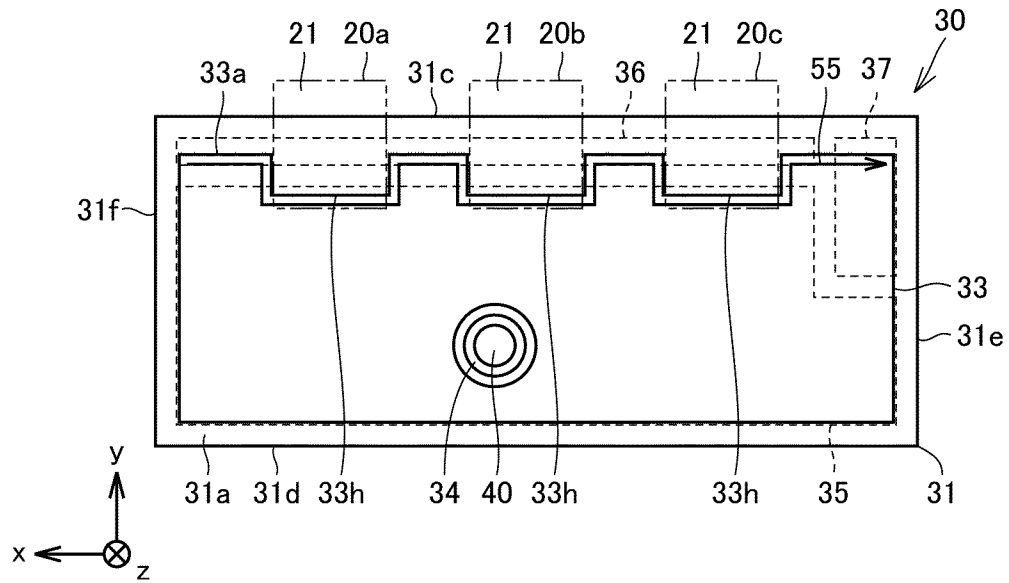
[図18]

図18



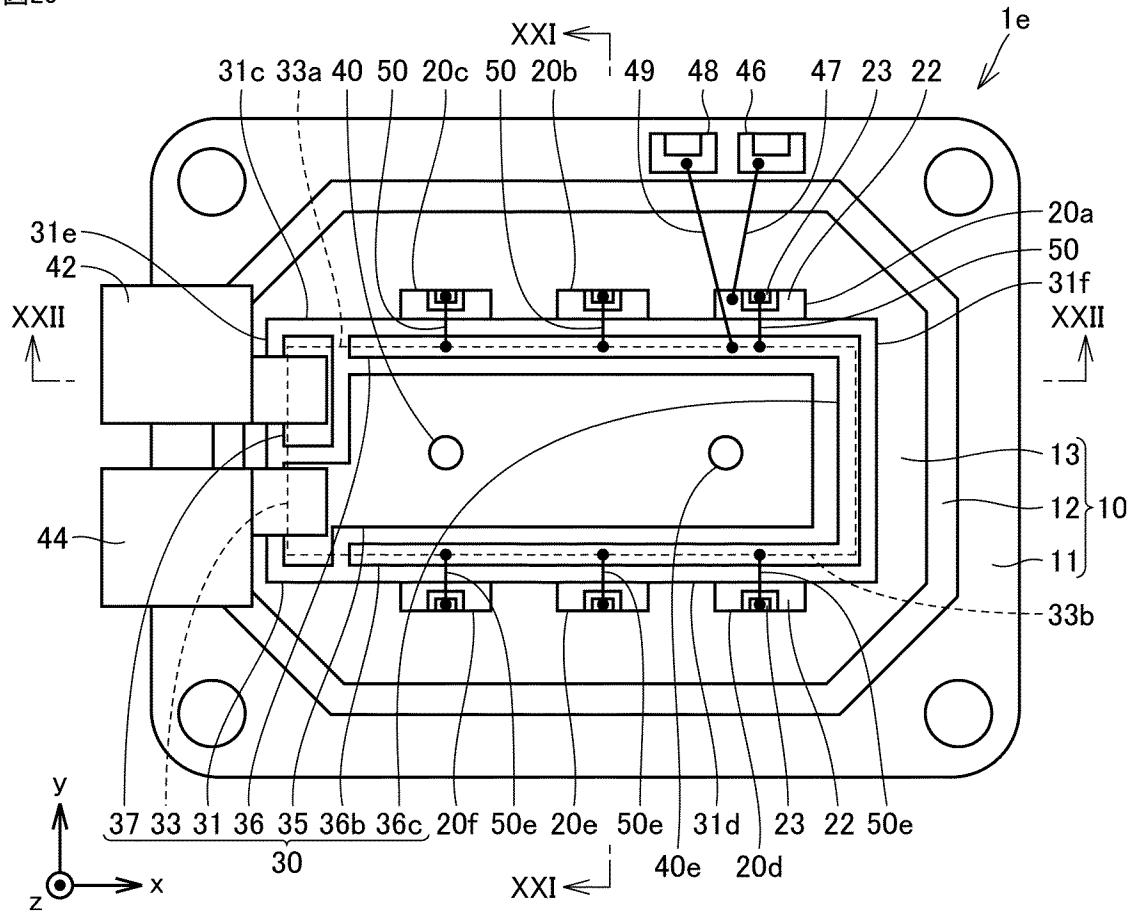
[図19]

図19



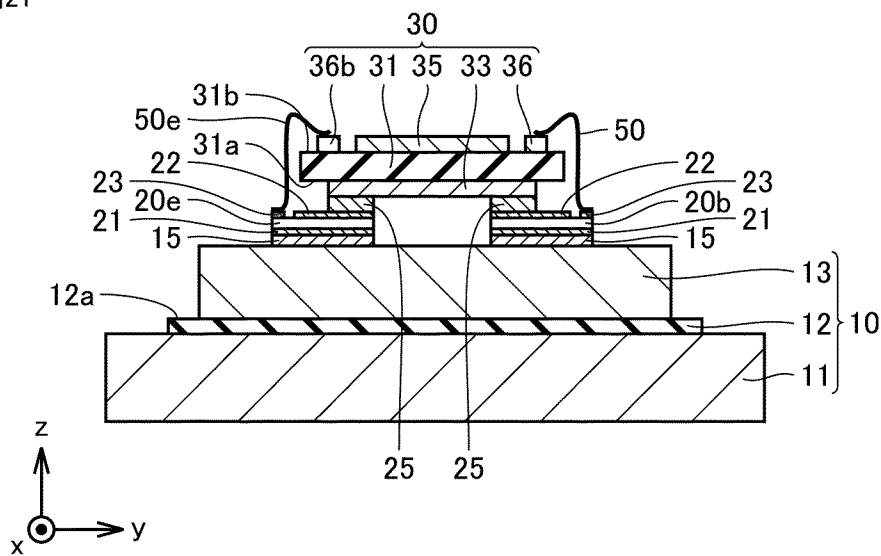
[図20]

図20



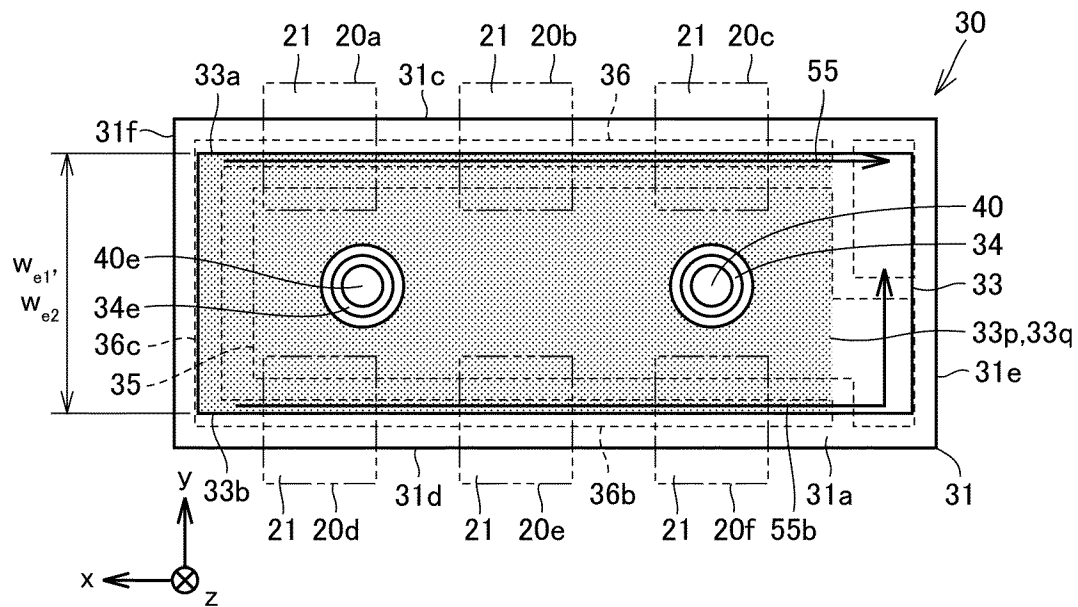
[図21]

図21



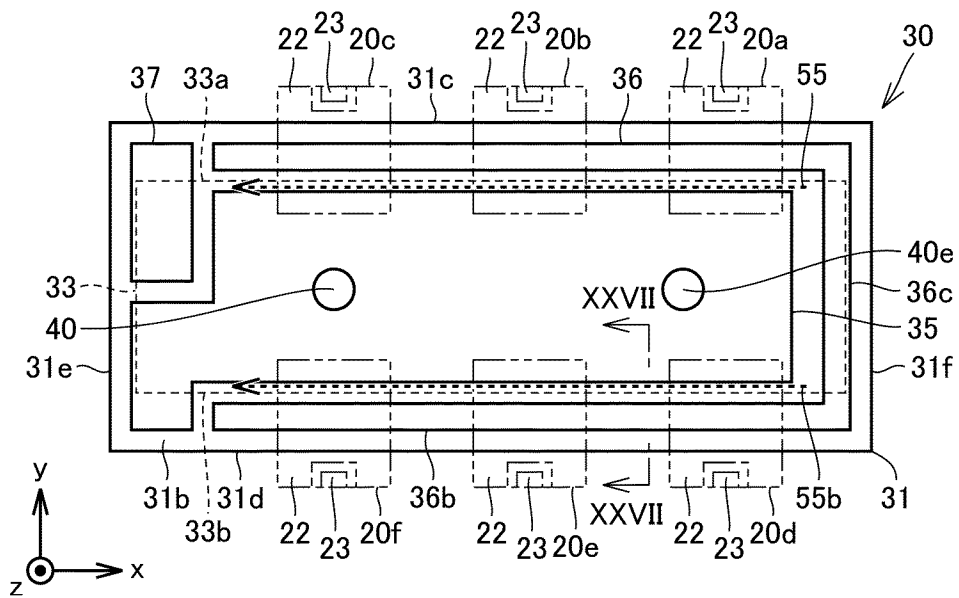
[図24]

図24



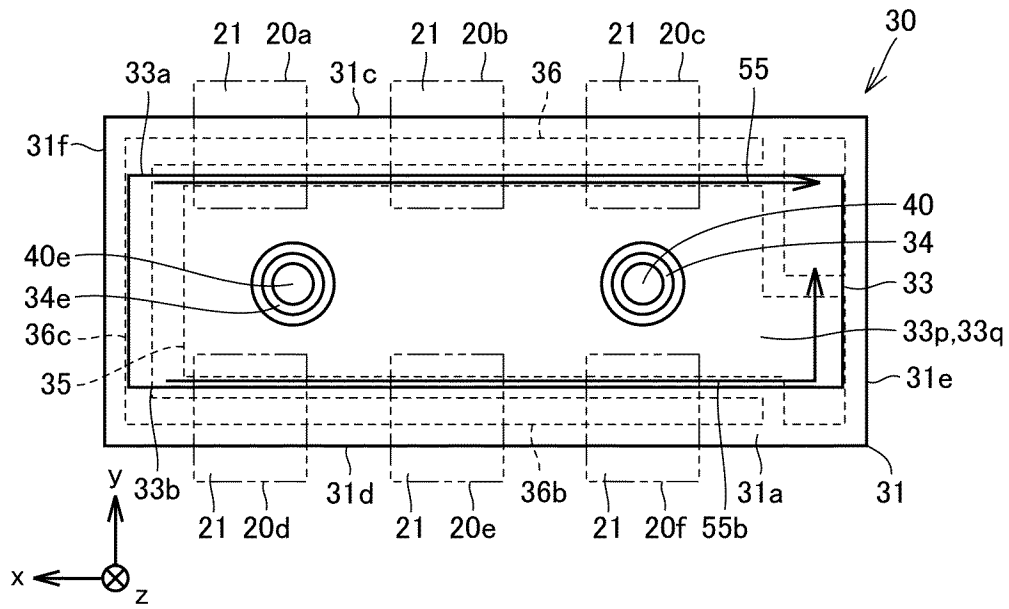
[図25]

図25



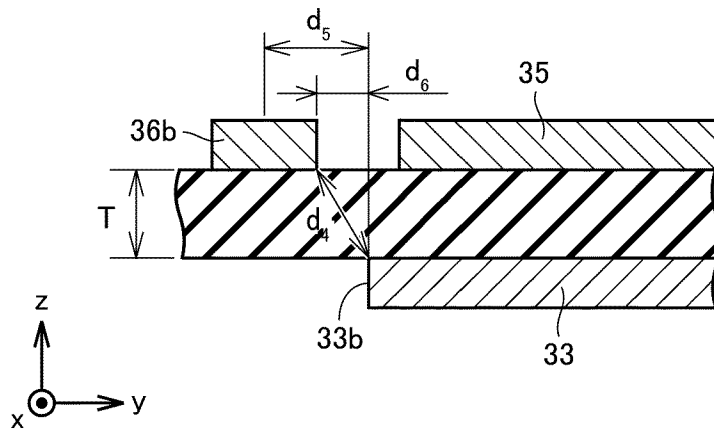
[図26]

図26



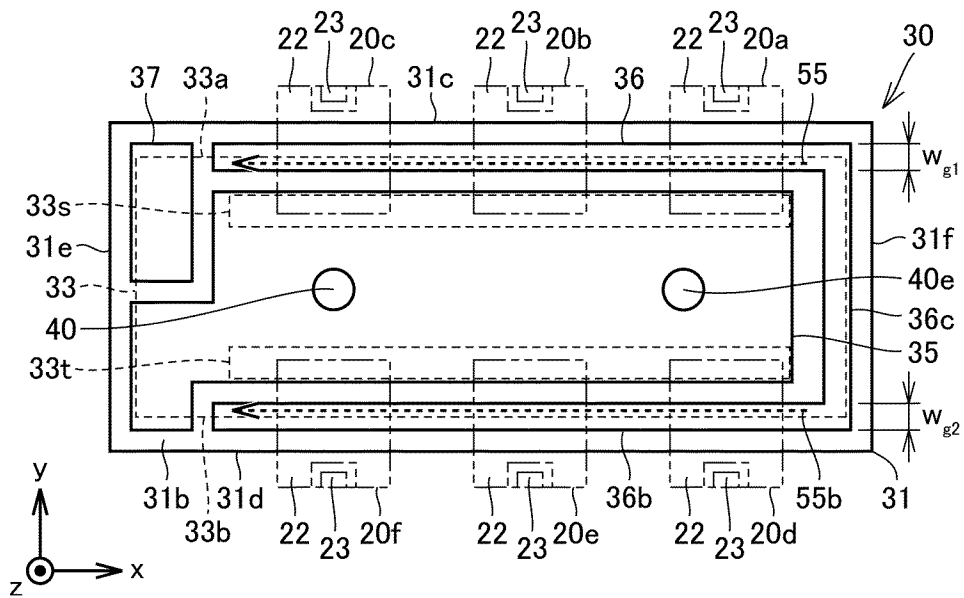
[図27]

図27



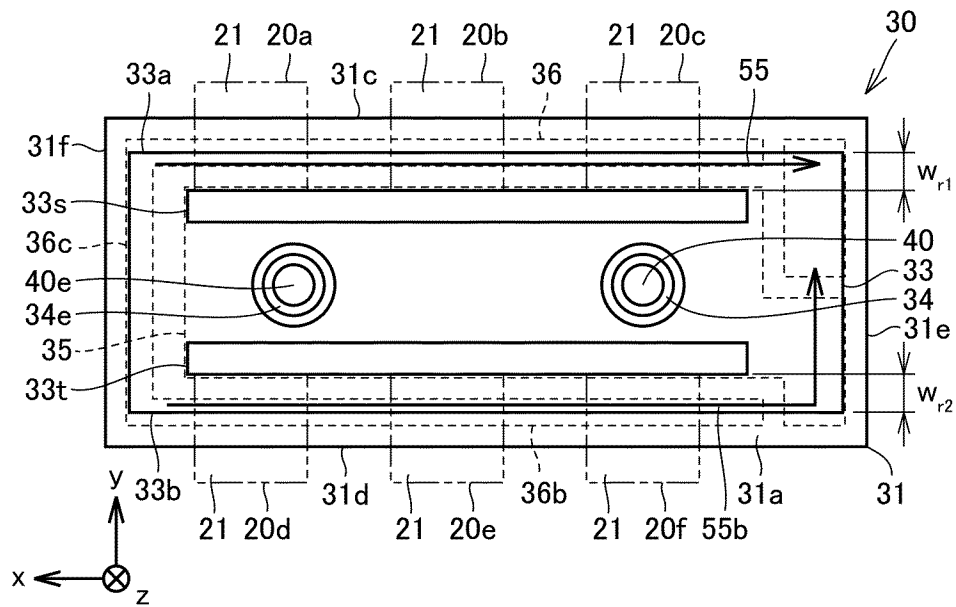
[図28]

図28



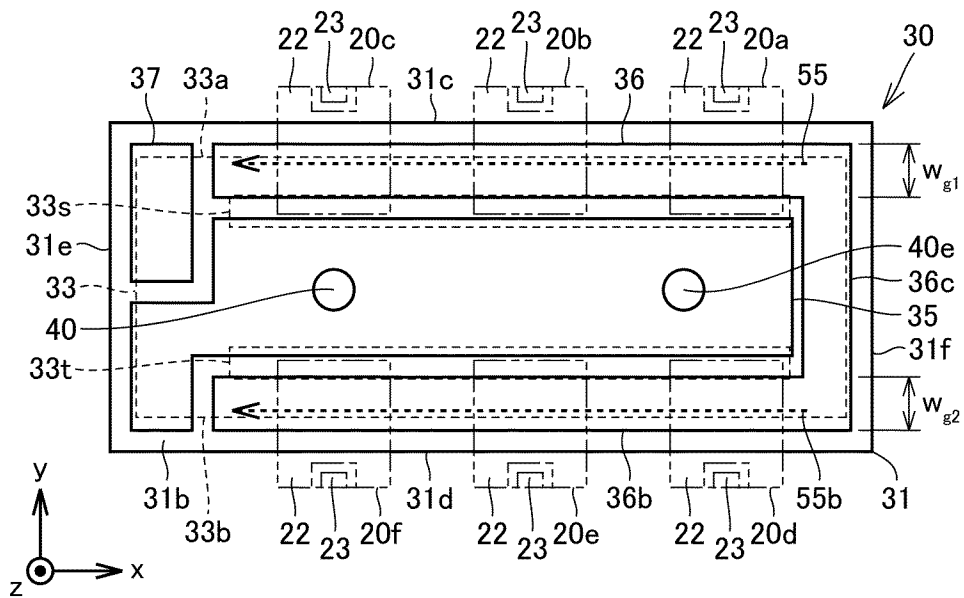
[図29]

図29



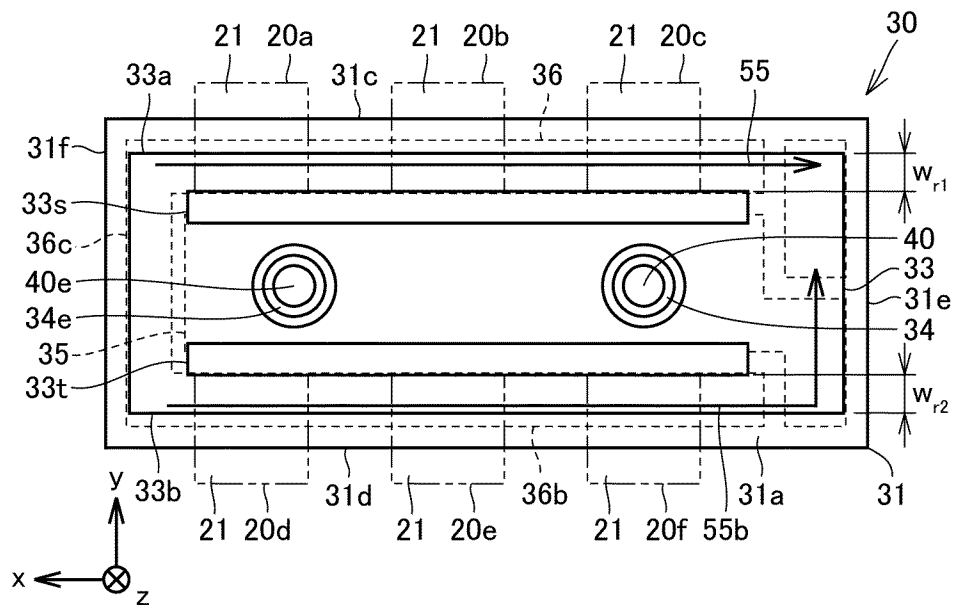
[図30]

図30



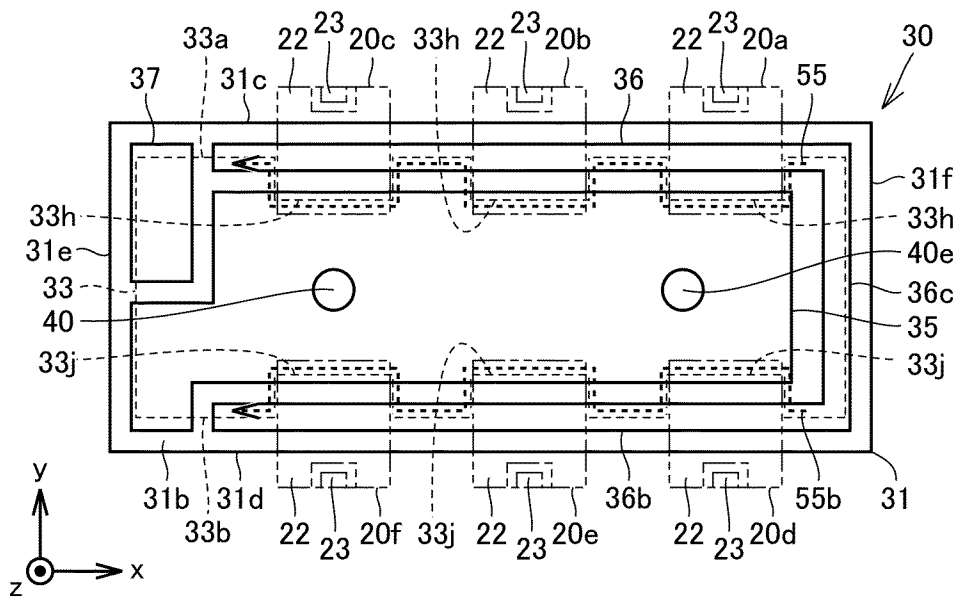
[図31]

図31



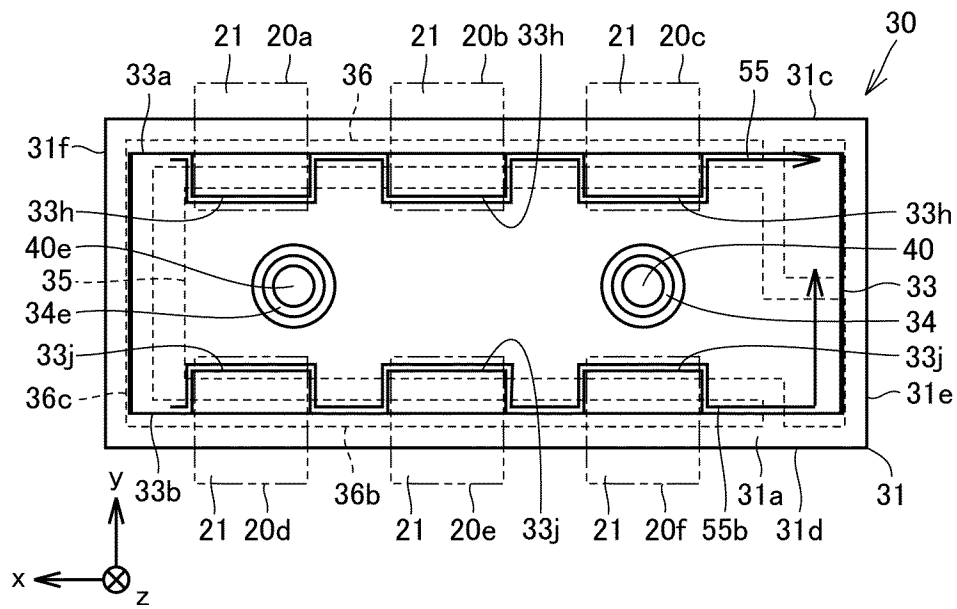
[図32]

図32



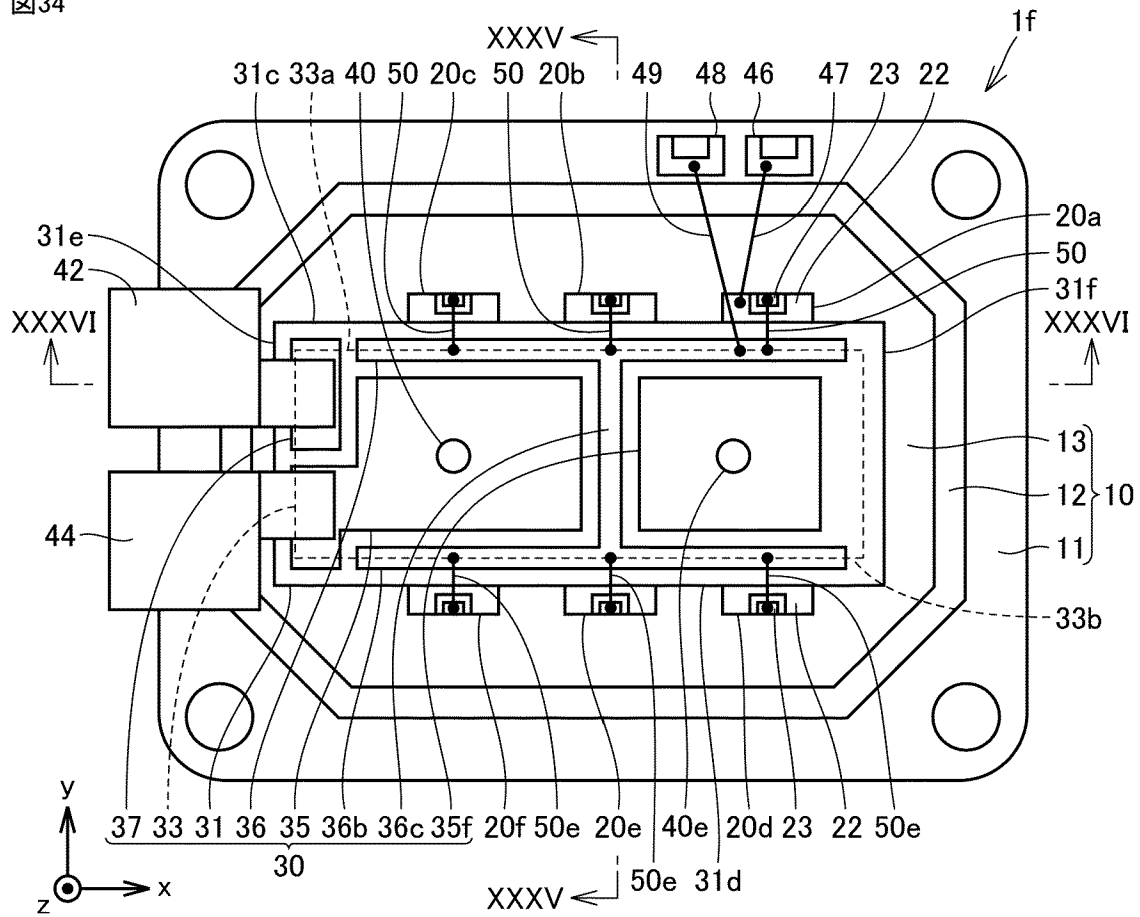
[図33]

図33



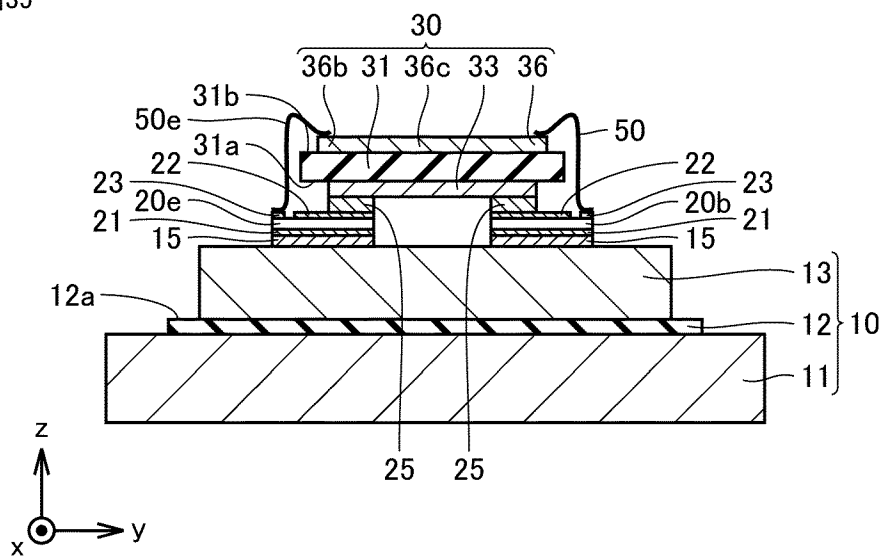
[図34]

図34



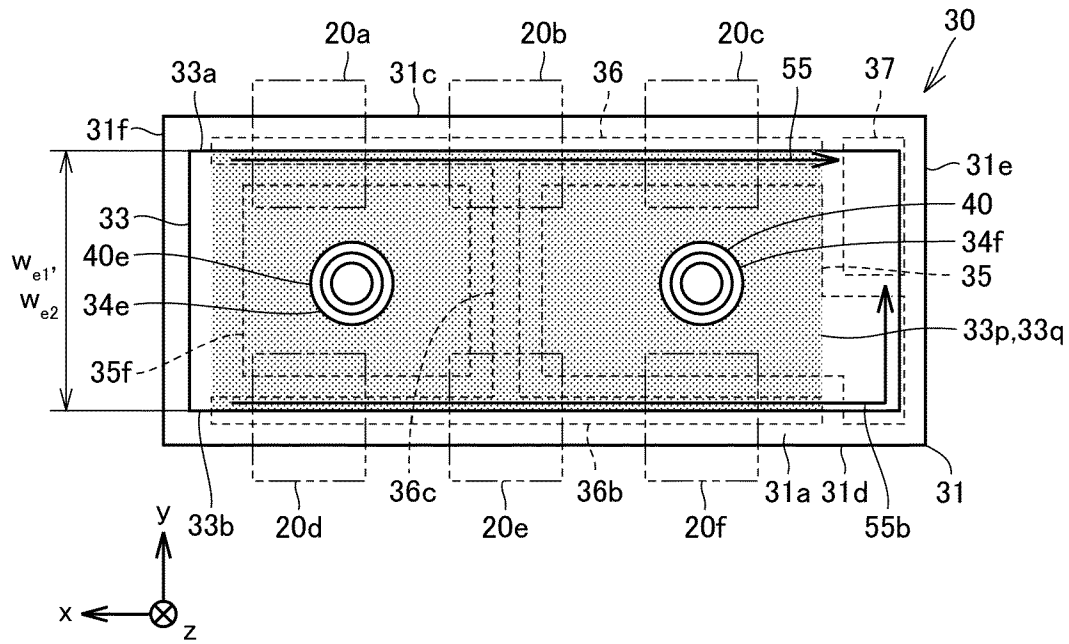
[図35]

図35



[図38]

図38



[図39]

図39

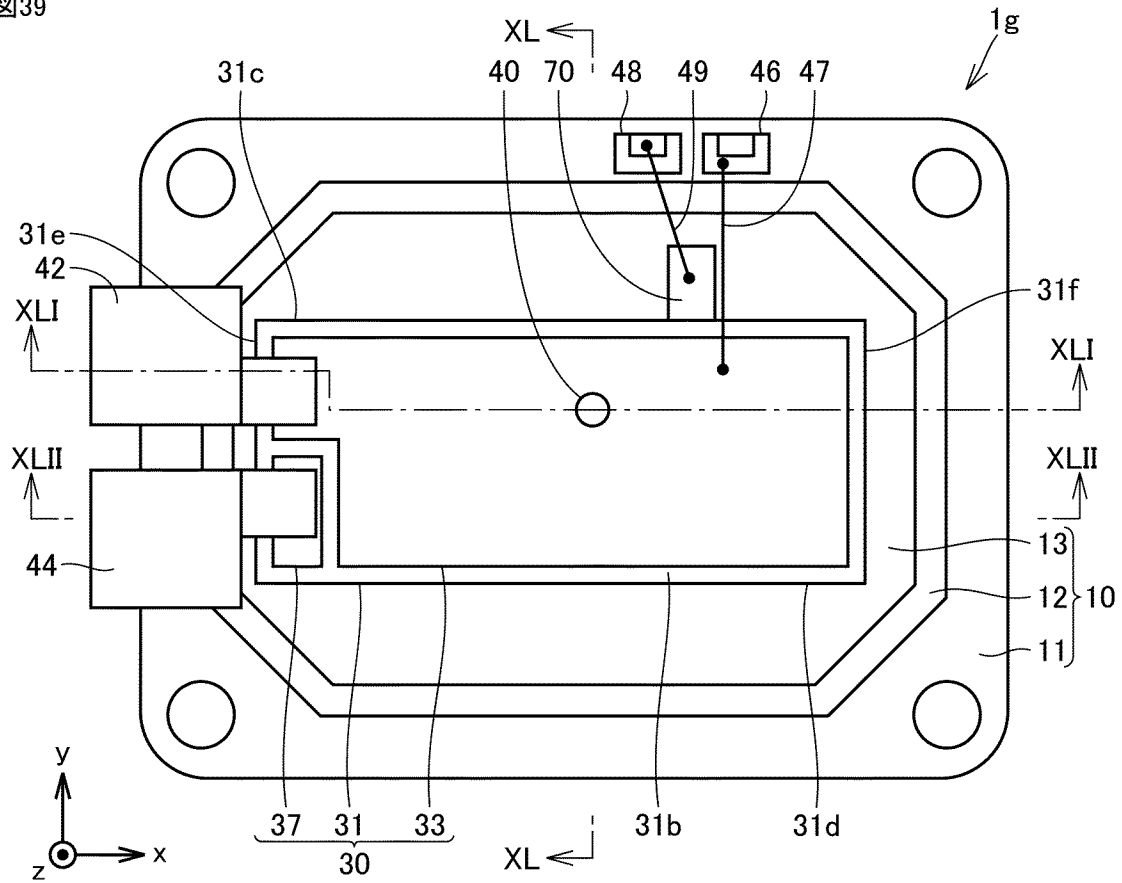
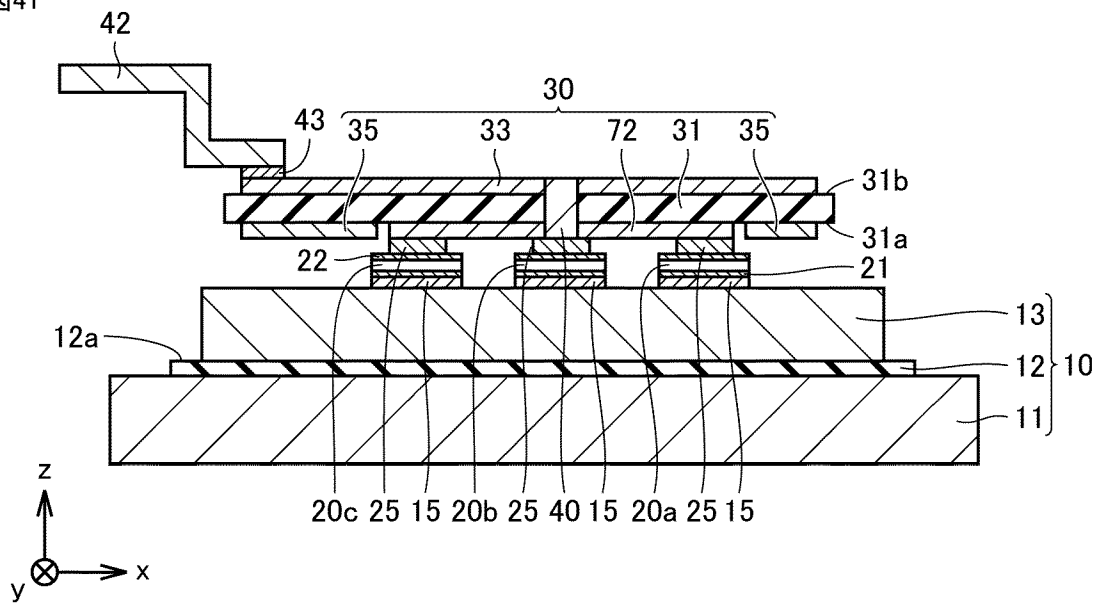


図40

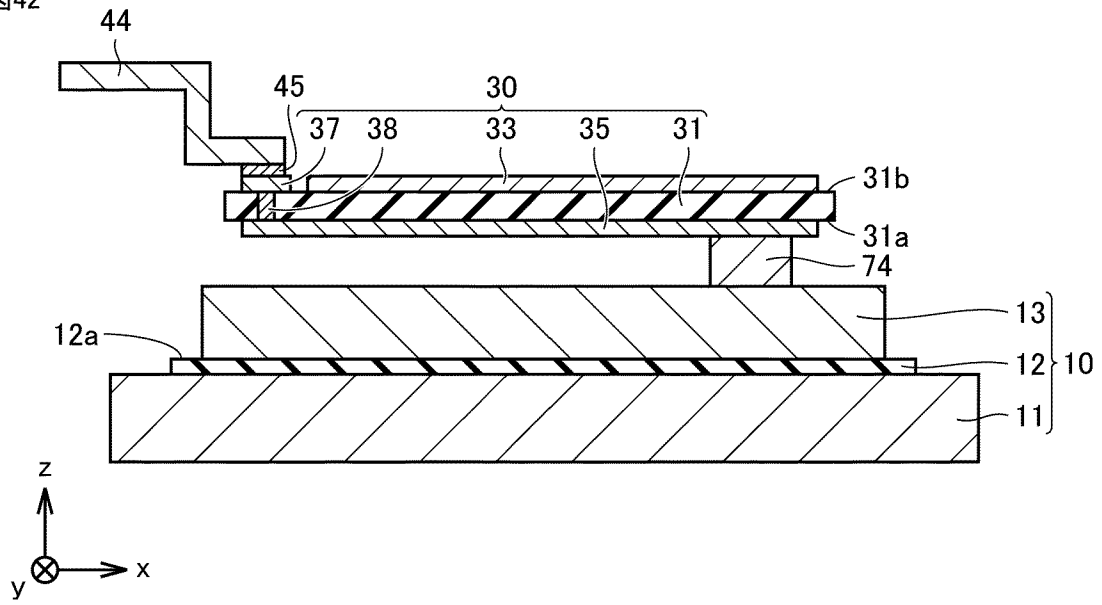


图41



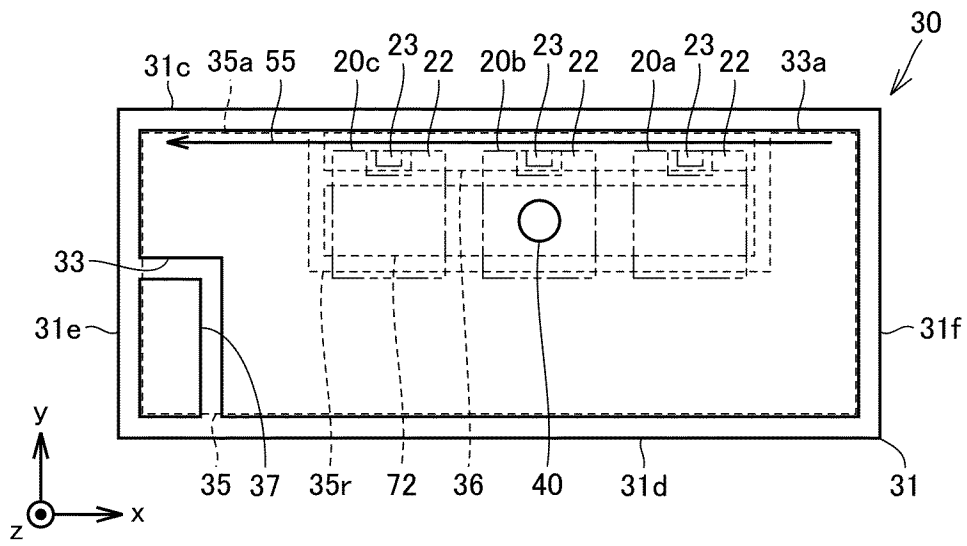
[図42]

図42



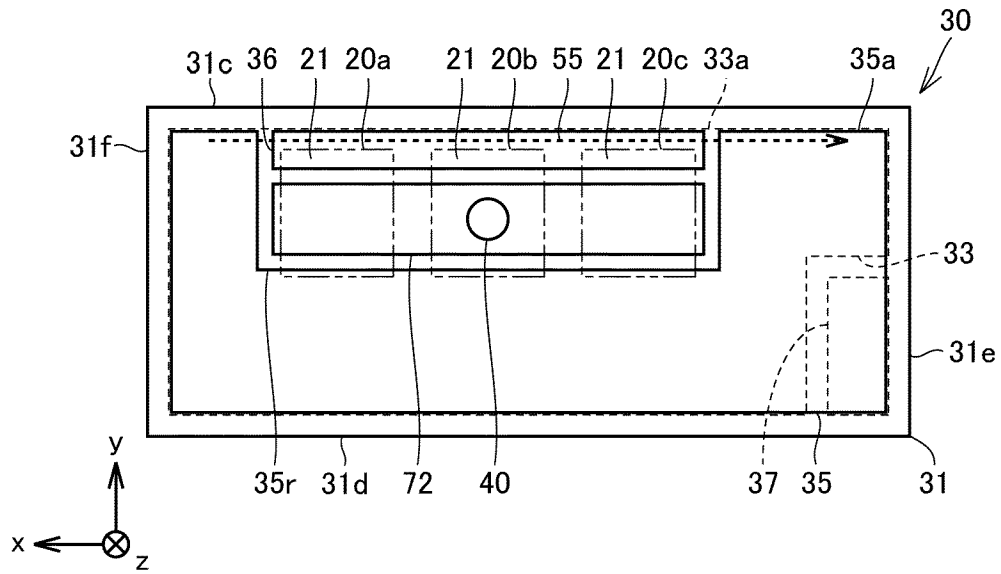
[図43]

図43



[図44]

図44



[図45]

図45

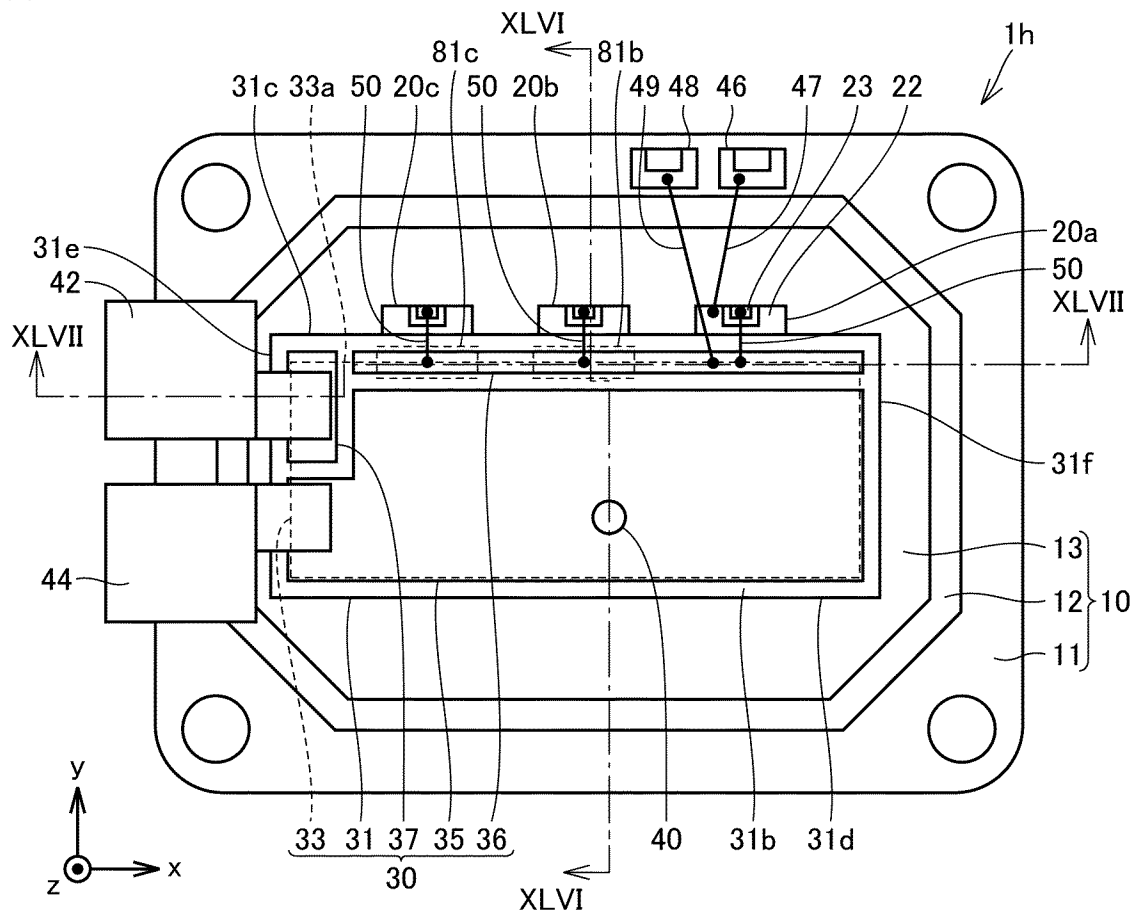
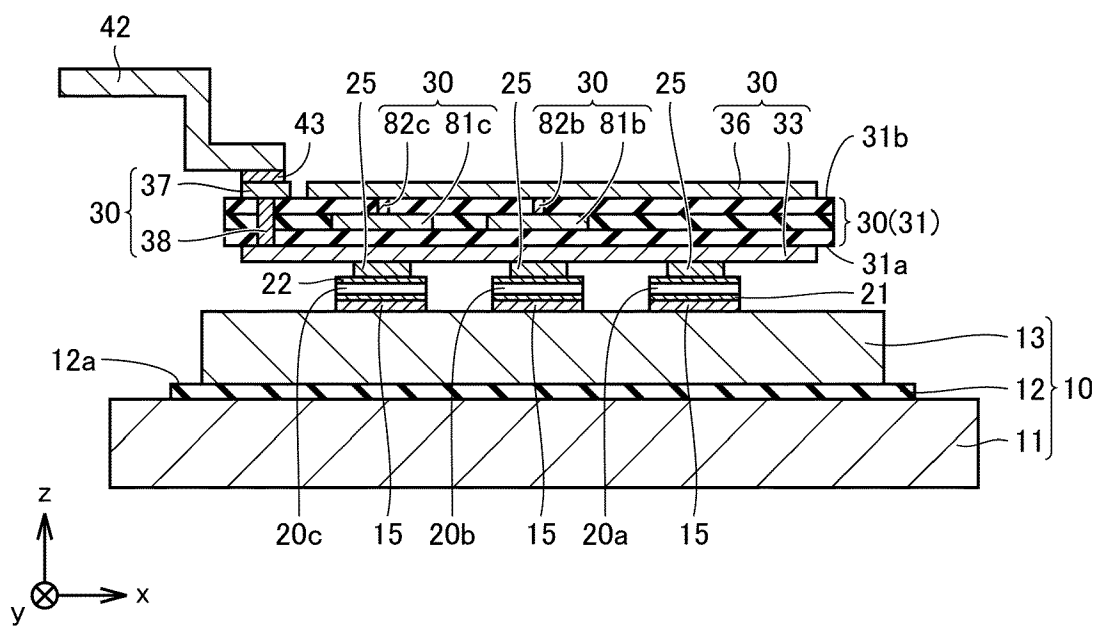
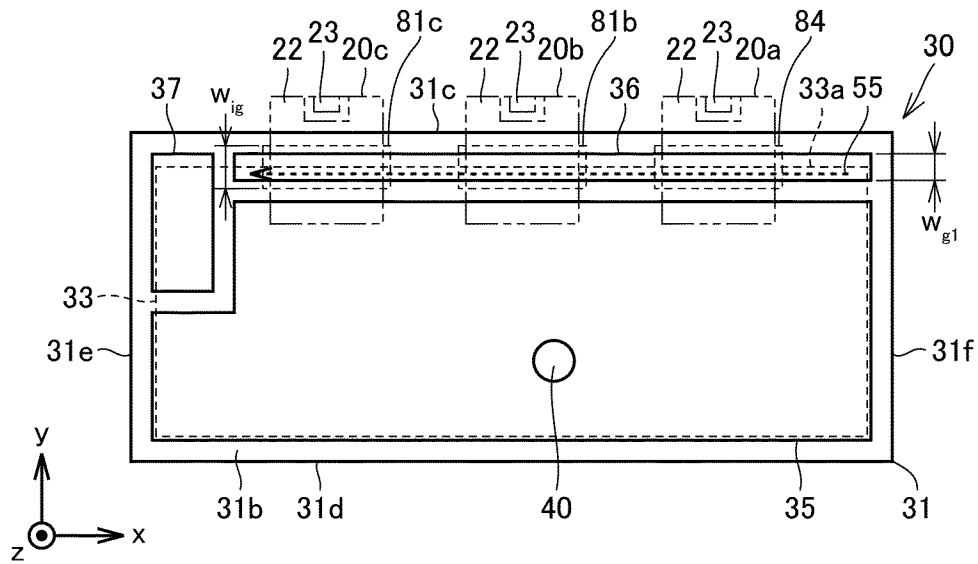


図46



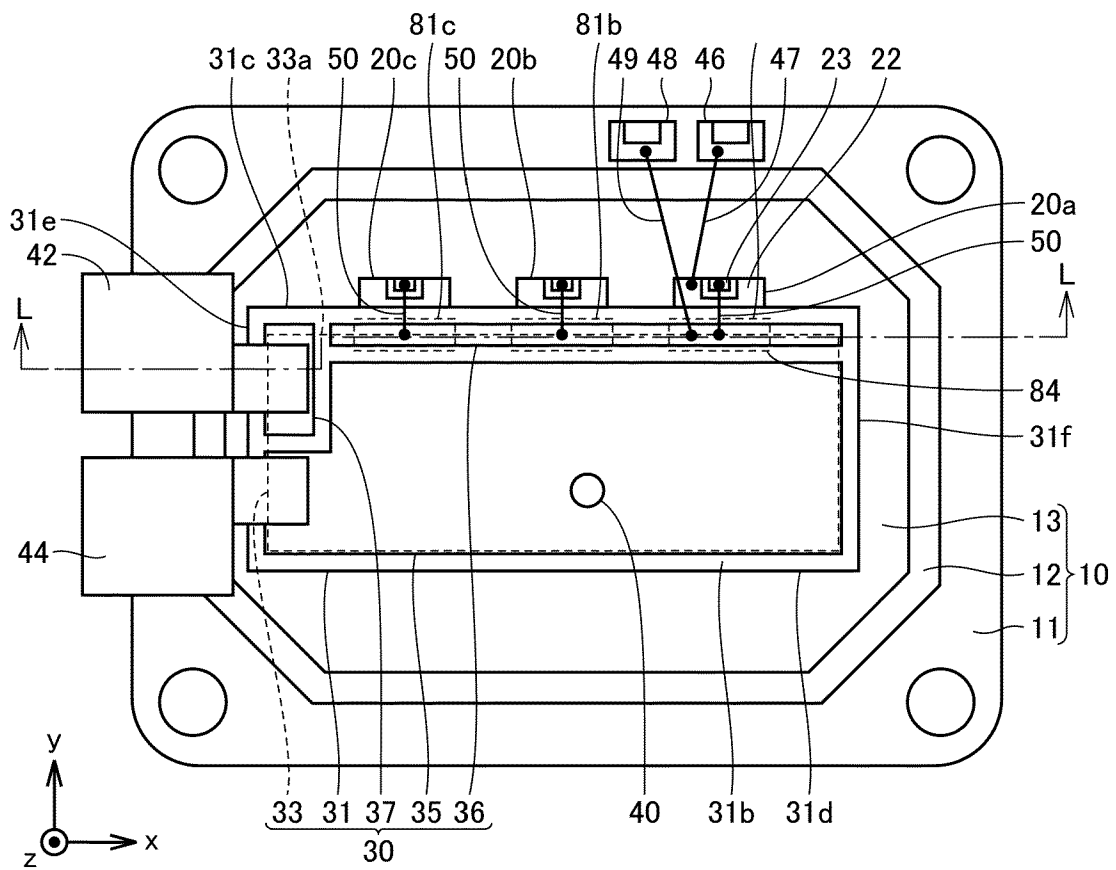
[図48]

図48



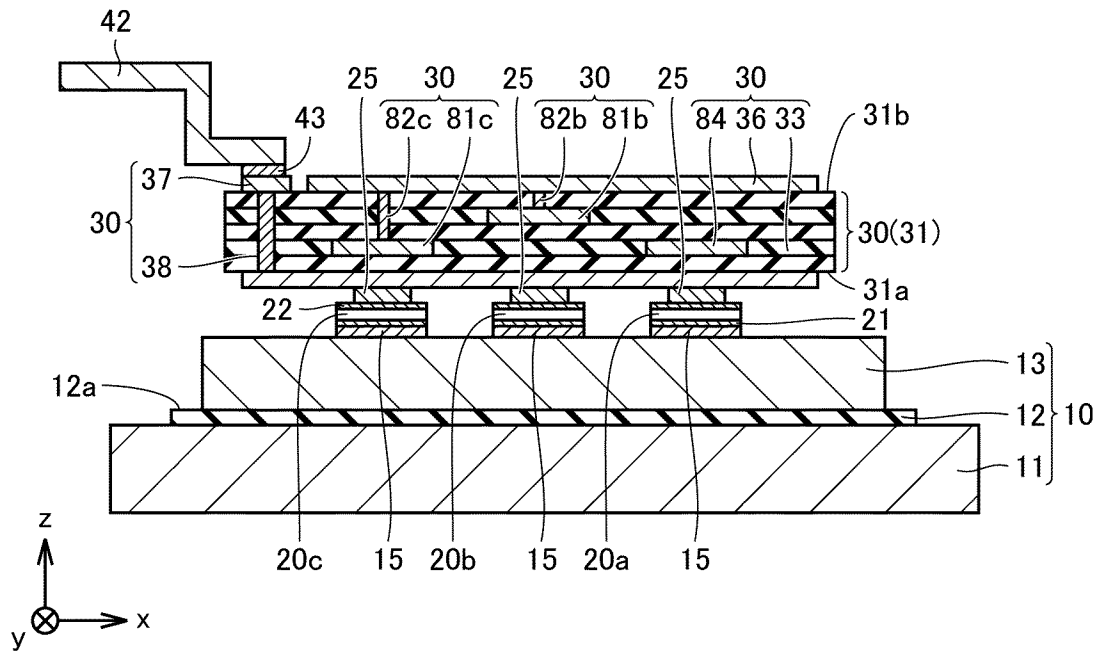
[図49]

図49



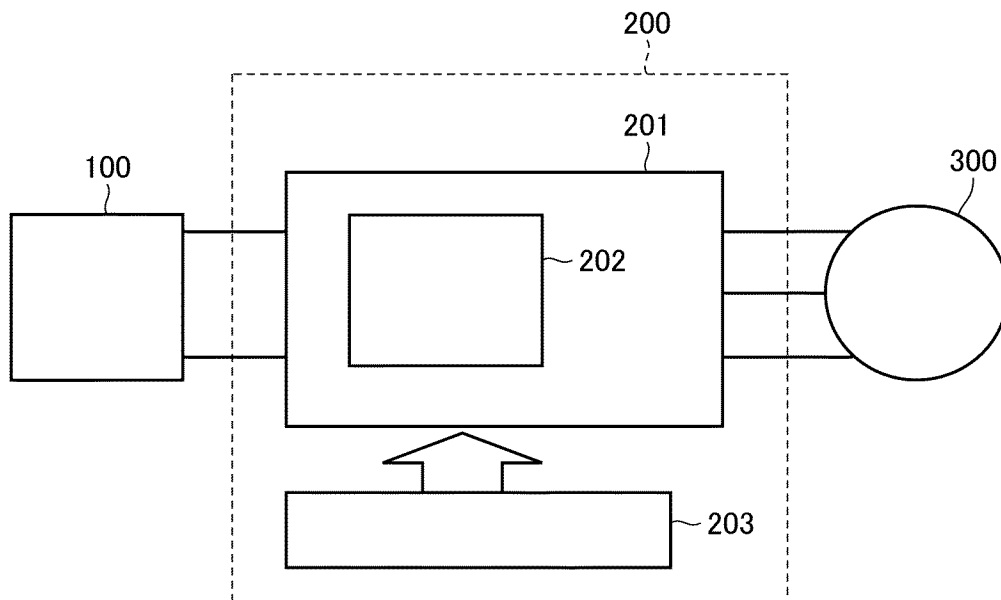
[図52]

図52



[図53]

図53



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/011484

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L25/07 (2006.01) i, H01L25/18 (2006.01) i, H02M7/48 (2007.01) i
FI: H01L25/04 C, H02M7/48 Z

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L25/07, H01L25/18, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-64852 A (OCTEC INC.) 26 March 2009, paragraphs [0016]-[0138], fig. 1-18	1-20
A	WO 2018/193929 A1 (MITSUBISHI ELECTRIC CORP.) 25 October 2018, entire text, all drawings	1-20
A	JP 2009-231690 A (FUJI ELECTRIC DEVICE TECHNOLOGY CO., LTD.) 08 October 2009, entire text, all drawings	1-20
A	JP 10-84077 A (HITACHI, LTD.) 31 March 1998, entire text, all drawings	1-20
A	JP 2002-141463 A (MITSUBISHI ELECTRIC CORP.) 17 May 2002, paragraphs [0030]-[0038], fig. 4-6	7, 8, 11-13, 15-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10.06.2021

Date of mailing of the international search report
22.06.2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/011484

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2009-64852 A	26.03.2009	(Family: none)	
WO 2018/193929 A1	25.10.2018	CN 110495087 A entire text, all drawings	
JP 2009-231690 A	08.10.2009	US 2009/0246910 A1 entire text, all drawings DE 102009014582 A CN 101546716 A	
JP 10-84077 A	31.03.1998	EP 828341 A2 entire text, all drawings	
JP 2002-141463 A	17.05.2002	US 2002/0050633 A1 paragraphs [0076]- [0087], fig. 4-6 DE 10122931 A FR 2816112 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 25/07(2006.01)i; H01L 25/18(2006.01)i; H02M 7/48(2007.01)i FI: H01L25/04 C; H02M7/48 Z														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L25/07; H01L25/18; H02M7/48 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2009-64852 A（株式会社オクテック）26.03.2009（2009 - 03 - 26） 段落16 - 138, 図1 - 18	1-20												
A	WO 2018/193929 A1（三菱電機株式会社）25.10.2018（2018 - 10 - 25） 全文、全図	1-20												
A	JP 2009-231690 A（富士電機デバイステクノロジー株式会社）08.10.2009（2009 - 10 - 08） 全文、全図	1-20												
A	JP 10-84077 A（株式会社日立製作所）31.03.1998（1998 - 03 - 31） 全文、全図	1-20												
A	JP 2002-141463 A（三菱電機株式会社）17.05.2002（2002 - 05 - 17） 段落30 - 38, 図4 - 6	7, 8, 11-13, 15-20												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 10.06.2021	国際調査報告の発送日 22.06.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 井上 弘亘 5F 3248 電話番号 03-3581-1101 内線 3516													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/011484

引用文献			公表日	パテントファミリー文献	公表日
JP	2009-64852	A	26.03.2009	(ファミリーなし)	
WO	2018/193929	A1	25.10.2018	CN 110495087	A
				全文、全図	
JP	2009-231690	A	08.10.2009	US 2009/0246910	A1
				全文、全図	
				DE 102009014582	A
				CN 101546716	A
JP	10-84077	A	31.03.1998	EP 828341	A2
				全文、全図	
JP	2002-141463	A	17.05.2002	US 2002/0050633	A1
				段落 7 6 - 8 7、図 4 - 6	
				DE 10122931	A
				FR 2816112	A