



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년10월17일
(11) 등록번호 10-0767379
(24) 등록일자 2007년10월09일

(51) Int. Cl.

H01L 29/786(2006.01)

(21) 출원번호 10-2001-0078397

(22) 출원일자 2001년12월12일

심사청구일자 2006년12월05일

(65) 공개번호 10-2003-0048327

공개일자 2003년06월19일

(56) 선행기술조사문헌

KR 1020030038225 A

(뒷면에 계속)

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

조홍제

경기도수원시팔달구영통동주공1차아파트152동801호

강성철

경기도성남시분당구이매동금강아파트104동804호

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 4 항

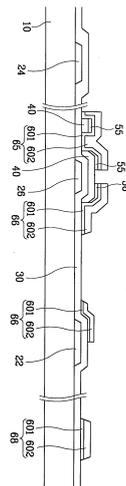
심사관 : 최광섭

(54) 박막 트랜지스터 기판의 제조 방법

(57) 요약

먼저, 기판의 상부에 알루미늄 합금의 도전막을 차례로 적층하고 패터닝하여 기판 위에 게이트선, 게이트 전극 및 게이트 패드를 포함하는 가로 방향의 게이트 배선을 형성한다. 다음, 게이트 절연막을 형성하고, 그 상부에 반도체층 및 저항 접촉층을 차례로 형성한다. 이어, 크롬의 하부막과 알루미늄 합금의 상부막으로 이루어질 도전층을 적층하고 패터닝하여 게이트선과 교차하는 데이터선, 소스 전극, 드레인 전극 및 데이터 패드를 포함하는 데이터 배선을 형성한다. 이때, 크롬의 하부막은 8-12%의 $Ce(NH_4)_2(NO_3)_6$ 과 4-12%의 질산(NH_3)과 나머지 초순수로 이루어진 식각액을 이용하여 습식 식각으로 패터닝하며, 식각액에서 질산이 4-8%인 경우에는 4-8%의 질산과 초순수로 이루어진 세정액을 이용하여 습식 세정을 실시할 수 있다. 이어, 데이터 배선으로 가리지 않는 저항성 접촉층을 제거하여 반도체층의 채널부를 드러낸다. 이어, 보호막을 적층하고 패터닝하여 드레인 전극, 게이트 패드 및 데이터 패드를 드러내는 접촉 구멍을 형성한다 다음, IZO를 적층하고 패터닝하여 드레인 전극, 게이트 패드 및 데이터 패드와 각각 연결되는 화소 전극, 보조 게이트 패드 및 보조 데이터 패드를 형성한다.

대표도 - 도5b



(72) 발명자

박애나

부산광역시수영구광안3동1062-14

박홍식

경기도용인시기흥읍구갈리384-2번지신명아파트1
동1001호

(56) 선행기술조사문헌

KR 1020030062195 A

KR 1020010070111 A

특허청구의 범위

청구항 1

절연 기판 위에 게이트선, 상기 게이트선과 연결되어 있는 게이트 전극을 포함하는 게이트 배선을 형성하는 단계,

상기 기판 상부에 게이트 절연막을 형성하는 단계,

상기 게이트 전극의 상기 게이트 절연막 상부에 비정질 규소의 반도체층을 형성하는 단계,

상기 반도체층 상부에 도핑된 비정질 규소의 저항성 접촉층을 형성하는 단계,

크롬으로 이루어진 제1 도전막을 적층하는 단계, 및

상기 도전막을 8-12%의 $Ce(NH_4)_2(NO_3)_6$ 과 4-12%의 질산(NH_3)과 나머지 초순수로 이루어진 식각액을 이용하여 식각하여 데이터선, 상기 데이터선과 연결되어 있으며 상기 게이트 전극에 인접하는 소스 전극 및 상기 게이트 전극에 대하여 상기 소스 전극의 맞은 편에 위치하는 드레인 전극을 포함하는 데이터 배선을 형성하는 단계를 포함하는 박막 트랜지스터 기판의 제조 방법.

청구항 2

제1항에서,

상기 데이터 배선 형성 단계이후,

4-8%의 질산과 나머지 초순수로 이루어진 세정액을 이용하여 습식 세정을 실시하는 단계를 더 포함하는 박막 트랜지스터 기판의 제조 방법.

청구항 3

제2항에서,

상기 습식 세정 단계이후,

상기 데이터 배선을 마스크로 하여 드러난 상기 저항성 접촉층을 식각하여 상기 반도체층을 드러내는 단계, 드러난 상기 반도체층을 덮는 보호막을 형성하는 단계,

상기 보호막을 식각하여 상기 드레인 전극을 드러내는 접촉 구멍을 형성하는 단계,

상기 보호막의 상부에 상기 접촉 구멍을 통하여 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 더 포함하는 박막 트랜지스터 기판의 제조 방법.

청구항 4

제1항에서,

상기 제1 도전막의 상부에 알루미늄 또는 알루미늄 합금을 포함하는 제2 도전막을 형성하는 단계를 더 포함하는 박막 트랜지스터의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<10> 본 발명은 박막 트랜지스터 기판의 제조 방법에 관한 것으로, 더욱 상세하게는 스위칭 소자로 박막 트랜지스터를 사용하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에 관한 것이다.

<11> 액정 표시 장치는 일반적으로 전기장을 생성하는 전극을 가지고 있는 두 기판 사이에 액정 물질을 주입해 놓고

두 전극에 서로 다른 전위를 인가함으로써 전계를 형성하여 액정 분자들의 배열을 변경시키고, 이를 통해 빛의 투과율을 조절함으로써 화상을 표현하는 장치이다.

<12> 이러한 액정 표시 장치는 표시 동작을 하며 화소 전극과 적, 녹, 청의 컬러 필터가 형성되어 있는 다수의 화소를 가지며, 또한 각각의 화소에는 배선을 통하여 인가되는 영상 신호를 제어하기 위한 박막 트랜지스터가 각각 형성되어 있다. 이러한 박막 트랜지스터는 주사 신호를 전달하는 주사 신호선 또는 게이트선, 화상 신호를 전달하는 화상 신호선 또는 데이터선 및 화소 전극과 전기적으로 연결되어 있다.

<13> 여기서, 박막 트랜지스터가 형성되어 있는 기판을 완성하기 위해서는 마스크를 이용한 사진 식각 공정을 통하여 배선, 반도체층 및 화소 전극 등을 형성하는 것이 일반적이다. 이때, 배선은 신호를 전달하는 수단으로 사용되므로 신호 지연을 최소화하기 위해 저저항을 가지는 금속 물질, 특히 알루미늄(Al) 또는 알루미늄 합금(Al alloy) 등과 같은 알루미늄 계열의 금속 물질을 사용하는 것이 일반적이다. 그러나, 알루미늄 또는 알루미늄 합금의 배선은 물리적 또는 화학적인 특성이 약하기 때문에 다른 물질과 접촉할 때 연결될 때 부식이 발생하여 소자의 특성을 저하시킨다. 이러한 문제점을 해결하기 위해 다른 물질과 우수한 접촉 특성을 크롬을 추가하여 배선을 이중막으로 형성하며, 크롬을 식각하기 위한 방법으로는 $Ce(NH_4)_2(NO_3)_6$ 과 질산(HNO_3)을 포함하는 식각액을 이용하는 습식 식각을 적용하는데, 이러한 습식 식각 공정에서 잔사가 남게 되어 소자의 특성이 저하되는 문제점이 발생하고 있다.

발명이 이루고자 하는 기술적 과제

<14> 본 발명이 이루고자 하는 기술적 과제는 잔사가 남는 것을 방지할 수 있는 박막 트랜지스터 기판의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

<15> 이러한 문제점을 해결하기 위하여 본 발명에서는 8-12%의 $Ce(NH_4)_2(NO_3)_6$ 과 4-12%의 질산(NH_3)과 나머지 초순수로 이루어진 식각액을 이용하여 크롬막을 식각하며, 질산이 4-8%인 경우에는 4-8%의 질산과 초순수로 이루어진 세정액을 이용하여 습식 세정을 실시한다.

<16> 더욱 상세하게, 본 발명에 따른 박막 트랜지스터 기판의 제조 방법에서는, 우선 절연 기판 위에 게이트선, 게이트선과 연결되어 있는 게이트 전극을 포함하는 게이트 배선을 형성하고, 게이트 배선을 덮는 게이트 절연막을 형성한다. 이어, 게이트 전극의 게이트 절연막 상부에 비정질 규소의 반도체층 및 도핑된 비정질 규소의 저항성 접촉층을 형성한 다음, 크롬으로 이루어진 제1 도전막을 적층하고 8-12%의 $Ce(NH_4)_2(NO_3)_6$ 과 4-12%의 질산(NH_3)과 나머지 초순수로 이루어진 식각액을 이용하여 도전막을 습식 식각하여 데이터선, 데이터선과 연결되어 있으며 게이트 전극에 인접하는 소스 전극 및 게이트 전극에 대하여 소스 전극의 맞은 편에 위치하는 드레인 전극을 포함하는 데이터 배선을 형성한다.

<17> 이때, 데이터 배선을 형성한 다음, 4-8%의 질산과 나머지 초순수로 이루어진 세정액을 이용하여 습식 세정을 실시하는 것이 바람직하다.

<18> 또한, 습식 세정을 실시한 다음 데이터 배선을 마스크로 하여 드러난 저항성 접촉층을 식각하여 반도체층을 드러내고, 드러난 반도체층을 덮는 보호막을 형성하고, 보호막을 식각하여 드레인 전극을 드러내는 접촉 구멍을 형성한 다음, 보호막의 상부에 접촉 구멍을 통하여 드레인 전극과 연결되는 화소 전극을 형성할 수 있다.

<19> 데이터 배선은 제1 도전막의 상부에 형성되어 있으며, 알루미늄 또는 알루미늄 합금을 포함하는 제2 도전막을 더 포함할 수 있다.

<20> 그러면, 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 박막 트랜지스터 기판의 그 제조 방법에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

<21> 우선, 도 1 및 도 2를 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조에 대하여 상세히 설명한다.

<22> 도 1은 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조를 도시한 배치도이고, 도 2는 도 1에 도시한 박막 트랜지스터 기판을 II-II' 선을 따라 잘라 도시한 단면도이다.

<23> 절연 기판(10) 위에 저저항을 가지는 알루미늄 또는 알루미늄 합금의 금속 물질로 이루어진 도전막을 포함하는

게이트 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 게이트선(22), 게이트선(22)의 끝에 연결되어 있어 외부로부터의 게이트 신호를 인가받아 게이트선(22)으로 전달하는 게이트 패드(24) 및 게이트선(22)에 연결되어 있는 박막 트랜지스터의 게이트 전극(26)을 포함한다.

- <24> 게이트 배선(22, 24, 26)은 알루미늄 계열의 단일막으로 형성하는 것이 바람직하지만, 이중층 이상으로 형성할 수도 있다. 이중층 이상으로 형성하는 경우에는 한 층은 저항이 작은 물질로 형성하고 다른 층은 ITO 또는 IZO 또는 기판 등의 다른 물질과의 접촉 특성이 좋은 크롬 또는 폴리브덴 또는 폴리브덴 합금 등의 물질로 만드는 것이 바람직하다.
- <25> 기판(10) 위에는 질화 규소(SiN) 따위로 이루어진 게이트 절연막(30)이 게이트 배선(22, 24, 26)을 덮고 있다.
- <26> 게이트 전극(24)의 게이트 절연막(30) 상부에는 비정질 규소 등의 반도체로 이루어진 반도체층(40)이 섬 모양으로 형성되어 있으며, 반도체층(40)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 저항 접촉층(55, 56)이 각각 형성되어 있다.
- <27> 저항 접촉층(55, 56) 및 게이트 절연막(30) 위에는 알루미늄(Al) 또는 알루미늄 합금(Al alloy), 폴리브덴(Mo) 또는 폴리브덴-텅스텐(MoW) 합금, 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti) 등의 금속 또는 도전체로 이루어진 데이터 배선(62, 64, 66, 68)이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 게이트선(22)과 교차하여 화소를 정의하는 데이터선(62), 데이터선(62)의 분지이며 저항 접촉층(54)의 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)의 한쪽 끝에 연결되어 있으며 외부로부터의 화상 신호를 인가받는 데이터 패드(68), 소스 전극(65)과 분리되어 있으며 게이트 전극(26)에 대하여 소스 전극(65)의 반대쪽 저항 접촉층(56) 상부에 형성되어 있는 드레인 전극(66)을 포함한다. 또한, 데이터 배선은 돌출되어 있는 게이트선(22)과 중첩되어 유기 축전기를 이루는 유지 축전기용 도전체 패턴(64)을 더 포함한다.
- <28> 데이터 배선(62, 64, 65, 66, 68)은 알루미늄 또는 알루미늄 합금의 단일막으로 형성하는 것이 바람직하지만, 이중층 이상으로 형성될 수도 있다. 이중층 이상으로 형성하는 경우에는 한 층은 저항이 작은 물질로 형성하고 다른 층은 다른 물질, 특히 IZO와 낮은 접촉 저항을 가지는 물질로 만드는 것이 바람직하다. 그 예로는 Al(또는 Al 합금)/Cr 또는 Al(또는 Al 합금)/Mo(또는 Mo 합금) 등을 들 수 있으며, 본 발명의 실시예에서 데이터 배선(62, 64, 65, 66, 68)은 크롬의 하부막(601)과 알루미늄-네오디뮴 합금의 상부막(602)의 이중막으로 이루어져 있다.
- <29> 데이터 배선(62, 65, 64, 66, 68) 및 이들이 가리지 않는 반도체층(40) 상부에는 질화 규소 또는 낮은 유전율을 가지는 아크릴계의 유기 물질 또는 화학 기상으로 증착되면 SiOC 또는 SiOF 등으로 이루어진 저유전율 절연 물질로 이루어진 보호막(70)이 형성되어 있다. 보호막(70)에는 유지 축전기용 도전체 패턴(64), 드레인 전극(66) 및 데이터 패드(68)를 각각 드러내는 접촉 구멍(72, 76, 78)이 형성되어 있으며, 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(74)이 형성되어 있다.
- <30> 보호막(70) 위에는 접촉 구멍(76, 72)을 통하여 드레인 전극(66) 및 유지 축전기용 도전체 패턴(64)과 전기적으로 연결되어 있으며 화소에 위치하는 화소 전극(82)이 형성되어 있다. 또한, 보호막(70) 위에는 접촉 구멍(74, 78)을 통하여 각각 게이트 패드(24) 및 데이터 패드(68)와 연결되어 있는 보조 게이트 패드(84) 및 보조 데이터 패드(88)가 형성되어 있다. 화소 전극(82)과 보조 게이트 및 데이터 패드(84, 88)는 IZO(indium zinc oxide)로 이루어져 있다.
- <31> 여기서, 화소 전극(82)은 도1 및 도 2에서 보는 바와 같이, 유지 축전기용 도전체 패턴(64)과 전기적으로 연결되어 게이트선(22)과 유지 축전기를 이루며, 유지 용량이 부족한 경우에는 게이트 배선(22, 24, 26)과 동일한 층에 유지 용량용 배선을 추가할 수도 있다.
- <32> 그러면, 이러한 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에 대하여 도 1 및 도 2와 도 3a 내지 도 6b를 참고로 하여 상세히 설명한다.
- <33> 먼저, 도 3a 및 3b에 도시한 바와 같이, 기판(10) 위에 저저항을 가지는 알루미늄 또는 알루미늄 합금의 금속층, 2 at%의 Nd를 포함하는 Al-Nd를 포함하는 표적을 이용하여 2,500Å 정도의 두께로 150°C 정도에서 스퍼터링(sputtering)으로 적층하고 패터닝하여 게이트선(22), 게이트 전극(26) 및 게이트 패드(24)를 포함하며 테이퍼 구조를 가지는 게이트 배선을 형성한다.
- <34> 다음, 도 4a 및 도 4b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(30), 비정질 규소로 이루어진 반도체층(40), N형 불순물이 고농도로 도핑되어 있는 도핑된 비정질 규소층(50)의 삼층막을 연속하여 적층하고

마스크를 이용한 패터닝 공정으로 반도체층(40)과 도핑된 비정질 규소층(50)을 패터닝하여 게이트 전극(24)과 마주하는 게이트 절연막(30) 상부에 반도체층(40)과 저항 접촉층(50)을 형성한다. 여기서, 게이트 절연막(30)은 질화 규소를 250~400℃ 온도 범위, 2,000~5,000Å 정도의 두께로 적층하여 형성하는 것이 바람직하다.

<35> 다음, 도 5a 내지 도 5b에 도시한 바와 같이, 크롬으로 이루어진 하부막(601)을 500Å 정도의 두께로 적층하고, 그 상부에 저저항을 가지는 알루미늄 또는 알루미늄 합금의 금속 중, 2 at%의 Nd를 포함하는 Al-Nd 합금의 표적을 이용하여 상부막(602)을 150℃ 정도에서 2,500Å 정도의 두께로 스퍼터링 (sputtering)을 통하여 차례로 적층한 후, 마스크를 이용한 사진 공정으로 패터닝하여 게이트선(22)과 교차하는 데이터선(62), 데이터선(62)과 연결되어 게이트 전극(26) 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)은 한쪽 끝에 연결되어 있는 데이터 패드(68), 소스 전극(65)과 분리되어 있으며 게이트 전극(26)을 중심으로 소스 전극(65)과 마주하는 드레인 전극(66) 및 게이트선(22)과 중첩하는 유지 축전기용 도전체 패턴(64)을 포함하며 테이퍼 구조를 가지는 데이터 배선을 형성한다. 여기서, 상부막(602) 및 하부막(601)은 모두 습식 식각으로 식각할 수 있으며, 하부막(601)의 크롬막은 $Ce(NH_4)_2(NO_3)_6$ 과 질산(HNO_3)과 초순수를 포함하는 식각액을 이용한 습식 식각으로 패터닝한다. 이러한 식각액을 이용하여 크롬막을 식각하였을 때 Ce 성분이 기관에 잔류하게 되며, 이는 박막 트랜지스터의 특성을 저하시키는 원인으로 작용한다. 이러한 문제점을 해결하기 위해 질산(HNO_3)의 함량을 증가시키는 경우에는 잔사가 남는 것을 방지할 수 있지만, 식각액에 대한 크롬막의 식각비가 감소하여 생산성을 감소시킬 수 있다. 이에 따라, 잔사가 남는 것을 최소화하기 위해 식각액은 8-12%의 $Ce(NH_4)_2(NO_3)_6$ 과 4-12%의 질산(NH_3)과 나머지 초순수로 이루어진 식각액을 이용하며, 식각액에서 질산 성분의 함량이 4-8%로 낮은 경우에는 식각액을 이용하여 크롬막을 패터닝한 다음 4-8%의 질산과 초순수로 이루어진 세정액을 이용하여 습식 세정을 실시한다. 이에 대하여 이후에 실험예를 통하여 구체적으로 설명하기로 한다.

<36> 이어, 데이터 배선(62, 65, 66, 68)으로 가리지 않는 도핑된 비정질 규소층 패턴(50)을 식각하여 게이트 전극(26)을 중심으로 양쪽으로 분리시키는 한편, 양쪽의 도핑된 비정질 규소층(55, 56) 사이, 즉 소스 및 드레인 전극(65, 66) 사이의 채널부인 반도체층(40)을 노출시킨다. 이어, 노출된 반도체층(40)의 채널부 표면을 안정화시키기 위하여 산소 플라즈마를 실시하는 것이 바람직하다.

<37> 다음으로, 도 6a 및 도 6b에서 보는 바와 같이, 질화 규소와 같은 무기 절연막을 250~400℃ 범위에서 적층하여 보호막(70)을 형성하고, 마스크를 이용한 사진 식각 공정으로 게이트 절연막(30)과 함께 건식 식각으로 패터닝하여, 유지 축전기용 도전체 패턴(64), 게이트 패드(24), 드레인 전극(66) 및 데이터 패드(68)를 각각 드러내는 접촉 구멍(72, 74, 76, 78)을 형성한다.

<38> 다음, 마지막으로 도 1 및 2에 도시한 바와 같이, IZO막을 스퍼터링으로 적층하고 마스크를 이용한 패터닝을 실시하여 접촉 구멍(72, 76)을 통하여 유지 축전기용 도전체 패턴(72) 및 드레인 전극(66)과 연결되는 화소 전극(82)과 접촉 구멍(74, 78)을 통하여 게이트 패드(24) 및 데이터 패드(68)와 각각 연결되는 보조 게이트 패드(84) 및 보조 데이터 패드(88)를 각각 형성한다.

<39> 실험예

<40> 실험예에서는 크롬막을 적층하고 데이터 배선을 형성하기 위해 $Ce(NH_4)_2(NO_3)_6$ 과 질산(NH_3)과 나머지 초순수를 포함하는 식각액을 이용하여 패터닝한 다음 세정 공정을 실시하였으며, 소스 및 드레인 전극(65, 66) 사이의 채널부를 "∩" 모양으로 형성하였으며, 채널부에 잔류하는 잔사는 데이터 배선을 식각 마스크로 하여 도핑된 비정질 규소층(50)을 식각한 다음 측정하였다. 이때, 습식 식각의 식각액에서 $Ce(NH_4)_2(NO_3)_6$ 의 함량은 10.8%로 고정된 다음 질산(NH_3)의 함량은 4-16% 범위에서 변화시키고, 세정 공정에서는 질산의 함량을 4-8% 정도의 범위에서 초순수에 혼합하여 세정을 실시하였다.

<41> 또한, 크롬막의 식각비를 측정하기 위해서는 크롬막을 1,500Å의 두께로 적층한 다음 동일한 $Ce(NH_4)_2(NO_3)_6$ 의 함량은 10.8%로 고정된 다음 질산(NH_3)의 함량을 4-16% 범위에서 변화시키면서 크롬막의 식각 시간(etch time)을 측정하였다.

<42> 도 7은 본 발명의 실험예에 따른 박막 트랜지스터 기관의 제조 방법에서 노출된 채널부를 촬영한 SEM(scanning electron microscope) 사진이고, 도 8은 본 발명의 실험예에 따른 식각액에 대한 크롬막의 식각 시간을 나타낸 그래프이다.

<43> 도 7에서 보는 바와 같이, 식각액에서 질산의 함량을 증가시킬수록 채널부에 얼룩이 감소하는 것으로 보아 잔사

가 감소하는 것으로 나타났다. 이때, 식각액에서 질산의 함량이 4% 및 8%인 경우에는 잔사가 다량 측정되었으나, 질산의 함량이 12% 및 16%인 경우에는 세정 공정을 실시하지 않더라도 잔사는 거의 나타나지 않았다. 하지만, 도 8에서 보는 바와 같이, 식각액에서 질산이 함량이 12-16% 범위인 경우에는 식각 시간이 80초 이상으로 매우 높게 측정되어 생산성이 감소하게 된다. 한편, 도 7에서 보는 바와 같이, 식각액에서 질산의 함량이 4% 및 8%인 경우라도 질산 8%와 나머지 초순수로 이루어진 세정액을 이용하여 습식 세정을 추가로 실시한 결과 잔사는 거의 나타나지 않았다.

발명의 효과

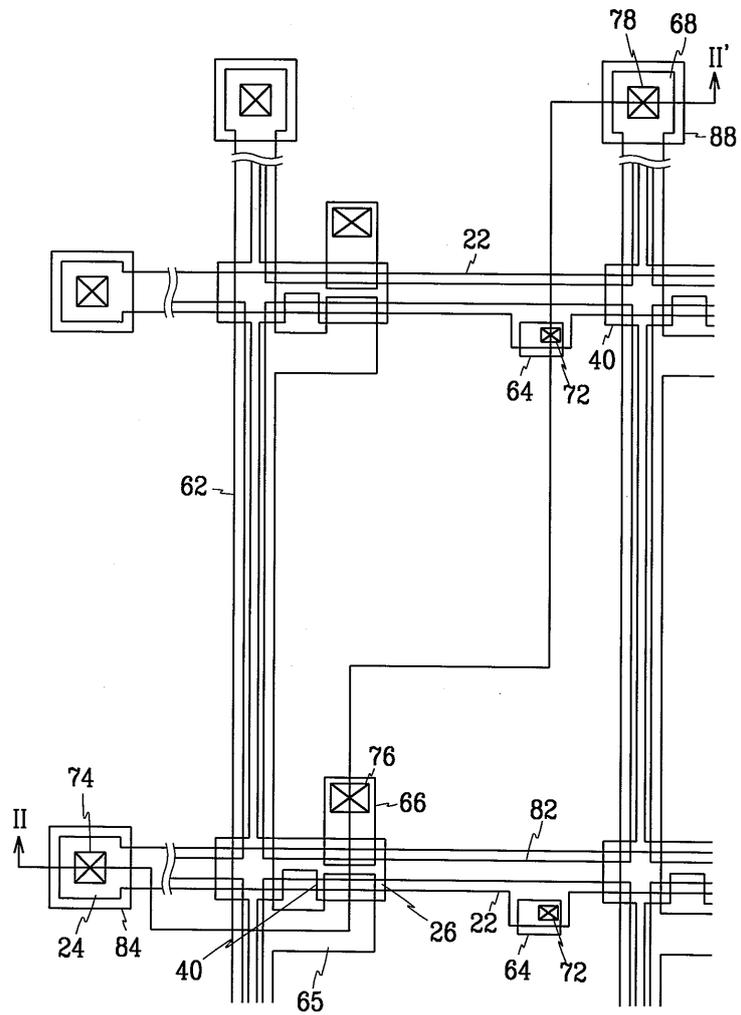
<44> 이와 같이, 본 발명에 따르면 박막 트랜지스터 기판의 제조 공정에서 크롬막을 식각하기 위한 크롬 식각액에서 질산의 함량을 최적화하거나 질산을 포함하는 세정액을 통하여 습식 세정을 추가로 실시함으로써 식각 시간을 확보하는 동시에 채널부의 잔사를 최소화하여 박막 트랜지스터의 특징을 향상시킬 수 있다.

도면의 간단한 설명

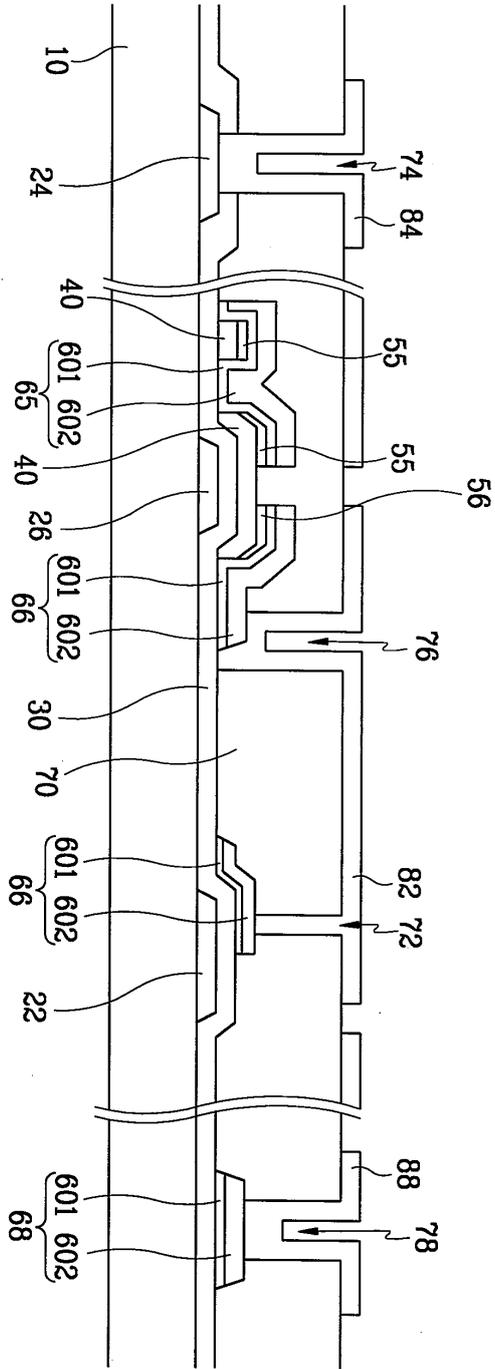
- <1> 도 1은 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판이고,
- <2> 도 2는 도 1에 도시한 박막 트랜지스터 기판을 II-II' 선을 따라 잘라 도시한 단면도이고,
- <3> 도 3a, 4a, 5a 및 6a는 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 중간 과정을 그 공정 순서에 따라 도시한 박막 트랜지스터 기판의 배치도이고,
- <4> 도 3b는 도 3a에서 IIIb-IIIb' 선을 따라 절단한 단면도이고,
- <5> 도 4b는 도 4a에서 IVb-IVb' 선을 따라 잘라 도시한 도면으로서 도 3b의 다음 단계를 도시한 단면도이고,
- <6> 도 5b는 도 5a에서 Vb-Vb' 선을 따라 잘라 도시한 도면으로서 도 4b의 다음 단계를 도시한 단면도이고,
- <7> 도 6b는 도 6a에서 VIb-VIb' 선을 따라 잘라 도시한 도면으로서 도 5b의 다음 단계를 도시한 단면도이고,
- <8> 도 7은 본 발명의 실험예에 따른 박막 트랜지스터 기판의 제조 방법에서 노출된 채널부를 촬영한 SEM(scanning electron microscope) 사진이고,
- <9> 도 8은 본 발명의 실험예에 따른 식각액에 대한 크롬막의 식각 시간을 나타낸 그래프이다.

도면

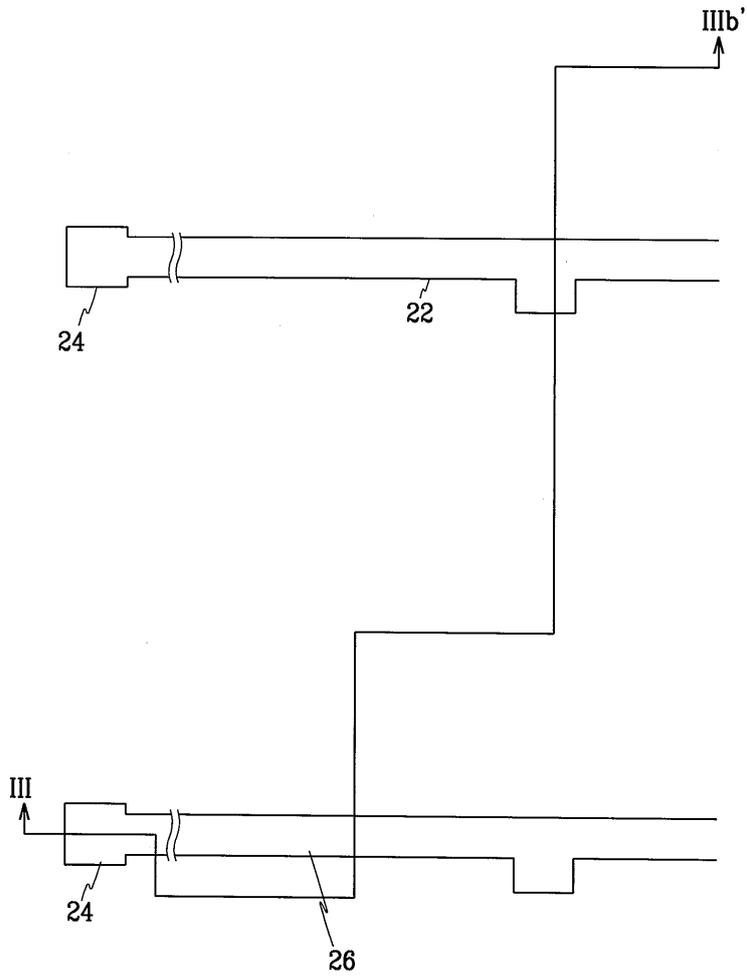
도면1



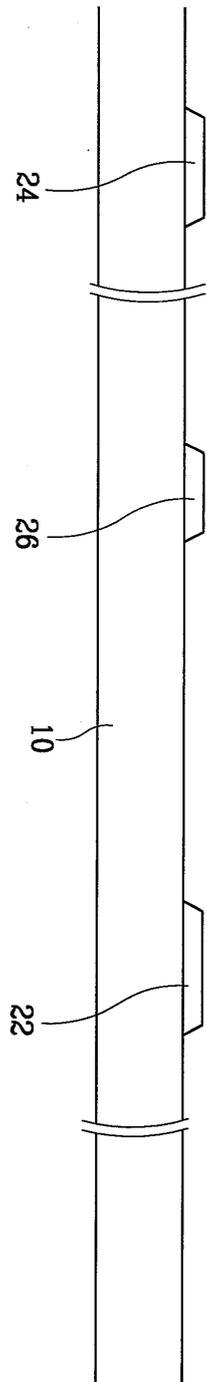
도면2



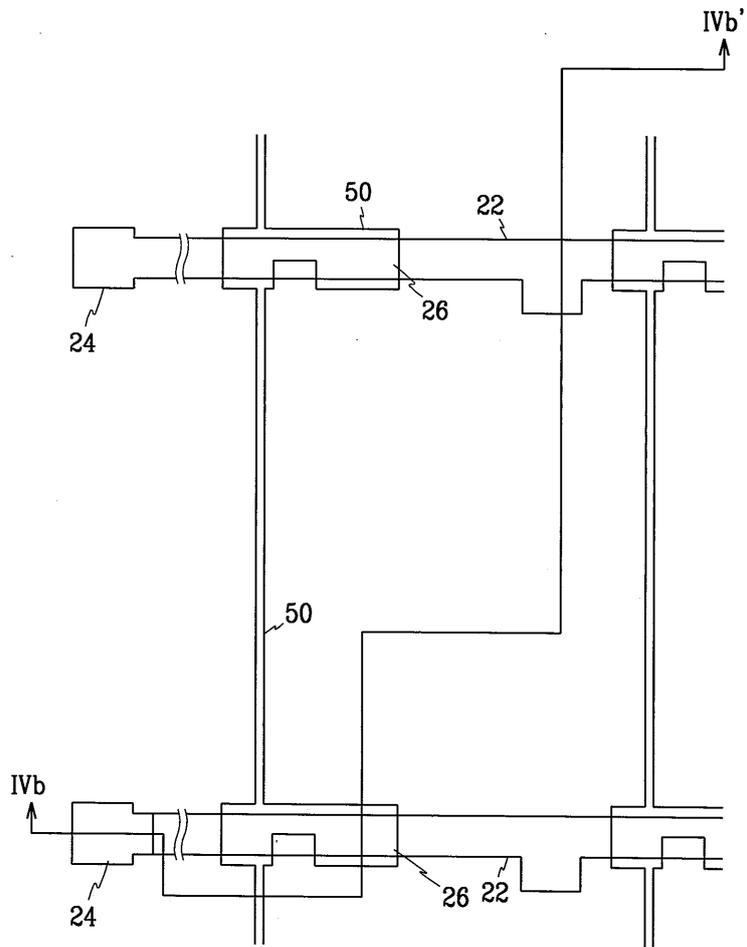
도면3a



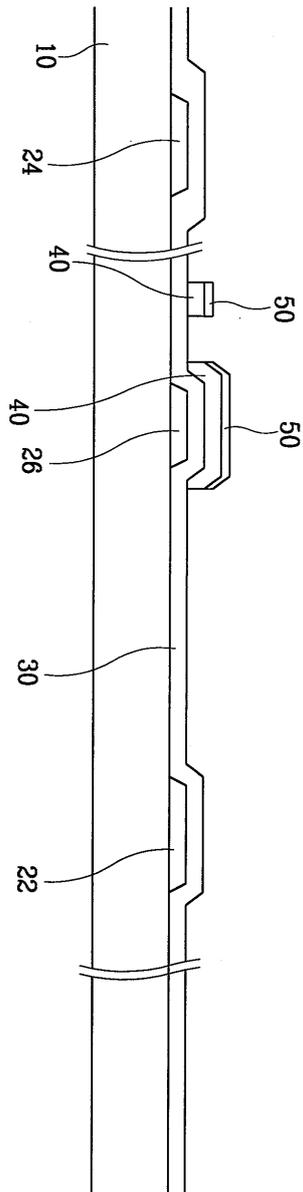
도면3b



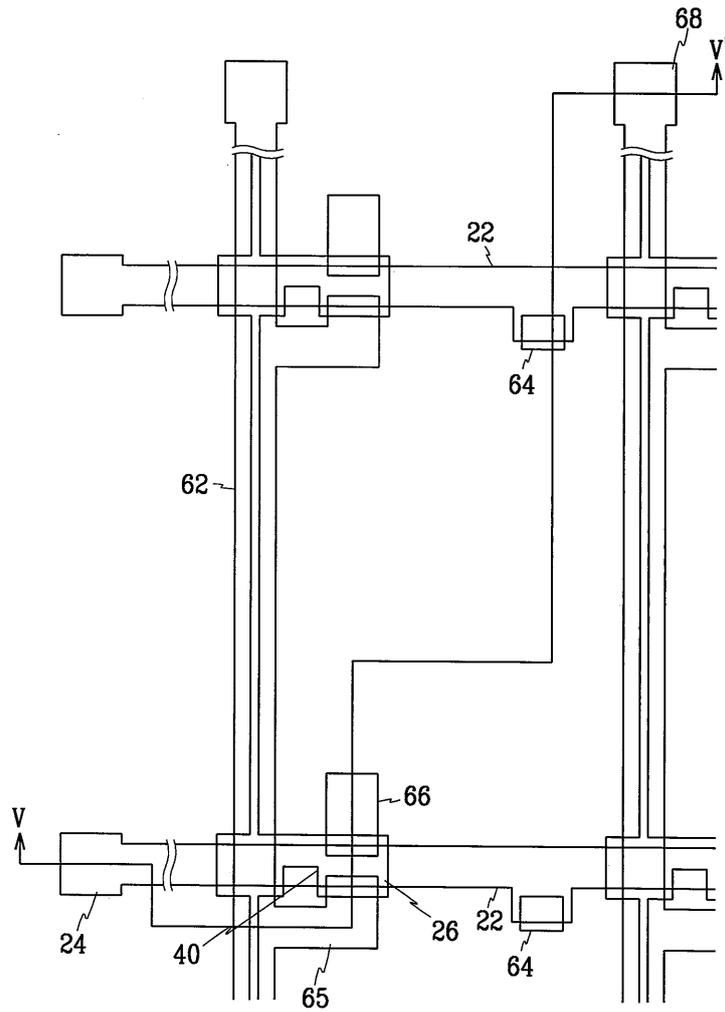
도면4a



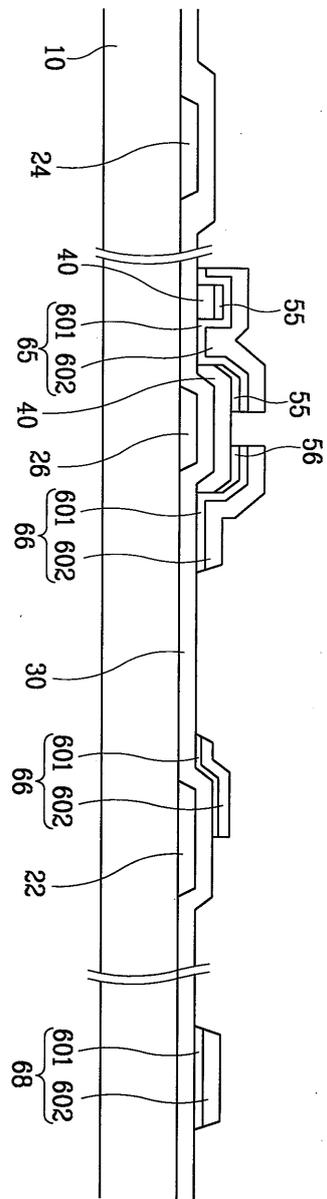
도면4b



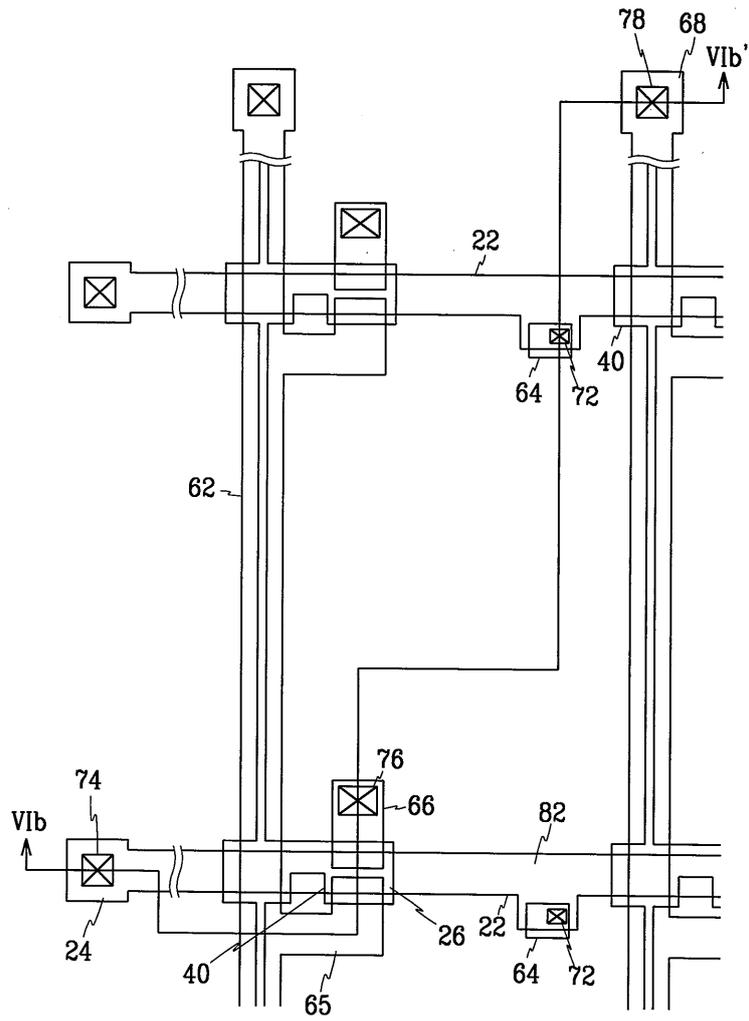
도면5a



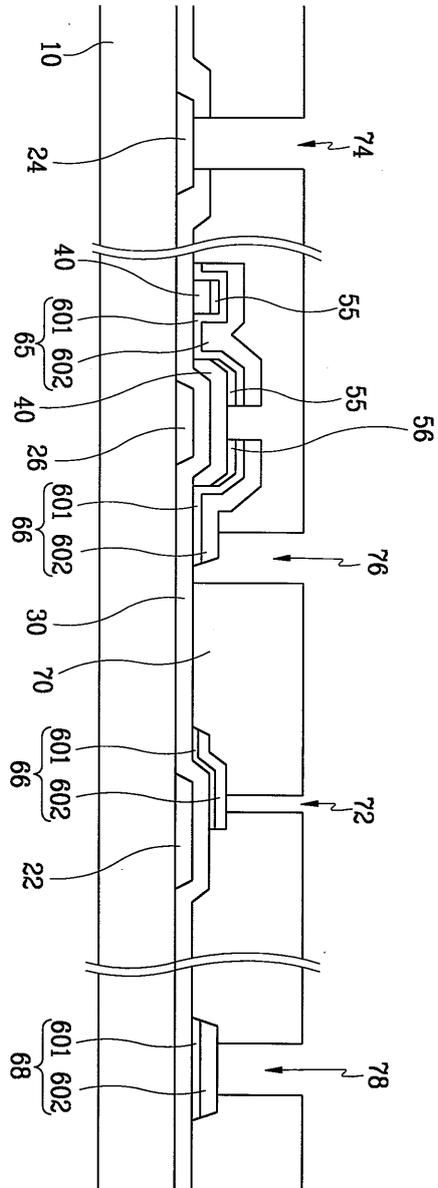
도면5b



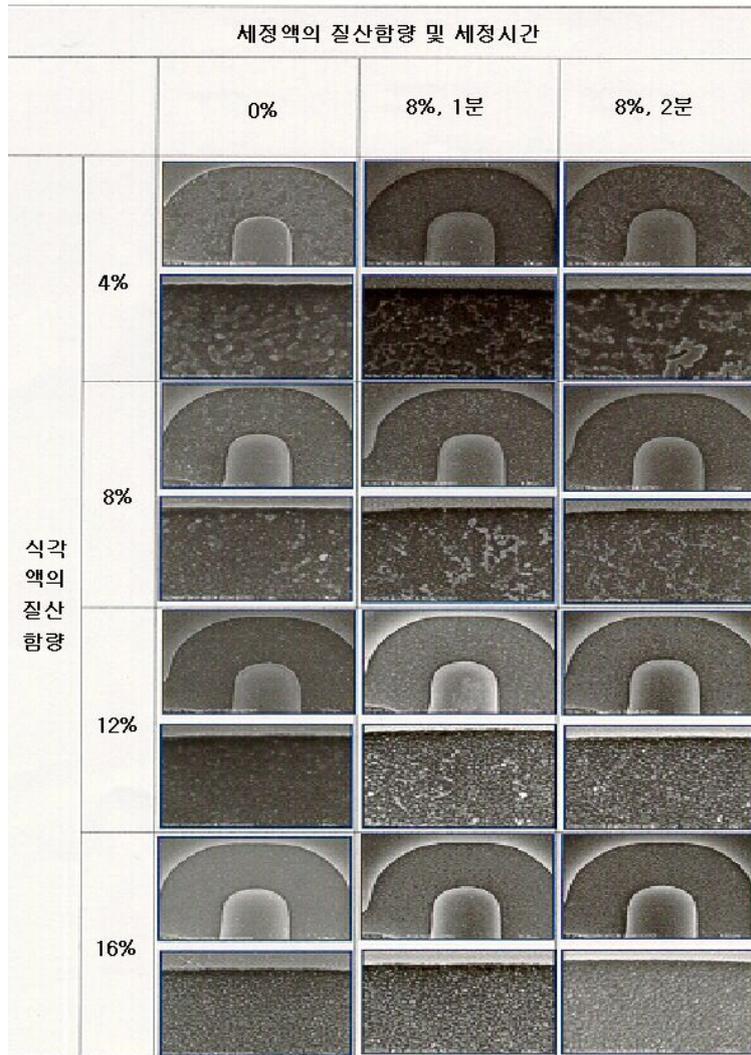
도면6a



도면6b



도면7



도면8

