

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4560275号
(P4560275)

(45) 発行日 平成22年10月13日(2010.10.13)

(24) 登録日 平成22年7月30日(2010.7.30)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/1368 (2006.01)	G02F 1/1368
G09G 3/20 (2006.01)	G09G 3/20 612J
	G09G 3/20 612R
	G09G 3/20 612T
請求項の数 34 (全 34 頁) 最終頁に続く	

(21) 出願番号	特願2003-101009 (P2003-101009)	(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成15年4月4日(2003.4.4)	(73) 特許権者	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(65) 公開番号	特開2004-309669 (P2004-309669A)	(74) 代理人	100089266 弁理士 大島 陽一
(43) 公開日	平成16年11月4日(2004.11.4)	(72) 発明者	小山 潤 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
審査請求日	平成18年1月27日(2006.1.27)	(72) 発明者	李 副烈 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		最終頁に続く	

(54) 【発明の名称】 アクティブマトリクス型表示装置とその駆動方法

(57) 【特許請求の範囲】

【請求項1】

一対の基板の間に配置された表示媒体を有するアクティブマトリクス型表示装置であって、

前記一対の基板の一方によって支持され互いに交差して延在する複数の信号線及び複数の走査線と、

前記一対の基板の前記一方によって支持されマトリクス状に配置された複数の画素電極と、

前記一対の基板の他方によって支持され、前記画素電極との間に前記表示媒体を挟持する対向電極と、

それぞれ前記画素電極の各々と前記信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、

メモリー回路の各対は、対応する信号線に接続された第1メモリー回路と、対応する画素電極に接続された第2メモリー回路とを有し、前記第2メモリー回路の状態に応じて異なる2つの電位のいずれかを対応する画素電極に供給する、複数対のメモリー回路と、

それぞれ対応する第1メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし前記第1メモリー回路への前記信号線上のデータの書き込みを可能とする複数の第1スイッチと、

それぞれ対応する第1メモリー回路と第2メモリー回路との間に接続され、オン状態にあるとき前記第1メモリー回路から前記第2メモリー回路へのデータ転送を可能とする複

数の第2スイッチと、

前記第2スイッチを選択的にオンする転送信号を供給するための複数の転送制御線と、
前記転送制御線を駆動するための転送制御線駆動回路とを有し、

前記複数の転送制御線の本数は、前記複数の走査線と同じ数である m 本 (m は2以上の自然数)であり、

前記複数の転送制御線は、 L 個 (L は2以上の自然数)のグループに分かれており、前記複数の転送制御線を m/L 本 (m/L は自然数)ずつ選択することにより各グループに異なるタイミングで前記転送信号が供給され、

前記画素電極は、前記第2メモリー回路のみと電気的に接続されており、

前記第1及び第2メモリー回路はSRAMまたはDRAMからなり、

前記DRAMは、入力部と、出力部と、容量と、P型トランジスタと、N型トランジスタと、を有し、

前記入力部は、前記容量の一方の電極と、前記P型トランジスタのゲートと、前記N型トランジスタのゲートと、に電気的に接続され、

前記出力部は、前記P型トランジスタのソース又はドレインの一方と、前記N型トランジスタのソース又はドレインの一方と、に電気的に接続され、

前記P型トランジスタのソース又はドレインの他方には、ハイレベル電源電位VDDが印加され、

前記N型トランジスタのソース又はドレインの他方には、ローレベル電源電位VSSが印加され、

前記容量の他方の電極には、前記ローレベル電源電位VSSが印加されることを特徴とするアクティブマトリクス型表示装置。

【請求項2】

一对の基板の間に配置された表示媒体を有するアクティブマトリクス型表示装置であって、

前記一对の基板の一方によって支持され互いに交差して延在する複数の信号線及び複数の走査線と、

前記複数の信号線を駆動するための信号線駆動回路と、

前記複数の走査線を駆動するための走査線駆動回路と、

前記一对の基板の前記一方によって支持されマトリクス状に配置された複数の画素電極と、

前記一对の基板の他方によって支持され、前記画素電極との間に前記表示媒体を挟持する対向電極と、

それぞれ前記画素電極の各々と前記信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続された第1メモリー回路と、対応する画素電極に接続された第2メモリー回路とを有し、前記第2メモリー回路の状態に応じて異なる2つの電位のいずれかを対応する画素電極に供給する、複数対のメモリー回路と、

それぞれ対応する第1メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし前記第1メモリー回路への前記信号線上のデータの書き込みを可能とする複数の第1スイッチと、

それぞれ対応する第1メモリー回路と第2メモリー回路との間に接続され、オン状態にあるとき前記第1メモリー回路から前記第2メモリー回路へのデータ転送を可能とする複数の第2スイッチと、

前記第2スイッチを選択的にオンする転送信号を供給するための複数の転送制御線と、

前記転送制御線を駆動するための転送制御線駆動回路とを有し、

前記複数の転送制御線の本数は、前記複数の走査線と同じ数である m 本 (m は2以上の自然数)であり、

前記複数の転送制御線は、 L 個 (L は2以上の自然数)のグループに分かれており、前記複数の転送制御線を m/L 本 (m/L は自然数)ずつ選択することにより各グループに

10

20

30

40

50

異なるタイミングで前記転送信号が供給され、

各画素に複数の前記画素電極が割り当てられ、

前記信号線は1水平ラインに含まれる前記画素電極の数と同数設けられ、

各画素に割り当てられた複数の画素電極に対応する複数の第1スイッチの各々は対応する信号線に接続されており、

前記画素電極は、前記第2メモリー回路のみと電氣的に接続されており、

前記第1及び第2メモリー回路はSRAMまたはDRAMからなり、

前記DRAMは、入力部と、出力部と、容量と、P型トランジスタと、N型トランジスタと、を有し、

前記入力部は、前記容量の一方の電極と、前記P型トランジスタのゲートと、前記N型トランジスタのゲートと、に電氣的に接続され、

前記出力部は、前記P型トランジスタのソース又はドレインの一方と、前記N型トランジスタのソース又はドレインの一方と、に電氣的に接続され、

前記P型トランジスタのソース又はドレインの他方には、ハイレベル電源電位VDDが印加され、

前記N型トランジスタのソース又はドレインの他方には、ローレベル電源電位VSSが印加され、

前記容量の他方の電極には、前記ローレベル電源電位VSSが印加されることを特徴とするアクティブマトリクス型表示装置。

【請求項3】

前記信号線駆動回路は、1水平ラインに含まれる複数の画素電極に対応するデータを保持するべく同数のラッチ回路を有し、

前記信号線は各々前記複数のラッチ回路の対応する一つに接続されていることを特徴とする請求項2に記載のアクティブマトリクス型表示装置。

【請求項4】

一对の基板の間に配置された表示媒体を有するアクティブマトリクス型表示装置であって、

前記一对の基板の一方によって支持され互いに交差して延在する複数の信号線及び複数の走査線と、

前記複数の信号線を駆動するための信号線駆動回路と、

前記複数の走査線を駆動するための走査線駆動回路と、

前記一对の基板の前記一方によって支持されマトリクス状に配置された複数の画素電極と、

前記一对の基板の他方によって支持され、前記画素電極との間に前記表示媒体を挟持する対向電極と、

それぞれ前記画素電極の各々と前記信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続された第1メモリー回路と、対応する画素電極に接続された第2メモリー回路とを有し、前記第2メモリー回路の状態に応じて異なる2つの電位のいずれかを対応する画素電極に供給する、複数対のメモリー回路と、

それぞれ対応する第1メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし前記第1メモリー回路への前記信号線上のデータの書き込みを可能とする複数の第1スイッチと、

それぞれ対応する第1メモリー回路と第2メモリー回路との間に接続され、オン状態にあるとき前記第1メモリー回路から前記第2メモリー回路へのデータ転送を可能とする複数の第2スイッチと、

前記第2スイッチを選択的にオンする転送信号を供給するための複数の転送制御線と、

前記転送制御線を駆動するための転送制御線駆動回路とを有し、

前記複数の転送制御線の本数は、前記複数の走査線と同じ数であるm本(mは2以上の自然数)であり、

10

20

30

40

50

前記複数の転送制御線は、L 個 (L は 2 以上の自然数) のグループに分かれており、前記複数の転送制御線を m / L 本 (m / L は自然数) ずつ選択することにより各グループに異なるタイミングで前記転送信号が供給され、

各画素に複数の前記画素電極が割り当てられ、

前記信号線は 1 水平ラインに含まれる画素の数と同じ数だけ設けられ、

各画素に割り当てられた複数の画素電極に対応する複数の前記第 1 スイッチは一つの信号線に接続され、

前記画素電極は、前記第 2 メモリー回路のみと電氣的に接続されており、

前記第 1 及び第 2 メモリー回路は S R A M または D R A M からなり、

前記 D R A M は、入力部と、出力部と、容量と、P 型トランジスタと、N 型トランジスタと、を有し、

前記入力部は、前記容量の一方の電極と、前記 P 型トランジスタのゲートと、前記 N 型トランジスタのゲートと、に電氣的に接続され、

前記出力部は、前記 P 型トランジスタのソース又はドレインの一方と、前記 N 型トランジスタのソース又はドレインの一方と、に電氣的に接続され、

前記 P 型トランジスタのソース又はドレインの他方には、ハイレベル電源電位 V D D が印加され、

前記 N 型トランジスタのソース又はドレインの他方には、ローレベル電源電位 V S S が印加され、

前記容量の他方の電極には、前記ローレベル電源電位 V S S が印加されることを特徴とするアクティブマトリクス型表示装置。

【請求項 5】

前記信号線駆動回路は、

1 水平ラインに含まれる各画素に割り当てられた複数の画素電極に対応するデータを保持するための複数のラッチ回路と、

前記ラッチ回路に保持されたデータのうち前記信号線に送出すべきデータを選択するべく前記ラッチ回路と前記信号線との間に設けられた、前記信号線と同数の選択スイッチとを有することを特徴とする請求項 4 に記載のアクティブマトリクス型表示装置。

【請求項 6】

各画素に割り当てられた複数の画素電極は前記信号線の延在方向に配列されていることを特徴とする請求項 4 または請求項 5 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 7】

一对の基板の間に配置された表示媒体を有するアクティブマトリクス型表示装置であって、

前記一对の基板の一方によって支持され互いに交差して延在する複数の信号線及び複数の走査線と、

前記一对の基板の前記一方によって支持されマトリクス状に配置された複数の画素電極と、

前記一对の基板の他方によって支持され、前記画素電極との間に前記表示媒体を挟持する対向電極と、

それぞれ前記画素電極の各々と前記信号線に対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続された第 1 メモリー回路と、対応する画素電極に接続された第 2 メモリー回路とを有し、前記第 2 メモリー回路の状態に応じて異なる 2 つの電位のいずれかを対応する画素電極に供給する、複数対のメモリー回路と、

それぞれ対応する第 1 メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし前記第 1 メモリー回路への前記信号線上のデータの書き込みを可能とする複数の第 1 スイッチと、

それぞれ対応する第 1 メモリー回路と第 2 メモリー回路との間に接続され、オン状態に

10

20

30

40

50

あるとき前記第 1 メモリー回路から前記第 2 メモリー回路へのデータ転送を可能とする複数の第 2 スイッチと、

前記第 2 スイッチを選択的にオンする転送信号を供給するための複数の転送制御線と、
前記転送制御線を駆動するための転送制御線駆動回路とを有し、

前記複数の転送制御線の本数は、前記複数の走査線と同じ数である m 本 (m は 2 以上の自然数) であり、

前記複数の転送制御線は、 L 個 (L は 2 以上の自然数) のグループに分かれており、前記複数の転送制御線を m / L 本 (m / L は自然数) ずつ選択することにより各グループに異なるタイミングで前記転送信号が供給され、

前記各画素に複数の前記画素電極が割り当てられ、

前記画素電極は、前記第 2 メモリー回路のみと電氣的に接続されており、

前記第 1 及び第 2 メモリー回路は S R A M または D R A M からなり、

前記 D R A M は、入力部と、出力部と、容量と、P 型トランジスタと、N 型トランジスタと、を有し、

前記入力部は、前記容量の一方の電極と、前記 P 型トランジスタのゲートと、前記 N 型トランジスタのゲートと、に電氣的に接続され、

前記出力部は、前記 P 型トランジスタのソース又はドレインの一方と、前記 N 型トランジスタのソース又はドレインの一方と、に電氣的に接続され、

前記 P 型トランジスタのソース又はドレインの他方には、ハイレベル電源電位 $V D D$ が印加され、

前記 N 型トランジスタのソース又はドレインの他方には、ローレベル電源電位 $V S S$ が印加され、

前記容量の他方の電極には、前記ローレベル電源電位 $V S S$ が印加され、

前記表示装置は面積階調表示装置であることを特徴とするアクティブマトリクス型表示装置。

【請求項 8】

一対の基板の間に配置された表示媒体を有するアクティブマトリクス型表示装置であって、

前記一対の基板の一方によって支持され互いに交差して延在する複数の信号線及び複数の走査線と、

前記複数の信号線を駆動するための信号線駆動回路と、

前記複数の走査線を駆動するための走査線駆動回路と、

前記一対の基板の前記一方によって支持されマトリクス状に配置された複数の画素電極と、

前記一対の基板の他方によって支持され、前記画素電極との間に前記表示媒体を挟持する対向電極と、

それぞれ前記画素電極の各々と前記信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続された第 1 メモリー回路と、対応する画素電極に接続された第 2 メモリー回路とを有し、前記第 2 メモリー回路の状態に応じて異なる 2 つの電位のいずれかを対応する画素電極に供給する、複数対のメモリー回路と、

それぞれ対応する第 1 メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし前記第 1 メモリー回路への前記信号線上のデータの書き込みを可能とする複数の第 1 スイッチと、

それぞれ対応する第 1 メモリー回路と第 2 メモリー回路との間に接続され、オン状態にあるとき前記第 1 メモリー回路から前記第 2 メモリー回路へのデータ転送を可能とする複数の第 2 スイッチと、

前記第 2 スイッチを選択的にオンする転送信号を供給するための複数の転送制御線と、
前記転送制御線を駆動するための転送制御線駆動回路とを有し、

前記複数の転送制御線の本数は、前記複数の走査線と同じ数である m 本 (m は 2 以上の

10

20

30

40

50

自然数)であり、

前記複数の転送制御線は、L個(Lは2以上の自然数)のグループに分かれており、前記複数の転送制御線をm/L本(m/Lは自然数)ずつ選択することにより各グループに異なるタイミングで前記転送信号が供給され、

各画素に複数の前記画素電極が割り当てられ、

前記信号線は1水平ラインに含まれる前記画素電極の数と同数設けられ、

各画素に割り当てられた複数の画素電極に対応する複数の第1スイッチの各々は対応する信号線に接続されており、

前記画素電極は、前記第2メモリー回路のみと電氣的に接続されており、

前記第1及び第2メモリー回路はSRAMまたはDRAMからなり、

前記DRAMは、入力部と、出力部と、容量と、P型トランジスタと、N型トランジスタと、を有し、

前記入力部は、前記容量の一方の電極と、前記P型トランジスタのゲートと、前記N型トランジスタのゲートと、に電氣的に接続され、

前記出力部は、前記P型トランジスタのソース又はドレインの一方と、前記N型トランジスタのソース又はドレインの一方と、に電氣的に接続され、

前記P型トランジスタのソース又はドレインの他方には、ハイレベル電源電位VDDが印加され、

前記N型トランジスタのソース又はドレインの他方には、ローレベル電源電位VSSが印加され、

前記容量の他方の電極には、前記ローレベル電源電位VSSが印加され、

前記表示装置は面積階調表示装置であることを特徴とするアクティブマトリクス型表示装置。

【請求項9】

一对の基板の間に配置された表示媒体を有するアクティブマトリクス型表示装置であって、

前記一对の基板の一方によって支持され互いに交差して延在する複数の信号線及び複数の走査線と、

前記複数の信号線を駆動するための信号線駆動回路と、

前記複数の走査線を駆動するための走査線駆動回路と、

前記一对の基板の前記一方によって支持されマトリクス状に配置された複数の画素電極と、

前記一对の基板の他方によって支持され、前記画素電極との間に前記表示媒体を挟持する対向電極と、

それぞれ前記画素電極の各々と前記信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続された第1メモリー回路と、対応する画素電極に接続された第2メモリー回路とを有し、前記第2メモリー回路の状態に応じて異なる2つの電位のいずれかを対応する画素電極に供給する、複数対のメモリー回路と、

それぞれ対応する第1メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし前記第1メモリー回路への前記信号線上のデータの書き込みを可能とする複数の第1スイッチと、

それぞれ対応する第1メモリー回路と第2メモリー回路との間に接続され、オン状態にあるとき前記第1メモリー回路から前記第2メモリー回路へのデータ転送を可能とする複数の第2スイッチと、

前記第2スイッチを選択的にオンする転送信号を供給するための複数の転送制御線と、

前記転送制御線を駆動するための転送制御線駆動回路とを有し、

前記複数の転送制御線の本数は、前記複数の走査線と同じ数であるm本(mは2以上の自然数)であり、

前記複数の転送制御線は、L個(Lは2以上の自然数)のグループに分かれており、前

10

20

30

40

50

記複数の転送制御線を m/L 本 (m/L は自然数) ずつ選択することにより各グループに異なるタイミングで前記転送信号が供給され、

各画素に複数の前記画素電極が割り当てられ、

前記信号線は 1 水平ラインに含まれる画素の数と同じ数だけ設けられ、

各画素に割り当てられた複数の画素電極に対応する複数の前記第 1 スイッチは一つの信号線に接続され、

各画素に割り当てられた複数の画素電極に対応する複数の前記第 1 スイッチはそれぞれ異なる走査線に接続されており、

前記画素電極は、前記第 2 メモリー回路のみと電気的に接続されており、

前記第 1 及び第 2 メモリー回路は S R A M または D R A M からなり、

前記 D R A M は、入力部と、出力部と、容量と、P 型トランジスタと、N 型トランジスタと、を有し、

前記入力部は、前記容量の一方の電極と、前記 P 型トランジスタのゲートと、前記 N 型トランジスタのゲートと、に電気的に接続され、

前記出力部は、前記 P 型トランジスタのソース又はドレインの一方と、前記 N 型トランジスタのソース又はドレインの一方と、に電気的に接続され、

前記 P 型トランジスタのソース又はドレインの他方には、ハイレベル電源電位 V D D が印加され、

前記 N 型トランジスタのソース又はドレインの他方には、ローレベル電源電位 V S S が印加され、

前記容量の他方の電極には、前記ローレベル電源電位 V S S が印加され、

前記表示装置は面積階調表示装置であることを特徴とするアクティブマトリクス型表示装置。

【請求項 10】

前記マトリクス型表示装置は、

前記第 1 スイッチをオンして前記第 1 メモリー回路へのデータの書き込みをする第 1 期間と、

前記第 1 メモリー回路の各々へのデータの書き込みが終了した後、前記第 2 スイッチをオンして前記第 1 メモリー回路の各々から対応する前記第 2 メモリー回路へとデータを転送する第 2 期間とを有し、

前記対向電極の電位は前記第 2 期間において第 1 の電位と第 2 の電位との間で交互に切り換えられることを特徴とする請求項 1 乃至請求項 9 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 11】

前記第 2 の期間が映像信号の帰線期間であることを特徴とする請求項 10 に記載のアクティブマトリクス型表示装置。

【請求項 12】

前記対向電極の電位の切り替えが映像信号のフレーム単位でなされることを特徴とする請求項 10 または請求項 11 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 13】

前記第 2 メモリー回路を通じて対応する画素電極に供給される 2 つの異なる電位の一方が前記第 1 の電位に概ね等しく、他方が前記第 2 の電位に概ね等しいことを特徴とする請求項 10 乃至請求項 12 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 14】

前記第 1 スイッチ及び第 2 スイッチが薄膜トランジスタからなり、前記 S R A M または D R A M が薄膜トランジスタを有することを特徴とする請求項 1 乃至請求項 13 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 15】

前記複数の信号線を駆動するための信号線駆動回路と、前記複数の走査線を駆動するための走査線駆動回路と、ロジック回路とを有し、前記信号線駆動回路、走査線駆動回路、

10

20

30

40

50

転送制御線駆動回路、第 1 及び第 2 メモリー回路、第 1 及び第 2 スイッチ及び前記ロジック回路が同じ素子構造の薄膜トランジスタを有することを特徴とする請求項 1 に記載のアクティブマトリクス型表示装置。

【請求項 1 6】

ロジック回路を有し、前記信号線駆動回路、走査線駆動回路、転送制御線駆動回路、第 1 及び第 2 メモリー回路、第 1 及び第 2 スイッチ及び前記ロジック回路が同じ素子構造の薄膜トランジスタを有することを特徴とする請求項 2 乃至請求項 9 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 1 7】

前記ロジック回路が、前記信号線駆動回路、走査線駆動回路及び転送制御線駆動回路のタイミングを制御するためのコントローラを含むことを特徴とする請求項 1 5 または請求項 1 6 のいずれかに記載のアクティブマトリクス型表示装置。

10

【請求項 1 8】

前記ロジック回路が CPU を含むことを特徴とする請求項 1 5 または請求項 1 6 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 1 9】

前記ロジック回路が画像処理回路を含むことを特徴とする請求項 1 5 または請求項 1 6 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 2 0】

デジタル階調表示装置であることを特徴とする請求項 1 乃至請求項 6 のいずれかに記載のアクティブマトリクス型表示装置。

20

【請求項 2 1】

前記転送制御線と前記信号線とが概ね平行に延在していることを特徴とする請求項 1 乃至請求項 2 0 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 2 2】

前記転送制御線と前記信号線とが概ね直交していることを特徴とする請求項 1 乃至請求項 2 0 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 2 3】

前記表示媒体が液晶であることを特徴とする請求項 1 乃至請求項 2 2 のいずれかに記載のアクティブマトリクス型表示装置。

30

【請求項 2 4】

前記各画素に k 個 (k は 2 以上の整数) の画素電極が割り当てられており、これら画素電極の面積の比が、最小の画素電極の面積を基準として $1 : 2 : 4 : \dots : 2^{k-1}$ となっていることを特徴とする請求項 7 乃至請求項 9 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 2 5】

請求項 1 乃至請求項 2 4 のいずれかに記載のアクティブマトリクス型表示装置を有する電子機器。

【請求項 2 6】

一対の基板の間に配置された表示媒体を有するアクティブマトリクス型表示装置の駆動方法であって、

40

前記アクティブマトリクス型表示装置は、

前記一対の基板の一方によって支持され互いに交差して延在する複数の信号線及び複数の走査線と、

前記一対の基板の前記一方によって支持されマトリクス状に配置された複数の画素電極と、

前記一対の基板の他方によって支持され、前記画素電極との間に前記表示媒体を挟持する対向電極と、

それぞれ前記画素電極の各々と前記信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続された第 1 メモリ

50

一回路と、対応する画素電極に接続された第2メモリ回路とを有し、前記第2メモリ回路の状態に応じて異なる2つの電位のいずれかを対応する画素電極に供給する、複数対のメモリ回路と、

それぞれ対応する第1メモリ回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし前記第1メモリ回路への前記信号線上のデータの書き込みを可能とする複数の第1スイッチと、

それぞれ対応する第1メモリ回路と第2メモリ回路との間に接続され、オン状態にあるとき前記第1メモリ回路から前記第2メモリ回路へのデータ転送を可能とする複数の第2スイッチと、

前記第2スイッチを選択的にオンする転送信号を供給するための複数の転送制御線と、
前記転送制御線を駆動するための転送制御線駆動回路とを有し、

前記複数の転送制御線の本数は、前記複数の走査線と同じ数であるm本(mは2以上の自然数)であり、

前記複数の転送制御線はL個(Lは2以上の自然数)のグループに分かれており、

前記画素電極は、前記第2メモリ回路のみと電氣的に接続されており、

前記第1及び第2メモリ回路はSRAMまたはDRAMからなり、

前記DRAMは、入力部と、出力部と、容量と、P型トランジスタと、N型トランジスタと、を有し、

前記入力部は、前記容量の一方の電極と、前記P型トランジスタのゲートと、前記N型トランジスタのゲートと、に電氣的に接続され、

前記出力部は、前記P型トランジスタのソース又はドレインの一方と、前記N型トランジスタのソース又はドレインの一方と、に電氣的に接続され、

前記P型トランジスタのソース又はドレインの他方には、ハイレベル電源電位VDDが印加され、

前記N型トランジスタのソース又はドレインの他方には、ローレベル電源電位VSSが印加され、

前記容量の他方の電極には、前記ローレベル電源電位VSSが印加され、

当該方法は、

第1期間において前記第1スイッチをオンして前記第1メモリ回路へのデータの書き込みをする過程と、

前記第1期間において前記第1メモリ回路の各々へのデータの書き込みが終了した後、第2期間において前記第2スイッチをオンして前記第1メモリ回路の各々から対応する前記第2メモリ回路へとデータを転送する過程と、

前記第2期間において前記対向電極の電位を第1の電位と第2の電位との間で交互に切り換える過程と、

前記複数の転送制御線をm/L本(m/Lは自然数)ずつ選択することにより前記複数の転送制御線の各グループに異なるタイミングで前記転送信号を供給する過程とを有することを特徴とするアクティブマトリクス型表示装置の駆動方法。

【請求項27】

一对の基板の間に配置された表示媒体を有するアクティブマトリクス型表示装置の駆動方法であって、

前記アクティブマトリクス型表示装置は、

前記一对の基板の一方によって支持され互いに交差して延在する複数の信号線及び複数の走査線と、

前記一对の基板の前記一方によって支持されマトリクス状に配置された複数の画素電極と、

前記一对の基板の他方によって支持され、前記画素電極との間に前記表示媒体を挟持する対向電極と、

それぞれ前記画素電極の各々と前記信号線の対応する一つとの間に設けられた複数対のメモリ回路であって、メモリ回路の各対は、対応する信号線に接続された第1メモリ

10

20

30

40

50

一回路と、対応する画素電極に接続された第2メモリ回路とを有し、前記第2メモリ回路の状態に応じて異なる2つの電位のいずれかを対応する画素電極に供給する、複数対のメモリ回路と、

それぞれ対応する第1メモリ回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし前記第1メモリ回路への前記信号線上のデータの書き込みを可能とする複数の第1スイッチと、

それぞれ対応する第1メモリ回路と第2メモリ回路との間に接続され、オン状態にあるとき前記第1メモリ回路から前記第2メモリ回路へのデータ転送を可能とする複数の第2スイッチと、

前記第2スイッチを選択的にオンする転送信号を供給するための複数の転送制御線と、
前記転送制御線を駆動するための転送制御線駆動回路とを有し、

前記複数の転送制御線の本数は、前記複数の走査線と同じ数であるm本(mは2以上の自然数)であり、

前記複数の転送制御線はL個(Lは2以上の自然数)のグループに分かれており、

前記画素電極は、前記第2メモリ回路のみと電氣的に接続されており、

前記第1及び第2メモリ回路はSRAMまたはDRAMからなり、

前記DRAMは、入力部と、出力部と、容量と、P型トランジスタと、N型トランジスタと、を有し、

前記入力部は、前記容量の一方の電極と、前記P型トランジスタのゲートと、前記N型トランジスタのゲートと、に電氣的に接続され、

前記出力部は、前記P型トランジスタのソース又はドレインの一方と、前記N型トランジスタのソース又はドレインの一方と、に電氣的に接続され、

前記P型トランジスタのソース又はドレインの他方には、ハイレベル電源電位VDDが印加され、

前記N型トランジスタのソース又はドレインの他方には、ローレベル電源電位VSSが印加され、

前記容量の他方の電極には、前記ローレベル電源電位VSSが印加され、

当該方法は、

第1期間において前記第1スイッチをオンして前記第1メモリ回路へのデータの書き込みをする過程と、

前記第1期間において前記第1メモリ回路の各々へのデータの書き込みが終了した後、第2期間において前記第2スイッチをオンして前記第1メモリ回路の各々から対応する前記第2メモリ回路へとデータを転送する過程と、

前記第2期間において前記対向電極の電位を第1の電位と第2の電位との間で交互に切り換える過程と、

前記複数の転送制御線をm/L本(m/Lは自然数)ずつ選択することにより前記複数の転送制御線の各グループに異なるタイミングで前記転送信号を供給する過程とを有し、

前記第2の期間が映像信号の帰線期間であることを特徴とするアクティブマトリクス型表示装置の駆動方法。

【請求項28】

前記対向電極の電位の切り替えを映像信号のフレーム単位で行うことを特徴とする請求項26または請求項27のいずれかに記載のアクティブマトリクス型表示装置の駆動方法。

【請求項29】

一对の基板の間に配置された表示媒体を有するアクティブマトリクス型表示装置の駆動方法であって、

前記アクティブマトリクス型表示装置は、

前記一对の基板の一方によって支持され互いに交差して延在する複数の信号線及び複数の走査線と、

前記一对の基板の前記一方によって支持されマトリクス状に配置された複数の画素電極

10

20

30

40

50

と、

前記一对の基板の他方によって支持され、前記画素電極との間に前記表示媒体を挟持する対向電極と、

それぞれ前記画素電極の各々と前記信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続された第1メモリー回路と、対応する画素電極に接続された第2メモリー回路とを有し、前記第2メモリー回路の状態に応じて異なる2つの電位のいずれかを対応する画素電極に供給する、複数対のメモリー回路と、

それぞれ対応する第1メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし前記第1メモリー回路への前記信号線上のデータの書き込みを可能とする複数の第1スイッチと、

それぞれ対応する第1メモリー回路と第2メモリー回路との間に接続され、オン状態にあるとき前記第1メモリー回路から前記第2メモリー回路へのデータ転送を可能とする複数の第2スイッチと、

前記第2スイッチを選択的にオンする転送信号を供給するための複数の転送制御線と、前記転送制御線を駆動するための転送制御線駆動回路とを有し、

前記複数の転送制御線の本数は、前記複数の走査線と同じ数である m 本 (m は2以上の自然数)であり、

前記複数の転送制御線は L 個 (L は2以上の自然数)のグループに分かれており、

前記画素電極は、前記第2メモリー回路のみと電氣的に接続されており、

前記第1及び第2メモリー回路はSRAMまたはDRAMからなり、

前記DRAMは、入力部と、出力部と、容量と、P型トランジスタと、N型トランジスタと、を有し、

前記入力部は、前記容量の一方の電極と、前記P型トランジスタのゲートと、前記N型トランジスタのゲートと、に電氣的に接続され、

前記出力部は、前記P型トランジスタのソース又はドレインの一方と、前記N型トランジスタのソース又はドレインの一方と、に電氣的に接続され、

前記P型トランジスタのソース又はドレインの他方には、ハイレベル電源電位 VDD が印加され、

前記N型トランジスタのソース又はドレインの他方には、ローレベル電源電位 VSS が印加され、

前記容量の他方の電極には、前記ローレベル電源電位 VSS が印加され、

当該方法は、

第1期間において前記第1スイッチをオンして前記第1メモリー回路へのデータの書き込みをする過程と、

前記第1期間において前記第1メモリー回路の各々へのデータの書き込みが終了した後、第2期間において前記第2スイッチをオンして前記第1メモリー回路の各々から対応する前記第2メモリー回路へとデータを転送する過程と、

前記第2期間において前記対向電極の電位を第1の電位と第2の電位との間で交互に切り換える過程と、

前記複数の転送制御線を m/L 本 (m/L は自然数)ずつ選択することにより前記複数の転送制御線の各グループに異なるタイミングで前記転送信号を供給する過程とを有し、

各画素に複数の前記画素電極が割り当てられ、各画素電極は対応する発光セルを定め、

各画素において発光させる発光セルの組合せを変えることにより面積階調を行うことを特徴とするアクティブマトリクス型表示装置の駆動方法。

【請求項30】

一对の基板の間に配置された表示媒体を有するアクティブマトリクス型表示装置の駆動方法であって、

前記アクティブマトリクス型表示装置は、

前記一对の基板の一方によって支持され互いに交差して延在する複数の信号線及び複数

10

20

30

40

50

の走査線と、

前記一对の基板の前記一方によって支持されマトリクス状に配置された複数の画素電極と、

前記一对の基板の他方によって支持され、前記画素電極との間に前記表示媒体を挟持する対向電極と、

それぞれ前記画素電極の各々と前記信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続された第1メモリー回路と、対応する画素電極に接続された第2メモリー回路とを有し、前記第2メモリー回路の状態に応じて異なる2つの電位のいずれかを対応する画素電極に供給する、複数対のメモリー回路と、

10

それぞれ対応する第1メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし前記第1メモリー回路への前記信号線上のデータの書き込みを可能とする複数の第1スイッチと、

それぞれ対応する第1メモリー回路と第2メモリー回路との間に接続され、オン状態にあるとき前記第1メモリー回路から前記第2メモリー回路へのデータ転送を可能とする複数の第2スイッチと、

前記第2スイッチを選択的にオンする転送信号を供給するための複数の転送制御線と、前記転送制御線を駆動するための転送制御線駆動回路とを有し、

前記複数の転送制御線の本数は、前記複数の走査線と同じ数であるm本(mは2以上の自然数)であり、

20

前記複数の転送制御線はL個(Lは2以上の自然数)のグループに分かれており、

前記画素電極は、前記第2メモリー回路のみと電氣的に接続されており、

前記第1及び第2メモリー回路はSRAMまたはDRAMからなり、

前記DRAMは、入力部と、出力部と、容量と、P型トランジスタと、N型トランジスタと、を有し、

前記入力部は、前記容量の一方の電極と、前記P型トランジスタのゲートと、前記N型トランジスタのゲートと、に電氣的に接続され、

前記出力部は、前記P型トランジスタのソース又はドレインの一方と、前記N型トランジスタのソース又はドレインの一方と、に電氣的に接続され、

前記P型トランジスタのソース又はドレインの他方には、ハイレベル電源電位VDDが印加され、

30

前記N型トランジスタのソース又はドレインの他方には、ローレベル電源電位VSSが印加され、

前記容量の他方の電極には、前記ローレベル電源電位VSSが印加され、

当該方法は、

第1期間において前記第1スイッチをオンして前記第1メモリー回路へのデータの書き込みをする過程と、

前記第1期間において前記第1メモリー回路の各々へのデータの書き込みが終了した後、第2期間において前記第2スイッチをオンして前記第1メモリー回路の各々から対応する前記第2メモリー回路へとデータを転送する過程と、

40

前記第2期間において前記対向電極の電位を第1の電位と第2の電位との間で交互に切り換える過程と、

前記複数の転送制御線をm/L本(m/Lは自然数)ずつ選択することにより前記複数の転送制御線の各グループに異なるタイミングで前記転送信号を供給する過程とを有し、

前記第2の期間は映像信号の帰線期間であり、

各画素に複数の前記画素電極が割り当てられ、各画素電極は対応する発光セルを定め、

各画素において発光させる発光セルの組合せを変えることにより面積階調を行うことを特徴とするアクティブマトリクス型表示装置の駆動方法。

【請求項31】

一对の基板の間に配置された表示媒体を有するアクティブマトリクス型表示装置の駆動

50

方法であって、

前記アクティブマトリクス型表示装置は、

前記一对の基板の一方によって支持され互いに交差して延在する複数の信号線及び複数の走査線と、

前記一对の基板の前記一方によって支持されマトリクス状に配置された複数の画素電極と、

前記一对の基板の他方によって支持され、前記画素電極との間に前記表示媒体を挟持する対向電極と、

それぞれ前記画素電極の各々と前記信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続された第1メモリー回路と、対応する画素電極に接続された第2メモリー回路とを有し、前記第2メモリー回路の状態に応じて異なる2つの電位のいずれかを対応する画素電極に供給する、複数対のメモリー回路と、

それぞれ対応する第1メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし前記第1メモリー回路への前記信号線上のデータの書き込みを可能とする複数の第1スイッチと、

それぞれ対応する第1メモリー回路と第2メモリー回路との間に接続され、オン状態にあるとき前記第1メモリー回路から前記第2メモリー回路へのデータ転送を可能とする複数の第2スイッチと、

前記第2スイッチを選択的にオンする転送信号を供給するための複数の転送制御線と、

前記転送制御線を駆動するための転送制御線駆動回路とを有し、

前記複数の転送制御線の本数は、前記複数の走査線と同じ数であるm本（mは2以上の自然数）であり、

前記複数の転送制御線はL個（Lは2以上の自然数）のグループに分かれており、

前記画素電極は、前記第2メモリー回路のみと電氣的に接続されており、

前記第1及び第2メモリー回路はSRAMまたはDRAMからなり、

前記DRAMは、入力部と、出力部と、容量と、P型トランジスタと、N型トランジスタと、を有し、

前記入力部は、前記容量の一方の電極と、前記P型トランジスタのゲートと、前記N型トランジスタのゲートと、に電氣的に接続され、

前記出力部は、前記P型トランジスタのソース又はドレインの一方と、前記N型トランジスタのソース又はドレインの一方と、に電氣的に接続され、

前記P型トランジスタのソース又はドレインの他方には、ハイレベル電源電位VDDが印加され、

前記N型トランジスタのソース又はドレインの他方には、ローレベル電源電位VSSが印加され、

前記容量の他方の電極には、前記ローレベル電源電位VSSが印加され、

当該方法は、

第1期間において前記第1スイッチをオンして前記第1メモリー回路へのデータの書き込みをする過程と、

前記第1期間において前記第1メモリー回路の各々へのデータの書き込みが終了した後、第2期間において前記第2スイッチをオンして前記第1メモリー回路の各々から対応する前記第2メモリー回路へとデータを転送する過程と、

前記第2期間において前記対向電極の電位を第1の電位と第2の電位との間で交互に切り換える過程と、

前記複数の転送制御線をm/L本（m/Lは自然数）ずつ選択することにより前記複数の転送制御線の各グループに異なるタイミングで前記転送信号を供給する過程とを有し、

前記対向電極の電位の切り替えは映像信号のフレーム単位で行われ、

各画素に複数の前記画素電極が割り当てられ、各画素電極は対応する発光セルを定め、

各画素において発光させる発光セルの組合せを変えることにより面積階調を行うことを

10

20

30

40

50

特徴とするアクティブマトリクス型表示装置の駆動方法。

【請求項 3 2】

一対の基板の間に配置された表示媒体を有するアクティブマトリクス型表示装置の駆動方法であって、

前記アクティブマトリクス型表示装置は、

前記一対の基板の一方によって支持され互いに交差して延在する複数の信号線及び複数の走査線と、

前記一対の基板の前記一方によって支持されマトリクス状に配置された複数の画素電極と、

前記一対の基板の他方によって支持され、前記画素電極との間に前記表示媒体を挟持する対向電極と、

それぞれ前記画素電極の各々と前記信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続された第 1 メモリー回路と、対応する画素電極に接続された第 2 メモリー回路とを有し、前記第 2 メモリー回路の状態に応じて異なる 2 つの電位のいずれかを対応する画素電極に供給する、複数対のメモリー回路と、

それぞれ対応する第 1 メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし前記第 1 メモリー回路への前記信号線上のデータの書き込みを可能とする複数の第 1 スイッチと、

それぞれ対応する第 1 メモリー回路と第 2 メモリー回路との間に接続され、オン状態にあるとき前記第 1 メモリー回路から前記第 2 メモリー回路へのデータ転送を可能とする複数の第 2 スイッチと、

前記第 2 スイッチを選択的にオンする転送信号を供給するための複数の転送制御線と、

前記転送制御線を駆動するための転送制御線駆動回路とを有し、

前記複数の転送制御線の本数は、前記複数の走査線と同じ数である m 本 (m は 2 以上の自然数) であり、

前記複数の転送制御線は L 個 (L は 2 以上の自然数) のグループに分かれており、

前記画素電極は、前記第 2 メモリー回路のみと電氣的に接続されており、

前記第 1 及び第 2 メモリー回路は S R A M または D R A M からなり、

前記 D R A M は、入力部と、出力部と、容量と、P 型トランジスタと、N 型トランジスタと、を有し、

前記入力部は、前記容量の一方の電極と、前記 P 型トランジスタのゲートと、前記 N 型トランジスタのゲートと、に電氣的に接続され、

前記出力部は、前記 P 型トランジスタのソース又はドレインの一方と、前記 N 型トランジスタのソース又はドレインの一方と、に電氣的に接続され、

前記 P 型トランジスタのソース又はドレインの他方には、ハイレベル電源電位 $V D D$ が印加され、

前記 N 型トランジスタのソース又はドレインの他方には、ローレベル電源電位 $V S S$ が印加され、

前記容量の他方の電極には、前記ローレベル電源電位 $V S S$ が印加され、

当該方法は、

第 1 期間において前記第 1 スイッチをオンして前記第 1 メモリー回路へのデータの書き込みをする過程と、

前記第 1 期間において前記第 1 メモリー回路の各々へのデータの書き込みが終了した後、第 2 期間において前記第 2 スイッチをオンして前記第 1 メモリー回路の各々から対応する前記第 2 メモリー回路へとデータを転送する過程と、

前記第 2 期間において前記対向電極の電位を第 1 の電位と第 2 の電位との間で交互に切り換える過程と、

前記複数の転送制御線を m / L 本 (m / L は自然数) ずつ選択することにより前記複数の転送制御線の各グループに異なるタイミングで前記転送信号を供給する過程とを有し、

10

20

30

40

50

前記第 2 の期間は映像信号の帰線期間であり、
 前記対向電極の電位の切り替えは映像信号のフレーム単位で行われ、
 各画素に複数の前記画素電極が割り当てられ、各画素電極は対応する発光セルを定め、
 各画素において発光させる発光セルの組合せを変えることにより面積階調を行うことを
 特徴とするアクティブマトリクス型表示装置の駆動方法。

【請求項 3 3】

前記信号線は 1 水平ラインに含まれる画素の数と同じ数だけ設けられ、
 各画素に割り当てられた複数の画素電極に対応する複数の前記第 1 スイッチは一つの信
 号線に接続され、

各画素に割り当てられた複数の画素電極に対応する複数の前記第 1 スイッチはそれぞれ
 異なる走査線に接続されており、

当該方法は、

前記信号線駆動回路から、各画素に割り当てられた複数の画素電極のためのデータを順
 に対応する信号線に出力する過程と、

各画素に割り当てられた複数の前記第 1 スイッチの各々に対応する走査線からの信号に
 より、前記信号線に出力されたデータに同期してオンする過程とを有することを特徴と
 する請求項 2 9 乃至請求項 3 2 のいずれかに記載のアクティブマトリクス型表示装置の駆
 動方法。

【請求項 3 4】

前記第 1 期間において、前の第 2 期間において前記第 2 メモリー回路に書き込まれたデー
 タに基づいて画面表示を行うことを特徴とする請求項 2 6 乃至請求項 3 3 のいずれかに
 記載のアクティブマトリクス型表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はアクティブマトリクス型表示装置、特にデジタル階調方式のアクティブマトリク
 ス型液晶表示装置に関する。また、そのような表示装置を備えた電子機器に関する。

【0002】

【従来の技術】

近年、フラットパネルディスプレイ（FDP）として、アクティブマトリクス型半導体表
 示装置が市場を賑わしている。中でも、表示媒体（電気光学変調層ともいう）に液晶を用
 いたアクティブマトリクス型液晶表示装置が例えばパーソナルコンピュータ等の電子機器
 の表示装置として多用されている。アクティブマトリクス型液晶表示装置では、各画素の
 明るさを連続的に変化させるアナログ階調と、各画素の明るさを離散的に変化させるデジ
 タル階調が知られている。アナログ階調は、例えば、各画素に割り当てられた液晶セルに
 印加する電圧を連続的に変え、液晶セルの透過率を連続的に変えることによって実現され
 る。デジタル階調には、各画素に複数の液晶セルを割り当て、発光させる液晶セルの組合
 せを変えることで各画素の明るさを変える面積階調や、各画素に割り当てる液晶セルは一
 つであるが、1 フレームにおける液晶セルの発光時間を離散的に変えることで各画素の明
 明るさを変える時間階調がある。また、各画素に赤（R）、緑（G）または青（B）のフィ
 ルタを用いることでカラー表示を行うことも広くなされている。

【0003】

図 1 3 は、アクティブマトリクス型液晶表示装置の従来例を示す模式的な回路図である。
 図示されているように、アクティブマトリクス型液晶表示装置 2 0 0 は、画素マトリクス
 部（または液晶表示部）2 1 0、信号線駆動回路 2 1 1、走査線駆動回路 2 1 2 を含む。
 近年、アクティブマトリクス型液晶表示装置 2 0 0 の画素マトリクス部 2 1 0、信号線駆
 動回路 2 1 1、走査線駆動回路 2 1 2 を低温ポリシリコン薄膜トランジスタ（TFET）を
 用いて同一基板上に形成することがなされている。そのような低温ポリシリコン液晶表示
 装置 2 0 0 は小型化が容易であることから特に携帯機器などの中小型ディスプレイパネル
 に適している。

10

20

30

40

50

また最近では低温ポリシリコンTFTの特性向上によって、画素マトリクス部210や駆動回路211、212だけでなく、液晶表示装置200に含まれ得る低電圧（例えば5V）で動作する回路、例えばCPU213、コントローラ214、メモリー（図示せず）なども低温ポリシリコンTFTによって構成することが可能となっている。これらの低電圧回路に低温ポリシリコンTFTを用いる場合、周波数特性や素子密度を向上させるためゲート長を短くすることが望ましいが、ゲート長を短くすると、短チャネル効果が発生しやすくなり、TFT特性がドレイン電圧によって変動しやすくなることから、短チャネル効果を抑制するためゲート絶縁膜を極力薄くするなどの対策が必要である。例えば5V系のTFTではゲート長が2 μ m以下、ゲート絶縁膜の厚さが50nm以下であることが望ましい。

10

【0004】

画素マトリクス部210では、信号線230及び走査線231がマトリクス状に配置され、これら信号線230と走査線231の交点部分に画素TFT242が配置されている。画素TFT242は、通常、電界効果トランジスタ（FET）からなる。各TFT242のゲート、ソース及びドレインは、それぞれ、対応する走査線231、信号線230及び画素電極222に接続されている。尚、信号線230及び走査線231は対応するTFT242のソース及びゲートにそれぞれ接続されていることからソース信号線及びゲート信号線と呼ばれることもある。

【0005】

複数の画素電極222と向き合って対向電極223が配置され、画素電極222と対向電極223の間に液晶224が配置される。画素電極222、対向電極223及び液晶224によって液晶セル221が形成されているということもできる。尚、図では各画素電極222毎に別個の液晶224が設けられているように見えるが、当業者にはよく知られているように、液晶224は複数の画素電極222に渡って延在する単一の部材として設けられるのが通常である。これは、対向電極223についても同様である。

20

【0006】

一般に、画素電極222、対向電極223及びそれらの間に配置された液晶224からなる液晶セル221は大きな静電容量を有することができないため、画素電極222の近傍に電荷を保持するための保持容量225が設けられる。図示は省略するが、通常、画素マトリクス部210のTFT242及び画素電極222と、駆動回路211、212とは同じ基板（アクティブマトリクス基板または素子基板ということもある）に設けられ、対向電極223は別の基板（対向基板ということもある）に設けられ、液晶224はこれら2つの基板の間に挟まれる。

30

【0007】

走査線231にTFT242のゲート・ソース間電圧がしきい値電圧を超えるように電位（選択信号）が印加され、TFT242がオンすると、TFT242のドレインとソースはショート状態となる。そうして、信号線230の電位が画素電極222に伝達され、それに応じて液晶セル221及び保持容量225が充電される。TFT242がオフになるとドレインとソースの間は非導通状態となり、液晶セル221及び保持容量225に蓄積された電荷は次にTFT242がオンするまで保持される。液晶224は電圧が印加された状態と印加されていない状態とで光の透過特性が変わるため、画素電極222の電位 V_{pix} 及び対向電極223の電位 V_{com} を制御し液晶224に印加する電圧を制御することで各液晶セル221の明るさを変えることができる。

40

【0008】

このような液晶表示装置200において面積階調を行う場合、例えば隣接する2つの液晶セル221を一つの画素に割り当てると、これら2つの液晶セル221のオンオフの組合せによって4段階に画素の明るさを変えることができる（4階調）。各画素に割り当てる液晶セル221の数を増やせば、より多段階に各画素の明るさを変えることが可能である。各画素に割り当てる液晶セル221の面積を異ならせてもよい。一般に、 k 個の液晶セル E_1 、 E_2 、 \dots 、 E_k を一つの画素に割り当てる場合（表示ビット数 k という）、各

50

液晶セル E_1 、 E_2 、 \dots 、 E_k の面積は、最小の液晶セルの面積を E_0 としたとき、 $E_1 = 1 \times E_0$ 、 $E_2 = 2 \times E_0$ 、 \dots 、 $E_k = 2^{k-1} \times E_0$ となるように設計すると、これらの組合せを変えることで E_0 に相当する明るさを最小単位として 2^k 階調で画素の明るさを変えることができ好適である。また、各画素に 1 つの液晶セル 221 を割り当てた場合でも、例えば映像信号の 1 フレームにおける液晶セル 221 の発光時間を離散的に変えることでデジタル階調を行うことができる（時間階調）。この場合も、 k 個の発光時間 T_1 、 T_2 、 \dots 、 T_k の長さを、最小の発光時間を T_0 としたとき、 $T_1 = 1 \times T_0$ 、 $T_2 = 2 \times T_0$ 、 \dots 、 $T_k = 2^{k-1} \times T_0$ とし（ $T_1 \sim T_k$ の合計は 1 フレーム期間より小さい）、それらの組合せを変えることで T_0 に相当する明るさを最小単位として 2^k 階調で画素の明るさを変えることができる。尚、時間階調を行う場合、各発光時間に対して液晶セルの点灯を行うか否かを設定する走査を行うため、1 フレーム内に複数のサブフレーム（走査期間と帰線期間の対）が含まれることとなる。

10

【0009】

一般に、液晶 224 は印加電圧に対して履歴性があるため、直流電圧を長期にわたり印加すると劣化（焼き付きなど）が発生する。これを防止するため、液晶 224 に印加する電圧の向きを一定期間毎に逆向きにし、液晶 224 に印加される電圧の平均値がゼロになるようにするとよい。この駆動方法を反転駆動方法という。これは、図 14 に示すように、対向電極 223 の電位 V_{com} を一定に保ち、対向電極 223 の電位 V_{com} を基準とした画素電極 222 に印加される電位 V_{pix} （即ち、信号線電位）の極性を一定期間毎（例えばフレーム毎）に反転させることによって実現することができる。例えば、対向電極 223 の電位 V_{com} が 8 V の場合、画素電極 222 の電位 V_{pix} を 3 ~ 13 V の間で振動させると、液晶 224 に印加される電圧は +5 V と -5 V の間で交互に切り替わる。尚、このような反転駆動方法は印加電圧に対して履歴性を有する液晶以外の表示媒体に対しても適用可能である。

20

【0010】

しかしながら、このような駆動方法では、信号線電位が変化する範囲が、液晶 224 に加えられる電圧（絶対値）の 2 倍となるため、信号線駆動回路 211 の耐圧を高くする必要がある。また各 TFT 242 のゲート電位はソース電位に対して定められるため、ソースに供給される信号線電位の変動範囲が大きくなると、ゲート電位の変動範囲も大きくなり（例えば 0 ~ 16 V）、従って、ゲートが接続される走査線駆動回路 212 の耐圧も高くする必要がある。例えばこれら駆動回路 211、212 で使用する TFT は、ゲート長が 5 μ m 以上、ゲート絶縁膜の厚さが 100 nm 以上であることが望ましく、更に LDD 構造やゲートオーバーラップ LDD 構造（GOLD 構造）が必要となり、製造コストの増大を招いていた。

30

【0011】

また上記したように、CPU 213 やコントローラ 214 を構成するための低電圧 TFT はゲート長が 2 μ m 以下、ゲート絶縁膜の厚さが 50 nm 以下であることが望ましいが、図 14 に示した駆動方式を行う場合、そのような TFT を駆動回路 211、212 に用いることはできない。従って、駆動回路 211、212 のように高い耐圧が必要とされる回路と、CPU 213 やコントローラ 214 のように低い耐圧しか必要としない回路とで TFT を作り分ける必要があり、それに応じて製造プロセスも異なるものを要することから、製造工程の増加及びコスト増大につながっていた。

40

【0012】

別の駆動方法として、図 15 に示すように、対向電極 223 の電位 V_{com} を例えば 1 フレーム単位でハイレベルコモン電位 V_{comH} とローレベルコモン電位 V_{comL} の間で切り換え、画素電極 222 に供給する信号線の電位 V_{pix} をそれに合わせて定める方法がある（交流駆動という）。これによれば、画素電位（信号線電位） V_{pix} の変動範囲は図 13 に示した駆動方法に比べて半分（即ち、液晶 224 にかかる電圧の大きさと同じ）にできるため、信号線駆動回路 211 の耐圧を低くすることができる。また、それに伴い走査線駆動回路 212 の耐圧も低くすることができる。従って、これら駆動回路 211、212 に用い

50

られるTFTの耐圧も低くすることができ、製造コストを低減することが可能である。そのような駆動方法において、対向電極223の電位Vcomの切り換えに伴う画像の乱れを極力小さくするため、対向電極223の電位Vcomの切り換え及び走査（全画素に対する画素電極221の電位設定）をバックライトなどの光源が消灯している期間に行うことも提案されている（特許文献1）。そのような方法によれば駆動回路211、212の耐圧を低くすることが可能であるが、なお次のような問題がある。

【0013】

例えば、液晶表示装置200において、液晶224は5Vの大きさの電圧が加えられると非透過状態となり、電圧が印加されていないときは透過状態になるものとし、対向電極223の電位Vcom及び信号線230の電位Vpixは0V～5Vの間で交流駆動するものとする（即ち、図14においてVcomL=0V、VcomH=5V）。この場合、あるフレームにおいて対向電極の電位Vcomが0Vのとき、ある液晶セル221で黒を表示しようとする、液晶224に5Vの電圧を印加するため対応する信号線電位（または画素電極222の電位）Vpixを5Vとする必要がある。それにより、対応する保持容量225は両端の電圧が5Vとなるように充電される。次のフレームでは対向電極223の電位Vcomは5Vへと切り換えられるが、そのとき、まだその液晶セル221のデータ（保持容量225の両端の電圧）が書き換えられていない場合、画素TFT242がオフ状態のときには保持容量225に蓄積された電荷（または両端の電圧）が保存されることから、対向電極223の電位Vcomに保持容量225の電圧が加わって画素電極222の電位Vpixは10Vまで上昇する。従って、画素電極222及びそれに接続された部分（画素TFT242を含む）は、やはり10V以上の耐圧が必要であり、製造コストが増加する。

【0014】

また、走査中は光源をオフにし、走査終了後に光源を点灯させることから、特に画素数が多く走査に時間がかかる場合など、光源点灯時間が短くなり、十分な明るさの画面を得にくくなるという問題がある。

【0015】

尚、保持容量を使用する代わりに、各画素TFTとそれに対応する画素電極の間に一つのメモリー回路を配置し、メモリー回路に記憶された情報に基づいてハイレベル電源電位またはローレベル電源電位を直接画素電極に供給することが提案されている（特許文献2）。

【0016】

【特許文献1】

特開2002-287708号公報

【特許文献2】

特開平7-199157号公報

【0017】

【発明が解決しようとする課題】

本発明は上記したような従来技術の問題点を解決するためのものであり、本発明の主な目的は、画素電極の電位の変動範囲を抑制し、耐圧の低い回路素子を用いることを可能として、製造コストの低減を図った交流駆動式のアクティブマトリクス型表示装置を提供することである。

【0018】

本発明の第2の目的は、画素電極の電位の変動範囲を抑制しつつ、十分な明るさの画面を容易に得ることが可能な交流駆動式のアクティブマトリクス型表示装置を提供することである。

【0019】

本発明の第3の目的は、上記したようなアクティブマトリクス型表示装置を単純な構造で低コストに提供することである。

【0020】

本発明の第4の目的は上記したようなアクティブマトリクス型表示装置を用いた電子機器

を提供することである。

【 0 0 2 1 】

【課題を解決するための手段】

前記目的を達成するため本発明の一側面に基つくと、一对の基板の間に配置された表示媒体(24)を有するアクティブマトリクス型表示装置(1、100、110)であって、一对の基板の一方によって支持され互いに交差して延在する複数の信号線(30)及び複数の走査線(31)と、一对の基板の一方によって支持されマトリクス状に配置された複数の画素電極(22)と、一对の基板の他方によって支持され、画素電極との間に表示媒体を挟持する対向電極(23)と、それぞれ画素電極の各々と信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続された第1メモリー回路(40)と、対応する画素電極に接続された第2メモリー回路(41)とを有し、第2メモリー回路の状態に応じて異なる2つの電位(VDD、VSS)のいずれかを対応する画素電極に供給する、複数対のメモリー回路と、それぞれ対応する第1メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし第1メモリー回路への信号線上のデータの書き込みを可能とする複数の第1スイッチ(42)と、それぞれ対応する第1メモリー回路と第2メモリー回路との間に接続され、オン状態にあるとき第1メモリー回路から第2メモリー回路へのデータ転送を可能とする複数の第2スイッチ(43)と、第2スイッチを選択的にオンする転送信号を供給するための少なくとも1つの転送制御線(44)と、転送制御線を駆動するための転送制御線駆動回路(45)とを有することを特徴とするアクティブマトリクス型表示装置が提供される。

10

20

【 0 0 2 2 】

一好適実施例では、各画素に複数の画素電極が割り当てられ、信号線は1水平ラインに含まれる画素電極の数と同数設けられ、各画素に割り当てられた複数の画素電極に対応する複数の第1スイッチの各々は対応する信号線に接続される。

この場合、好適には、信号線を駆動するための信号線駆動回路は、1水平ラインに含まれる複数の画素電極に対応するデータを保持するべく同数のラッチ回路(53)を有し、信号線は各々複数のラッチ回路の対応する一つに接続されるものとすることができる。

【 0 0 2 3 】

別の態様として、各画素に複数の画素電極が割り当てられ、信号線は1水平ラインに含まれる画素の数と同じ数だけ設けられ、各画素に割り当てられた複数の画素電極に対応する複数の第1スイッチは一つの信号線に接続され、各画素に割り当てられた複数の画素電極に対応する複数の第1スイッチはそれぞれ異なる走査線に接続されるものとする事もできる。この場合、好適には、信号線を駆動するための信号線駆動回路は、1水平ラインに含まれる各画素に割り当てられた複数の画素電極に対応するデータを保持するための複数のラッチ回路と、これらラッチ回路に保持されたデータのうち信号線上に送出すべきデータを選択するべくラッチ回路と信号線との間に設けられた、信号線と同数の選択スイッチ(SW1)とを有するものとする事ができる。このような構造は、信号線を1水平ラインに含まれる画素電極と同数設けた場合と比べて信号線の数を減らすことができるため、各画素に割り当てられた複数の画素電極が信号線の延在方向に沿って配列され、信号線の延在方向と直交する方向にスペースが限られている場合に、特に有効である。

30

40

【 0 0 2 4 】

上記したようなアクティブマトリクス型表示装置によれば、各画素電極に対して一对のメモリー回路(第1メモリー回路及び第2メモリー回路)を設けたことから、第1期間(走査期間)において第1スイッチを順次オンして第1メモリー回路に次の第2期間(帰線期間)において設定される対向電極の電位に合わせたデータを書き込んでいる間、前の第2期間において第1メモリー回路から第2メモリー回路へと転送されたデータを用いて画像表示を行うことができるため、第1期間に画面表示を行っても画面の乱れが生じない。従って、第1期間にも画面表示を行うことができることから、交流駆動に伴う画面の乱れを抑制しつつ十分な画像表示期間を確保して良好な明るさの画面表示を容易に実現すること

50

ができる。

【0025】

好適には、第2の期間は映像信号の帰線期間とすることができる。また、本発明の一実施例によれば、対向電極の電位の切り替えは映像信号のフレーム単位で行うことができる。

【0026】

また、各画素電極には対応する第2メモリー回路を通じて異なる2つの電位（ハイレベル電源電位VDDまたはローレベル電源電位VSS）のいずれかが供給されるため、交流駆動により対向電極の電位が第1の電位と第2の電位の間で変化する場合でも、画素電極の電位（Vpix）はそれに影響されない。従って、画素電極の電位が不所望に高くなること
10

【0027】

特に、第2メモリー回路を通じて対応する画素電極に供給される2つの異なる電位の一方が第1の電位に概ね等しく、他方が第2の電位に概ね等しい場合、2つの異なる電位の差（または第1の電位と第2の電位の差）を表示媒体に印加される電圧の絶対値に等しい値まで低減できるため好適である。尚、対向電極の電位の切り換えは第2期間に行うと、画面表示に与える影響が小さいため望ましい。

【0028】

好適には第1スイッチ及び第2スイッチは薄膜トランジスタによって具現することができる。第1及び第2メモリー回路はSRAMまたはDRAMによって具現することができる。
20
そのような場合、当該表示装置が信号線を駆動するための信号線駆動回路（11、11a）、走査線を駆動するための走査線駆動回路（12）、ロジック回路を有し、信号線駆動回路、走査線駆動回路、転送制御線駆動回路、第1及び第2メモリー回路、第1及び第2スイッチ及びロジック回路が同じ素子構造の薄膜トランジスタを有すると、これら回路及び部品に用いられる薄膜トランジスタを同じプロセスで形成することができるため、製造コストを低減する上で好適である。ロジック回路は、例えば、信号線駆動回路、走査線駆動回路及び転送制御線駆動回路のタイミングを制御するためのコントローラ（14、144）、CPU（13、143）または画像処理回路（145）などを含み得る。

【0029】

本発明に基づくアクティブマトリクス型表示装置は、デジタル階調表示装置とすると、各画素の明るさを段階的に調節することができるため好適である。特に、各画素に複数の画素電極を割り当てることにより面積階調表示装置を実現することができる。各画素にk個（kは2以上の整数）の画素電極を割り当てて面積階調を行う場合、これら画素電極の面積の比が、最小の画素電極の面積を基準として1：2：4...： 2^{k-1} となっていると、最小の画素電極に対応する明るさを最小単位として 2^k 階調で画素の明るさを変える
30

【0030】

本発明の一実施例に基づく、転送制御線と信号線は概ね平行に延在する。また、別の実施例では転送制御線と信号線が概ね直交するものとすることもできる。複数の転送制御線を有する場合、これら転送制御線が複数のグループに分かれており、各グループに異なる
40
タイミングで転送信号が供給されるものとする、第1メモリー回路から第2メモリー回路へのデータ転送に伴う電荷移動が急激に生じて電源電圧が変動するのを防止することができる。

【0031】

表示媒体は典型的には液晶からなる。また、上記したようなアクティブマトリクス型表示装置は、携帯電話、デジタルカメラ、ビデオカメラ、PDF、ノート型パソコン、腕時計、携帯型DVDプレーヤー、プロジェクタ、携帯書籍（電子ブック）などのさまざまな電子機器（120）に組み込むことができる。

【0032】

本発明の別の側面に基づく、一对の基板の間に配置された表示媒体（24）を有するア
50

クティブマトリクス型表示装置（１、１００、１１０）の駆動方法であって、アクティブマトリクス型表示装置は、一对の基板の一方によって支持され互いに交差して延在する複数の信号線（３０）及び複数の走査線（３１）と、一对の基板の一方によって支持されマトリクス状に配置された複数の画素電極（２２）と、一对の基板の他方によって支持され、画素電極との間に表示媒体を挟持する対向電極（２３）と、それぞれ画素電極の各々と信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続された第１メモリー回路（４０）と、対応する画素電極に接続された第２メモリー回路（４１）とを有し、第２メモリー回路の状態に応じて異なる２つの電位（ V_{DD} 、 V_{SS} ）のいずれかを対応する画素電極に供給する、複数対のメモリー回路と、それぞれ対応する第１メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし第１メモリー回路への信号線上のデータの書き込みを可能とする複数の第１スイッチ（４２）と、それぞれ対応する第１メモリー回路と第２メモリー回路との間に接続され、オン状態にあるとき第１メモリー回路から第２メモリー回路へのデータ転送を可能とする複数の第２スイッチ（４３）と、第２スイッチを選択的にオンする転送信号を供給するための少なくとも１つの転送制御線（４４）と、転送制御線を駆動するための転送制御線駆動回路（４５）とを有し、当該方法は、第１期間において第１スイッチをオンして第１メモリー回路へのデータの書き込みをする過程と、第１期間において第１メモリー回路の各々へのデータの書き込みが終了した後、第２期間において第２スイッチをオンして第１メモリー回路の各々から対応する第２メモリー回路へとデータを転送する過程と、第２期間において対向電極の電位を第１の電位と第２の電位との間で交互に切り換える過程とを有することを特徴とするアクティブマトリクス型表示装置の駆動方法が提供される。

【００３３】

好適には、第２の期間は映像信号の帰線期間とすることができる。また、本発明の一実施例によれば、対向電極の電位の切り替えは映像信号のフレーム単位で行うことができる。

【００３４】

これによれば、第１期間（走査期間）において第１スイッチを順次オンして第１メモリー回路に次の第２期間（帰線期間）において設定される対向電極の電位に合わせたデータを書き込んでいる間、前の第２期間において第１メモリー回路から第２メモリー回路へと転送されたデータを用いて画像表示を行うことができるため、第１期間に画面表示を行っても画面の乱れが生じない。従って、第１期間にも画面表示を行うことができることから、交流駆動に伴う画面の乱れを抑制しつつ十分な画像表示期間を確保して良好な明るさの画面表示を容易に実現することができる。

【００３５】

各画素に複数の画素電極が割り当てられ、各画素電極は対応する発光セル（表示媒体が液晶の場合、液晶セルという）を定めている場合、各画素において発光させる発光セルの組合せを変えることにより面積階調を行うことができる。このように面積階調を行う場合、信号線は１水平ラインに含まれる画素の数と同じ数だけ設けられ、各画素に割り当てられた複数の画素電極に対応する複数の第１スイッチは一つの信号線に接続され、各画素に割り当てられた複数の画素電極に対応する複数の第１スイッチはそれぞれ異なる走査線に接続されるものとし、当該方法は、信号線駆動回路から、各画素に割り当てられた複数の画素電極のためのデータを順に対応する信号線に出力する過程と、各画素に割り当てられた複数の前記第１スイッチの各々を対応する走査線からの信号により、信号線に出力されたデータに同期してオンする過程とを有するものとして行うことができる。これによれば、信号線を１水平ラインに含まれる画素電極の数ではなく、それより少ない１水平ラインに含まれる画素の数だけ設ければよいことから、信号線のレイアウトが容易になる。

【００３６】

アクティブマトリクス型表示装置が複数の転送制御線を有し、これら転送制御線が複数のグループに分かれている場合、当該方法は、転送制御線の各グループに異なるタイミングで転送信号を供給する過程を有するものとして行うことができる。これによって、第１メモリー回路

10

20

30

40

50

から第2メモリ回路へのデータ転送に伴う電荷移動が急激に生じて電源電圧が変動するのを防止することができる。

【0037】

本発明の特徴、目的及び作用効果は、添付図面を参照しつつ好適実施例について説明することにより一層明らかとなるだろう。

【0038】

【発明の実施の形態】

以下、本発明の好適実施例について図面を参照して説明する。

【0039】

図1は、本発明に基づくアクティブマトリクス型表示装置の好適実施例としてアクティブマトリクス型液晶表示装置を示す回路図である。この液晶表示装置1は、図12に示した従来例と同様に、画素マトリクス部10、信号線駆動回路11、走査線駆動回路12、CPU13、コントローラ14を有している。画素マトリクス部10には、複数の画素20がマトリクス状に配置される。

10

【0040】

図2の部分平面図に示すように、この実施例では各画素20に3つの液晶セル21を割り当て、表示ビット数 $k=3$ （即ち8階調）の面積階調を行うものとする。勿論、表示ビット数は3に限るものではなく、他の表示ビット数としてもよい。同じく図2に示すように、各画素20は赤（R）、緑（G）、青（B）のいずれかに対応するものとし、隣接する3つの異なる色の画素をワンセットとして表示色を調整することでカラー表示を行うことが可能となっている（このようなRGB画素セットを画素と呼ぶこともある）。勿論、単色表示としてもよい。また、液晶表示装置1は透過型、反射型、半透過型のいずれとしてもよい。

20

【0041】

画素マトリクス部10は、図1では、一つの画素20及びそれに対応する部分のみが示されているが、実際にはこのような画素20が行方向（図面の左右方向）及び列方向（図面の上下方向）にマトリクス状に配列され、それに対応して信号線30及び走査線31が設けられる。行方向に整列された複数の画素20を画素ライン、列方向に整列された複数の画素20を画素列と呼ぶこともある。また行方向を水平方向、列方向を垂直方向と呼ぶこともあるため、画素ラインは水平ラインとも呼ばれる。従来例と同様に、各液晶セル21は画素電極22を有し、これら画素電極22と向き合うように対向電極23が設けられ、画素電極22と対向電極23の間に液晶24が配置されている。

30

【0042】

本発明によると、各画素電極22とそれに対応する信号線30との間に直列に接続された第1及び第2の2つのメモリ回路40、41が設けられる。即ち、各画素20に対して表示ビット数（この例では3）の2倍（この例では6個）のメモリ回路40、41が設けられる。第1及び第2メモリ回路40、41は各々選択的に2つの状態を有することができ、2値情報を記憶することができる。また、第1メモリ回路40と信号線30との間には第1スイッチ42が設けられ、第1メモリ回路40と第2メモリ回路41の間には第2スイッチ43が設けられる。更に、この液晶表示装置1は、第2スイッチ43のオンオフを制御するための信号（転送制御信号）が供給される転送制御線44を駆動するための転送制御線駆動回路45を有している。

40

【0043】

図1に示した例では、表示ビット数3の面積階調を行うため、各画素列に対して3本（即ち表示ビット数に等しい数）の信号線30が信号線駆動回路11から延び、一つの画素20に割り当てられた3つの第1スイッチ42はそれぞれ異なる信号線30に接続されている。またこの例では各画素ラインに対して1本の走査線31が走査線駆動回路12から延び、一つの画素20に割り当てられた3つの第1スイッチ42は同じ走査線31上の信号によってオンオフ制御されるようになっている。転送制御線44も各画素ラインに対して1本設けられており、一つの画素20に割り当てられた3つの第2スイッチ43は、同じ

50

転送制御線 4 4 上の信号によってオンオフ制御される。

【 0 0 4 4 】

図 3 は、一つの液晶セル 2 1 に対する（即ち 1 ビット分の）第 1 メモリー回路 4 0、第 2 メモリー回路 4 1、第 1 スイッチ 4 2 及び第 2 スイッチ 4 3 の好適実施例を示す回路図である。この例では、第 1 及び第 2 スイッチ 4 2、4 3 は共に電界効果トランジスタ（FET）からなる T F T によって実現されている。また、第 1 及び第 2 メモリー回路 4 0、4 1 は、インバータ 2 つを組み合わせたスタティック R A M（S R A M）として実現されている。図示した例では各インバータは 2 つの極性の異なる T F T を有しているが、T F T と抵抗を含むものとすることもできる。第 1 及び第 2 メモリー回路 4 0、4 1 にはハイレベル電源電位 V D D とローレベル電源電位 V S S（例えばグランド電位）が供給される。これにより、各液晶セル 2 1 の画素電極 2 2 には第 2 メモリー回路 4 1 の状態に応じてハイレベル電源電位 V D D またはローレベル電源電位 V S S のいずれかが印加される。

10

【 0 0 4 5 】

図 4 は、第 1 及び第 2 デジタル回路 4 0、4 1 の別の実施例を示す回路図である。この図でも、一つの液晶セル 2 1 に対応する部分のみを示した。この実施例では、第 1 及び第 2 メモリー回路 4 0、4 1 は、容量を含むダイナミック R A M（D R A M）として実現されている。D R A M は、よく知られているように、容量に蓄えられた電荷が時間とともに放電されることから定期的なリフレッシュが必要であるが、S R A M と比べて素子数が少ないという利点がある。この例でも、第 2 メモリー回路 4 1 の状態に応じてハイレベル電源電位 V D D またはローレベル電源電位 V S S のいずれかが液晶セル 2 1 の画素電極 2 2 に印加される。このように、第 1 及び第 2 メモリー回路 4 0、4 1 は様々な公知の態様で具現することが可能である。

20

【 0 0 4 6 】

上記したような液晶表示装置 1 の動作について、図 5 のタイミングチャートを参照して以下に説明する。尚、以下の説明では、信号線 3 0、走査線 3 1 及び転送制御線 4 4 に、対応する駆動回路 1 1、1 2、4 5 から供給されるハイレベル信号電位 V H 及びローレベル信号電位 V L はメモリー回路 4 0、4 1 に印加されるハイレベル電源電位 V D D 及びローレベル電源電位 V S S に等しいものとする。また、対向電極の電位 V com の変動範囲を定めるハイレベルコモン電位 V comH、ローレベルコモン電位 V comL もハイレベル電源電位 V D D、ローレベル電源電位 V S S に概ね等しいものとする。

30

【 0 0 4 7 】

一般に映像信号は複数のフレームからなり、各フレームは各画素 2 0 のデータを設定するための走査期間とその後に続く帰線期間とを有する。尚、例えば時間階調表示を行う場合のように 1 フレームが複数の走査期間と帰線期間の対（サブフレーム）を有する場合もある。以下、1 フレームが一对の走査期間と帰線期間とを有する場合について説明するが、本発明は 1 フレームが複数のサブフレームを有する場合にも適用可能である。

【 0 0 4 8 】

図 5 に示すように、走査期間において、信号線駆動回路 1 1 から各信号線 3 0 にデータ（ハイレベル電位 V H またはローレベル電位 V L）が供給されると、第 1 の走査線 3 1 にその走査線 3 1 に接続された（即ち同じ水平ラインの）第 1 スイッチ 4 2 をオンするための選択信号（例えばハイレベル電位）G 1 が供給され、それにより第 1 メモリー回路 4 0 へと信号線 3 0 からデータが取り込まれる。

40

続いて、別のデータが信号線駆動回路 1 1 から各信号線 3 0 に供給され、第 2 の走査線 3 1 に選択信号 G 2 が供給されると、第 2 の走査線 3 1 に接続された第 1 スイッチ 4 2 がオン状態となり、対応する第 1 メモリー回路 4 0 にデータが書き込まれる。これを複数（例えば m 本）の走査線 3 1 全てについて行い、画面全体において第 1 メモリー回路 4 0 にデータを書き込む。第 1 メモリー回路 4 0 へのデータ書き込みが終了した後（即ち、走査期間が終了した後）、帰線期間において、対向電極 2 3 の電位 V com を切り換える（図ではローレベル電位 V S S ハイレベル電位 V D D）とともに、続いて転送制御線駆動回路 4 5 から複数（図 1 の例では走査線 3 1 と同じ数、即ち m 本）の転送制御線 4 4 に共通の転

50

送信号（例えばハイレベル電位） T_{com} を供給し、第2スイッチ43をオン状態とする。これにより、各第1メモリー回路40から対応する第2メモリー回路41へとデータが転送される。次のフレームでは、第2メモリー回路41に書き込まれたデータに基づいて画面表示を行うとともに、同時に、後続のフレームのため上記したような第1メモリー回路40へのデータの書き込みを行う。

【0049】

上記したようなアクティブマトリクス型液晶表示装置1によれば、各液晶セル21（または各画素電極22）に対し第1及び第2メモリー回路40、41の2つのメモリー回路を用いたことから、ある走査期間において第1メモリー回路40に次の帰線期間において設定される対向電極23の電位 V_{com} に合わせたデータを書き込んでいる間、前の帰線期間において第1メモリー回路40から第2メモリー回路41に転送されたデータを用いて画像表示を行うことができるため、走査期間に画面表示を行っても画面の乱れが生じない。従って、走査期間にも画面表示を行うことができることから、交流駆動に伴う画面の乱れを抑制しつつ十分な画像表示期間を確保して良好な明るさの画面表示を容易に実現することができる。

10

【0050】

また、各液晶セル21の画素電極22には対応する第2メモリー回路41を通じてハイレベル電源電位 V_{DD} またはローレベル電源電位 V_{SS} が供給されるため、交流駆動により対向電極23の電位 V_{com} がハイレベルコモン電位 V_{comH} （この例ではハイレベル電源電位 V_{DD} に等しい）とローレベルコモン電位 V_{comL} （この例ではローレベル電源電位 V_{SS} に等しい）の間で変化しても画素電極22の電位 V_{pix} はそれに影響されない。従って、画素電極22の電位 V_{pix} が不所望に高くなることがないことから、低耐圧の素子（TFETなど）を使用することが可能であり、製造コストを低減することができる。またこれにより、画素マトリクス部10、駆動回路11、12等をCPU13やコントローラ14と同じ素子構造の低耐圧素子を用いて形成することができ、トランジスタのゲート絶縁膜の厚さを50nm以下、ゲート長を2 μ m以下とすることができる。従って、液晶表示装置1に含まれるこれら回路を共通のプロセスを用いて形成することができるため、液晶表示装置1の製造コストを大きく低減することが可能である。

20

【0051】

更に、第1メモリー回路40から第2メモリー回路41へのデータ転送は比較的短時間でできるため、帰線期間において対向電極23の電位 V_{com} の切り換え及び記憶回路40、41間のデータ転送を行う際にバックライト等の光源（図示せず）がオンしていても、それらの動作に伴う画面の乱れを最小限に抑えることができる。画面の乱れをより小さくするべく帰線期間において光源をオフにすることも可能である。

30

【0052】

図5に示した例では、 m 本の転送制御線44に同時に共通の転送信号 T_{com} を供給し、第1メモリー回路40から第2メモリー回路41へのデータ転送を一度に行っているが、そのようにすると電荷の移動が急激に起こり、電源電圧が変動する恐れもある。そのような問題が生じないようにするため、転送制御線44を複数（例えば L 個）のグループに分け、図6に示すように、各グループ毎に異なるタイミングで転送信号 $T_1 \sim T_L$ を供給し、電源電圧の変動を抑えるようにすることも可能である。転送制御線44のグループ分けは任意に可能であり、例えば m 本の転送制御線を順に44-1、44-2、...、44- m とした場合、3つおきの転送制御線を1グループとし、転送制御線44-1、44-5、44-9、...を第1のグループ、転送制御線44-2、44-6、44-10、...を第2のグループ、転送制御線44-3、44-7、44-11、...を第3のグループ、転送制御線44-4、44-8、44-12、...を第4のグループとすることができる（この場合、 $L = 4$ ）。各グループが一つの転送制御線44のみを含むようにし、各転送制御線44に異なるタイミングで転送信号を与えても良い（ $L = m$ ）。また図5に示したような全転送制御線44に同時に転送信号を送る場合は、転送制御線44がただ一つのグループのみからなるもの（ $L = 1$ ）ということもできる。

40

50

【 0 0 5 3 】

図 7 は、図 1 に示したような、各画素列に対して表示ビット数と同じ数の信号線が設けられた液晶表示装置 1 に適した信号線駆動回路 1 1 の好適実施例を示す回路図である。この信号線駆動回路 1 1 は、シフトレジスタ 5 0 と、複数の映像データ線 5 1 と、シフトレジスタ 5 0 からの信号に応じて映像データ線 5 1 からデータを取り込む複数の第 1 ラッチ回路 5 2 と、第 1 ラッチ回路 5 2 の出力に接続された対応する数の第 2 ラッチ回路 5 3 と、第 2 ラッチ回路 5 3 を制御するための第 2 ラッチ回路制御線 5 4 とを有する。映像データ線 5 1 は表示ビット数（この例では 3）と同じ数だけ設けられ、各映像データ線 5 1 上には対応するビットのデータが供給される。また、第 1 及び第 2 ラッチ回路 5 2、5 3 は、それぞれ一画素列につき表示ビット数と同じ数（この例では 3）だけ設けられ、各画素列 10 に対応する 3 つの第 1 ラッチ回路 5 2 はそれぞれ異なる映像データ線 5 1 に接続されている。即ち、第 1 及び第 2 ラッチ回路 5 2、5 3 は、それぞれ、1 水平ラインに含まれる液晶セル 2 1（画素電極 2 2）と同じ数だけ設けられる。また、この例では、各画素列に対応する 3 つの第 2 ラッチ回路 5 3 の各々の出力には、その画素列に対応する 3 つの信号線 3 0 のうち対応するものが接続されている。尚、図 7 では、第 1 及び第 2 ラッチ回路 5 2、5 3 は一つの画素列に対応するものしか示していないが、実際には複数の画素列に対応して設けられることを理解されたい。

【 0 0 5 4 】

このような信号線駆動回路 1 1 は以下のように動作する。まず、映像データ線 5 1 の各々に、ある画素 2 0 のためのビットデータが供給されると、シフトレジスタ 5 0 からその画素 2 0 に対応する第 1 ラッチ回路 5 2 に制御信号が供給され、映像データ線 5 1 上のデータが第 1 ラッチ回路 5 2 に取り込まれる。続いて同じ画素ライン上の隣接する画素 2 0 に対するビットデータが映像データ線 5 1 上に供給され、シフトレジスタ 5 0 からその画素 2 0 に対応する第 1 ラッチ回路 5 2 に対して信号が供給され、第 1 ラッチ回路 5 2 にデータを書き込む。このようにして、1 水平ライン分の各画素 2 0 に対して第 1 ラッチ回路 5 2 にデータが書き込まれると、第 2 ラッチ回路制御線 5 4 を通じて第 2 ラッチ回路 5 3 の各々に制御信号が供給され、第 1 ラッチ回路 5 2 から対応する第 2 ラッチ回路 5 3 へとデータが移される。各第 2 ラッチ回路 5 3 の出力は対応する信号線 3 0 に接続されているため、それにより各信号線 3 0 上にデータが供給される。この状態で、走査線 3 1（図 1）にオン信号が供給されると、上記したように、その走査線 3 1 に接続された第 1 メモリー回路 4 0 に信号線 3 0 上のデータが書き込まれる。 20

【 0 0 5 5 】

図 1 に示した液晶表示装置 1 では、1 つの画素 2 0 に対して 3 本の信号線 3 0 と 1 本の走査線 3 1 とが設けられていた。1 本の走査線 3 1 は 1 水平ラインの画素 2 0 によって共有することができるため、RGB 用の 3 つの画素 2 0 からなる画素セットに対しては 9 本の信号線 3 0 と 1 本の走査線 3 1 とが設けられることとなる。図 2 に示したように、各色の画素 2 0 を構成する複数（この例では 3 つ）の液晶セル 2 1（または対応する画素電極 2 2）は列方向（信号線の延在方向）に配列され、各画素 2 0 が縦長の形状をなし、個々の RGB 画素セットが概ね正方形となるようにするのが通常である。従って、このような実施例では、信号線 3 0 の密度が高くなり、レイアウトが困難となる場合がある。図 8 及び 40 図 9 に、そのような問題を解決するべく、信号線 3 0 の本数を減らし走査線 3 1 の本数を増やすことが可能な実施例を示す。

【 0 0 5 6 】

図 8 は、図 1 に示した液晶表示装置 1 の変形実施例を示す回路図である。本図において図 1 と同様の部分には同じ符号を付して詳しい説明を省略する。この液晶表示装置 1 0 0 の画素マトリクス部 1 0 a では、一画素に割り当てられた 3 つの第 1 メモリー回路 4 0 は対応する第 1 スイッチ 4 2 を介して同じ信号線 3 0 に接続され、各第 1 スイッチ 4 2 は異なる走査線 3 1 に接続されている。即ち、この例では一つの画素列につき 1 本の信号線 3 0 が設けられ、一つの水平画素ラインにつき 3 本の走査線 3 1 が設けられている。

【 0 0 5 7 】

10

20

30

40

50

図9は、図8に示した液晶表示装置100に適した信号線駆動回路の実施例を示す回路図である。本図において図7と同様の部分には同じ符号を付して詳しい説明を省略する。この信号線駆動回路11aは、一つの画素列に割り当てられる3つの第2ラッチ回路53の出力が選択スイッチSW1を介して一つの信号線30に接続されている点が図7の実施例と異なる。

【0058】

図9に示した信号線駆動回路11aの動作は、第2ラッチ回路53にデータを取り込むところまでは図7に記載した信号線駆動回路11と同じであるが、信号線30へ出力する信号を選択スイッチSW1を介して順に3つの第2ラッチ回路53から選択する点異なる。そして、図8に示した画素マトリクス部10の第1スイッチ42は、信号線駆動回路11aの選択スイッチSW1と同期して動作し、対応する第1メモリー回路40に信号線30上のデータを書き込む。例えば図9の右側の第2ラッチ回路53が信号線30に接続されているときは図8の上側の第1スイッチ42がオンし、中央の第2ラッチ回路53が信号線30に接続されているときは中央の第1スイッチ42がオンし、左側の第2ラッチ回路53が信号線に接続されているときは下側の第1スイッチ42がオンするということができる。このように、この実施例では、ある画素20のビットデータは対応する第1メモリー回路40に時分割で書き込まれる。他の動作は図1に示した液晶表示装置1と同じである。

【0059】

このように図8及び図9に示した実施例によれば、各画素列に対し信号線30を1本とすることができるため、信号線30のレイアウトを容易に行うことができる。

【0060】

図10は、図1に示した液晶表示装置1の別の変形実施例を示す回路図である。本図において、図1と同じ箇所には同じ符号を付した。図10の液晶表示装置110は、画素マトリクス部10bにおいて転送制御線44が列方向に信号線30と平行に延びている点が図1の実施例と異なるが、その動作は同じであり、同様の作用効果を奏することができる。このように、転送制御信号44は行方向、列方向のいずれに延びてもよい。

【0061】

上記したような液晶表示装置1、100、110は様々な電子機器に用いることができる。そのような電子機器には、例えば、携帯電話、デジタルカメラ、ビデオカメラ、PDF、ノート型パソコン、腕時計、携帯型DVDプレーヤー、プロジェクタ、携帯書籍（電子ブック）などが含まれるが、これらに限定されるわけではない。図11には、電子機器の例として携帯電話120を示した。

【0062】

図12は、本発明を適用することが可能な、液晶表示装置とゲーム機能を内蔵した一体型表示装置の例を示すブロック図である。この一体型液晶表示装置130は、画素マトリクス部（または液晶表示部）140、信号線駆動回路141、走査線駆動回路142、転送制御線駆動回路150、CPU143、コントローラ144、画像処理回路145、CPUインタフェース回路146を含む。画素マトリクス部140に、図1、図8及び図10に示した画素マトリクス部10、10aまたは10bを用いることができる。信号線駆動回路141、走査線駆動回路142、転送制御線駆動回路150は、それぞれ、例えば図1に示した信号線駆動回路11、走査線駆動回路12、転送制御線駆動回路45に対応する。またCPU143、コントローラ144は図1に示したCPU13、コントローラ14に対応する。

【0063】

画像処理回路145にはカラー処理回路147、オブジェクト生成回路148、バックグラウンド生成回路149などが含まれる。オブジェクト生成回路148はゲームに登場するキャラクターを構成するための回路であり、バックグラウンド生成回路149はキャラクターの背景を構成するための回路である。また、カラー処理回路147はカラーパレットメモリ147aを有し、キャラクター、背景の色を制御する。画像処理回路145には

10

20

30

40

50

ビデオRAM (VRAM) 152が接続されており、画面表示されるデータはこのVRAM 152に書き込まれる。CPU 143はキーボード等の入力装置151からの入力によって画像処理回路145や外部のメモリー(例えばプログラムRAM 153、ワークRAM 154など)を制御する。CPUインタフェース回路146は、CPU 143と画像処理回路145の間及びCPU 143と外部装置(キーボード151、プログラムRAM 153、ワークRAM 154など)の間に位置し、例えばCPU 143と画像処理回路145のタイミング調整などのインタフェース機能を果たす。コントローラ144は信号線駆動回路141、走査線駆動回路142及び転送制御線駆動回路150のタイミング制御や画像処理回路145のタイミング制御を行う。これらのロジック回路(CPU 143、コントローラ144、画像処理回路145、CPUインタフェース回路146)は動作速度向上及び消費電力低減などのためできる限り低い電圧で駆動することが望ましく、また構成素子としてTFTを用いる場合ゲート長及びゲート絶縁膜を極力小さくした低電圧用TFTを用いることが望ましい。本発明は、液晶表示部141と素子数の多いロジック回路とを一体化した表示装置130において、そのような低電圧用TFTを共通に用いることを可能とし、表示装置の製造プロセスを大幅に簡略化する上で極めて有効である。

【0064】

以上、本発明を実施例に基づいて詳細に説明したが、これらの実施例はあくまでも例示であって本発明は実施例によって限定されるものではない。当業者であれば特許請求の範囲によって定められる本発明の技術的思想を逸脱することなく様々な変形若しくは変更が可能であることは言うまでもない。

【0065】

例えば、上記実施例では面積階調のアクティブマトリクス型表示装置について本発明を説明したが、本発明は時間階調のアクティブマトリクス型表示装置にも適用可能である。その場合、1フレーム内に複数のサブフレームが含まれ得るが、対向電極の電位の切り替えをサブフレーム単位に行うこともできる。また、上記実施例ではTFTはFETからなるものとしたが、バイポーラトランジスタなど別のタイプのトランジスタとすることも可能である。本発明を階調表示を行わない(即ち各画素はオンまたはオフの2状態)場合にも適用することも可能である。第2スイッチ43を複数のグループに分け、グループ単位に異なるタイミングでオンして対応する第1メモリー回路40から第2メモリー回路41へのデータ転送を行うようにしてもよい。これらの実施例も本発明の範囲に入るべきものである。

【0066】

【発明の効果】

以上説明したように、本発明によると、各画素電極に対して一对のメモリー回路(第1メモリー回路及び第2メモリー回路)を設けたことから、第1期間(走査期間)において第1スイッチを順次オンして第1メモリー回路に次の第2期間(帰線期間)において設定される対向電極の電位に合わせたデータを書き込んでいる間、前の第2期間において第1メモリー回路から第2メモリー回路へと転送されたデータを用いて画像表示を行うことができるため、第1期間に画面表示を行っても画面の乱れが生じない。従って、第1期間にも画面表示を行うことができることから、交流駆動に伴う画面の乱れを抑制しつつ十分な画像表示期間を確保して良好な明るさの画面表示を容易に実現することができる。

【0067】

また、各画素電極には対応する第2メモリー回路を通じて異なる2つの電位(ハイレベル電源電位VDDまたはローレベル電源電位VSS)のいずれかが供給されるため、交流駆動により対向電極の電位が第1の電位と第2の電位の間で変化しても画素電極の電位(Vpix)はそれに影響されない。従って、画素電極の電位が不所望に高くなることのないことから、低耐圧の素子(TFTなど)を使用することが可能であり、製造コストを低減することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に基づくアクティブマトリクス型液晶表示装置の模式的な回路

図。

【図 2】画素マトリクス部の一部を示す平面図。

【図 3】1ビット分の第1メモリー回路、第2メモリー回路、第1スイッチ及び第2スイッチの好適実施例を示す回路図。

【図 4】1ビット分の第1メモリー回路、第2メモリー回路、第1スイッチ及び第2スイッチの別の好適実施例を示す回路図。

【図 5】図 1 に示した晶表示装置の動作の好適実施例を説明するためのタイミングチャート。

【図 6】図 1 に示した晶表示装置の動作の別の実施例を説明するためのタイミングチャート。

【図 7】図 1 に示したシフトレジスタの好適実施例を示す模式図。

【図 8】図 1 に示した液晶表示装置 1 の変形実施例を示す模式的な回路図

【図 9】図 8 に示したシフトレジスタの好適実施例を示す模式図。

【図 10】図 1 に示した液晶表示装置 1 の別の変形実施例を示す回路図

【図 11】電子機器の例として携帯電話を示す模式図。

【図 12】本発明を適用することが可能な液晶表示装置とゲーム機能を内蔵した一体型表示装置の例を示すブロック図。

【図 13】アクティブマトリクス型液晶表示装置の従来例を示す模式的な回路図。

【図 14】反転駆動方法について説明するための電圧波形図。

【図 15】交流駆動方法について説明するための電圧波形図。

【符号の説明】

- 1 液晶表示装置
- 10、10a、10b 画素マトリクス部
- 11、11a 信号線駆動回路
- 12 走査線駆動回路
- 13 CPU
- 14 コントローラ
- 20 画素
- 21 液晶セル
- 22 画素電極
- 23 対向電極
- 24 液晶
- 40 第1メモリー回路
- 41 第2メモリー回路
- 42 第1スイッチ
- 43 第2スイッチ
- 45 転送制御線駆動回路
- 50 シフトレジスタ
- 51 映像データ線
- 52 第1ラッチ回路
- 53 第2ラッチ回路
- 54 第2ラッチ回路制御線
- 100 液晶表示装置
- 110 液晶表示装置
- 120 携帯電話(電子機器)
- 130 一体型液晶表示装置
- 140 画素マトリクス部
- 141 信号線駆動回路
- 142 走査線駆動回路
- 143 CPU

10

20

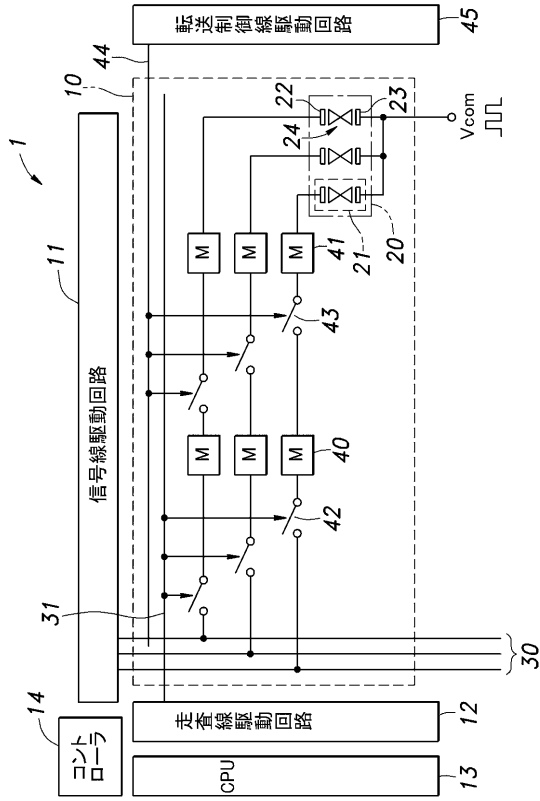
30

40

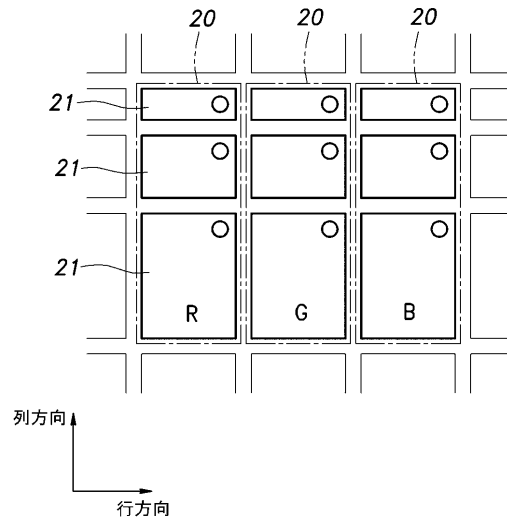
50

1 4 4	コントローラ	
1 4 5	画像処理回路	
1 4 6	C P Uインタフェース回路	
1 4 7	カラー処理回路	
1 4 7 a	カラーパレットメモリ	
1 4 8	オブジェクト生成回路	
1 4 9	バックグラウンド生成回路	
1 5 0	転送制御線駆動回路	
1 5 2	V R A M	
1 5 1	キーボード (入力装置)	10
1 5 3	プログラム R A M	
1 5 4	ワーク R A M	
2 0 0	アクティブマトリクス型液晶表示装置	
2 1 0	画素マトリクス部 (または液晶表示部)	
2 1 1	信号線駆動回路	
2 1 2	走査線駆動回路	
2 1 3	C P U	
2 1 4	コントローラ	
2 2 1	液晶セル	
2 2 2	画素電極	20
2 2 3	対向電極	
2 2 4	液晶	
2 2 5	保持容量	
2 3 0	信号線	
2 3 1	走査線	
2 4 2	画素 T F T	
S W 1	選択スイッチ	
V D D	ハイレベル電源電位	
V S S	ローレベル電源電位	
V com	対向電極の電位	30

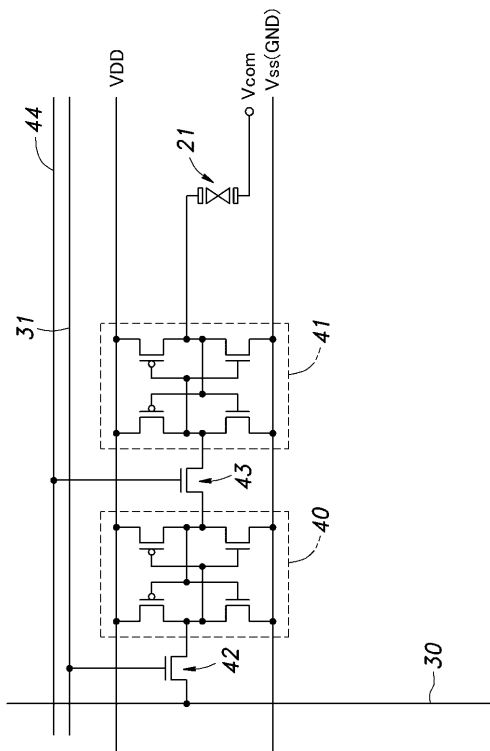
【図1】



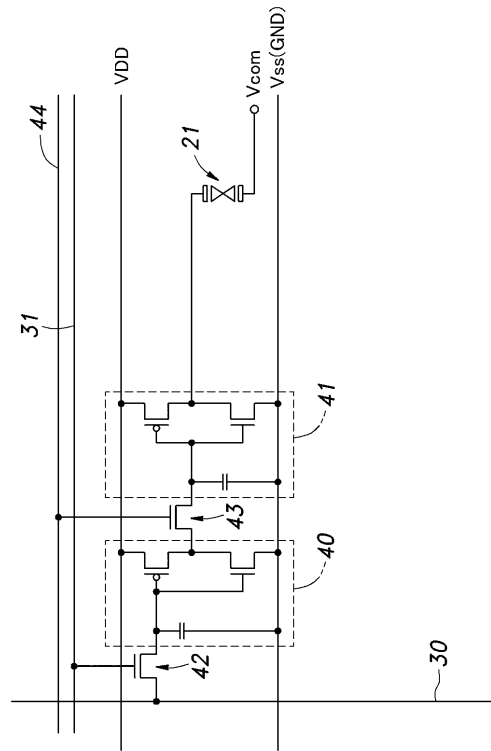
【図2】



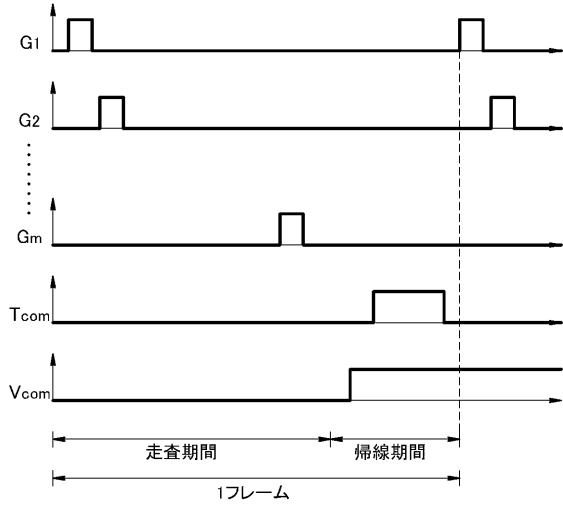
【図3】



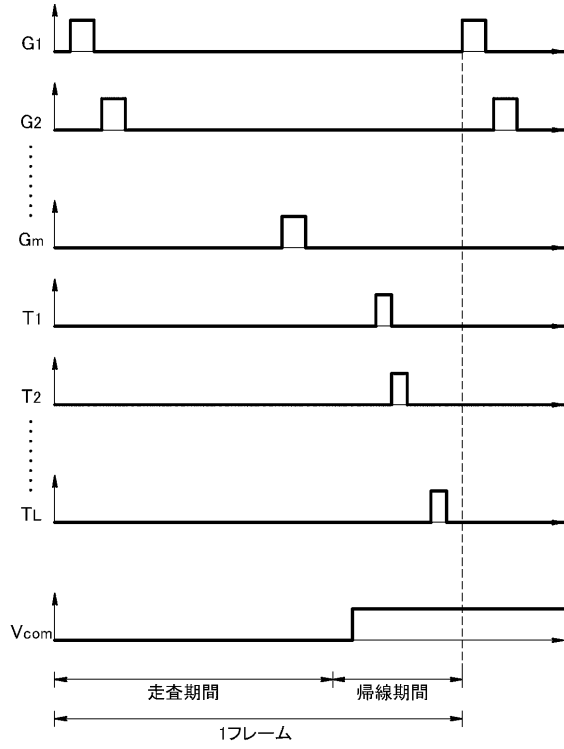
【図4】



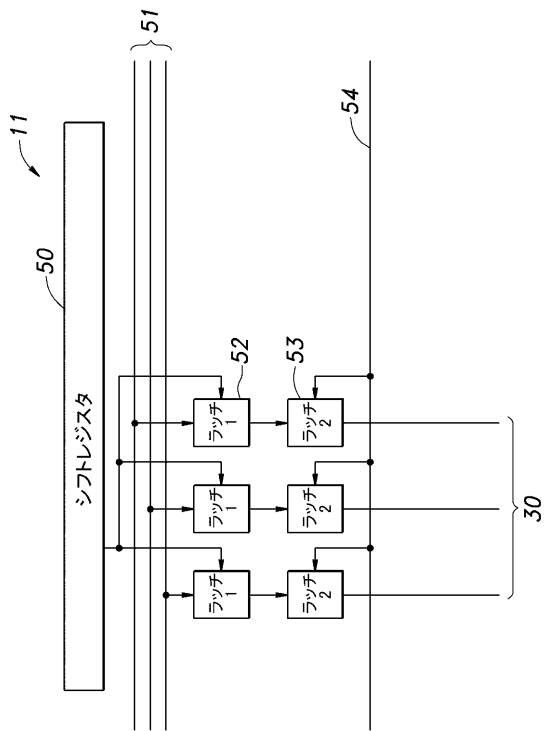
【図5】



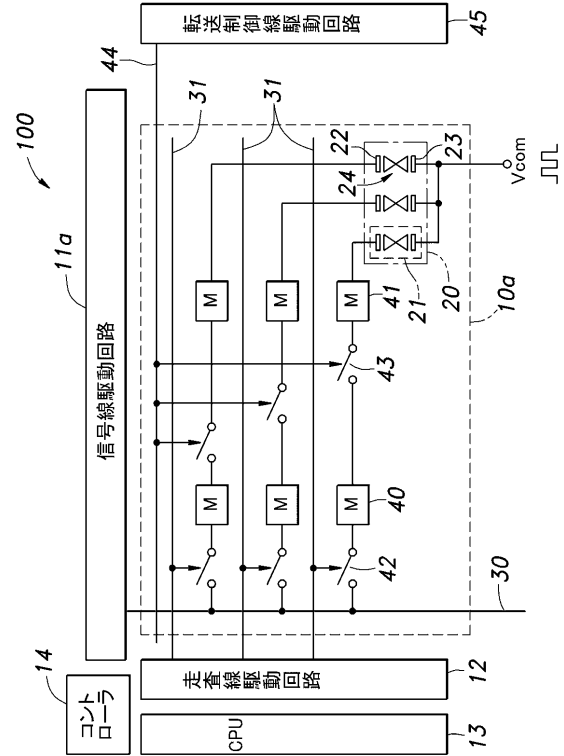
【図6】



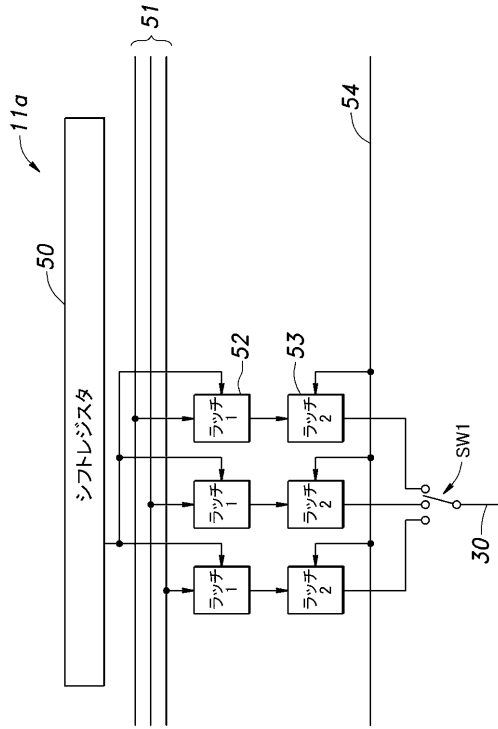
【図7】



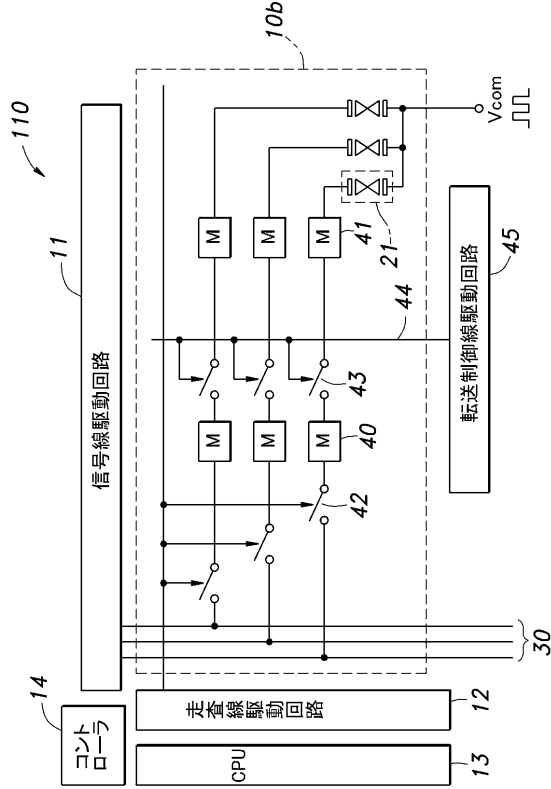
【図8】



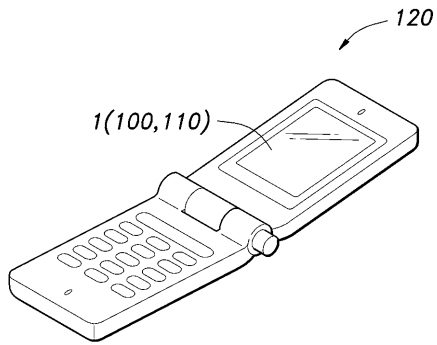
【図9】



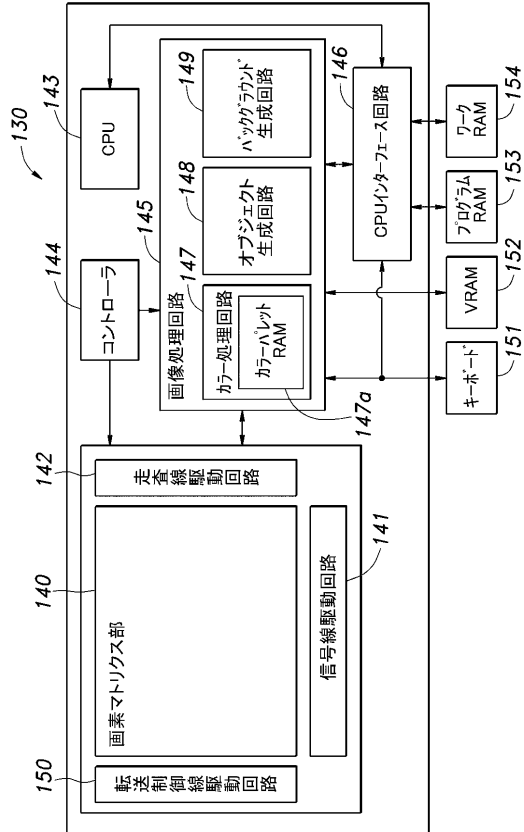
【図10】



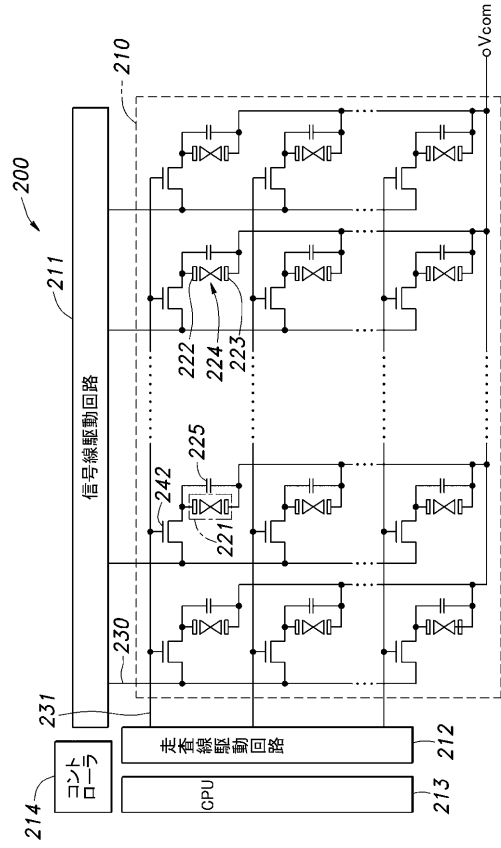
【図11】



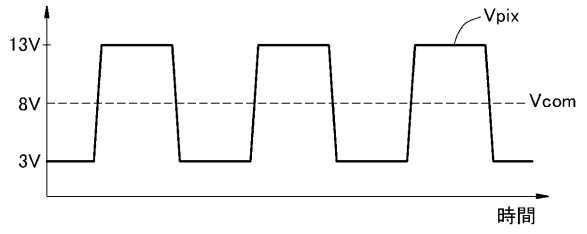
【図12】



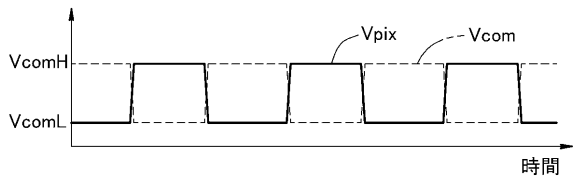
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 1 B
G 0 9 G 3/20 6 2 3 G
G 0 9 G 3/20 6 2 4 B
G 0 9 G 3/20 6 2 4 E
G 0 9 G 3/20 6 4 1 G

(72)発明者 平山 泰弘
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

(72)発明者 久保田 靖
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

審査官 西島 篤宏

(56)参考文献 特開2001-091973(JP,A)
特開平11-075144(JP,A)
特開平09-288261(JP,A)
特開平10-068931(JP,A)
特開2002-140051(JP,A)
特開2002-333870(JP,A)
特開昭61-290490(JP,A)
特開平09-329807(JP,A)
特開平07-253764(JP,A)
特開2002-196732(JP,A)
特開2000-148065(JP,A)
特開平11-295700(JP,A)
特開2002-372703(JP,A)
特開2001-067010(JP,A)
特開2002-132217(JP,A)
特開平11-002797(JP,A)
特開2000-056334(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00-3/38

G02F 1/133,505-1/133,580