

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4138031号
(P4138031)

(45) 発行日 平成20年8月20日 (2008. 8. 20)

(24) 登録日 平成20年6月13日 (2008. 6. 13)

(51) Int. Cl.

F I

H03M 7/14 (2006.01)
G11B 20/10 (2006.01)H03M 7/14 B
G11B 20/10 341Z

請求項の数 29 (全 26 頁)

(21) 出願番号 特願平11-535894
 (86) (22) 出願日 平成11年1月8日 (1999. 1. 8)
 (65) 公表番号 特表2001-515687 (P2001-515687A)
 (43) 公表日 平成13年9月18日 (2001. 9. 18)
 (86) 国際出願番号 PCT/IB1999/000011
 (87) 国際公開番号 W01999/035747
 (87) 国際公開日 平成11年7月15日 (1999. 7. 15)
 審査請求日 平成18年1月6日 (2006. 1. 6)
 (31) 優先権主張番号 98200041.6
 (32) 優先日 平成10年1月9日 (1998. 1. 9)
 (33) 優先権主張国 欧州特許庁 (EP)
 (31) 優先権主張番号 98202491.1
 (32) 優先日 平成10年7月24日 (1998. 7. 24)
 (33) 優先権主張国 欧州特許庁 (EP)

(73) 特許権者

コーニンクレッカ フィリップス エレク
 トロニクス エヌ ヴィ
 オランダ国 5621 ベーアー アイン
 ドーフェン フルーネヴァウツウェッハ
 1

(74) 代理人

弁理士 伊東 忠彦

(72) 発明者

カルマン, ヨセフス アー ハー エム
 オランダ国, 5656 アーアー アイン
 ドーフェン プロフ・ホルストラーン 6

審査官 矢頭 尚之

最終頁に続く

(54) 【発明の名称】 n-ビットソースワードから対応したm-ビットチャネルワードへの符号化装置、並びに、逆向きの復号化装置

(57) 【特許請求の範囲】

【請求項1】

連続したnビットソースワードのシーケンスを含むバイナリソース信号のデータビットのストリームを、連続したmビットチャネルワードのシーケンスを含むバイナリチャネル信号のデータビットのストリームに符号化する装置において、

上記バイナリソース信号を受信する入力手段と、

上記バイナリソース信号若しくは組み替えられたバイナリソース信号と一致する第1の入力信号を受信し、制御信号に応じて、上記第1の入力信号内のy個の連続したビットの連続して生起するグループの間毎にqビット併合用ワードを併合する併合手段と、

上記制御信号を発生させる制御信号発生手段と、

上記バイナリソース信号又は上記併合手段で上記qビット併合用ワードと併合されたバイナリソース信号と一致する第2の信号を受信し、上記併合手段における併合処理と組み合わせられることによって、y、n及びqが

$y > 1$ 、 $n > 1$ 及び $q \geq 1$

を満たす整数を表すとき、nビットワードのシーケンスを含む組み替えられた複合バイナリソース信号を生じるように、y個の連続したビットのグループの中の一つ置きグループ毎に組み替え処理を行う組み替え手段と、

m及びpが

$m > n$ 、 $p \geq 1$

を満たす整数であり、pが可変であるとき、上記組み替えられた複合バイナリソース信号

10

20

内の p 個の連続した n ビットワードの連続して生起するブロックを、上記バイナリチャネル信号内の p 個の連続した m ビットワードの対応した連続して生起するブロックに変換することにより、上記組み替えられた複合バイナリソース信号を上記バイナリチャネル信号に変換する変換手段と、

上記バイナリチャネル信号を供給する出力手段とを具備し、

上記組み替え処理は、 m ビットチャネルワードへの変換に必要とされる併合用ワードを含む上記 n ビットワードを除いて、上記組み替えられた複合バイナリソース信号内の上記 n ビットワードは、上記組み替えられた複合バイナリソース信号内の上記 n ビットソースワードと揃えられ、

$$n = 2q$$

10

となるように、 y 個の連続したビットの上記一つ置きของกลุ่ม毎に、上記グループ内の q ビットを上記グループ内の別の位置に再配置するステップを有することを特徴とする装置。

【請求項 2】

x が 1 以上の整数を表すときに、

$$y = x \cdot n$$

であり、 y 個のビットの各グループは x 個の連続した n ビットソースワードにより構成される請求項 1 記載の装置。

【請求項 3】

上記組み替え処理は、 y 個の連続したビットの一つ置きของกลุ่ม毎に、 y 個の連続したビットのグループ内の最後の q 個のビットを上記 y 個の連続したビットのグループ内の最初のビットよりも前の位置に再配置するステップを含む請求項 1 記載の装置。

20

【請求項 4】

上記組み替え処理は、 x 個の連続した n ビットソースワードの一つ置きของกลุ่ม毎に、 x 個の連続したソースワードのグループ内の最後のソースワードの q 個のビットを、上記 x 個の連続したソースワードのグループ内の最初の n ビットソースワードよりも前の位置に再配置するステップを含む請求項 2 記載の装置。

【請求項 5】

上記組み替え処理は、 x 個の連続した n ビットソースワードの上記一つ置きของกลุ่ม内で、 x 個の連続したソースワードのグループ内の最後のソースワードの最後の q 個のビットを、 x 個の連続したソースワード内の最初の n ビットソースワードの直前の位置に再配置するステップを含む請求項 4 記載の装置。

30

【請求項 6】

上記組み替え処理は、 y 個の連続したビットの一つ置きของกลุ่ม内で、グループ内の最初の q 個のビットを、 y 個の連続したビットの上記グループ内の最後のビットの後の位置に再配置するステップを含む請求項 1 記載の装置。

【請求項 7】

上記組み替え処理は、 x 個の連続した n ビットソースワードの一つ置きของกลุ่ม内で、 x 個の連続したソースワードのグループ内の最初のソースワードの q 個のビットを、 x 個の連続したソースワードの上記グループ内の最後の n ビットソースワードに再配置するステップを含む請求項 2 記載の装置。

40

【請求項 8】

上記組み替え処理は、 x 個の連続した n ビットソースワードの上記一つ置きของกลุ่ม内で、 x 個の連続したソースワードのグループ内の最初のソースワードの最初の q 個のビットを x 個の連続したソースワードの上記グループ内の最後の n ビットソースワードの直後の位置に再配置するステップを含む請求項 7 記載の装置。

【請求項 9】

上記変換手段は、組み替えられた複合バイナリソース信号内の p 個の連続した n ビットワードのブロックを、対応した p 個の連続した m ビットチャネルワードのブロックに変換するよう構成され、

50

上記組み替えられた複合バイナリソース信号の p 個の連続した n ビットワードの各ブロックに対する変換はパリティ保存型である請求項 1 乃至 8 のうちいずれか一項記載の装置。

【請求項 1 0】

上記 m 及び n が

$$m = 3 \cdot n / 2$$

を満たすことを特徴とする請求項 1 乃至 9 のうちいずれか一項記載の装置。

【請求項 1 1】

上記 n は、

$$n = 2$$

であることを特徴とする請求項 1 0 記載の装置。

10

【請求項 1 2】

以下の 2 ビットワードからチャンネルワードへの変換表

2 ビットワード	チャンネルワード
0 0	1 0 1
0 1	1 0 0
1 0	0 0 1
1 1	0 0 0

に従って、上記組み替えられた複合バイナリソース信号内の 1 個のワードを対応した 1 個のチャンネルワードに変換するよう構成されていることを特徴とする請求項 1 1 記載の装置。

20

【請求項 1 3】

上記変換手段は、 $d = 1$ であるときに、 (d, k) シーケンスの形式のチャンネル信号を獲得するため、組み替えられた複合バイナリソース信号内の 2 ビットワードを対応した 3 ビットチャンネルワードに変換するよう構成され、

1 個の 2 ビットワードの対応した 1 個のチャンネルワードへの符号化がチャンネルワード境界で d - 制約に違反する位置を上記組み替えられた複合バイナリソース信号のビットストリーム内で検出し、検出結果に応じて制御信号を供給する手段が更に設けられ、

上記制御信号が存在しない場合に、上記変換手段は、組み替えられた複合バイナリソース信号内の 1 個の 2 ビットワードを、対応した 3 ビットチャンネルワードに変換するよう構成され、

30

各 2 ビットワードに対する変換はパリティ保存型であることを特徴とする請求項 1 1 又は 1 2 記載の装置。

【請求項 1 4】

組み替えられた複合バイナリソース信号内の 2 個の連続したワードの変換中に制御信号が存在する場合に、上記変換手段は、上記 2 個の連続した 2 ビットワードのブロックを 2 個の対応した 3 ビットチャンネルワードのブロックに変換するよう構成され、 $d = 1$ 制約を保存するため、2 ビットワードのブロック内の 2 個のワードの中の一つが、1 個の 2 ビットワードを変換するため使用された 4 個のチャンネルワードの中の何れのチャンネルワードとも一致しない 3 ビットチャンネルワードに変換され、

40

上記制御信号が存在する場合に、上記変換手段は、2 個の連続して生起する 2 ビットワードのブロックを対応した 2 個の連続して生起する 3 ビットチャンネルワードに変換するよう構成され、

上記 2 個の連続して生起する 2 ビットワードに対する変換はパリティ保存型であることを特徴とする請求項 1 3 記載の装置。

【請求項 1 5】

上記変換手段は、以下の 2 ビットワードのブロックから 2 チャンネルワードのブロックへの変換表

2 個の 2 ビットワードのブロック	2 チャンネルワードのブロック
0 0 0 0 0 0 0 1 1 0 0 0 1 0 0 1	1 0 0 0 1 0 1 0 1 0 1 0 0 0 0 0 1 0 0 0 1 0 1 0

に従って、2 個の連続した 2 ビットワードのブロックを 2 個の連続した 3 ビットチャンネルワードのブロックに変換するよう構成されていることを特徴とする請求項 1 4 記載の装置。

【請求項 1 6】

k が 5 以上の値を有するとき、

1 個の 2 ビットワードの 1 個の 3 ビットチャンネルワードへの符号化が d-制約に違反する位置を上記組み替えられた複合バイナリソース信号のビットストリーム内で検出し、検出結果に応じて第 2 の制御信号を供給する手段を更に設けられ、組み替えられた複合バイナリソース信号内の 3 個の連続した 2 ビットワードの変換中に上記第 2 の制御信号が存在する場合に、上記変換手段は、上記 3 個の連続した 2 ビットワードのブロックを対応した 3 個の連続した 3 ビットチャンネルワードのブロックに変換するよう構成され、

3 個の 2 ビットワードのブロックに対する変換はパリティ保存型であり、

上記変換手段は、k-制約を維持するため、3 個の 2 ビットワードのブロック内の 3 個のワードの中の 2 個のワードを、1 個の 2 ビットワードを変換するため使用された 4 個のチャンネルとは一致しない対応した 3 ビットチャンネルワードに変換するよう構成されていることを特徴とする請求項 1 4 又は 1 5 記載の装置。

【請求項 1 7】

上記変換手段は、以下の 3 個の 2 ビットワードのブロックから 3 チャンネルワードのブロックへの変換表

3 個の 2 ビットワードのブロック	3 チャンネルワードのブロック
1 1 1 1 1 1 1 1 1 1 1 0 0 1 1 1 1 0 0 1 1 1 1 1	0 0 0 0 1 0 0 1 0 0 0 1 0 1 0 0 1 0 1 0 1 0 1 0 0 1 0 1 0 0 0 1 0 0 1 0

に従って、3 個の連続した 2 ビットワードのブロックを 3 個の連続した 3 ビットワードのブロックに変換することを特徴とする請求項 1 6 記載の装置。

【請求項 1 8】

バイナリチャンネル信号のデータビットのストリームをバイナリソース信号のデータビットのストリームに復号化する装置において、

y は 1 以上の整数であり、n 及び q が

$$n = 2q \quad \text{及び} \quad q \geq 1$$

を満たす整数であり、m 及び p が

$$m > n > 1, \quad p \geq 1$$

を満たす整数であり、p が可変であるときに、

上記バイナリチャンネル信号を受信する手段と、

上記チャンネル信号内の p 個の連続した m ビットチャンネルワードの連続して生起するブロックを、組み替えられた複合バイナリソース信号内の p 個の連続した n ビットワードの対応した連続して生起するブロックに変換することにより、上記バイナリチャンネル信号を組み替えられた複合バイナリソース信号に変換するよう構成され、q ビット併合用ワードが上記組み替えられた複合バイナリソース信号内の等距離位置に存在し、上記組み替えられた信号内の連続して生起する q ビット併合用ワードが上記組み替えられた複合バイナリソース信号内の y 個のビットのグループによって分離されている、上記バイナリチャンネル信号

10

20

30

40

50

を複合バイナリソース信号に変換する再変換手段と、
y 個のビットの一つ置きของกลุ่มの q 個のビットを上記 y 個のビットのグループ内の別の位置に再配置することにより、上記組み替えられた複合バイナリソース信号の y 個のビットの一つ置きของกลุ่ม毎に再組み替え処理を実行する再組み替え手段と、
上記再組み替え手段における再組み替え処理と組み合わせられたステップによって n ビットソースワードのシーケンスを含むバイナリソース信号が得られるように、上記 q ビット併合用ワードを削除する削除手段と、
上記バイナリソース信号を供給する出力手段とにより構成される装置。

【請求項 19】

x が 1 以上の整数を表すときに、

$$y = x \cdot n$$

であり、y 個のビットの各グループは x 個の連続した n ビットソースワードにより構成される請求項 18 記載の装置。

【請求項 20】

上記再組み替え処理は、y 個のビットの一つ置きของกลุ่มにおいて、y 個のビットのグループの最初の q 個のビットを上記 y 個のビットのグループ内の最後のビットよりも後の位置に再配置するステップを含む請求項 18 記載の装置。

【請求項 21】

上記組み替え処理は、組み替えられた信号内の y 個のビットの一つ置きของกลุ่มにおいて、y 個のビットのグループの最初の q 個のビットを、y 個のビットの上記グループの最後の q 個のビットの前の位置に再配置するステップを含む請求項 18 記載の装置。

【請求項 22】

上記組み替え処理は、組み替えられた信号内の y 個のビットの一つ置きของกลุ่มにおいて、y 個のビットのグループの最後の q 個のビットを、y 個のビットの上記グループの最初の q 個のビットの前の位置に再配置するステップを含む請求項 18 記載の装置。

【請求項 23】

上記組み替え処理は、組み替えられた信号内の y 個のビットの一つ置きของกลุ่มにおいて、y 個のビットのグループの最後の q 個のビットを、y 個のビットの上記グループの最初の q 個のビットの後の位置に再配置するステップを含む請求項 18 記載の装置。

【請求項 24】

記録媒体上のトラックにチャンネル信号を記録する記録装置であって、
請求項 1 乃至 17 のうちいずれか一項記載の符号化する装置と、
上記符号化する装置によって発生された上記チャンネル信号を上記記録媒体上の上記トラックに書き込む書き込み手段とを有することを特徴とする記録装置。

【請求項 25】

上記チャンネル信号を上記記録媒体上の上記トラックに書き込む前に、上記チャンネル信号をプレ符号化する 1 T プレ符号化手段を更に有する請求項 24 記載の記録装置。

【請求項 26】

請求項 24 又は 25 記載の記録装置によって得られる記録媒体。

【請求項 27】

光学式記録媒体であることを特徴とする請求項 26 記載の記録媒体。

【請求項 28】

記録媒体上のトラックからチャンネル信号を再生する再生装置であって、
請求項 18 乃至 23 のうちいずれか一項記載の復号化する装置と、
上記トラックから上記チャンネル信号を読み取る読み取り手段とを有する再生装置。

【請求項 29】

連続した n ビットソースワードのシーケンスを含むバイナリソース信号のデータビットのストリームを、連続した m ビットチャンネルワードのシーケンスを含むバイナリチャンネル信号のデータビットのストリームに符号化する方法において、
上記バイナリソース信号を受信するステップと、

10

20

30

40

50

上記バイナリソース信号若しくは組み替えられたバイナリソース信号と一致する第1の入力信号を受信し、制御信号に応じて、上記第1の入力信号内の y 個の連続したビットの連続して生起するグループの間毎に q ビット併合用ワードを併合するステップと、

上記制御信号を発生させるステップと、

上記バイナリソース信号又は上記併合するステップで上記 q ビット併合用ワードと併合されたバイナリソース信号と一致する第2の信号を受信し、上記併合するステップと組み合わせられることによって、 y 、 n 及び q が

$y > 1$ 、 $n > 1$ 及び $q \geq 1$

を満たす整数を表すとき、 n ビットワードのシーケンスを含む組み替えられた複合バイナリソース信号を生じるように、 y 個の連続したビットのグループの中の一つ置きグループ毎に組み替え処理を行うステップと、

m 及び p が

$m > n$ 、 $p \geq 1$

を満たす整数であり、 p が可変であるとき、上記組み替えられた複合バイナリソース信号内の p 個の連続した n ビットワードの連続して生起するブロックを、上記バイナリチャンネル信号内の p 個の連続した m ビットワードの対応した連続して生起するブロックに変換することにより、上記組み替えられた複合バイナリソース信号を上記バイナリチャンネル信号に変換するステップと、

上記バイナリチャンネル信号を供給するステップとを具備し、

上記組み替え処理は、 m ビットチャンネルワードへの変換に必要とされる併合用ワードを含む上記 n ビットワードを除いて、上記組み替えられた複合バイナリソース信号内の上記 n ビットワードは、上記組み替えられた複合バイナリソース信号内の上記 n ビットソースワードと揃えられ、

$n = 2q$

となるように、 y 個の連続したビットの上記一つ置きのグループ毎に、上記グループ内の q ビットを上記グループ内の別の位置に再配置するステップを有することを特徴とする方法。

【発明の詳細な説明】

本発明は、バイナリソース信号を受信する入力手段と、

複合バイナリソース信号を獲得するため、制御信号に応じて上記バイナリソース信号内の等距離位置にある q ビットの併合用ワードを併合する手段と、

上記複合バイナリソース信号をバイナリチャンネル信号に変換する変換手段と、

上記制御信号を発生させる制御信号発生手段と、

上記バイナリチャンネル信号を供給する出力手段とを具備し、

バイナリソース信号のデータビットのストリームをバイナリチャンネル信号のデータビットのストリームに符号化する符号化装置に関する。

本発明は、また、バイナリソース信号のデータビットのストリームを獲得するため、上記符号化装置によって獲得されたバイナリチャンネル信号のデータビットのストリームを復号化する復号化装置と、上記符号化装置を含む記録装置と、上記記録装置を用いて獲得された記録媒体と、上記ソース信号を復号化する方法とに関する。

上記のタイプの符号化装置は、米国特許USP5,477,222号(PHN14448)に記載されている。この文献は、バイナリソース信号のデータビットのストリームを、(1,8)ランレングス制約条件を満たすバイナリチャンネル信号のデータビットのストリームに符号化する装置を開示する。(1,8)ランレングス制約条件とは、チャンネル信号の直列データストリームにおいて、最小で1個の'0'、最大で8個の'0'がチャンネル信号内の2個の連続した'1'の間に存在することを意味する。この点に関して、通常、1Tプレコーディングのような付加的なプレ符号化ステップが(1,8)制限されたシーケンスに適用され、その結果として、最小のランレングス2と最大のランレングス9とによりランレングス制限されたシーケンスが得られる。

従来の変換はパリティ保存型である。パリティ保存とは、変換されるべき n ビットソース

10

20

30

40

50

ワードのパリティが、変換された対応した m ビットチャンネルワードの（モジュロ 2 の加算後の）パリティと一致することを意味する。その結果として、従来の n ビットから m ビットへの変換装置は、信号の極性に影響を与えない。

変換はパリティ保存型であるため、例えば、 DC 制御ビットをソースワードのデータストリームに挿入することに効率的な DC 制御を適用することが可能である。

本発明は、 n ビットソースワードを対応した m ビットチャンネルワードに符号化する改良された装置の提供を目的とする。

本発明による装置は、連続した n ビットソースワードのシーケンスを含むバイナリソース信号のデータビットのストリームを、連続した m ビットチャンネルワードのシーケンスを含むバイナリチャンネル信号のデータビットのストリームに符号化する装置において、

10

上記バイナリソース信号を受信する入力手段と、

上記バイナリソース信号若しくは組み替えられたバイナリソース信号と一致する第 1 の入力信号を受信し、制御信号に応じて、上記第 1 の入力信号内の y 個の連続したビットの連続して生起するグループの間毎に q ビット併合用ワードを併合する併合手段と、

上記制御信号を発生させる制御信号発生手段と、

上記バイナリソース信号又は上記併合手段で上記 q ビット併合用ワードと併合されたバイナリソース信号と一致する第 2 の信号を受信し、上記併合手段における併合処理と組み合わせられることによって、 y 、 n 及び q が

$y > 1$ 、 $n > 1$ 及び $q \geq 1$

を満たす整数を表すとき、 n ビットワードのシーケンスを含む組み替えられた複合バイナリソース信号を生じるように、 y 個の連続したビットのグループの中の一つ置きグループ毎に組み替え処理を行う組み替え手段と、

20

m 及び p が

$m > n$ 、 $p \geq 1$

を満たす整数であり、 p が可変であるとき、上記組み替えられた複合バイナリソース信号内の p 個の連続した n ビットワードの連続して生起するブロックを、上記バイナリチャンネル信号内の p 個の連続した m ビットワードの対応した連続して生起するブロックに変換することにより、上記組み替えられた複合バイナリソース信号を上記バイナリチャンネル信号に変換する変換手段と、

上記バイナリチャンネル信号を供給する出力手段とを具備し、

30

上記組み替え処理は、 m ビットチャンネルワードへの変換に必要とされる併合用ワードを含む上記 n ビットワードを除いて、上記組み替えられた複合バイナリソース信号内の上記 n ビットワードは、上記組み替えられた複合バイナリソース信号内の上記 n ビットソースワードと揃えられ、

$n = 2q$

となるように、 y 個の連続したビットの上記一つ置きのグループ毎に、上記グループ内の q ビットを上記グループ内の別の位置に再配置するステップを有することを特徴とする装置である。

本発明は以下の認識に基づいている。本発明による手段を適用しない場合、符号化処理は次のようになる。 q ビット併合用ワードをバイナリソース信号に挿入した後、複合バイナリソース信号のビットストリームが作成される。引き続いて、この複合バイナリソース信号は、変換手段で m ビットチャンネルワードに変換するための n ビットワードのシーケンスに分割される。この n ビットワードのシーケンスへの変換は、複合バイナリソース信号内の 2 個の連続したワードの間の一つの境界が併合用ワードと上記複合バイナリソース信号内の次のソースワードとの間に存在するように行われる。次の併合用ワードまで、複合バイナリ信号内の連続して生起する 2 個のワードの間の全ての境界は、バイナリソース信号の連続して生起する 2 個のソースワードの間の境界と揃えられる。次の併合用ワードは、バイナリソース信号内の次のソースワードの最初の q ビットと共に、複合バイナリソース信号内の次の n ビットワードを形成する。その結果として、次の併合用ワードまで、複合ソース信号内の連即して生起する 2 個のワードの間の全ての境界はバイナリソース信号の

40

50

nビットソースワードの境界と揃えられない。或いは、複合バイナリ信号内のnビットワードはバイナリソース信号の連続して生起する2個のnビットソースワードに亘って広げられる。

複合バイナリソース信号内のnビットワードは対応したmビットチャンネルワードへの符号化の際に変換される。送信後、対応した復号化器に設けられた受信器における次の受信の際に、mビットチャンネルワードは対応したnビットワードに復号化され、このnビットワードは複合バイナリ信号のレプリカを形成する。次に、qビット併合用ワードは、バイナリソース信号のレプリカを獲得するため複合バイナリソース信号から削除される。

伝送中に誤りが発生し、復号化器で誤った復号化が行われる可能性がある。複合バイナリソース信号のレプリカ内の誤りのあるワードは、バイナリソース信号のレプリカに、すなわち、連続して生起する2個のソースワードの間の境界が複合バイナリソース信号のレプリカの連続して生起する2個のワードと揃えられるバイナリソース信号のレプリカの部分に対し、1個の誤りのあるソースワードを生じさせる。しかし、連続して生起する2個のソースワードの間の境界が複合バイナリソース信号のレプリカの連続して生起する2個のワードの境界と揃わないバイナリソース信号のレプリカの部分において、複合ソース信号のレプリカ内の誤りのあるワードは、バイナリソース信号のレプリカ内で2個の誤りのあるワードを生じさせる。

本発明は、バイナリソース信号内のy個の連続ビットソースワードの2番目のグループ毎にq個のビットをシフトすることにより、かかる誤りの伝搬を解決する。バイナリソース信号の連続して生起する2個のnビットソースワードの間の境界は、複合バイナリソース信号内の連続して生起する2個のnビットワードの間の境界と揃えられる。その結果として、誤り伝搬は発生しない。

一般的に、獲得されたチャンネル信号は、1Tプレコーダに供給される。併合手段の目的は、DCを含まないプレコーダ出力信号、或いは、一定周波数を有するトラッキングパイロット信号を含むプレコーダ出力信号が獲得できるように、1ビット併合用ワード、すなわち、値0のビット若しくは値1のビットのような併合用ワードを、変換手段の入力信号に含まれる連続的な符号ワードに追加することである。プレコーダ出力信号は記録媒体に記録される。q=1の例の場合に、変換器の入力信号に値0のビットを追加することにより、1Tプレコーダの出力信号の極性が同一に保たれる。値1のビットを追加することにより、1Tプレコーダの出力信号の極性が反転される。このように、併合手段は、1Tプレコーダの出力信号に影響を与え、これにより、1Tプレコーダの出力信号の連続デジタル合計値が時間の関数として所望のパターンを有するように制御され得る。

以下、添付図面を参照して本発明をより詳細に説明する。図面中、

図1は符号化装置の第1実施例の図であり、

図2は符号化装置の第2実施例の図であり、

図3は従来技術の符号化装置において発生する種々の信号を表す図であり、

図4は、複合ソース信号を組み替える一つの方法を用いて図2の符号化装置において発生する種々の信号を表す図であり、

図5は複合ソース信号を組み替える別の方法を示す図であり、

図6は符号化装置の組み替えユニットの第1実施例の図であり、

図7は組み替えユニットの第2実施例の図であり、

図8は符号化装置の変換ユニットの第1実施例の図であり、

図9は変換ユニットの第2実施例の図であり、

図10は復号化装置の第1実施例の図であり、

図11は復号化装置の第2実施例の図であり、

図12は復号化装置の再変換ユニットの第1実施例の図であり、

図13は複合ソース信号を組み替える更に別の方法を示す図である。

図1には本発明による符号化装置の第1実施例が示されている。符号化装置は、バイナリソース信号を受信する入力端子1を有し、入力端子1はqビットワード併合ユニット4の入力2に接続される。ユニット4の出力6は組み替えユニット8の入力7に接続される。

組み替えユニット 8 は、変換ユニット 10 の入力 11 に接続された出力 9 を有し、変換ユニット 10 は a T プレコーダ 16 の入力 14 に接続された出力 12 を有する。プレコーダ 16 の出力 18 はバイナリチャンネル信号を供給する出力に接続される。この出力 18 は制御信号発生器 24 の入力 22 に接続され、制御信号発生器 24 は、併合ユニット 4 の制御信号入力 28 に接続された出力 26 を有する。

n ビットソースワードのシーケンスの形式のバイナリソース信号は、符号化のため入力端子 1 に供給される。併合ユニット 4 は、バイナリソース信号内の等距離位置に q ビット併合用ワードを挿入するよう適合されている。より詳細には、併合ユニット 4 は、複合バイナリソース信号をその出力 6 で得るため、x 個の連続した n ビットソースワードの連続して生起するグループの間毎に q ビット併合用ワードを挿入するよう適合されている。ここで、x、n 及び q は、 $x > 1$ 、 $n = 2q$ かつ $q \geq 1$ を満たす整数である。

複合バイナリソース信号は、組み替えユニット 8 の入力 7 に供給され、組み替えユニット 8 は、組み替えられた複合ソース信号を獲得するため、複合バイナリソース信号内の x 個の連続した n ビットソースワードの 2 番目のグループ毎に組み替えステップを実行する。組み替えられた複合ソース信号は、次に、変換ユニット 10 の入力 11 に供給される。符号化ユニット 10 は、組み替えられた複合ソース信号に基づいて変換ステップを実行し、これにより、チャンネル信号が得られる。この変換ステップは、組み替えられた複合ソース信号内の p 個の n ビットワードのグループを、対応した p 個の m ビットチャンネルワードのグループへの変換を行う。このチャンネルワードはチャンネル信号を形成する。このチャンネル信号は出力 12 に供給される。バイナリチャンネル信号は、次に、a T プレコーダ 16 においてプレ符号化バイナリチャンネル信号に変換され、プレ符号化バイナリチャンネル信号は、次に、例えば、記録用若しくは伝送用の出力端子 20、並びに、制御信号発生器 24 の入力 22 に供給される。制御信号発生器 24 は、プレ符号化バイナリチャンネル信号にตอบสนองして制御信号を出力 26 に発生させ、この制御信号は併合ユニット 4 の制御信号入力 28 に供給される。併合ユニット 4 は、上記制御信号に応じて、バイナリソース信号に併合するための q ビットワードを選択する。

図 1 の装置が僅かに変形された装置を示す図 2 を参照して装置の機能をより詳細に説明する。図 2 の装置は併合ユニット 4' を含む。併合ユニット 4' は、複合バイナリソース信号をその出力 6 で得るため、バイナリソース信号内の x 個の連続した n (= 2) ビットソースワードの連続して生起するグループの間毎に 1 ビット (q = 1) 併合用ワードを挿入するよう適合される。x は整数値をとる。後述する実施例では、x は 24 である。その理由は、1 ビット併合用ワードが 6 バイトのバイナリソース信号の連続して生起するグループの間に挿入されるからである。

図 2 の実施例における組み替えユニット 8' は後述する。最初に、変換ユニット 10' の機能を説明する。変換器 10' は、組み替えられた複合ソース信号内の p 個の 2 ビットワードのグループをチャンネル信号の対応した p 個の 3 ビットチャンネルワードのグループに変換するよう適合されている。p は整数であり、以下に明らかにするように可変である。チャンネル信号は、プレ符号化されたチャンネル信号を獲得するため、従来技術において公知の 1 T プレコーダ 16' で処理される。1 T プレコーダ 16' の出力信号は制御信号発生器 24' に供給され、制御信号発生器 24' は、'0' 若しくは '1' の何れがソース信号の直列データストリームに挿入されるかを制御すべく、併合ユニット 4' 用の制御信号を発生させる。

図 1 又は 2 に示された装置を用いることにより、プレ符号化されたチャンネル信号の直列データストリーム内にある周波数のトラッキングトーンを埋め込むことが可能であり、或いは、上記データストリームの直流 (DC) 成分を零に維持することができる。さらに、変換ユニット 10' が上記の通り (d, k) シーケンスを発生させるよう適合されているとき、図 1 又は 2 の装置の出力信号は、(d, k) RLL 出力信号になる。併合ユニット 4 の実施例は、文献: Bell System Technical Journal, Vol.53, No.6, pp.1103-1106 に記載されている。

10

20

30

40

50

1 T プレコーダ 16' の出力信号は、信号を記録媒体 36 のトラックに書き込む書き込みユニット 34 に供給される。記録媒体 36 は、細長い形若しくはディスク形式の磁気記録媒体でもよい。記録媒体は、光ディスク 36' のような光学式記録媒体でもよい。書き込みユニット 34 は、磁気記録媒体に信号を書き込む場合には磁気式書き込みヘッドであり、光学式記録媒体に信号を書き込む場合には光学式書き込みヘッドである書き込みヘッド 38 を含む。

次に、図 2 の装置の機能を説明する。図 3 a には、装置の入力端子 1 に供給されるバイナリソース信号が概略的に示されている。ソース信号は、 sw_1 、 sw_2 、 $\dots$ 、 sw_i 、 sw_{i+1} 、 $\dots$ のように表記される 2 ビットソースワードのシーケンスにより構成される。バイナリソース信号の 4 個の 2 ビットソースワード毎に、バイナリソース信号におけるバイトが形成される。6 個の連続したバイト B_0 、 $\dots$ 、 B_5 のシーケンスが図 3 a に示されている。図 2 の併合ユニット 4' は、1 ビット併合用ワードを、バイナリソース信号内の 6 個の連続したバイト B_0 乃至 B_5 のグループの間毎に挿入するよう適合され、すなわち、1 ビット併合用ワードは、バイナリソース信号の 24 個の 2 ビットソースワードの連続して生起するグループの間毎に挿入される。本例において、併合用ワード mw_0 はバイナリソース信号のソースワード sw_2 と sw_3 の間に挿入され、併合用ワード mw_1 はソースワード sw_{i+3} と sw_{i+4} の間に挿入され、図 3 b に示されるような複合ソース信号が得られる。

従来技術の装置の場合に、複合ソース信号の組み替えは行われず、複合ソース信号は変更されることなく変換ユニット 10' に転送される。変換ユニット 10' は複合ソース信号内の 2 ビットワードを対応した 3 ビットワードに変換する。これは、図 3 c 及び図 3 d に示されている。図 3 c には、2 ビットワードのシーケンス、いわゆる複合ソースワード csw_1 、 csw_2 、 csw_3 、 $\dots$ に分割された複合ソース信号が示されている。複合ソースワードは対応した 3 ビットチャンネルワードに変換され、図 3 d に概略的にしめされるようなチャンネル信号が得られる。チャンネル信号内のチャンネルワードは cw_i のように表記される。図 3 d には、2 ビット複合ソースワード csw_2 、 csw_7 、 csw_{11} 及び csw_i を変換することによって獲得されたチャンネルワード cw_2 、 cw_7 、 cw_{11} 及び cw_i が示されている。

対応した復号化装置における再変換の際に、3 ビットチャンネルワードは元の 2 ビット複合ソース信号のレプリカに再変換される。これは、複合ソースワードのレプリカのシーケンス $rcsw_1$ 、 $rcsw_2$ 、 $rcsw_3$ 、 $\dots$ 、 $rcsw_i$ として図 3 e に概略的に示されている。次いで、レプリカ $rcsw_3$ 及び $rcsw_4$ に含まれる併合用ワード mw_0 及び mw_1 がレプリカから削除され、図 3 f に概略的に示されるように元のソース信号のレプリカが得られる。図 3 f には、ソース信号のレプリカが元のソースワードのレプリカのシーケンス rsw_1 、 rsw_2 、 rsw_3 、 $\dots$ 、 rsw_i 、 rsw_{i+1} 、 $\dots$ の形式で表示されている。

図 3 b 及び 3 c から、1 ビット併合用ワードを図 3 a の 2 ビットソースワードの間に挿入することにより、図 3 b の 2 複合ソース信号内の 2 ビットソースワード間の境界は、図 3 c の 2 ビット複合ソースワード間の境界と必ずしも一致しないことが明らかになる。より詳細に言うと、この説明は、図 3 b の信号内のソースワード sw_3 乃至 sw_{i+3} に対し有効である。

複合ソースワード csw_7 の変換及び後続の再変換後に、誤りが発生し、誤りを含むレプリカ $rcsw_7$ が得られる。ワード $rcsw_7$ の第 1 ビットは、図 3 f のソース信号のレプリカ内のバイト B_0 の第 7 ビット b_7 であり、ワード $rcsw_7$ の第 2 ビットはバイト B_1 の第 1 ビット b_0 である。ワード $rcsw_7$ は誤りを含むので、バイト B_0 及び B_1 も誤りを含む。このように複合ソース信号のレプリカの 1 ワード内の誤りはソース信号のレプリカの 2 バイトに誤りを生じさせるので、誤り伝搬が発生する。

本発明によれば、複合ソース信号を変換ユニット 10' に供給する前に、組み替えステップが複合ソース信号に対し実行される。図 4 は組み替えステップの一実施例を表し、図 5 は別の実施例を表す。図 4 a はバイナリソース信号の直列データストリームを表し、1 ビ

10

20

30

40

50

ット併合用ワードが24個の2ビットソースワードの連続して生起するグループの間毎に挿入される。図4bでは併合用ワード mw_0 がソースワード sw の後に挿入され、併合用ワード mw_1 がソースワード sw_{i+4} の前に挿入される。また、組み替えステップは、併合用ワードを併合した後に得られた信号に基づいて行われる。併合及び組み替えステップの結果は図4bの信号に示され、同図では、2ビットワード $w_1, w_2, \dots, w_i, w_{i+1}, \dots$ の形で組み替えられた複合信号が示されている。併合用ワード mw_0 を挿入するのに加えて、ソースワード sw_2 に続く2ビットソースワードのシーケンスは、図4bでは付加的なビット位置に亘って右側にシフトされ、その結果として、併合用ワード mw_0 と組み替えられた信号のワード w_4 との間に空ビット位置が得られる。かくして、組み替えられた信号のワード w_4 はソースワード sw_3 と一致し、組み替えられた信号のワード w_5 はソースワード sw_4 と一致し、以下同様に続く。かくして、ワード w_{i+3} はソースワード sw_{i+2} に一致する。バイト B_5 の最後の2個のビットであるビット b_6 及びビット b_7 はソースワード sw_{i+3} に含まれる。ビット b_6 は、図4bからわかるようにワード w_{i+3} の直後に続く。しかし、ビット b_7 は再配置され、併合用ワード mw_0 とワード w_4 との間の空ビット位置に入れられる。これは、図4bにおいて矢印50で示されている。次の併合用ワード mw_1 は2ビットワード w_{i+4} の第2ビットとして挿入され、次に、ソースワード sw_{i+4} と一致する2ビットワード w_{i+5} が続き、以下同様である。図4a及び4bから、図4bの組み替えられた複合信号内のワード間の境界は図4aのソース信号内のソースワードの境界と一致することがわかる。

組み替えられた複合信号の2ビットワードを3ビットチャンネルワードに変換することにより、図4cのチャンネル信号が得られる。引き続き変換は、図4dに示された組み替えられた複合信号のレプリカを生成する。次に、併合用ワードは組み替えられた複合信号のレプリカから削除される。すなわち、ワード rw_3 のレプリカの第1ビットは削除され、ワード rw_{i+4} の第2ビットが削除される。さらに、ワード rw_3 の第2ビットは直列データストリームから獲得されるので、ソース信号のレプリカのワード $rs w_2$ の後に続くワード $rs w_3$ は組み替えられた複合信号のレプリカの2ビットワード rw_4 と一致し、以下同様である。かくして、ソース信号のレプリカのワード $rs w_{i+2}$ は、組み替えられた複合信号のレプリカのワード rw_{i+3} と一致し、ワード $rs w_{i+4}$ はワード rw_{i+5} と一致する。ソース信号のレプリカのバイト B_5 のビット b_6 は組み替えられた複合信号のレプリカのワード rw_{i+4} の第1ビットと一致する。併合用ワード mw_1 を削除することは、ワード rw_3 の第2ビットのビット値で充填された空ビット位置が、バイト B_5 のビット b_7 を与えることを意味する。このビット b_7 の再配置は図4eに矢印52で示されている。

変換／再変換ステップで出現する誤りは、図4dの組み替えられた複合信号のレプリカに誤りを含むワード rw_i を生じさせる。図4dの信号内のワード rw_i の間の境界と、図4eの信号内のワード $rs w_i$ の間の境界は揃えられるので、このような誤りは1個の2ビットワード、すなわち、1バイトだけに誤りを生じさせ、その結果として誤り伝搬は発生しない。

図4の例の場合に、ソースワード sw_{i+3} のビット b_7 が併合用ワード mw_0 とソースワード sw_3 の間の位置に再配置される。或いは、ソースワード sw_{i+3} 内のビット b_6 を併合用ワード mw_0 とソースワード sw_3 の間の位置に再配置してもよい。

図5は複合ソース信号を組み替える方法の別の実施例の説明図である。図5aにはバイナリソース信号の直列データストリームが示されている。図5bでは併合用ワード mw_0 がソースワード sw_2 の後に挿入され、併合用ワード mw_1 がソースワード sw_{i+4} の前に挿入される様子が示される。また、組み替えステップは、バイト B_0 のビット b_0 、すなわち、ワード sw_3 の第1ビットが再配置される。併合及び組み替えステップの結果は図5bの信号に示され、同図では、2ビットワード $w_1, w_2, \dots, w_i, w_{i+1}, \dots$ の形で組み替えられた複合信号が示されている。併合用ワード mw_0 の挿入は、併合用ワード mw_0 によってバイト B_0 のビット b_0 を置換し、一方、ビット b_0 は一時的に記憶されることを意味する。ソース信号の後続の2ビットワードは元の位置に保たれる。或いは、ソース信号内のワード sw_4 は組み替えられた複合信号内のワード w_4 と一致し、以下同様に続

10

20

30

40

50

く。かくして、ソース信号内のワード sw_{i+3} は組み替えられた複合信号のワード w_{i+3} と一致する。次に、一時的に記憶されたビット b_0 はワード w_{i+4} の第 1 ビットとして付加され、次に併合用ワード mw_1 がワード w_{i+4} の第 2 ビットとして続く。これが図 5 b の矢印 5 4 によって概略的に示されている。後続のソースワード sw_{i+4} 、 sw_{i+5} 、... は 2 個のビット位置に亘ってシフトされる。しかし、全ての場合で、図 5 b の組み替えられた複合信号内の 2 ビットワード w と、図 5 a のソース信号内のソースワード sw との間の境界は揃えられている。

組み替えられた複合信号の 2 ビットワードを 3 ビットチャネルワードに変換することにより、図 5 c のチャネル信号が得られる。引き続き再変換は、図 5 d に示された組み替えられた複合信号のレプリカを生成する。次に、併合用ワードは組み替えられた複合信号のレプリカから削除される。すなわち、ワード rw_3 のレプリカの第 1 ビットは削除され、ワード rw_{i+4} の第 2 ビットが削除される。併合用ワード mw_0 の空のビット位置は、ワード rw_{i+4} の第 1 ビットのビット値によって充填され、2 ビットワード $rs w_3$ の第 1 ビットが生成され、ソース信号のレプリカのバイト B_0 のビット b_0 が得られる。さらに、ソース信号のレプリカのワード $rs w_3$ の後に続くワード $rs w_4$ は組み替えられた複合信号のレプリカの 2 ビットワード rw_4 と一致し、以下同様である。かくして、ソース信号のレプリカのワード $rs w_{i+3}$ は、組み替えられた複合信号のレプリカのワード rw_{i+3} と一致する。ワード $rs w_{i+4}$ の第 1 ビットはワード $rs w_3$ の第 1 ビット位置に既に再配置されている。その結果として、併合用ワード mw_1 を削除することは、ワード rw_{i+5} (以下同様に続く) が、ソース信号のレプリカのワード $rs w_{i+4}$ (以下同様に続く) としてワード $rs w_{i+3}$ の直後に続くことを意味する。このビット b_0 の再配置は図 5 e に矢印 5 6 で示されている。

変換／再変換ステップで出現する誤りは、図 5 d の組み替えられた複合信号のレプリカに誤りを含むワード rw_i を生じさせる。図 5 d の信号内のワード rw_i の間の境界と、図 5 e の信号内のワード $rs w_i$ の間の境界は揃えられるので、このような誤りは 1 個の 2 ビットワード、すなわち、1 バイトだけに誤りを生じさせ、その結果として誤り伝搬は発生しない。

図 5 の例の場合に、ソースワード sw_{i+3} のビット b_0 がソースワード sw_3 と併合用ワード mw_0 との間の位置に再配置される。或いは、ソースワード sw_3 内のビット b_1 をソースワード sw_{i+3} と併合用ワード mw_1 との間の位置に再配置してもよい。

さらに、組み替えステップは併合ステップの後に続くステップとして説明されていることに注意する必要がある。しかし、組み替えステップは併合ステップよりも前に行われてもよく、又は、併合ステップと同時に進行しても構わないことに注意する必要がある。

図 6 には、図 4 a 及び 4 b を参照して説明した組み替えステップを実行する組み替えユニット 8' の一実施例が示されている。図 6 の組み替えユニット 8' は、本例では、47 個の記憶場所を含むシフトレジスタ 40 の形式をしたメモリを有する。また、端子 a、b 及び c を備えた第 1 及び第 2 の制御可能スイッチ 42 及び 44 が利用される。制御ユニット CPU は、制御ライン 46 を介してスイッチ 42 及び 44 の位置を制御し、制御ライン 48 を介してシフトレジスタ 40 による情報のシフトを制御するため利用可能である。組み替えユニットの入力 7 はスイッチ 42 の a 端子に接続される。スイッチ 42 の b 端子はシフトレジスタ 40 の入力に接続される。スイッチ 42 及び 44 の c 端子は相互接続される。シフトレジスタ 40 の出力はスイッチ 44 の b 端子に接続され、スイッチ 44 の a 端子は組み替えユニットの出力 9 に接続される。

以下、図 6 の組み替えユニットの機能を説明する。ライン 46 上の制御信号の影響を受け、スイッチ 42 及び 44 は共に a-b のポジションをとり、ライン 48 上の制御信号の影響を受け、ビットがシフトレジスタ 40 の第 1 記憶場所 M_1 に格納され、シフトレジスタ 40 内で図 6 の右側へシフトされる。併合用ビットを含む図 4 a の信号が組み替えユニットの入力 7 に供給される場合を想定する。ソースワードの記憶はソースワード sw_1 、及び、引き続き出現するソースワードを記憶することによって行われる。情報の記憶は、ソースワード sw_2 がメモリ記憶場所 M_{45} 及び M_{44} に記憶され、併合用ワード mw_0 がメモ

10

20

30

40

50

リ記憶場所 M_{43} に記憶されるまで続けられる。ライン48上に連続して生起する5個のクロック信号は、ソースワード sw_1 及び sw_2 、並びに、併合用ワード mw_0 をシフトレジスタ40から送り出し、出力9に供給する。このとき、シフトレジスタは、記憶場所 M_{47} から M_{40} までに格納されたソースワード sw_3 乃至 sw_6 によって形成されたバイト B_0 を有する。ソースワード sw_7 乃至 sw_{10} によって形成されたバイト B_1 は、記憶場所 M_{39} から M_{32} までに格納され、以下同様に続く。バイト B_5 のビット b_0 乃至 b_6 は記憶場所 M_7 から M_1 までに記憶される。また、バイト B_5 のビット b_7 は入力7で得られる。図6にはこの時点での状況が示されている。

ライン46上の制御信号の影響によって、スイッチ42及び44はポジションa-cに切り換えられるので、バイト B_5 のビット b_7 が変換ユニット10'における更なる処理のため出力9に供給される。次に、スイッチ42及び44はポジションa-bにもう一度切り換えられ、記憶場所 M_{47} に格納されたビット b_0 と、シフトレジスタ40に格納された後続のビットとが出力9に供給される。また、ソースワード sw_{i+4} 及び後続のソースワードはシフトレジスタ40に記憶される。かくして、バイト B_5 のビット b_7 は、併合用ワード mw_0 とビット b_0 との間で組み替えられた複合信号の直列データストリームに実際に挿入される。これは、24個の連続して生起するソースワードの2番目のグループ毎に行われる。

図7は、図5a及び5bを参照して説明された組み替えステップを実行する組み替えユニット8'の一実施例を示す図である。図7の組み替えユニットは、1個の記憶場所を有するメモリMを含む。また、端子a、b及びcを備えた第1及び第2の制御可能スイッチ42及び44が利用される。制御ユニットCPUは、制御ライン46を介してスイッチ42及び44の位置を制御し、制御ライン48を介してメモリM内の情報の記憶を制御するため利用可能である。組み替えユニットの入力7はスイッチ42のa端子に接続される。スイッチ42のb端子はメモリMの入力に接続される。スイッチ42及び44のc端子は相互接続される。メモリMの出力はスイッチ44のb端子に接続され、スイッチ44のa端子は組み替えユニットの出力9に接続される。

以下、図7の組み替えユニットの機能を説明する。ライン46上の制御信号の影響を受け、スイッチ42及び44は共にa-cのポジションをとるので、入力7に供給されたソース信号の直列データストリームは、出力9にそのまま供給される。このようにして、ソースワード sw_1 及び sw_2 と、複合ソース信号内の併合用ワード mw_0 は、出力9に供給される。ライン46上の制御信号の影響で、スイッチ42はポジションa-bに切り替わり、同時に、ソースワード sw_3 のビット b_0 が入力7に出現する。さらに、ライン48上の制御信号の影響を受け、このビット b_0 がメモリMに格納される。次に、ソースワード sw_3 のビット b_1 が出現した後、スイッチ42は、再びポジションa-cに切り換えられるので、バイト B_0 のビット b_1 、 b_2 、...等は、出力9に供給される。次に、ライン46上の制御信号の影響で、スイッチ44はポジションa-bに切り換えられるので、ソースワード sw_0 のビット b_0 は出力に供給される。次に、ライン46上の制御信号の影響で、スイッチ44はポジションa-cに切り換えられるので、入力7に現れる併合用ワード mw_1 と連続して生起するソースワード sw_{i+5} 、 sw_{i+6} 、...等は、出力9に供給され得る。このようにして、バイト B_0 のソースワード sw_3 内のビット b_0 は、ソースワード sw_{i+3} と併合用ワード mw_1 との間で組み替えられた複合信号の直列データストリームに挿入される。これは、これは、24個の連続して生起するソースワードの2番目のグループ毎に行われる。

図8は、組み替えられた複合ソース信号の2ビットワードを3ビットチャネルワードに変換し得る変換器10'を示す図である。この変換器は、米国特許第5,477,222号に記載された装置であり、繰り返し最小変化ランレングスを最小化する目的を実現するための変更が加えられている。

変換器10'は、組み替えられた複合バイナリソース信号Sのデータビットのストリームを受信する入力60を有する。入力60は、シフトレジスタ62の入力に接続され、シフトレジスタ62は、本例の場合にセル X_1 乃至 X_8 を有するので、組み替えられた複合ソー

10

20

30

40

50

ス信号 S の 8 個の連続したビットを受信することができる。シフトレジスタ 6 2 は、直列—並列変換器のように動作する。セルの出力は、それぞれ、論理回路 LC の対応した入力 i_1 乃至 i_8 に接続され、論理回路はセル内に存在するビットの論理値 ($x_1, \dots, x_8$) を供給する。

変換器 10' は、12 個のセル Y_1 乃至 Y_{12} を備えた第 2 のシフトレジスタ 6 4 を更に有する。論理回路 LC は 12 個の出力 O_1 乃至 O_{12} を有する。これらの論理回路 LC の出力は、シフトレジスタ 6 4 の対応した 12 個のセル Y_1 乃至 Y_{12} の入力に接続される。シフトレジスタ 6 4 の出力 6 6 は出力 6 8 に接続される。シフトレジスタ 6 4 は、並列—直列変換器として作用するので、バイナリチャネル信号 C が得られる。

また、ソース信号 S の直列データストリーム内の特定のシーケンスを検出するため検出ユニット 7 0 が設けられる。この目的のため、シフトレジスタ 6 2 の 8 個のセル X_1 乃至 X_8 の出力は、検出ユニット 7 0 の対応した入力 7 2 に接続される。本実施例の場合に、検出ユニット 7 0 は、第 1、第 2 及び第 3 の信号をそれぞれに発生させる 3 個の出力 O_1 、 O_2 及び O_3 を有する。これらの出力は、論理回路 LC の対応した制御信号入力 c_1 、 c_2 及び c_3 に接続される。

論理回路 LC は、入力 c_1 、 c_2 及び c_3 に供給された制御信号に応じて以下の機能を行う。

論理回路 LC は、組み替えられた複合ソース信号の 2 ビットソースワード w_i を、各 2 ビットソースワードのパリティを保存したまま 3 ビットチャネルワードに変換することができる。すなわち、変換されるべき 2 ビットワード内の '1' の個数が対応した 3 ビットチャネルワード内の '1' の個数と一致し、チャネルワード内の '1' に関してモジュロ 2 の加算が行われる。或いは、換言すると、2 ビットワード内の '1' の個数が偶数であるとき、3 ビットチャネルワード内の '1' の個数は偶数である。また、2 ビットワード内の '1' の個数が奇数であるとき、3 ビットチャネルワード内の '1' の個数は奇数である。

一例として、変換手段 LC は、以下の表 I に従って、2 ビットワード w_i を 3 ビットチャネルワード $c w_i$ に変換するように適合される。

表 I

ワード w_i (X_1, X_2)	チャネルワード $c w_i$ (Y_1, Y_2, Y_3)
0 0	1 0 1
0 1	1 0 0
1 0	0 0 1
1 1	0 0 0

2 ビットワード w_i の第 1 ビットは最初にシフトレジスタ 6 2 に供給され、チャネルワードの第 1 ビットはシフトレジスタ 6 4 の出力 6 6 から最初に供給されることに注意する必要がある。

また、論理回路 LC は、セル X_1 、 X_2 に格納された 2 ビットワード w_i を 3 ビットチャネルワード $c w_i$ に変換し、制御信号入力 c_1 、 c_2 、 c_3 に制御信号が存在しないことに応答して、これらのチャネルワードをシフトレジスタ 6 4 のセル Y_1 、 Y_2 、 Y_3 に格納することに注意する必要がある。このような変換に続いて、シフトレジスタ 6 2 において位置 2 個分の左へのシフトが行われ、シフトレジスタ 6 4 において位置 3 個分の左へのシフトが行われる。シフトレジスタ 6 2 における位置 2 個分のシフトは、シフトレジスタ 6 2、すなわち、変換器に次の変換の準備をさせるため必要である。シフトレジスタ 6 4 における位置 3 個分のシフトは、作成された 3 ビットチャネルワード $c w_i$ を出力するため必要である。

図 8 の変換器 10' は、 $d = 1$ の制約を満たす (d, k) シーケンスの形式のチャネル信号 C を発生させるため使用することができる。すなわち、少なくとも 1 個の '0' が、

チャンネル信号の直列データストリーム内の2個の連続して生起する'1'の間に存在することを意味する。すなわち、チャンネル信号内では2個以上の'1'の連結が禁止される。

図8の変換器を用いて得られるような2個の連続して生起する2ビットワード w_i の組合せの無修正変換は、 $d=1$ の制約を破る可能性がある。これらの組合せの中で、組合せ'00 00'は無修正変換によって2個の3ビットチャンネルワード'101 101'を生じ、組合せ'00 01'は無修正変換によって2個の3ビットチャンネルワード'101 100'を生じ、組合せ'10 00'は無修正変換によって2個の3ビットチャンネルワード'001 101'を生じ、組合せ'10 01'は無修正変換によって3ビットチャンネルワード'001 100'を生じる。

このような組合せの出現は、2個の2ビットワード w_i 、 w_{i+1} のブロックの2個の3ビットチャンネルワード cw_i 、 cw_{i+1} のブロックへの修正符号化が行えるように、検出されるべきである。したがって、図8の変換器は、2ビットワード w_i の3ビットチャンネルワード cw_i への通常の符号化の他に、上記の組合せを検出し、チャンネル信号内で $d=1$ の制約条件が満たされるように修正符号化を行うことができる。

シフトレジスタ62のセル X_1 乃至 X_4 の出力は検出ユニット70の対応した入力に接続されるので、ビットストリーム内の1個の2ビットワード w_i が対応した1個の3ビットチャンネルワード cw_i に無修正符号化されることにより、チャンネル信号C内で $d=1$ の制約条件を破ることになる場合に、検出ユニット70は組み替えられた複合ソース信号の直列ビットストリーム内で位置を検出することができ、この検出に応じて出力 O_1 に制御信号を供給するよう適合される。

より詳細に説明すると、検出ユニット70は、セル X_1 乃至 X_4 が、表IIに与えられたいずれかの4ビットシーケンスを含むかどうかを検出し、第1制御信号を出力 O_1 に発生させる。以下の表IIの左側の列に与えられたいずれかの組合せと一致する2個の2ビットワード w_i 、 w_{i+1} の組合せが4個のセル位置 X_1 、 X_2 、 X_3 、 X_4 に出現したことが検出ユニット70によって検出されると直ちに、論理回路LCは以下の表IIに掲載された修正符号化に従って組合せの変換を行う。

表II

ワード w_i , w_{i+1}	無修正符号化	修正符号化
00 00	101 101	100 010
00 01	101 100	101 010
10 00	001 101	000 010
10 01	001 100	001 010

表IIからわかるように、1個の2ビットワードの無修正変換は、2個の'1'が得られた2個のチャンネル符号間の境界に発生するので $d=1$ 制約条件に違反する。論理回路LCは、修正符号化モードにおいて、表IIの左側の列に与えられた2個の2ビットワードのブロックを、表IIの右側の列に与えられた2個の3ビットチャンネルワードのブロックに変換するよう適合している。明らかに、 $d=1$ 制約条件の違反は発生しなくなる。さらに、同様に行われた修正符号化はパリティ保存型である。その上、2個の2ビットワードの一方、表IIでは2番目のワードは、表Iの4個のチャンネルワードの中の何れのワードにも一致しない3ビットチャンネルワードに符号化される。その理由は、受信器側で、表Iの4個の3ビットチャンネルワードの組に属していない上記3ビットチャンネルワードを検出でき、その結果として、表IIに関して定義された符号化の逆処理である対応した復号化を実現することができるからである。

表IIに従った符号化を用いて得られた2個の3ビットチャンネルワードのブロックは、論理回路LCによって出力 o_1 乃至 o_6 に供給され、チャンネルワードはシフトレジスタ64の6個のセル Y_1 乃至 Y_6 に供給される。

変換ユニットLCによる2個の2ビットワードの2個の3ビットチャンネルワードへの変換の後に、位置4個分の左側へのシフトがシフトレジスタ62で行われ、位置6個分の左側

へのシフトがシフトレジスタ64で行われる。シフトレジスタ62における位置4個分のシフトは、シフトレジスタ62、すなわち、変換器に次の変換の準備をさせるために必要である。シフトレジスタ64における位置6個分のシフトは発生された3ビットチャンネルワードを出力するため必要である。

(d, k) シーケンスにおいてk-制約とは、チャンネル信号内の2個の連続して生起する'1'の間に最大k個までの'0'の連結が許容されることを意味する。

3個の連続して生起する2ビットワードの無修正変換はk-制約に違反する可能性がある。

一例として、組み替えられたソース信号内の2ビットワードのシーケンス'11 11 11'は、無修正変換によって、3個の3ビットチャンネルワード'000 000 000'を生ずる。kが6、7若しくは8と一致するときに(d, k)シーケンスが獲得されるならば、このような3個の3ビットチャンネルワードは発生してはならない。

別の例として、2ビットワードのシーケンス'11 11 10'が無修正変換によって3個の3ビットワード'000 000 001'を生ずる場合を考える。この3個の3ビットチャンネルワードの組合せはk=6若しくはk=7の制約を充足しない。また、この3個の3ビットチャンネルワードの組合せは、'0'で終了した先行のチャンネルワードの後に続く可能性があるので、k=8の制約に違反するかもしれない。さらに、この組合せは'1'で終了するので、この組合せの後に'1'で始まる3ビットチャンネルワードが続くならば、d=1の制約に違反する場合がある。同様の説明は、2ビットワードのシーケンス'01 11 11'に対しても有効である。

更に別の例は、2ビットワードのシーケンス'01 11 10'が無修正変換によって3個の3ビットチャンネルワード'100 000 001'を生ずる場合である。この組合せは、上記と同じ方法でd=1の制約に違反する可能性がある。

このような組合せの出現は検出されるので、修正符号化が行われる。したがって、図8の変換器は、2ビットワードの3ビットチャンネルワードへの通常の符号化、並びに、表IIに準拠した修正符号化の他に、上記組合せを検出することが可能であり、チャンネル信号内のk-制約が充足される修正符号化を実現することができる。

シフトレジスタ62のセルX₁乃至X₆の出力は検出ユニット70の対応した入力に接続されるので、チャンネル信号C内でk-制約に違反することになる場合に、検出ユニット70は組み替えられた複合ソース信号の直列ビットストリーム内で位置を検出することができ、この検出に応じて出力O₂に制御信号を供給するよう適合される。

より詳細に説明すると、検出ユニット70は、セルX₁乃至X₆が、表IIIに与えられたいずれかの6ビットシーケンスを含むかどうかを検出し、第2制御信号を出力O₂に発生させる。

以下の表IIIの左側の列に与えられたいずれかの組合せと一致する3個の2ビットワードの組合せが6個のセル位置X₁、X₂、X₃、X₄、X₅、X₆に出現したことが検出ユニット70によって検出されると直ちに、論理回路LCは以下の表IIIに掲載された修正符号化に従って組合せの変換を行う。

表 III

2 ビットワード	無修正符号化	修正符号化
11 11 11	000 000 000	000 010 010
11 11 10	000 000 001	001 010 010
01 11 10	100 000 001	101 010 010
01 11 11	100 000 000	100 010 010

論理回路LCは、第2の修正符号化モードにおいて、表IIIの左側の列に与えられた3個の2ビットワードのブロックを、表IIIの右側の列に与えられた3個の3ビットチャンネルワードのブロックに変換する。表IIIに従う修正符号化を実現することにより、k=8制約を充たすチャンネル信号が得られる。さらに、このように行われた修正符号化はパリティ

保存型である。すなわち、本例の場合に、3個の2ビットワードの組合せ中の'1'の個数が奇数(偶数)であるならば、得られた3個の3ビットチャンネルワードの組合せ中の'1'の個数は奇数(偶数)である。その上、3個の2ビットワードの中の2個、すなわち、表IIIの中の2番目と3番目の2ビットワードは、表Iの中の4個のチャンネルワードのいずれかのワードに一致する3ビットチャンネルワードに符号化される。その理由は、受信器側で、表Iの4個の3ビットチャンネルワードの組に属していない上記2個の連続した3ビットチャンネルワードを検出でき、その結果として、表IIIに関して定義された符号化の逆処理である対応した復号化を実現することができるからである。

表IIIに従った符号化を用いて得られた3個の3ビットチャンネルワードのブロックは、論理回路LCによって出力 o_1 乃至 o_9 に供給され、チャンネルワードはシフトレジスタ64の9個のセル Y_1 乃至 Y_9 に供給される。

変換ユニットLCによる3個の2ビットワードの3個の3ビットチャンネルワードへの変換の後に、位置6個分の左側へのシフトがシフトレジスタ62で行われ、位置9個分の左側へのシフトがシフトレジスタ64で行われることがわかる。シフトレジスタ62における位置6個分のシフトは、シフトレジスタ62、すなわち、変換器に次の変換の準備をさせるために必要である。シフトレジスタ64における位置9個分のシフトは発生された3個の3ビットチャンネルワードを出力するため必要である。

組み替えられた複合ソース信号を符号化するために更に必要なことは、チャンネル信号内の繰り返し最小変化ランレングスが制限されることである。繰り返し最小変化ランレングスは、'0'と'1'の間で連続して生起する変化のシーケンス、すなわち、d-制約が1の場合には、シーケンス'. . . 010101010101. . .'の長さとして定義される。一例として、ビットシーケンス'00 01 00 10'は、表IIを使用した変換後にビットシーケンス'101 010 101 010'を生ずる。同様に、ビットシーケンス'10 01 00 01'は、表IIを使用した変換後にビットシーケンス'001 010 101 010'を生ずる。このようなシーケンスは受信器におけるビット検出を低下させる。そのため、01シーケンスの長さの制限が必要とされる。

シフトレジスタ62のセル X_1 乃至 X_8 の出力は検出ユニット70の対応した入力に接続されるので、繰り返し最小変化ランレングスが制限されるという条件に違反することになる場合に、検出ユニット70は組み替えられた複合ソース信号の直列ビットストリーム内で位置を検出することができ、この検出に応じて出力 O_3 に制御信号を供給するよう適合される。

より詳細に説明すると、検出器70は、セル X_1 乃至 X_8 が以下の表IVに与えられたいずれかの8ビットシーケンスを含むかどうかを検出し、第3制御信号を出力 O_3 に発生させる。

以下の表IVの左側の列に与えられたいずれかの組合せと一致する4個の2ビットワードの組合せが8個のセル位置 X_1 、 X_2 、 X_3 、 X_4 、 X_5 、 X_6 、 X_7 、 X_8 に出現したことが検出ユニット70によって検出されると直ちに、論理回路LCは以下の表IVに掲載された修正符号化に従ってこの組合せを表IVの右側の列に与えられた12ビットのビットシーケンスに変換する。

表IV

ソース信号内の 8ビットシーケンス	チャンネル信号内の 12ビットシーケンス
00 01 00 01 10 01 00 01	100 010 010 010 000 010 010 010

表IVによる修正変換はパリティ保存型である。

チャンネルワードのビットストリームはNRZI(ノンリターン・ツー・ゼロインバース)表記であることに注意する必要がある。NRZIとは、1個の'1'がチャンネル信号を磁

気記録媒体に記録する書き込み電流に変化を生じさせることを意味する。

上記の通り、修正符号化が必要とされる状況は、組み替えられた複合ソース信号内の2ビットワードから検出ユニット70によって検出される。この検出は発生されたチャンネルワードに基づいて行えることに注意する必要がある。この点に関しては米国特許第5,477,222号の図2bを参照せよ。

図9には、修正符号化が必要とされる状況の検出が表Iによる無修正符号化により発生されたチャンネルワードに基づいて行われる変換器の別の実施例が示されている。

図9の変換器は、論理回路LC'において表Iに従う無修正符号化を用いて獲得された4個の連続して生起する3ビットチャンネルワードを受信する12個の入力を有する検出器70'を含む。検出器70'は、無修正符号化を用いて獲得された回路LC'の出力 o_1 乃至 o_6 の2個の連続して生起する3ビットチャンネルワードが、表IIの中央の無修正符号化の列に与えられた4個の6ビットシーケンスの中の一つと一致するかどうかを検出する。一致する場合、検出器70'は出力72にスイッチング信号を送出し、アドレス信号ADを出力72'に送出する。スイッチング信号は、シフトレジスタ64'のスイッチング信号入力65に供給される。アドレス信号ADはROM77のアドレス信号入力76に供給される。検出器70'は、表IIの中央の列内の4個の6ビットシーケンスの中の対応したシーケンスの検出に応じて、4個の実現可能なアドレス信号AD1乃至AD4の中の1個のアドレス信号を発生させる。一例として、アドレス信号AD1は、検出器70'がシーケンス'101101'を検出したときに発生され、アドレス信号AD4は6ビットシーケンス'001100'が検出されたときに発生される。ROM77は、表IIの右側の列に示された6ビットシーケンスを格納する。アドレス信号AD1を受信したとき、ROMは6ビットシーケンス'100 010'を出力 o_1 乃至 o_6 に供給し、アドレス信号AD2の受信時に、ROMは6ビットシーケンス'101 010'をこれらの出力に供給する。アドレス信号AD3を受信したとき、ROMは6ビットシーケンス'000 010'を上記の出力に供給し、アドレス信号AD4の受信時に、ROMは6ビットシーケンス'001 010'をこれらの出力に供給する。シフトレジスタ64'の各記憶場所は2個の入力を有し、一方は対応した論理回路LC'の出力に接続され、他方は対応したROM77の出力に接続される。入力75に供給されるスイッチング信号に応じて、シフトレジスタは下側の入力に与えられる情報を受け、その内容を位置6個分だけ左にシフトする。その結果として、修正された6ビットシーケンスがシフトレジスタ64'によって出力68に供給される。

検出器70'は、無修正符号化を用いて獲得された回路LC'の出力 o_1 乃至 o_9 の3個の連続して生起する3ビットチャンネルワードが、表IIIの中央の無修正符号化の列に与えられた4個の9ビットシーケンスの中の一つと一致するかどうかを検出する。一致する場合、検出器70'は出力72にスイッチング信号を送出し、アドレス信号ADを出力72'に送出する。検出器70'は、表IIの中央の列内の4個の9ビットシーケンスの中の対応したシーケンスの検出に応じて、4個の実現可能なアドレス信号AD5乃至AD8の中の1個のアドレス信号を発生させる。一例として、アドレス信号AD5は、検出器70'がシーケンス'000 000 000'を検出したときに発生され、アドレス信号AD8はシーケンス'100 000 000'が検出されたときに発生される。ROM77は、表IIIの右側の列に示された9ビットシーケンスを格納する。アドレス信号AD5を受信したとき、ROMは9ビットシーケンス'000 010 010'を出力 o_1 乃至 o_9 に供給し、アドレス信号AD6の受信時に、ROMは9ビットシーケンス'001 010 010'をこれらの出力に供給する。アドレス信号AD7を受信したとき、ROMは9ビットシーケンス'101 010 010'を上記の出力に供給し、アドレス信号AD8の受信時に、ROMは9ビットシーケンス'100 010 010'をこれらの出力に供給する。

入力75に供給されるスイッチング信号に応じて、シフトレジスタは下側の入力に与えられる情報を受け、その内容を位置9個分だけ左にシフトする。その結果として、修正された9ビットシーケンスがシフトレジスタ64'によって出力68に供給される。

10

20

30

40

50

検出器 70' は、さらに、無修正符号化を用いて獲得された回路 LC' の出力 o_1 乃至 o_{12} の 4 個の連続して生起する 3 ビットチャンネルワードが、' 1 0 1 0 1 0 1 0 ' 又は ' 0 0 1 0 1 0 1 0 ' の 2 通りの 12 ビットシーケンスの一方と一致するかどうかを検出する。一致する場合、検出器 70' は出力 72 にスイッチング信号を送出し、アドレス信号 AD を出力 72' に送出する。検出器 70' は、上記の 2 個の 12 ビットシーケンスの中の対応した一方のシーケンスの検出に応じて、2 個の実現可能なアドレス信号 AD9 又は AD10 の中の一方のアドレス信号を発生させる。一例として、アドレス信号 AD9 は、検出器 70' がシーケンス ' 1 0 1 0 1 0 1 0 ' を検出したときに発生され、アドレス信号 AD10 は 12 ビットシーケンス ' 0 0 1 0 1 0 0 1 0 1 0 ' が検出されたときに発生される。ROM 77 は、表 IV の右側の列に示された 12 ビットシーケンスを格納する。アドレス信号 AD9 を受信したとき、ROM は 12 ビットシーケンス ' 1 0 0 0 1 0 0 1 0 0 1 0 ' を出力 o_1 乃至 o_{12} に供給し、アドレス信号 AD10 の受信時に、ROM は 12 ビットシーケンス ' 0 0 0 0 1 0 0 1 0 0 1 0 ' をこれらの出力に供給する。

入力 75 に供給されるスイッチング信号に応じて、シフトレジスタは下側の入力に与えられる情報を受け、その内容を位置 12 個分だけ左にシフトする。その結果として、修正された 12 ビットシーケンスがシフトレジスタ 64' によって出力 68 に供給される。

通常の状態において、制約が全く違反されていないとき、無修正変換が表 I に従って実行され、スイッチング信号は出現しないので、シフトレジスタは論理回路 LC' によって供給されたビットをシフトレジスタ 64' の上側入力を介して受容する。

上記の通り、1 個の 2 ビットワードを 1 個の 3 ビットチャンネルワードに変化する他の変換ルールを実現しても構わない。それらの変換ルールを以下の 3 種類の表に掲載する。

表 V

ワード w_i (x_1, x_2)	チャンネルワード cw_i (y_1, y_2, y_3)
0 0	1 0 1
0 1	0 0 1
1 0	1 0 0
1 1	0 0 0

表 VI

ワード w_i (x_1, x_2)	チャンネルワード cw_i (y_1, y_2, y_3)
0 0	0 0 0
0 1	1 0 0
1 0	0 0 1
1 1	1 0 1

表 VII

ワード w_i (x_1, x_2)	チャンネルワード cw_i (y_1, y_2, y_3)
0 0	0 0 0
0 1	0 0 1
1 0	1 0 0
1 1	1 0 1

明らかに、上記の 2、3 又は 4 個の 2 ビットワードのブロックを 2、3 又は 4 個の 3 ビット

10

20

30

40

50

トチャンネルワードに符号化する変換ルールは、上記の教示を用いて獲得することができる。

図10には、図1又は2の符号化装置によって発生されたチャンネル信号をバイナリソース信号のレプリカに復号化する復号化装置の一実施例が示されている。復号化装置は、 m ビットチャンネルワードのシーケンスにより構成されたチャンネル信号を受信する入力端子80を有する。入力端子80は変換ユニット84の入力82に接続され、変換ユニットは再組み替えユニット90の入力88に接続された出力86を有する。再組み替えユニット90の出力92は削除ユニット96の入力94に接続され、削除ユニット96は復号化装置の出力端子100に接続された出力98を有する。

再変換ユニット84は、チャンネル信号内の p 個の連続した m ビットチャンネルワードの連続して生起するブロックを、対応した p 個の連続した n ビットワードの連続して生起するブロックに変換するよう構成される。出力86における n ビットワードのデータストリームは、組み替えられた複合バイナリソース信号のレプリカであり、 q ビット併合用ワードは組み替えられた複合バイナリソース信号内の等距離位置に存在し、組み替えられた信号内の連続して生起する q ビット併合用ワードは、組み替えられた複合バイナリソース信号内の $x \cdot n$ ビットのグループによって分離される。再組み替えユニット90は、上記組み替えられた複合バイナリソース信号のレプリカ内の $x \cdot n$ ビットのグループの中の2番目のグループ毎に再組み替え動作を行うように、より詳細には、2番目の $x \cdot n$ ビットのグループを $x \cdot n$ ビットの上記グループ内の別の位置に再配置するように構成される。これにより、複合バイナリソース信号のレプリカが出力92に生じる。削除ユニット96は、複合バイナリソース信号のレプリカ内に存在する q ビット併合用ワードを削除し、これにより、出力98にバイナリソース信号のレプリカを発生し、個のレプリカは出力端子100に供給される。

x は1以上の整数であり、 n 及び q は、

$$n = 2q \quad \text{かつ} \quad q \geq 1$$

が成り立つ整数であり、 m 及び p は、

$$m > n > 1, \quad p \geq 1$$

なる整数であり、 p は可変であることに注意する必要がある。

再組み替え動作は、複合バイナリソース信号のレプリカがバイナリソース信号のレプリカ内の n ビットワードと揃えられるように、 p ビットを再配置するステップを含む。

図11は、図10の復号化装置の僅かに変形された例を示す図である。図11に示された復号化装置は、3ビットチャンネルワードにより構成されたチャンネル信号を、2ビットソースワードにより構成されたバイナリソース信号のレプリカに変換する。チャンネル信号は、細長い形若しくはディスク形の磁気記録媒体36の形式、若しくは、光ディスク36'のような光学式記録媒体の形式で、記録媒体のトラックからチャンネル信号を読み取ることであり、読み取りヘッド104を含む読み取りユニット102が設けられ、この読み取りヘッド104は、信号を磁気記録媒体上に記録する場合に磁気時期読み取りヘッドであり、信号を光学式記録媒体に記録する場合に光学式書き込みヘッドである。

このようにして獲得されたチャンネル信号は、チャンネル信号内の p 個の連続した m ビットチャンネルワードの連続して生起するブロックを、組み替えられた複合バイナリソース信号内の p 個の連続した n ビットワードの対応した連続して生起するブロックに変換するよう適合した再変換ユニット84'において変換される。再組み替えユニット90'は、複合バイナリソース信号のレプリカを獲得するため、 $x \cdot n$ ビットの2番目のグループ毎の1ビットを、図4d及び4e、又は、図5d及び5eのいずれかに図示された組み替えに従って別の位置に再組み替えするよう適合する。削除ユニット96'は、バイナリソース信号のレプリカを獲得するため、複合バイナリソース信号のレプリカから1ビット併合用ワードを削除する。

1ビット b_7 を、図4d及び4eに示されたように元の位置に再組み替えする再組み替えユニット90'は、図7に示されたような組み替えユニットの形式でも構わない。

ライン46上の制御信号の影響に基づいて、スイッチ42及び44は、共にポジションa

10

20

30

40

50

ー cをとるので、入力 7 に供給された組み替えられた複合ソース信号のレプリカの直列データストリームは、そのまま出力 9 に供給される。このようにして、ワード rw_1 及び rw_2 と、併合用ワード mw_0 は、出力 9 に供給される。ライン 46 上の制御信号の影響で、スイッチ 42 はポジション a-b に切り替わり、同時に、ワード rw_3 のビット b_7 が入力 7 に出現する。さらに、ライン 48 上の制御信号の影響を受け、このビット b_7 がメモリ M に格納される。次に、ワード rw_3 が出現した後、スイッチ 42 は、再びポジション a-c に切り換えられるので、ワード rw_3 、 rw_4 、... 等は、出力 9 に供給される。これは、ワード rw_{i+4} が入力 7 に現れ、このワードのビット b_6 が出力 9 に供給されるまで続けられる。次に、ライン 46 上の制御信号の影響で、スイッチ 44 はポジション a-b に切り換えられるので、メモリ M に格納されたビット b_7 は出力に供給される。次に、ライン 46 上の制御信号の影響で、スイッチ 44 はポジション a-c に切り換えられるので、入力 7 に現れる併合用ワード mw_1 と連続して生起するワード rw_{i+5} 、 rw_{i+6} 、... 等は、出力 9 に供給され得る。このようにして、ワード rw_3 内のビット b_7 は、複合バイナリ信号のレプリカの直列データストリームの元の位置に実際に挿入される。これは、これは、組み替えられた複合バイナリソース信号のレプリカ内の 48 個の連続して生起するソースワードの 2 番目のグループ毎に行われる。

図 5 d 及び 5 e に示されるように、1 ビット b_0 を元の位置に組み替える再組み替えユニット 90' は、図 6 に示された組み替えユニットの形式でも構わない。

ライン 46 上の制御信号の影響に基づいて、スイッチ 42 及び 44 は共にポジション a-b をとり、ライン 48 上の制御信号の影響で、ワード rw_i はシフトレジスタ 40 に格納され、シフトレジスタ 40 内で図 6 の右側にさらにシフトされる。ワードの記憶はワード rw_1 、及び、引き続いて生起するワードを記憶することによって行われる。情報の記憶は、ワード rw_2 がメモリ記憶場所 M_{47} 及び M_{44} に記憶され、併合用ワード mw_0 がメモリ記憶場所 M_{43} に記憶されるまで続けられる。ライン 48 上に連続して生起する 5 個のクロック信号は、ワード rw_1 及び rw_2 、並びに、併合用ワード mw_0 をシフトレジスタ 40 から送り出し、出力 9 に供給する。このとき、シフトレジスタは、記憶場所 M_{47} に格納されたビット b_1 を含む。また、ワード rw_{i+4} のビット b_0 は入力 7 に与えられる。

ライン 46 上の制御信号の影響によって、スイッチ 42 及び 44 はポジション a-c に切り換えられるので、ビット b_0 が出力 9 に供給される。次に、スイッチ 42 及び 44 はポジション a-b に再び切り換えられ、記憶場所 M_{47} に格納されたビット b_1 と、シフトレジスタ 40 に格納された後続のワード rw_4 、 rw_5 、... とが出力 9 に供給され得る。かくして、ビット b_0 は、複合信号のレプリカの直列データストリーム内の元の位置に実際に挿入される。これは、組み替えられた複合バイナリソース信号内の 48 個の連続して生起するソースビットの 2 番目のグループ毎に行われる。

図 4 の例では、ソースワード sw_3 のビット b_6 は組み替えステップで再配置されているが、ビット b_6 を元の位置に再配置するため対応した再組み替えステップが行われるべきことがわかる。また、図 5 の例では、ビット b_1 は組み替えステップで再配置されているが、ビット b_1 を元の位置に再配置するため対応した再組み替えステップが実行されるべきである。

また、再組み替えステップは削除ステップの前のステップとして説明されていることに注意する必要がある。しかし、再組み替えステップは削除ステップの後に行われてもよく、或いは、削除ステップと同時に進行されても構わないことに注意する必要がある。

図 12 は、組み替えられた複合バイナリソース信号のレプリカを獲得するためチャネル信号を復号化する図 11 の再変換ユニット 84' の一実施例を示す図である。変換ユニット 84' は、チャネル信号を受信する入力 150 を有する。入力 150 は、シフトレジスタ 151 の入力 156 に接続され、シフトレジスタ 151 は、12 個のセル Y_1 乃至 Y_{12} を有する。シフトレジスタ 151 は、直列-並列変換器として機能するので、4 個の 3 ビットチャネルワードのブロックが論理回路 152 の入力 i_1 乃至 i_{12} に供給される。論理回路 152 は、上記の 4 種類の表 I、II、III 及び IV を含む。論理回路 152 の出力はシフトレジスタ 154 のセル X_1 乃至 X_8 の入力に接続され、シフトレジスタ 154 は出力端子

10

20

30

40

50

155に接続された出力157を有する。検出回路153は、参照番号160で概略的に示され入力 i_1 乃至 i_9 を有し、これらの入力、シフトレジスタ151のセル Y_4 乃至 Y_{12} の出力にそれぞれ接続され、検出回路の出力 o_1 、 o_2 及び o_3 はそれぞれ論理回路152の制御入力 c_1 、 c_2 及び c_3 に接続される。検出回路153は、

(a) シフトレジスタ151のセル Y_4 乃至 Y_{12} 内のビットパターン'010 010 010'を検出し、

(b) セル Y_{10} 、 Y_{11} 及び Y_{12} 内のビットが'010'と一致しない場合に、シフトレジスタ151のセル Y_4 乃至 Y_9 内のビットパターン'010 010'を検出し、

(c) ビットセル Y_7 、 Y_8 及び Y_9 が'010'と一致しない場合に、セル Y_4 、 Y_5 及び Y_6 内のビットパターン'010'を検出することができる。

10

ビットパターン'010 010 010'の検出時に検出回路153は出力 o_1 に制御信号を発生させ、セル Y_4 乃至 Y_9 のビットパターン'010 010'の検出時に検出回路153は出力 o_2 に制御信号を発生させ、セル Y_4 乃至 Y_6 のビットパターン'010'の検出時に検出回路153は出力 o_3 に制御信号を発生させ、一方、セル Y_4 乃至 Y_{12} 内にビットパターン'010'が存在しないとき、検出回路は出力に制御信号を発生させない。

制御信号が存在しない場合、論理回路152は、セル Y_1 、 Y_2 及び Y_3 に格納された3ビットチャンネルワードを、変換表Iに従って対応した2ビットワードに変換し、2ビットワードをセル X_1 及び X_2 に供給する。入力 c_3 に制御信号が存在する場合、論理回路152は、セル Y_1 乃至 Y_6 に格納された2個の3ビットチャンネルワードを、変換表IIに従って2個の2ビットワードのブロックに変換し、2個の2ビットワードをセル X_1 乃至 X_4 に供給する。入力 c_2 に制御信号が存在する場合、論理回路152は、セル Y_1 乃至 Y_9 に格納された3個の3ビットチャンネルワードのブロックを、変換表IIIに従って3個の2ビットワードのブロックに変換し、3個の2ビットワードをセル X_1 乃至 X_6 に供給する。入力 c_1 に制御信号が存在する場合、論理回路152は、セル Y_1 乃至 Y_{12} に格納された4個の3ビットチャンネルワードのブロックを、変換表IVに従って4個の2ビットワードのブロックに変換し、4個の2ビットワードをセル X_1 乃至 X_8 に供給する。

20

このようにチャンネル信号の直列データストリームは組み替えられた複合バイナリソース信号のレプリカに変換される。

図14は、ソース信号に関して行われる別の組み替えスキームの説明図である。本実施例の場合、組み替えは整数個のソースワードのグループに基づいて行われず、本例では、組み替えはソース信号の y ビットの2番目(一つおき)のグループ毎に行われる。本例では、図13に示されるように $y=45$ とする。

30

図13aには、バイナリソース信号の直列データストリームが示されている。図13bには、併合用ワード mw_0 をソースワード sw_1 の前に挿入し、併合用ワード mw_1 をソースワード sw_1 の前に挿入する様子が示されている。組み替えステップは、バイト B_5 のビット b_4 、すなわち、ワード sw_{23} の第1ビットを再配置することにより実現される。この併合及び組み替えステップの結果は図13bの信号によって示され、2ビットワード w_1 、 w_2 、 $\dots$ 、 w_i 、 w_{i+1} 、 $\dots$ の形式で組み替えられた複合信号が表示される。併合用ワード mw_0 の挿入は、実際上、ソース信号内のソースワードが2ビットに亘ってシフトされ、バイト B_5 のビット b_4 がワード w_1 の第2ビット位置に格納されることを意味する。これは、図13bに矢印154によって概略的に示されている。後続のソースワード sw_1 、 sw_2 、 $\dots$ はビット位置2個分ずつシフトされる。図13aに示された y ビットの3番目のグループにおいて、グループの最後のビットはグループ内の第1ビットの前方の位置までシフトされる。これは、図13aおよび13bに矢印154'によって概略的に示されている。

40

すべての場合において、図13bの組み替えられた複合信号内の2ビットワードと、図13aのソース信号内のソースワード sw との間の境界は揃えられる。

組み替えられた複合信号の2ビットワードを3ビットチャンネルワードに変換することにより、図13cに概略的に示されたチャンネル信号が生成される。後続の再変換によって、図

50

13dに示されるような組み替えられた複合信号のレプリカが得られる。次に、併合用ワードが組み替えられた複合信号のレプリカから削除される。すなわち、ワード rw_1 の第1ビット、ワード rw_{24} の第1ビット及びワード rw_{i+1} の第1ビットが削除される。また、ワード rw_1 の第2ビット位置のビット b_4 は、矢印156で示されるようにワード $rs_{w_{23}}$ の第1ビット位置に再配置され、矢印156'は、45ビットの3番目のグループ内のビット b_j が元の位置に再配置される様子を示している。

変換／再変換ステップ中に発生する誤りは、図13dの組み替えられた複合信号のレプリカに誤りを含むワード rw_i を生ずる。図13dの信号内のワード rw_i と、図13eの信号内のワード rs_{w_i} の間の境界は揃えられているので、このような誤りは1個の2ビットワード、すなわち、1バイトだけで発生し、誤り伝搬が起きない。

組み替えステップは併合ステップの後に続くステップとして説明したが、組み替えステップは併合ステップよりも先に行ってもよく、或いは、併合ステップと同時に行っても構わないことに注意する必要がある。

上記の本発明の説明は、本発明の好ましい実施例を参照して行われているが、本発明は上記実施例に制限されないことに注意する必要がある。当業者は、特許請求の範囲に記載された本発明の範囲を逸脱することなく、容易に種々の変形をなし得る。一例として、図12の変換ユニットは、検出器153が図12に示されるように符号化された情報からではなく、復号化された情報から種々の修正された復号化状況を検出するよう変換ユニットに変更することができる。

また、本願発明は、新規の特徴毎に、並びに、新規の特徴のあらゆる組合せに見いだされる。

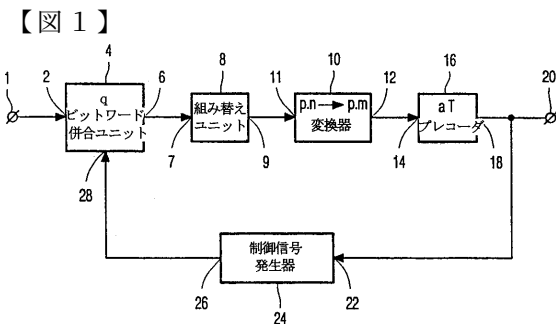


FIG. 1

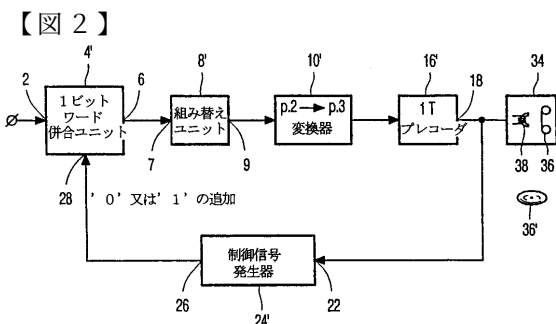
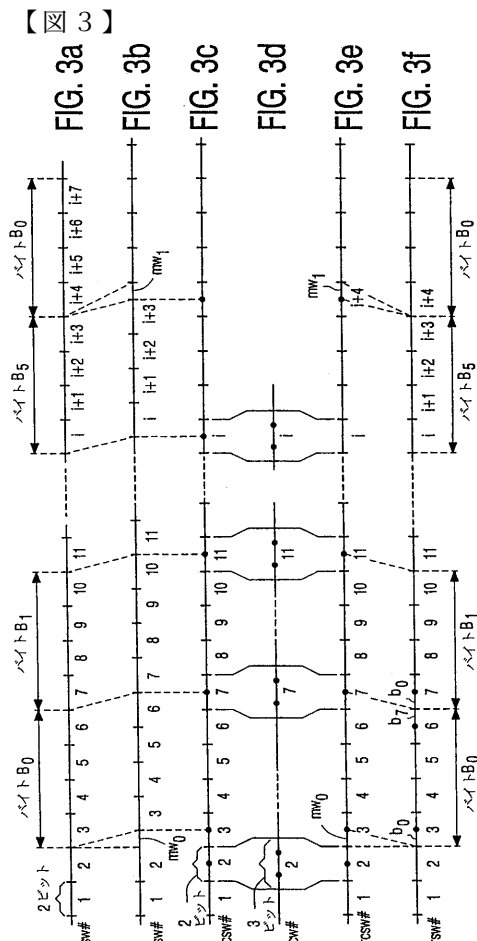
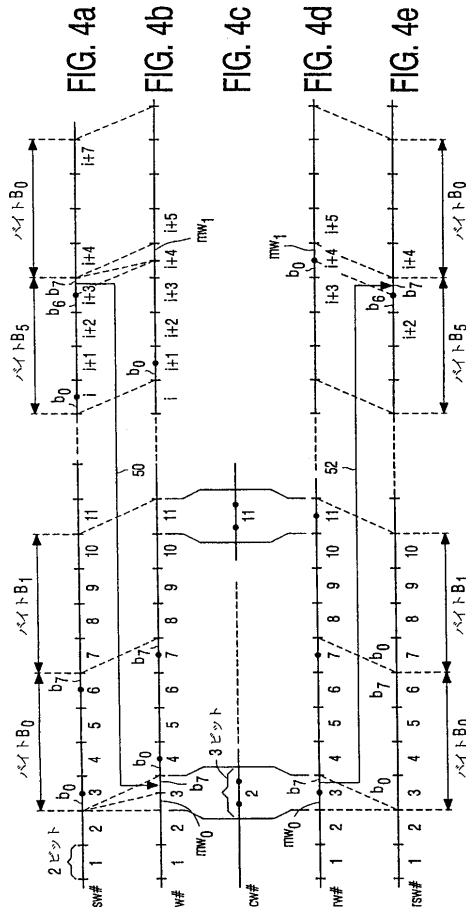


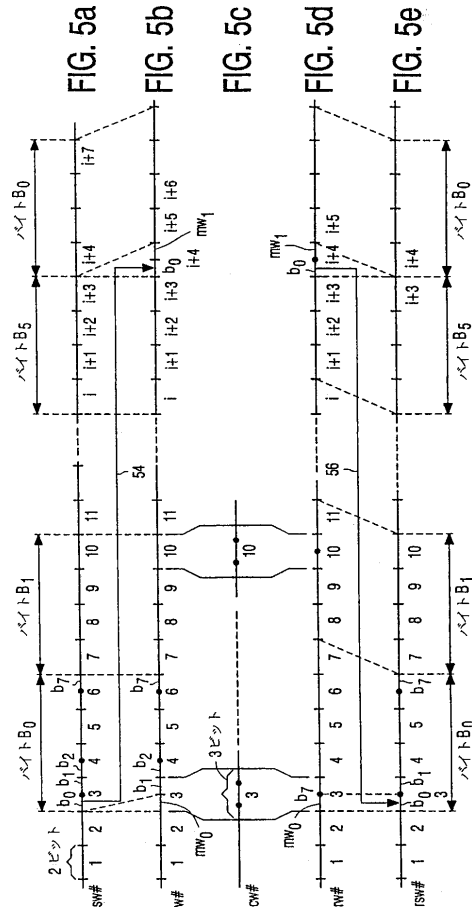
FIG. 2



【図 4】



【図 5】



【図 6】

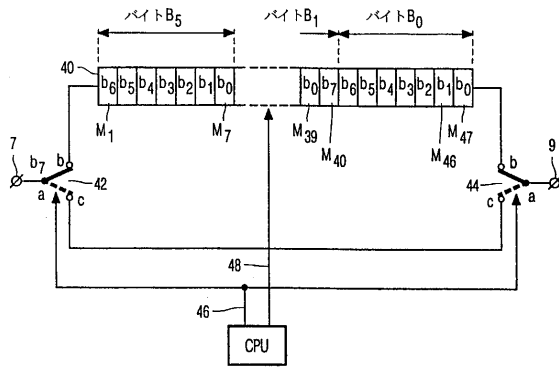


FIG. 6

【図 7】

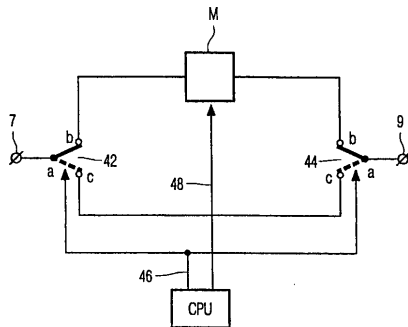


FIG. 7

【図 8】

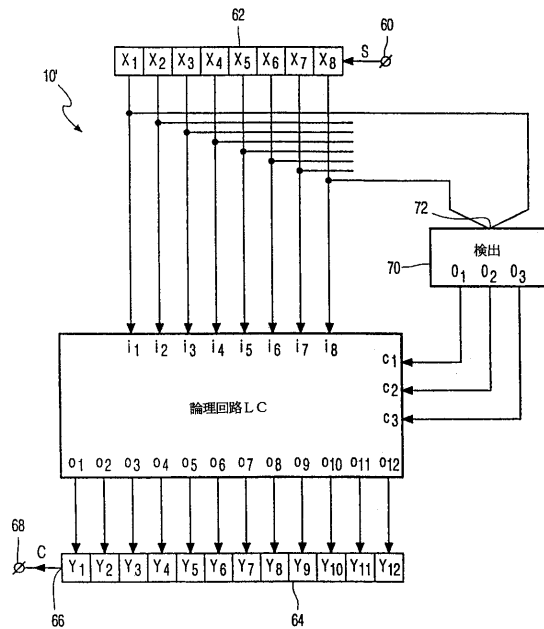


FIG. 8

【図 9】

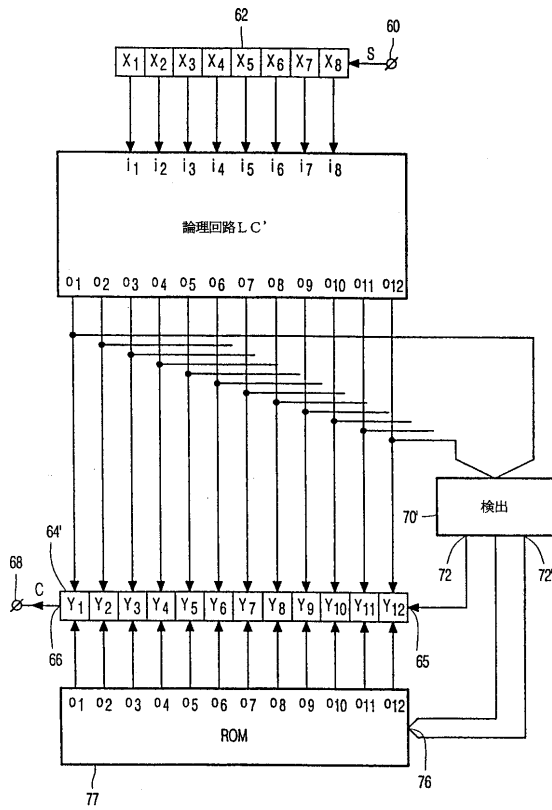


FIG. 9

【図 10】

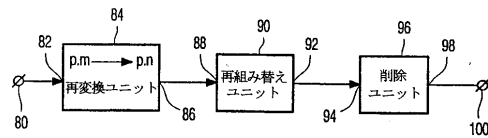


FIG. 10

【図 1 1】

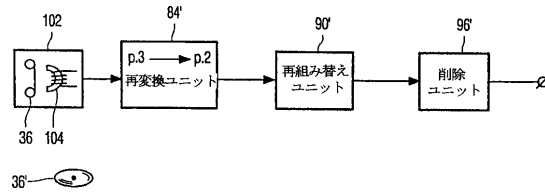


FIG. 11

【図 1 2】

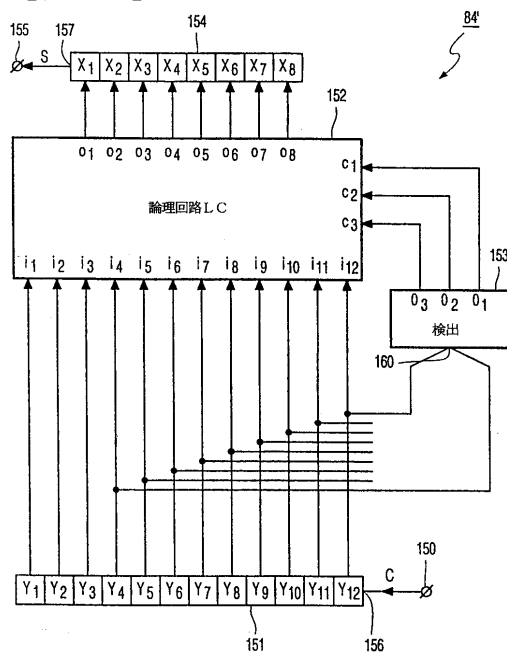
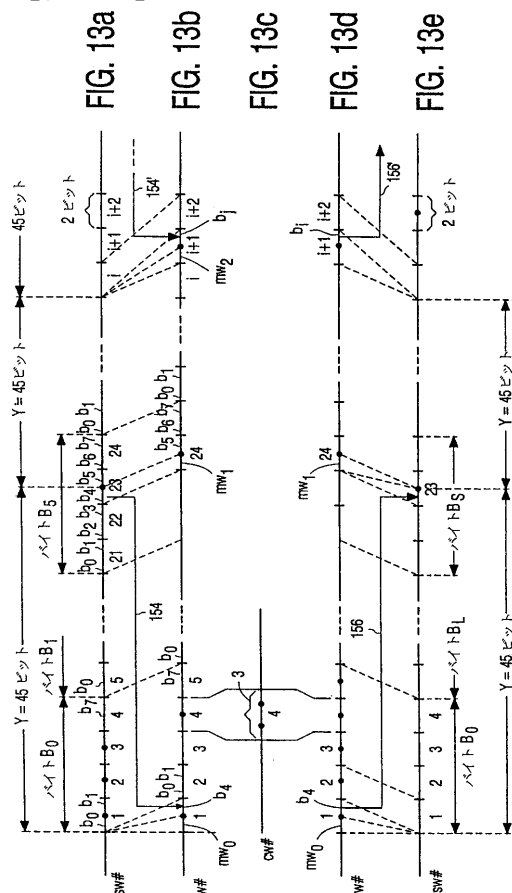


FIG. 12

【図 1 3】



フロントページの続き

(58)調査した分野(Int.Cl., D B名)

H03M 7/14

G11B 20/10