

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 2 月 16 日 (16.02.2023)



(10) 国际公布号
WO 2023/015502 A1

(51) 国际专利分类号:
H01L 21/8242 (2006.01)

(21) 国际申请号: PCT/CN2021/112142

(22) 国际申请日: 2021 年 8 月 11 日 (11.08.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110906602.3 2021 年 8 月 9 日 (09.08.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(72) 发明人: 李冉 (LI, Ran); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号,

Anhui 230000 (CN)。马经纶 (MA, Ching-Lun); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。段蕾蕾 (DUAN, Leilei); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。韩欣茹 (HAN, Xinru); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 北京同达信恒知识产权代理有限公司 (TDIP & PARTNERS); 中国北京市西城区裕民路 18 号北环中心 A 座 2002, Beijing 100029 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT,

(54) Title: CONTACT HOLE PREPARATION METHOD, SEMICONDUCTOR STRUCTURE, AND ELECTRONIC DEVICE

(54) 发明名称: 一种接触孔制备方法、半导体结构及电子设备

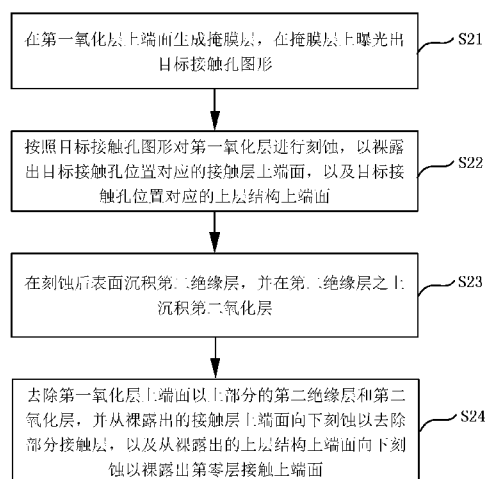


图 2

S21 Generate a mask layer on the upper end face of a first oxide layer, and expose a target contact hole pattern on the mask layer
S22 Etch the first oxide layer according to the target contact hole pattern to expose the upper end face of a contact layer corresponding to the position of the target contact hole and the upper end face of an upper layer structure corresponding to the position of the target contact hole
S23 Deposit a second insulating layer on the etched surface, and deposit a second oxide layer on the second insulating layer
S24 Remove the second insulating layer and the second oxide layer above the upper end face of the first oxide layer, etch downward from the exposed upper end face of the contact layer to remove part of the contact layer, and etch downward from the exposed upper end face of the upper layer structure to expose the upper end face of a zeroth layer contact

(57) Abstract: The present application discloses a contact hole preparation method, a semiconductor structure, and an electronic device. The method comprises: generating a mask layer on the upper end face of a first oxide layer of a semiconductor structure, and exposing a target contact hole pattern on the mask layer; etching the first oxide layer according to the target contact hole pattern to expose the upper end face of a contact layer corresponding to the position of the target contact hole and the upper end face of an upper layer structure corresponding to the position of the target contact hole; depositing a second insulating layer on the etched surface, and depositing a second oxide layer on the second insulating layer; and removing the second insulating layer and the second oxide layer above the upper end face of the first oxide layer, etching downward from the exposed upper end face of the contact layer to remove part of the contact layer, and etching downward from the exposed upper end face of the upper layer structure to expose the upper end face of a zeroth layer contact.



JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本申请公开了一种接触孔制备方法、半导体结构及电子设备, 所述方法, 包括: 在半导体结构的第一氧化层上端面生成掩膜层, 在所述掩膜层上曝光出目标接触孔图形; 按照所述目标接触孔图形对所述第一氧化层进行刻蚀, 以裸露出所述目标接触孔位置对应的接触层上端面, 以及所述目标接触孔位置对应的上层结构上端面; 在刻蚀后表面沉积第二绝缘层, 并在所述第二绝缘层之上沉积第二氧化层; 去除所述第一氧化层上端面以上部分的第二绝缘层和第二氧化层, 并从裸露出的所述接触层上端面向下刻蚀以去除部分所述接触层, 以及从裸露出的所述上层结构上端面向下刻蚀以裸露出第零层接触上端面。

一种接触孔制备方法、半导体结构及电子设备

相关申请的交叉引用

本申请要求在2021年08月09日提交中国专利局、申请号为202110906602.3、
申请名称为“一种接触孔制备方法、半导体结构及电子设备”的中国专利申
5 请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及半导体生产领域，尤其涉及一种接触孔制备方法、半导体结
构及电子设备。

背景技术

10 动态随机存取存储器（Dynamic Random Access Memory，DRAM）制程工
艺进入20nm以后，增加了半导体制程的工艺集成度，缩小器件尺寸的难度越
来越高。随着半导体集成电路器件技术的不断发展，线宽逐渐减小，DRAM中
的存储电容的高度不断增大，这样需将一些接触孔做得比较深，然而，高深
宽比的接触孔的制程窗口比较窄，若接触孔的尺寸太大易导致短路，若接触
15 孔的尺寸太小则易引起刻蚀不足的风险。

发明内容

第一方面，本申请实施例提供了一种接触孔制备方法，应用于半导体结
构，所述半导体结构包括阵列区和外围区，所述阵列区的基底上包括埋入式
字线、第一绝缘层、所述第一绝缘层在远离所述埋入式字线的方向具有存储
20 电容阵列和接触层，所述接触层覆盖所述存储电容阵列，所述外围区的基底
设置有有源区，在远离所述有源区的方向具有隔离层和栅极结构，所述隔离
层覆盖所述栅极结构，所述隔离层包括下层结构、中层结构和上层结构，所
述栅极结构的两侧包括第零层接触，所述第零层接触顶部低于所述上层结构
上端面，在远离所述接触层和所述上层结构的方向具有第一氧化层，所述方

法，包括：

在所述第一氧化层上端面生成掩膜层，在所述掩膜层上曝光出目标接触孔图形；

5 按照所述目标接触孔图形对所述第一氧化层进行刻蚀，以裸露出所述目标接触孔位置对应的所述接触层上端面，以及所述目标接触孔位置对应的所述上层结构上端面；

在刻蚀后表面沉积第二绝缘层，并在所述第二绝缘层之上沉积第二氧化层；

10 去除所述第一氧化层上端面以上部分的第二绝缘层和第二氧化层，并从裸露出的所述接触层上端面向下刻蚀以去除部分所述接触层，以及从裸露出的所述上层结构上端面向下刻蚀以裸露出所述第零层接触上端面。

15 本申请实施例提供的接触孔制备方法应用于半导体结构，半导体结构包括阵列区和外围区，阵列区的基底上包括埋入式字线、第一绝缘层、第一绝缘层在远离埋入式字线的方向具有存储电容阵列和接触层，接触层覆盖存储电容阵列，外围区的基底设置有有源区，在远离有源区的方向具有隔离层和栅极结构，隔离层覆盖栅极结构，隔离层包括下层结构、中层结构和上层结构，栅极结构的两侧包括第零层接触，第零层接触顶部低于上层结构上端面，在远离接触层和上层结构的方向具有第一氧化层，该接触孔制备方法具体为：
20 在第一氧化层上端面生成掩膜层，在掩膜层上曝光出目标接触孔图形，按照目标接触孔图形对第一氧化层进行刻蚀，以裸露出目标接触孔位置对应的接触层上端面，以及目标接触孔位置对应的上层结构上端面，在刻蚀后表面沉积第二绝缘层，并在第二绝缘层之上沉积第二氧化层，去除第一氧化层上端面以上部分的第二绝缘层和第二氧化层，从裸露出的接触层上端面向下刻蚀以去除部分接触层，以及从裸露出的上层结构上端面向下刻蚀以裸露出第零层接触上端面，本申请实施例提供的上述接触孔制备方法，可在不减小半导体结构中阵列区和外围区的接触孔开孔关键尺寸的前提下，通过沉积一层绝缘层和一层氧化层来缩小接触孔关键尺寸，从而，可以控制接触孔开孔关键
25

尺寸更加合理，不仅可避免由于接触孔的尺寸过大而导致的短路问题，还避免了由于接触孔的尺寸过小而引起的刻蚀不足的风险，并降低了半导体制程工艺难度。

第二方面，本申请实施例提供了一种接触孔制备方法，应用于半导体结构，所述半导体结构的基底上制备有位线、字线、有源区及位于相邻有源区之间的隔离结构，在远离所述有源区的方向具有隔离层和栅极结构，所述隔离层覆盖所述栅极结构，所述隔离层包括下层结构、中层结构和上层结构；

针对待制备接触孔，在对应的目标上端面生成掩膜层，在所述掩膜层上曝光出目标接触孔图形，所述目标接触孔包括目标位线接触孔、目标字线接触孔、目标有源区接触孔和目标栅极接触孔，所述目标位线接触孔表征用于与所述位线相连接的接触孔，所述目标字线接触孔表征用于与所述字线相连接的接触孔，所述目标有源区接触孔表征用于与所述有源区相连接的接触孔，所述目标栅极接触孔表征用于与所述栅极结构的栅极相连接的接触孔；

按照所述目标接触孔图形进行刻蚀，以裸露出所述目标接触孔位置对应的目标接触面，所述目标接触面包括目标位线上端面、目标字线上端面、目标有源区上端面和目标栅极上端面；

在刻蚀后表面沉积第一绝缘层，并在所述第一绝缘层之上沉积第一氧化层；

去除沉积后各水平上端面以上部分的第一绝缘层和第一氧化层，以裸露出所述目标接触面。

本申请实施例提供的又一种接触孔制备方法，应用于半导体结构，半导体结构的基底上制备有位线、字线、有源区及位于相邻有源区之间的隔离结构，在远离有源区的方向具有隔离层和栅极结构，隔离层覆盖栅极结构，隔离层包括下层结构、中层结构和上层结构，该接触孔制备方法具体为：针对待制备接触孔，在对应的目标上端面生成掩膜层，在掩膜层上曝光出目标接触孔图形，目标接触孔包括目标位线接触孔、目标字线接触孔、目标有源区接触孔和目标栅极接触孔，目标位线接触孔表征用于与位线相连接的接触孔，

目标字线接触孔表征用于与字线相连接的接触孔，目标有源区接触孔表征用于与有源区相连接的接触孔，目标栅极接触孔表征用于与栅极结构的栅极相连接的接触孔；按照目标接触孔图形进行刻蚀，以裸露出目标接触孔位置对应的目标接触面，目标接触面包括目标位线上端面、目标字线上端面、目标有源区上端面和目标栅极上端面；在刻蚀后表面沉积第一绝缘层，并在第一绝缘层之上沉积第一氧化层；去除沉积后各水平上端面以上部分的第一绝缘层和第一氧化层，以裸露出目标接触面。本申请实施例提供的上述接触孔制备方法，可在不减小半导体结构中的位线接触孔、字线接触孔、有源区接触孔以及栅极接触孔的开孔关键尺寸的前提下，通过沉积一层绝缘层和一层氧化层来缩小上述各接触孔关键尺寸，从而，可以控制上述各接触孔开孔关键尺寸更加合理，不仅可避免由于接触孔的尺寸过大而导致的短路问题，还避免了由于接触孔的尺寸过小而引起的刻蚀不足的风险，并降低了半导体制程工艺难度。

第三方面，本申请实施例提供了一种半导体结构，所述半导体结构为根据本申请实施例提供的接触孔制备方法制备的半导体结构。

第四方面，本申请实施例提供了一种电子设备，包括本申请实施例提供的所述半导体结构。

本申请的其它特征和优点将在随后的说明书中阐述，并且，部分地从说明书中变得显而易见，或者通过实施本申请而了解。本申请的目的和其他优点可通过在所写的说明书、权利要求书、以及附图中所特别指出的结构来实现和获得。

附图说明

此处所说明的附图用来提供对本申请的进一步理解，构成本申请的一部分，本申请的示意性实施例及其说明用于解释本申请，并不构成对本申请的不当限定。在附图中：

图 1 为本申请实施例中半导体结构的初始结构截面图；

图 2 为本申请实施例提供的接触孔制备方法的实施流程示意图；

图 3、图 4、图 5 和图 6 为本申请实施例提供的接触孔制备方法的各步骤对应的半导体结构截面图；

图 7 为本申请实施例提供的又一接触孔制备方法的实施流程示意图；

5 图 8 为本申请实施例提供的制备位线接触孔的半导体结构的初始截面图；

图 9 为本申请实施例提供的制备位线接触孔的实施流程示意图；

图 10、图 11、图 12 和图 13 为本申请实施例提供的制备位线接触孔的各步骤对应的半导体结构截面图；

图 14 为本申请实施例提供的制备字线接触孔的半导体结构的初始截面图；

10 图 15 为本申请实施例提供的制备字线接触孔的实施流程示意图；

图 16、图 17、图 18 和图 19 为本申请实施例提供的制备字线接触孔的各步骤对应的半导体结构截面图；

图 20 为本申请实施例提供的制备有源区接触孔的半导体结构的初始截面图；

15 图 21 为本申请实施例提供的制备有源区接触孔的实施流程示意图；

图 22、图 23、图 24 和图 25 为本申请实施例提供的制备有源区接触孔的各步骤对应的半导体结构截面图；

图 26 为本申请实施例提供的制备栅极接触孔的半导体结构的初始截面图；

图 27 为本申请实施例提供的制备栅极接触孔的实施流程示意图；

20 图 28、图 29、图 30 和图 31 为本申请实施例提供的制备有源区接触孔的各步骤对应的半导体结构截面图。

具体实施方式

DRAM 制程工艺进入 20nm 以后，增加了半导体制程的工艺集成度，缩小器件尺寸的难度越来越高。随着半导体集成电路器件技术的不断发展，线宽逐渐减小，DRAM 中的存储电容的高度不断增大，这样需将一些接触孔做得比较深，然而，高深宽比的接触孔的制程窗口比较窄，若接触孔的尺寸太

大易导致短路，若接触孔的尺寸太小则易引起刻蚀不足的风险，基于此，本申请实施例提供了一种接触孔制备方法、半导体结构及电子设备。

以下结合说明书附图对本申请的优选实施例进行说明，应当理解，此处所描述的优选实施例仅用于说明和解释本申请，并不用于限定本申请，并且在不冲突的情况下，本申请中的实施例及实施例中的特征可以相互组合。

本申请一实施例提供了一种接触孔制备方法，所述接触孔制备方法应用于半导体结构，半导体结构为动态随机存取存储器，本申请实施例中，在制备接触孔之前，半导体结构的初始结构截面图如图 1 所示，半导体结构包括阵列区 11 和外围区 12，阵列区 11 的基底上包括埋入式字线 111、第一绝缘层 112、第一绝缘层 112 在远离埋入式字线 111 的方向具有存储电容阵列 113 和接触层 114，接触层 114 覆盖存储电容阵列 113，外围区 12 的基底设置有有源区 121，在远离有源区 121 的方向具有隔离层 122 和栅极结构 123，隔离层 122 覆盖栅极结构 123，隔离层 122 包括下层结构 122-1、中层结构 122-2 和上层结构 122-3，栅极结构 123 的两侧包括第零层接触 124，第零层接触 124 顶部低于上层结构 122-3 上端面，在远离接触层 114 和上层结构 122-3 的方向具有第一氧化层 13。阵列区 11 的基底上和外围区 12 的基底上还设置有位于相邻有源区（Active Area，AA）121 之间的隔离结构 14，隔离结构 14 用于隔离出半导体结构的基底上的多个有源区 121，其中，阵列区 11 中的第一绝缘层 112 的上端面与外围区 12 中的隔离层 122 的上层结构 122-3 上端面平齐。阵列区 11 的基底和外围区 12 的基底的材料可采用硅（Si），第一绝缘层 112、隔离层 122 的上层结构 122-3 和隔离层 122 的下层结构 122-1 材质相同，均为绝缘材料，均可采用氮化硅（SiN），隔离层 122 的中层结构 122-2 的材质为氧化物，可为二氧化硅（SiO₂），第一氧化层 13 的材质与隔离层 122 的中层结构 122-2 的材质相同，也为二氧化硅，接触层 114 的材质可为多晶硅（Poly），第零层接触 124 为金属衬垫，其材质可为金属钨（W）。

如图 2 所示，其为本申请实施例提供的一种接触孔制备方法的实施流程示意图，所述接触孔制备方法可包括以下步骤：

S21、在第一氧化层上端面生成掩膜层，在掩膜层上曝光出目标接触孔图形。

具体实施时，如图 3 所示，在第一氧化层 13 上端面生成掩膜层 15，在掩膜层 15 上曝光出目标接触孔图形 16-1 和 16-2，其中，掩膜层 15 可包括第一掩膜层 15-1 和第二掩膜层 15-2，目标接触孔图形 16-1 为阵列区 11 的待制备的接触孔对应的图形，目标接触孔图形 16-2 为外围区 12 的待制备的接触孔对应的图形。

在具体实施过程中，在第一氧化层 13 上端面沉积第一掩膜层 15-1，并在第一掩膜层 15-1 上端面沉积第二掩膜层 15-2，利用光刻胶 17 在第二掩膜层 15-2 上曝光出目标接触孔图形 16-1 和 16-2，在曝光目标接触孔图形 16-1 和 16-2 时，可以将目标接触孔图形 16-1 和 16-2 的尺寸（即直径）设置为稍大于现有工艺尺寸，以使得对应的目标接触孔的开孔尺寸（即接触孔的直径）大于现有工艺尺寸，尺寸的设置可根据实际情况自行设置，本申请实施例对此不作限定，这样，可降低工艺难度。第一掩膜层 15-1 的材质可以为碳，第二掩膜层 15-2 的材质可以为氮氧化硅（SiON）。

S22、按照目标接触孔图形对第一氧化层进行刻蚀，以裸露出目标接触孔位置对应的接触层上端面，以及目标接触孔位置对应的上层结构上端面。

具体实施时，如图 4 所示，按照目标接触孔图形 16-1 和 16-2 对第一氧化层 13 进行刻蚀，形成阵列区 11 中的目标接触孔 17-1 和外围区 12 中的目标接触孔 17-2，以裸露出目标接触孔 17-1 位置对应的接触层 114 上端面，以及目标接触孔 17-2 位置对应的隔离层 122 的上层结构 122-3 上端面。

S23、在刻蚀后表面沉积第二绝缘层，并在第二绝缘层之上沉积第二氧化层。

具体实施时，如图 5 所示，在刻蚀后表面沉积第二绝缘层 18，在第二绝缘层 18 表面沉积第二氧化层 19，以缩小阵列区 11 中的目标接触孔 17-1 和外围区 12 中的目标接触孔 17-2，这样可降低目标接触孔直接的寄生电容。

具体地，在刻蚀后的第一氧化层 13 的上端面及各个侧面、裸露出的接触

层 114 上端面、以及裸露出的隔离层 122 的上层结构 122-3 上端面沉积第二绝缘层 18，并在第二绝缘层 18 之上沉积第二氧化层 19。

在具体实施过程中，第二绝缘层 18 与第一绝缘层 112、隔离层 122 的上层结构 122-3、隔离层 122 的下层结构 122-1 的材质相同，均可采用氮化硅，第二氧化层 19 和第一氧化层 13 的材质相同，均可采用二氧化硅，本申请实施例对此不作限定。

S24、去除第一氧化层上端面以上部分的第二绝缘层和第二氧化层，并从裸露出的接触层上端面向下刻蚀以去除部分接触层，以及从裸露出的上层结构上端面向下刻蚀以裸露出第零层接触上端面。

具体实施时，如图 6 所示，可采用干法刻蚀工艺去除第一氧化层 13 上端面以上部分的第二绝缘层 18 和第二氧化层 19，并从阵列区 11 中裸露出的接触层 114 上端面向下刻蚀以去除部分接触层 114，从外围区 12 中裸露出的隔离层 122 的上层结构 122-3 上端面向下刻蚀以裸露出第零层接触 124 上端面，从而生成阵列区 11 中的接触孔 20-1 以及外围区 12 中的接触孔 20-2，这样，生成的接触孔 20-1 可与接触层 114 连通，生成的接触孔 20-2 可与第零层接触 124 连通。

半导体结构还包括位线（以上图 2-图 6 中未示出）。

本申请实施例提供的上述接触孔制备方法，首先将目标接触孔的尺寸做大，再采用沉积一层绝缘层（即第二绝缘层 18）和一层氧化层（即第二氧化层 19）的方式缩小目标接触孔的尺寸，这样，既避免了由于接触孔的尺寸过小而引起的刻蚀不足的风险，又避免了由于接触孔的尺寸过大而导致第零层接触 124 短路的问题，并降低了半导体制程工艺难度。

在实际应用中，随着外围区关键尺寸的不断减小，工艺过程中需要加强轰击作用，会对有源区的硅的损伤较多，这样针对有高度差而又要求高选择比的工艺制程极为不利。

基于此，本申请实施例提供了又一种接触孔制备方法，应用于半导体结构，半导体结构为动态随机存取存储器，半导体结构的基底上制备有位线 31、

字线 32、有源区 33 及位于相邻有源区 33 之间的隔离结构 33-1，在远离有源区 33 的方向具有隔离层 34 和栅极结构 35，隔离层 34 覆盖栅极结构 35，隔离层 34 包括下层结构 34-1、中层结构 34-2 和上层结构 34-3。基底的材料可采用硅，隔离层 34 的上层结构 34-3 和隔离层 34 的下层结构 34-1 材质相同，均为绝缘材料，均可采用氮化硅，隔离层 34 的中层结构 34-2 的材质为氧化物，可为二氧化硅。

所述接触孔制备方法的实施流程示意图如图 7 所示，可包括以下步骤：

S41、针对待制备接触孔，在对应的目标上端面生成掩膜层，在掩膜层上曝光出目标接触孔图形。

具体实施时，目标接触孔包括目标位线接触孔、目标字线接触孔、目标有源区接触孔和目标栅极接触孔，目标位线接触孔表征用于与位线相连接的接触孔，目标字线接触孔表征用于与字线相连接的接触孔，目标有源区接触孔表征用于与有源区相连接的接触孔，目标栅极接触孔表征用于与栅极结构的栅极相连接的接触孔。

S42、按照目标接触孔图形进行刻蚀，以裸露出目标接触孔位置对应的目标接触面。

目标接触面包括：目标位线上端面、目标字线上端面、目标有源区上端面和目标栅极上端面。

S43、在刻蚀后表面沉积第一绝缘层，并在第一绝缘层之上沉积第一氧化层。

具体实施时，第一绝缘层和隔离层 34 的上层结构 34-3、隔离层 34 的下层结构 34-1 的材质相同，均可采用氮化硅，第一氧化层的材质为氧化物，可采用二氧化硅，本申请实施例对此不作限定。

S44、去除沉积后各水平上端面以上部分的第一绝缘层和第一氧化层，以裸露出目标接触面。

下面分别针对待制备的目标接触孔为目标位线接触孔、目标字线接触孔、目标有源区接触孔和目标栅极接触孔介绍各自对应的接触孔制备方法的实施

流程。

半导体结构还包括设置于位线 31 顶部和侧边的第二绝缘层 36, 半导体结构的基底上设置有第二氧化层 37, 第二氧化层 37 覆盖第二绝缘层 36 和位线 36, 第二氧化层 36 的上端面高于第二绝缘层 36 的上端面。

5 当待制备的目标接触孔为目标位线接触孔时, 对应的制备位线接触孔的半导体结构的初始截面图如图 8 所示, 按照如图 9 所示的流程制备位线接触孔, 可以包括以下步骤:

S51、在第二氧化层 37 的上端面生成掩膜层, 在掩膜层 38 上曝光出目标位线接触孔图形。

10 具体实施时, 如图 10 所示, 在第二氧化层 37 上端面生成掩膜层 38, 在掩膜层 38 上曝光出目标位线接触孔图形 39, 其中, 掩膜层 38 可包括第一掩膜层 38-1 和第二掩膜层 38-2。

在具体实施过程中, 在第二氧化层 37 上端面沉积第一掩膜层 38-1, 并在第一掩膜层 38-1 上端面沉积第二掩膜层 38-2, 利用光刻胶 310 在第二掩膜层 38-2 上曝光出目标位线接触孔图形 39, 在曝光目标位线接触孔图形 39 时, 可以将目标位线接触孔图形 39 的尺寸 (即直径) 设置为稍大于现有工艺尺寸, 以使得对应的目标位线接触孔的开孔尺寸 (即位线接触孔的直径) 大于现有工艺尺寸, 尺寸的设置可根据实际情况自行设置, 这样, 可降低工艺难度。第一掩膜层 38-1 的材质可以为碳, 第二掩膜层 38-2 的材质可以为氮氧化硅。

20 S52、按照目标位线接触孔图形对第二氧化层 37 和第二绝缘层 36 进行刻蚀, 以裸露出目标位线上端面。

具体实施时, 如图 11 所示, 按照目标位线接触孔图形 39 对第二氧化层 37 进行刻蚀, 形成目标位线接触孔 311, 以裸露出目标位线上端面。

25 S53、在刻蚀后表面沉积第一绝缘层, 并在第一绝缘层之上沉积第一氧化层。

具体实施时, 如图 12 所示, 在刻蚀后表面沉积第一绝缘层 312, 并在第一绝缘层表面沉积第一氧化层 313, 以缩小目标位线接触孔 311 的尺寸, 降低

目标位线接触孔直接的寄生电容。其中，第一绝缘层 312 与隔离层 34 的上层结构 34-3、隔离层 34 的上层结构 34-1 的材质相同，均可采用氮化硅，第一氧化层 313 和二氧化层 37 的材质相同，均可采用二氧化硅，本申请实施例对此不作限定。

5 S54、去除沉积后各水平上端面以上部分的第一绝缘层和第一氧化层，保留各侧面的第一绝缘层和第一氧化层，以裸露出所述目标位线上端面。

具体实施时，如图 13 所示，去除沉积后各水平上端面以上部分的第一绝缘层 312 和第一氧化层 313，保留各侧面的第一绝缘层 312 和第一氧化层 313，以裸露出各目标位线上端面，从而生成目标位线接触孔 314，这样，目标位线
10 接触孔 314 即与目标位线连通。

半导体结构中，字线 32 埋入隔离结构 33-1 之中，在远离隔离结构 33-1 的方向具有第三绝缘层 315。

当待制备的目标接触孔为目标字线接触孔时，对应的制备字线接触孔的半导体结构的初始截面图如图 14 所示，按照如图 15 所示的流程制备字线接
15 触孔，可以包括以下步骤：

S61、在第三绝缘层的上端面生成掩膜层，在掩膜层上曝光出目标字线接触孔图形。

具体实施时，如图 16 所示，在第三绝缘层 315 的上端面生成掩膜层 316，在掩膜层 316 上曝光出目标字线接触孔图形 317，掩膜层 316 包括第一掩膜层
20 316-1 和第二掩膜层 316-2。

在具体实施过程中，在第三绝缘层 315 上端面沉积第一掩膜层 316-1，并在第一掩膜层 316-1 上端面沉积第二掩膜层 316-2，利用光刻胶 318 在第二掩膜层 316-2 上曝光出目标字线接触孔图形 317，在曝光目标字线接触孔图形 317 时，可以将目标字线接触孔图形 317 的尺寸（即直径）设置为稍大于现有工
25 艺尺寸，以使得对应的目标字线接触孔的开孔尺寸（即字线接触孔的直径）大于现有工艺尺寸，尺寸的设置可根据实际情况自行设置，这样，可降低工艺难度。第一掩膜层 316-1 的材质可以为碳，第二掩膜层 316-2 的材质可以为

氮氧化硅。

S62、按照目标字线接触孔图形从第三绝缘层向下进行刻蚀，以裸露出目标字线上端面。

具体实施时，如图 17 所示，按照目标字线接触孔图形 317 从第三绝缘层 315 向下进行刻蚀，形成目标字线接触孔 319，以裸露出目标字线上端面。

S63、在刻蚀后表面沉积第一绝缘层，并在第一绝缘层之上沉积第一氧化层。

具体实施时，如图 18 所示，在刻蚀后表面沉积第一绝缘层 320，并在第一绝缘层表面沉积第一氧化层 321，以缩小目标位线接触孔 319 的尺寸，降低目标位线接触孔直接的寄生电容。其中，第一绝缘层 320 与隔离层 34 的上层结构 34-3、隔离层 34 的上层结构 34-1 的材质相同，均可采用氮化硅，第一氧化层 321 和二氧化层 37 的材质相同，均可采用二氧化硅，本申请实施例对此不作限定。第三绝缘层 315 和第一绝缘层 320、隔离层 34 的上层结构 34-3、隔离层 34 的上层结构 34-1 的材质相同，均可为氮化硅。

S64、去除沉积后各水平上端面以上部分的第一绝缘层和第一氧化层，保留各侧面的第一绝缘层和第一氧化层，以裸露出目标字线上端面。

具体实施时，如图 19 所示，去除沉积后各水平上端面以上部分的第一绝缘层 320 和第一氧化层 321，保留各侧面的第一绝缘层 320 和第一氧化层 321，以裸露出目标字线上端面，从而生成目标字线接触孔 322，以使目标字线接触孔 322 与目标字线连通。

当待制备的目标接触孔为目标有源区接触孔时，对应的制备有源区接触孔的半导体结构的初始截面图如图 20 所示，按照如图 21 所示的流程制备有源区接触孔，可以包括以下步骤：

S71、在隔离层的上层结构的上端面生成掩膜层，在掩膜层上曝光出目标有源区接触孔图形。

具体实施时，如图 22 所示，在隔离层 34 的上层结构 34-3 的上端面生成掩膜层 323，在掩膜层 323 上曝光出目标有源区接触孔图形 324，掩膜层 323

包括第一掩膜层 323-1 和第二掩膜层 323-2。

在具体实施过程中,在隔离层 34 的上层结构 34-3 的上端面沉积第一掩膜层 323-1,并在第一掩膜层 323-1 上端面沉积第二掩膜层 323-2,利用光刻胶 325 在第二掩膜层 323-2 上曝光出目标有源区接触孔图形 324,在曝光目标有源区接触孔图形 324 时,可以将目标字线接触孔图形 324 的尺寸(即直径)设置为稍大于现有工艺尺寸,以使得对应的目标有源区接触孔的开孔尺寸(即有源区接触孔的直径)大于现有工艺尺寸,尺寸的设置可根据实际情况自行设置,这样,即可降低工艺难度。第一掩膜层 323-1 的材质可以为碳,第二掩膜层 323-2 的材质可以为氮氧化硅。

S72、按照目标有源区接触孔图形对隔离层的上层结构、隔离层的中层结构和隔离层的下层结构进行刻蚀,以裸露出目标有源区接触上端面。

具体实施时,如图 23 所示,按照目标有源区接触孔图形 324 对隔离层 34 的上层结构 34-3、隔离层 34 的中层结构 34-2 和隔离层 34 的下层结构 34-1 进行刻蚀,形成目标有源区接触孔 326,以裸露出目标有源区接触上端面。

S73、在刻蚀后表面沉积第一绝缘层,并在第一绝缘层之上沉积第一氧化层。

具体实施时,如图 24 所示,在刻蚀后表面沉积第一绝缘层 327,并在第一绝缘层表面沉积第一氧化层 328,以缩小目标有源区接触孔 326 的尺寸,降低目标有源区接触孔直接的寄生电容。其中,第一绝缘层 327 与隔离层 34 的上层结构 34-3、隔离层 34 的上层结构 34-1 的材质相同,均可采用氮化硅,第一氧化层 328 和第二氧化层 37 的材质相同,均可采用二氧化硅,本申请实施例对此不作限定。

S74、去除沉积后各水平上端面以上部分的第一绝缘层和第一氧化层,保留各侧面的第一绝缘层和第一氧化层,以裸露出目标有源区接触上端面。

具体实施时,如图 25 所示,去除沉积后各水平上端面以上部分的第一绝缘层 327 和第一氧化层 328,保留各侧面的第一绝缘层 327 和第一氧化层 328,以裸露出目标有源区接触上端面,从而生成目标有源区接触孔 329,以使目标

有源区接触孔 329 与目标有源区连通。

半导体结构的栅极结构 35 的顶面和侧壁还包括绝缘盖层 330。

当待制备的目标接触孔为目标栅极接触孔时，对应的制备栅极接触孔的
5 半导体结构的初始截面图如图 26 所示，按照如图 27 所示的流程制备栅极接
触孔，可以包括以下步骤：

S81、在隔离层的上层结构的上端面生成掩膜层，在掩膜层上曝光出目标
栅极接触孔图形。

具体实施时，如图 28 所示，在隔离层 34 的上层结构 34-3 的上端面生成
掩膜层 331，在掩膜层 331 上曝光出目标栅极接触孔图形 332，掩膜层 331 包
10 括第一掩膜层 331-1 和第二掩膜层 331-2。

具体地，在隔离层 34 的上层结构 34-3 的上端面沉积第一掩膜层 331-1，
并在第一掩膜层 331-1 上端面沉积第二掩膜层 331-2，利用光刻胶 333 在第二
掩膜层 331-2 上曝光出目标栅极接触孔图形 332，在曝光目标栅极接触孔图形
332 时，可以将目标栅极接触孔图形 332 的尺寸（即直径）设置为稍大于现有
15 工艺尺寸，以使得对应的目标栅极接触孔的开孔尺寸（即栅极接触孔的直径）
大于现有工艺尺寸，尺寸的设置可根据实际情况自行设置，这样，即可降低
工艺难度。第一掩膜层 331-1 的材质可以为碳，第二掩膜层 331-2 的材质可以
为氮氧化硅。

S82、按照目标栅极接触孔图形对隔离层的上层结构、绝缘盖层进行刻蚀，
20 以裸露出目标栅极上端面。

具体实施时，如图 29 所示，按照目标栅极接触孔图形 332 对隔离层 34
的上层结构 34-3、绝缘盖层 330 进行刻蚀，形成目标栅极接触孔 334，以裸露
出目标栅极上端面。

S83、在刻蚀后表面沉积第一绝缘层，并在第一绝缘层之上沉积第一氧化
25 层。

具体实施时，如图 30 所示，在刻蚀后表面沉积第一绝缘层 335，并在第
一绝缘层表面沉积第一氧化层 336，以缩小目标栅极接触孔 334 的尺寸，降低

目标栅极接触孔直接的寄生电容。其中，第一绝缘层 335、绝缘盖层 330 与隔离层 34 的上层结构 34-3、隔离层 34 的上层结构 34-1 的材质相同，均可采用氮化硅，第一氧化层 336 和第二氧化层 37 的材质相同，均可采用二氧化硅，本申请实施例对此不作限定。

5 S84、去除沉积后各水平上端面以上部分的第一绝缘层和第一氧化层，保留各侧面的第一绝缘层和第一氧化层，以裸露出目标栅极上端面。

具体实施时，如图 31 所示，去除沉积后各水平上端面以上部分的第一绝缘层 335 和第一氧化层 336，保留各侧面的第一绝缘层 335 和第一氧化层 336，以裸露出目标栅极上端面，从而生成目标栅极有源区接触孔 337，以使目标栅极接触孔 337 与目标栅极相连通。

本申请实施例提供的上述位线接触孔制备方法、字线接触孔制备方法、有源区接触孔制备方法和栅极接触孔制备方法，首先将目标接触孔的尺寸做大，再采用沉积一层绝缘层和一层氧化层的方式缩小目标接触孔的尺寸，这样，既避免了由于接触孔的尺寸过小而引起的刻蚀不足的风险，又避免了由于接触孔的尺寸过大而导致的短路问题，并降低了半导体制程工艺难度，并且，有效降低了工艺过程中对有源区的硅的损伤。

基于同一发明构思，本申请实施例还提供了一种半导体结构，所述半导体结构为根据本申请实施例提供的接触孔制备方法制备的半导体结构。

20 基于同一技术构思，本申请实施例还提供了一种电子设备，包括本申请实施例提供的上述半导体结构。

显然，本领域的技术人员可以对本申请进行各种改动和变型而不脱离本申请的精神和范围。这样，倘若本申请的这些修改和变型属于本申请权利要求及其等同技术的范围之内，则本申请也意图包含这些改动和变型在内。

权 利 要 求

1、一种接触孔制备方法，应用于半导体结构，所述半导体结构包括阵列区和外围区，所述阵列区的基底上包括埋入式字线、第一绝缘层、所述第一绝缘层在远离所述埋入式字线的方向具有存储电容阵列和接触层，所述接触层覆盖所述存储电容阵列，所述外围区的基底设置有有源区，在远离所述有源区的方向具有隔离层和栅极结构，所述隔离层覆盖所述栅极结构，所述隔离层包括下层结构、中层结构和上层结构，所述栅极结构的两侧包括第零层接触，所述第零层接触顶部低于所述上层结构上端面，在远离所述接触层和所述上层结构的方向具有第一氧化层，所述方法，包括：

在所述第一氧化层上端面生成掩膜层，在所述掩膜层上曝光出目标接触孔图形；

按照所述目标接触孔图形对所述第一氧化层进行刻蚀，以裸露出所述目标接触孔位置对应的所述接触层上端面，以及所述目标接触孔位置对应的所述上层结构上端面；

在刻蚀后表面沉积第二绝缘层，并在所述第二绝缘层之上沉积第二氧化层；

去除所述第一氧化层上端面以上部分的第二绝缘层和第二氧化层，并从裸露出的所述接触层上端面向下刻蚀以去除部分所述接触层，以及从裸露出的所述上层结构上端面向下刻蚀以裸露出所述第零层接触上端面。

2、如权利要求 1 所述的方法，其中，所述掩膜层包括第一掩膜层和第二掩膜层；

在所述第一氧化层上端面生成掩膜层，具体包括：

在所述第一氧化层上端面生成第一掩膜层，并在所述第一掩膜层上端面生成第二掩膜层。

3、如权利要求 2 所述的方法，其中，所述第一掩膜层的材质为碳，所述第二掩膜层的材质为氮氧化硅。

4、如权利要求 1 所述的方法，其中，所述第一绝缘层、所述上层结构、所述下层结构和所述第二绝缘层的材质相同。

5、如权利要求 1 所述的方法，其中，所述第二氧化层和所述第一氧化层的材质相同。

5 6、如权利要求 1 所述的方法，其中，所述第二氧化层的材质为二氧化硅。

7、如权利要求 1 所述的方法，其中，所述第二绝缘层的材质为氮化硅。

8、如权利要求 1 所述的方法，其中，对所述第一绝缘层上端面以上部分的第二绝缘层和第二氧化层的去除采用干法刻蚀工艺。

10 9、一种接触孔制备方法，应用于半导体结构，所述半导体结构的基底上制备有位线、字线、有源区及位于相邻有源区之间的隔离结构，在远离所述有源区的方向具有隔离层和栅极结构，所述隔离层覆盖所述栅极结构，所述隔离层包括下层结构、中层结构和上层结构，所述方法，包括：

15 针对待制备接触孔，在对应的目标上端面生成掩膜层，在所述掩膜层上曝光出目标接触孔图形，所述目标接触孔包括目标位线接触孔、目标字线接触孔、目标有源区接触孔和目标栅极接触孔，所述目标位线接触孔表征用于与所述位线相连接的接触孔，所述目标字线接触孔表征用于与所述字线相连接的接触孔，所述目标有源区接触孔表征用于与所述有源区相连接的接触孔，所述目标栅极接触孔表征用于与所述栅极结构的栅极相连接的接触孔；

20 按照所述目标接触孔图形进行刻蚀，以裸露出所述目标接触孔位置对应的目标接触面，所述目标接触面包括目标位线上端面、目标字线上端面、目标有源区上端面和目标栅极上端面；

在刻蚀后表面沉积第一绝缘层，并在所述第一绝缘层之上沉积第一氧化层；

25 去除沉积后各水平上端面以上部分的第一绝缘层和第一氧化层，以裸露出所述目标接触面。

10、如权利要求 9 所述的方法，其中，所述半导体结构还包括设置于所述位线顶部和侧边的第二绝缘层，所述基底上设置有第二氧化层，所述第二

氧化层覆盖所述第二绝缘层和所述位线，所述第二氧化层的上端面高于所述第二绝缘层的上端面；

当所述目标接触孔为目标位线接触孔时，在对应的目标上端面生成掩膜层，在所述掩膜层上曝光出目标接触孔图形，具体包括：

5 在所述第二氧化层的上端面生成掩膜层，在所述掩膜层上曝光出所述目标位线接触孔图形；

按照所述目标接触孔图形进行刻蚀，以裸露出所述目标接触孔位置对应的目标接触面，具体包括：

10 按照所述目标位线接触孔图形对所述第二氧化层和所述第二绝缘层进行刻蚀，以裸露出所述目标位线上端面；

去除沉积后各水平上端面以上部分的第一绝缘层和第一氧化层，以裸露出所述目标接触面，具体包括：

去除沉积后各水平上端面以上部分的第一绝缘层和第一氧化层，保留各侧面的第一绝缘层和第一氧化层，以裸露出所述目标位线上端面。

15 11、如权利要求9所述的方法，其中，所述字线埋入所述隔离结构之中，在远离所述隔离结构的方向具有第三绝缘层；

当所述目标接触孔为目标字线接触孔时，在对应的目标上端面生成掩膜层，在所述掩膜层上曝光出目标接触孔图形，具体包括：

20 在所述第三绝缘层的上端面生成掩膜层，在所述掩膜层上曝光出所述目标字线接触孔图形；

按照所述目标接触孔图形进行刻蚀，以裸露出所述目标接触孔位置对应的目标接触面，具体包括：

按照所述目标字线接触孔图形从所述第三绝缘层向下进行刻蚀，以裸露出所述目标字线上端面；

25 去除沉积后各水平上端面以上部分的第一绝缘层和第一氧化层，以裸露出所述目标接触面，具体包括：

去除沉积后各水平上端面以上部分的第一绝缘层和第一氧化层，保留各

侧面的第一绝缘层和第一氧化层，以裸露出所述目标字线上端面。

12、如权利要求 9 所述的方法，其中，

当所述目标接触孔为目标有源区接触孔时，在对应的目标上端面生成掩膜层，在所述掩膜层上曝光出目标接触孔图形，具体包括：

5 在所述上层结构的上端面生成掩膜层，在所述掩膜层上曝光出所述目标有源区接触孔图形；

按照所述目标接触孔图形进行刻蚀，以裸露出所述目标接触孔位置对应的目标接触面，具体包括：

10 按照所述目标有源区接触孔图形对所述上层结构、所述中层结构和所述下层结构进行刻蚀，以裸露出所述目标有源区接触上端面；

去除沉积后各水平上端面以上部分的第一绝缘层和第一氧化层，以裸露出所述目标接触面，具体包括：

去除沉积后各水平上端面以上部分的第一绝缘层和第一氧化层，保留各侧面的第一绝缘层和第一氧化层，以裸露出所述目标有源区接触上端面。

15 13、如权利要求 9 所述的方法，其中，所述栅极结构的顶面和侧壁还包括绝缘盖层；

当所述目标接触孔为目标栅极接触孔时，在对应的目标上端面生成掩膜层，在所述掩膜层上曝光出目标接触孔图形，具体包括：

20 在所述上层结构的上端面生成掩膜层，在所述掩膜层上曝光出所述目标栅极接触孔图形；

按照所述目标接触孔图形进行刻蚀，以裸露出所述目标接触孔位置对应的目标接触面，具体包括：

按照所述目标栅极接触孔图形对所述上层结构、所述绝缘盖层进行刻蚀，以裸露出所述目标栅极上端面；

25 去除沉积后各水平上端面以上部分的第一绝缘层和第一氧化层，以裸露出所述目标接触面，具体包括：

去除沉积后各水平上端面以上部分的第一绝缘层和第一氧化层，保留各

侧面的第一绝缘层和第一氧化层，以裸露出所述目标栅极上端面。

14、如权利要求 9~13 任一项所述的方法，其中，所述第一氧化层的材质为二氧化硅。

5 15、如权利要求 9~13 任一项所述的方法，其中，所述第一绝缘层的材质为氮化硅。

16、一种半导体结构，所述半导体结构为根据权利要求 1~8 或 9~15 任一项所述的接触孔制备方法制备的半导体结构。

17、一种电子设备，包括如权利要求 16 所述的半导体结构。

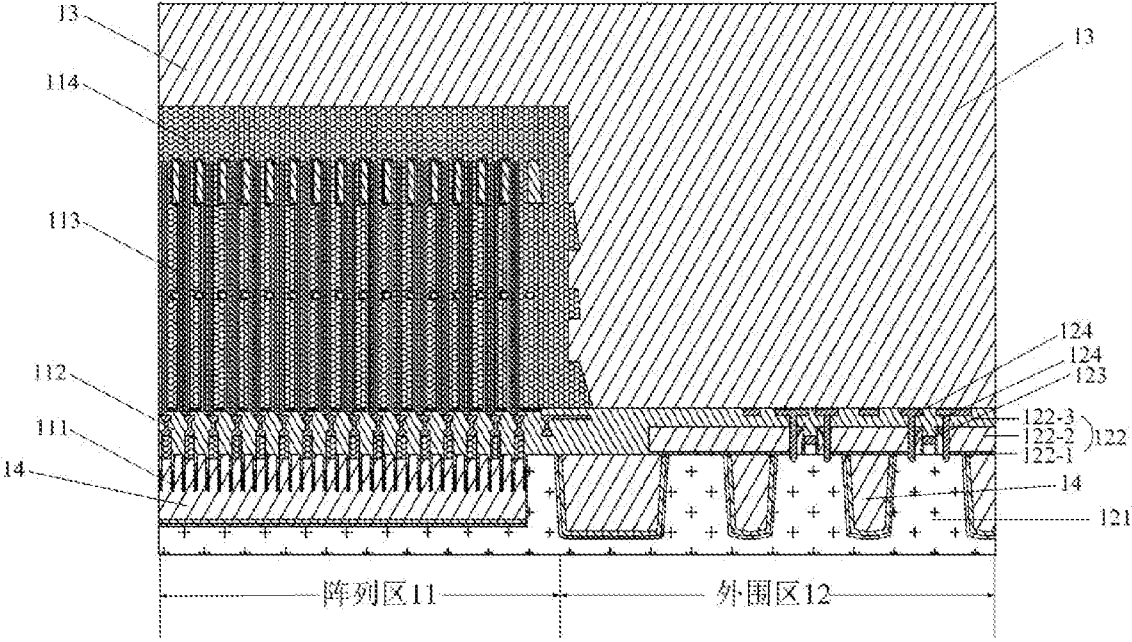


图 1

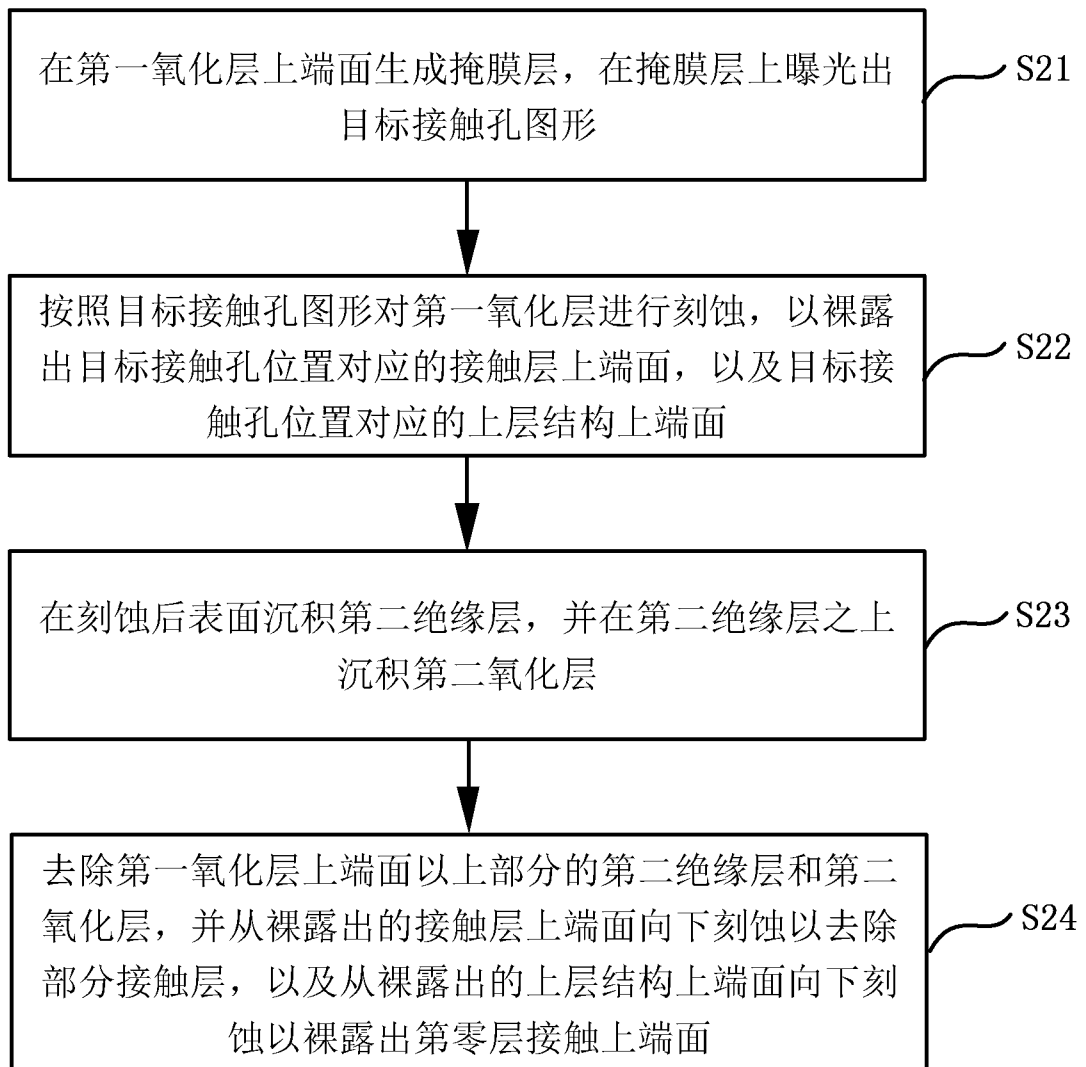


图 2

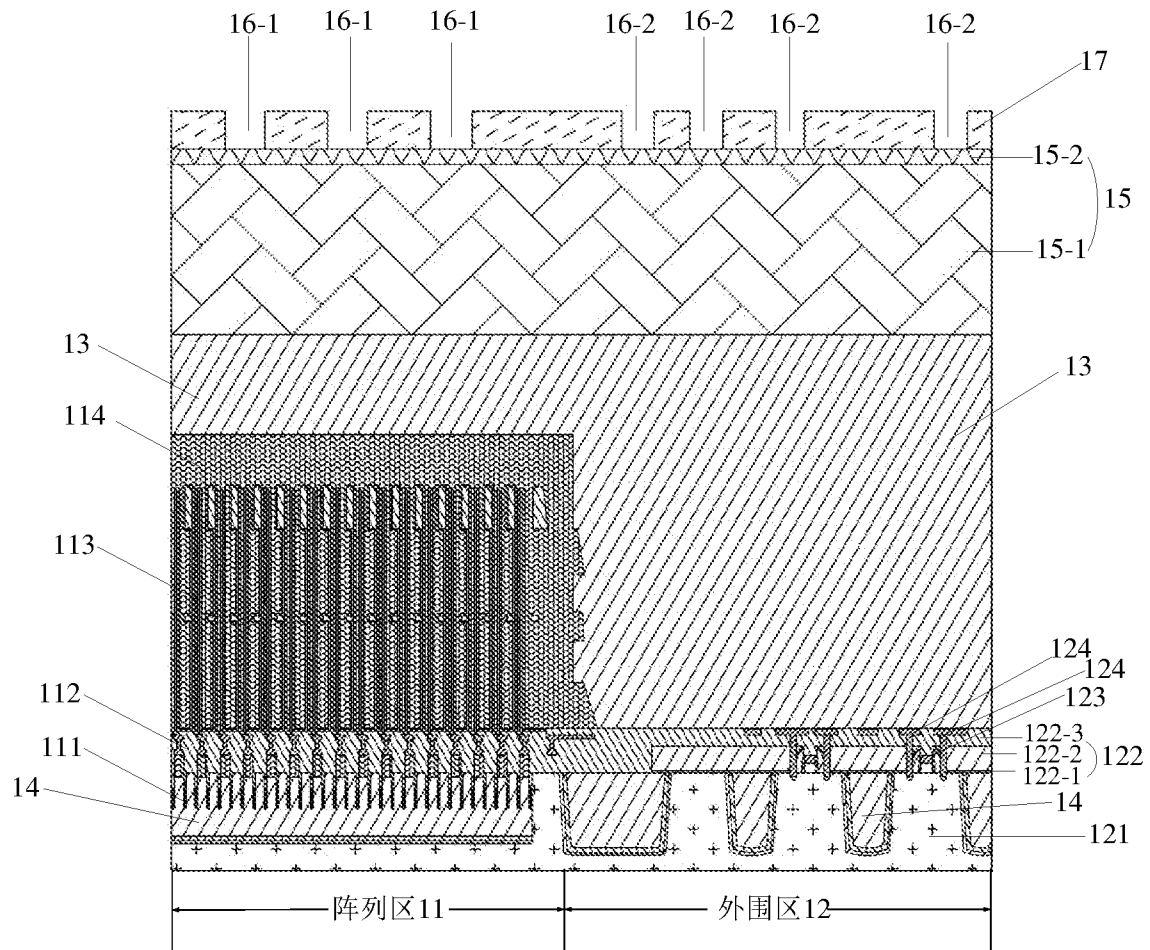


图 3

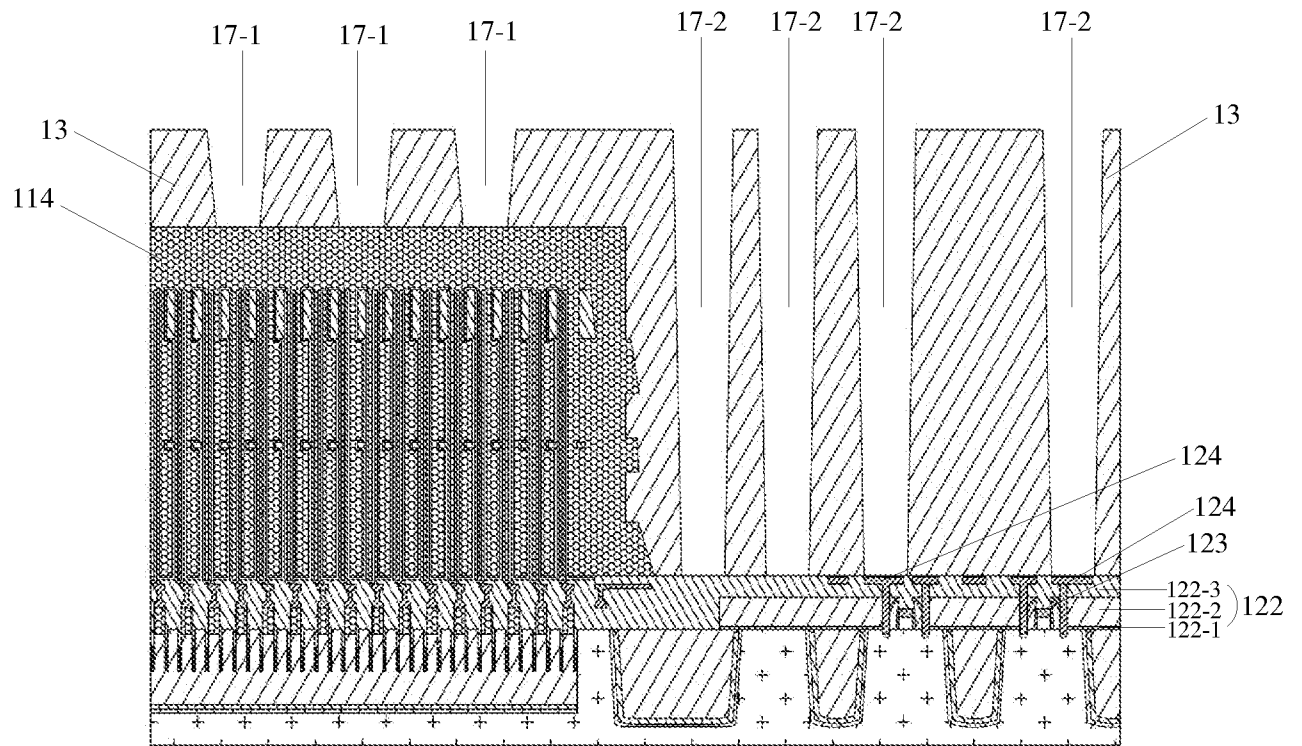


图 4

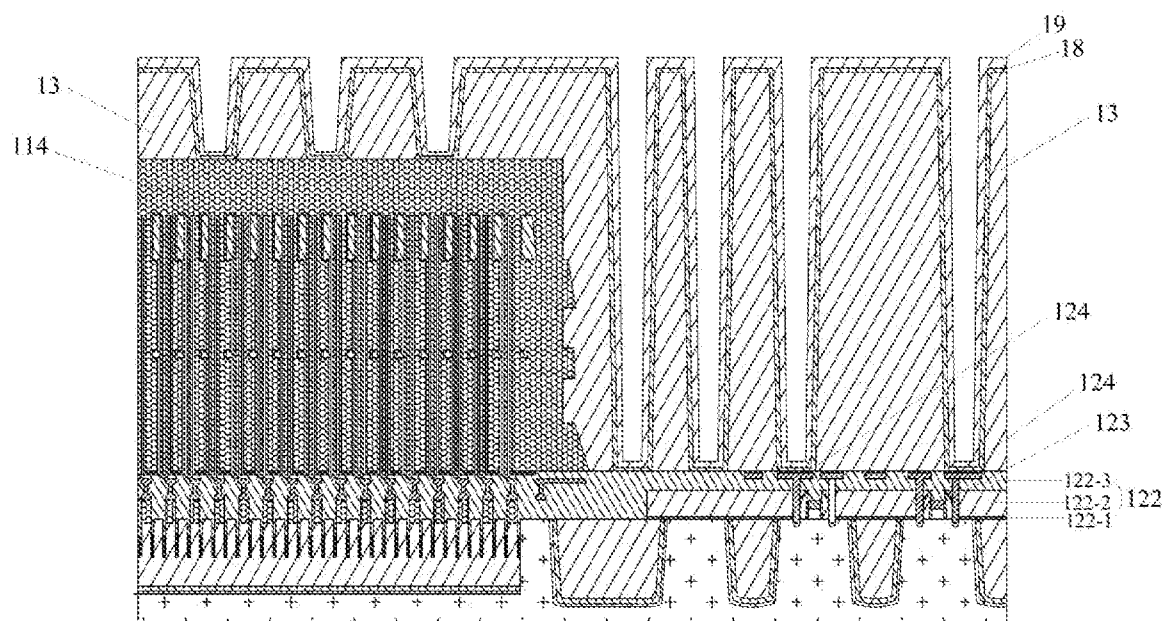


图 5

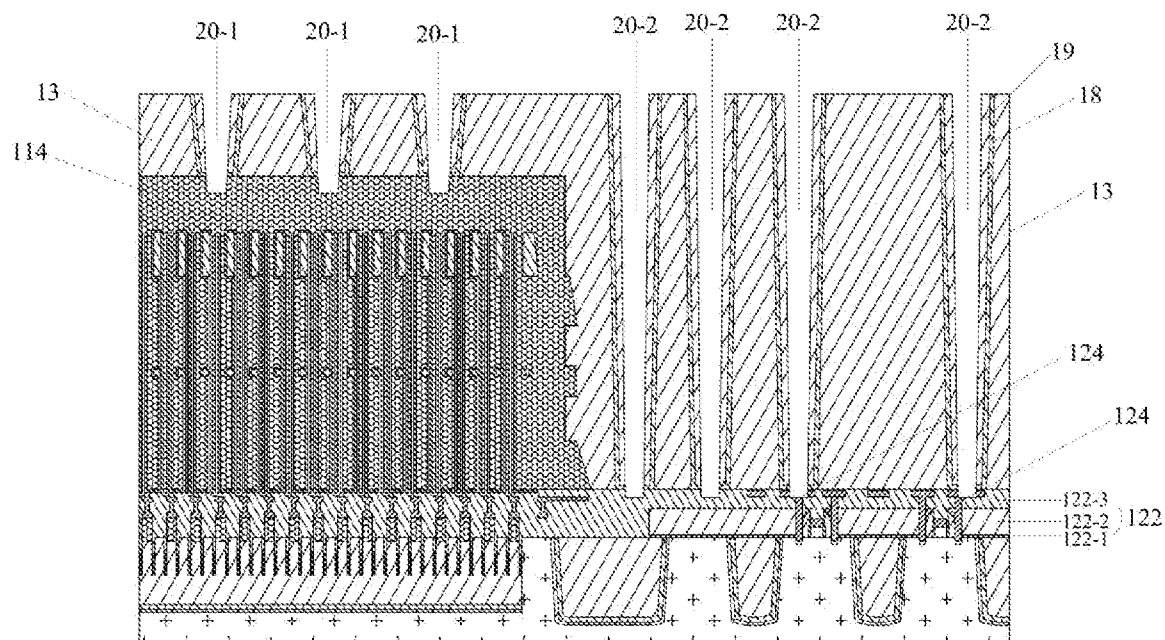


图 6

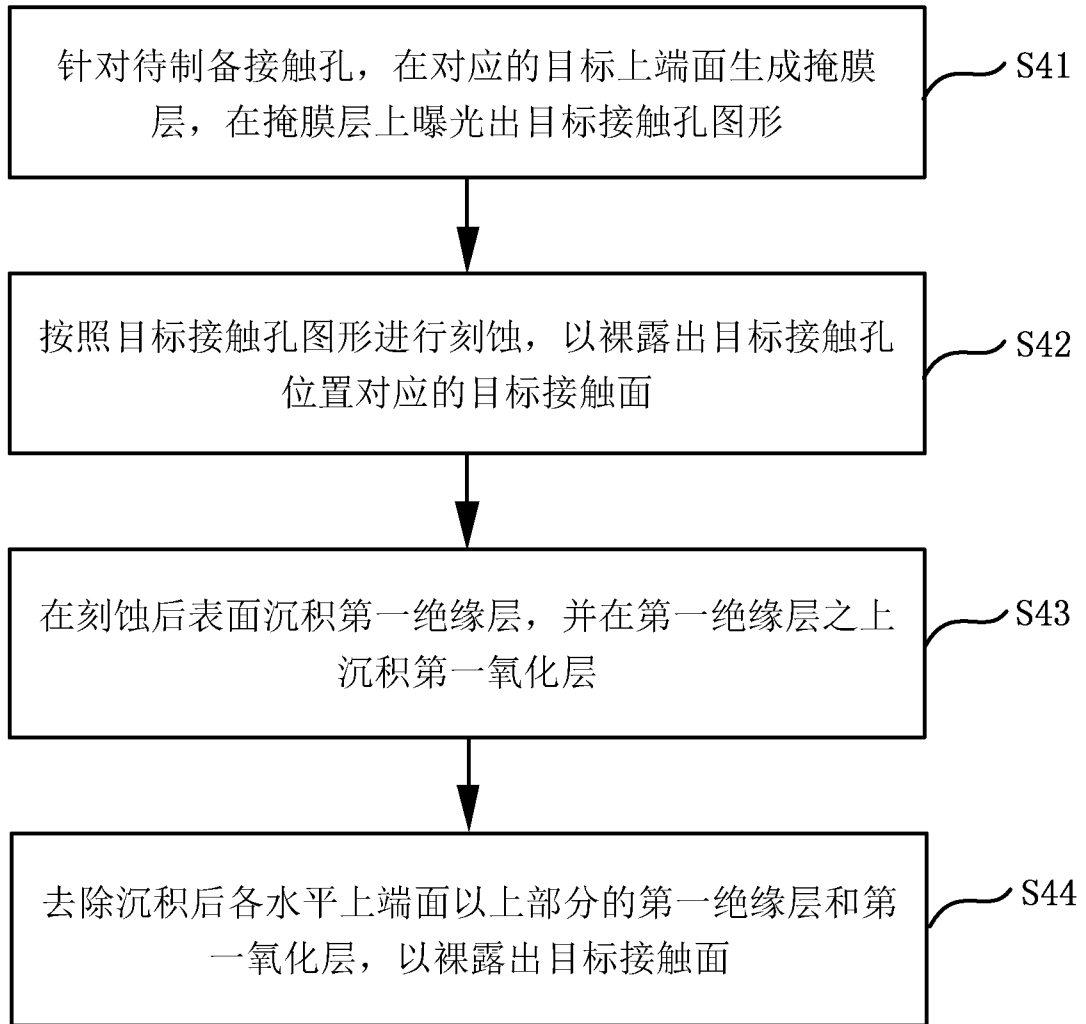


图 7

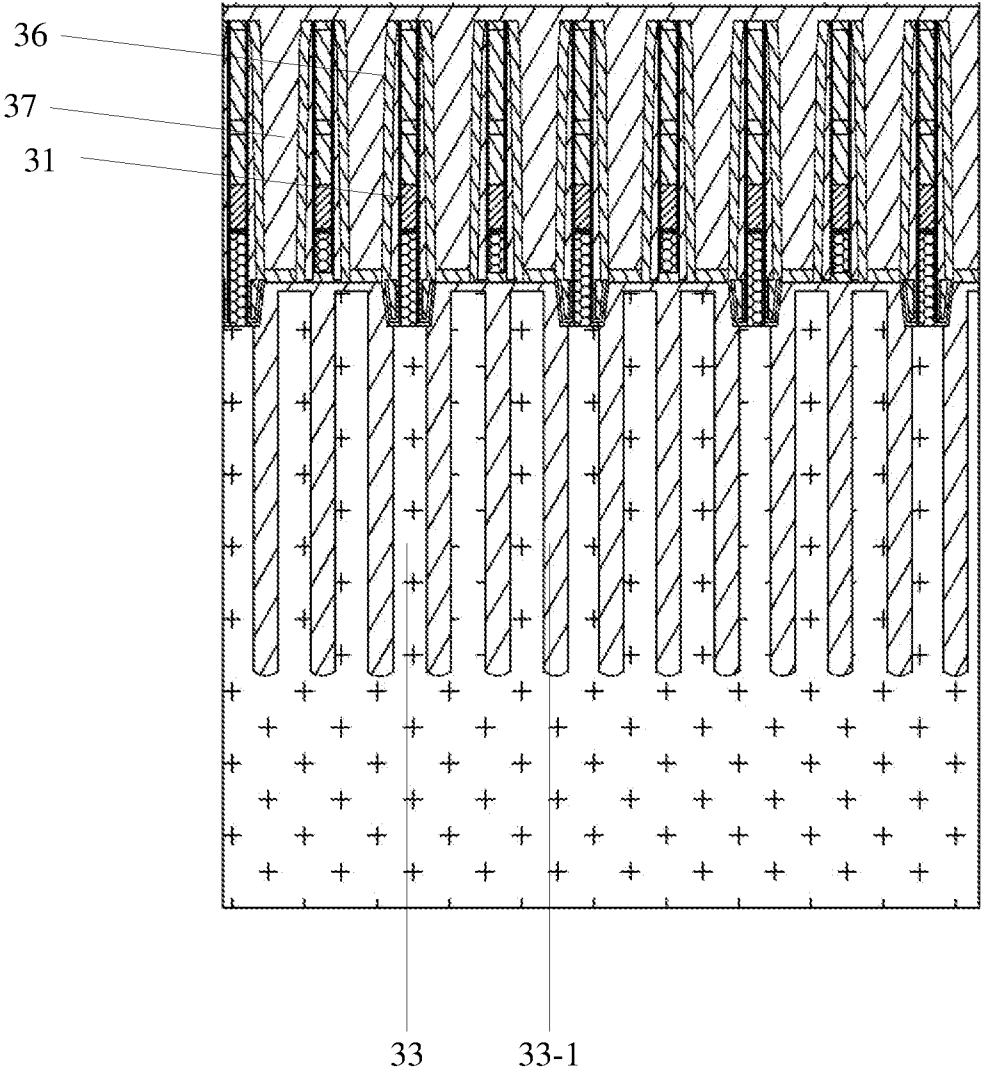


图 8

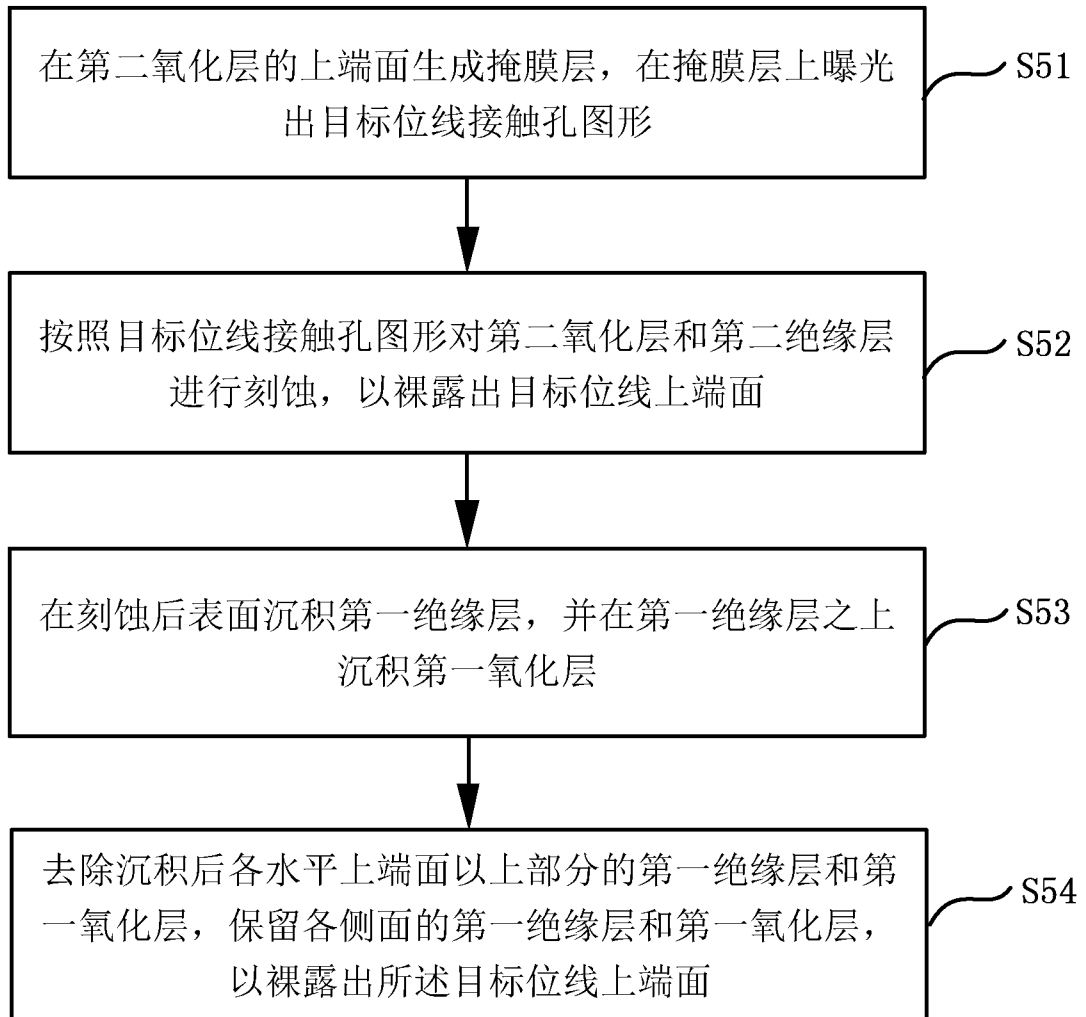


图 9

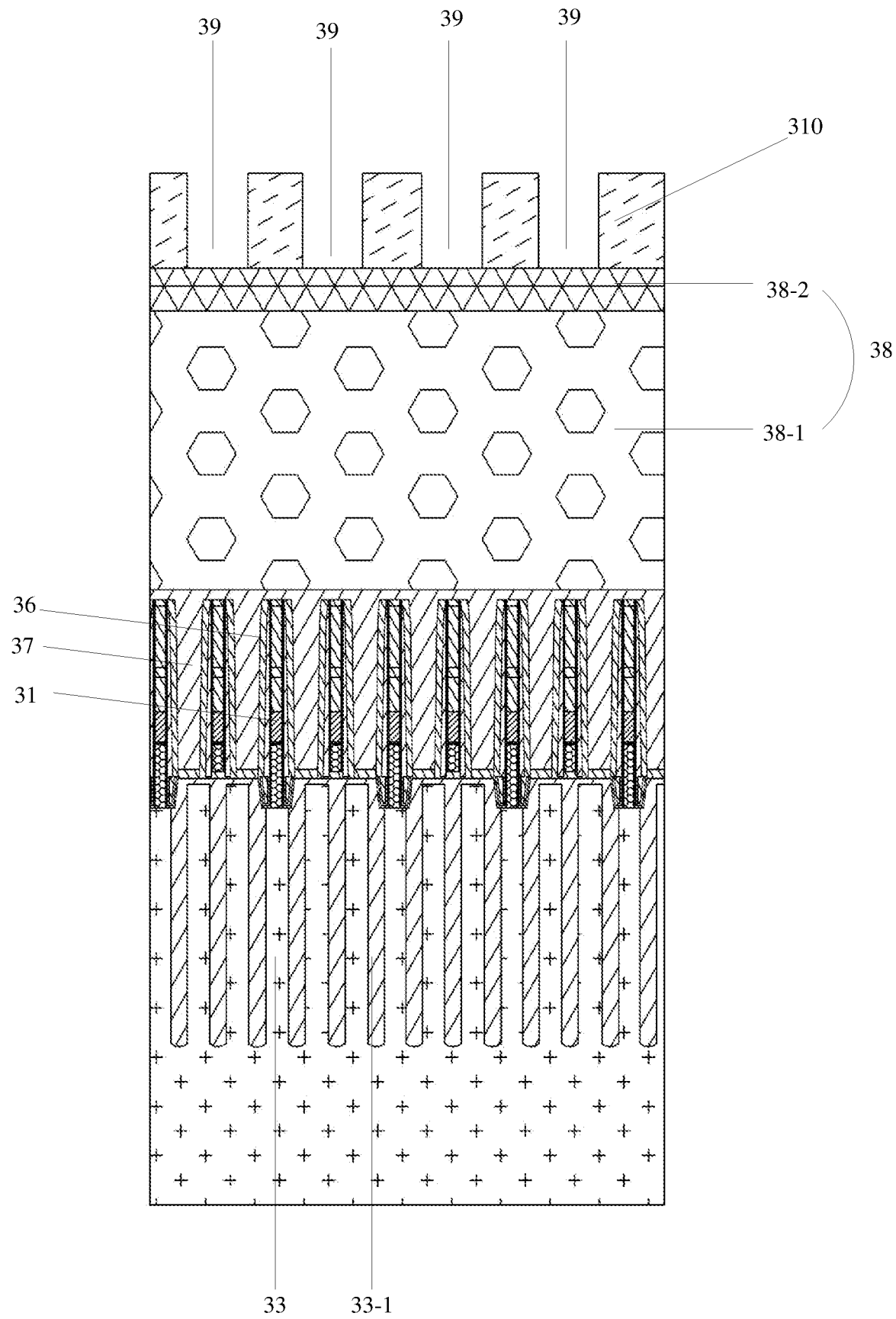


图 10

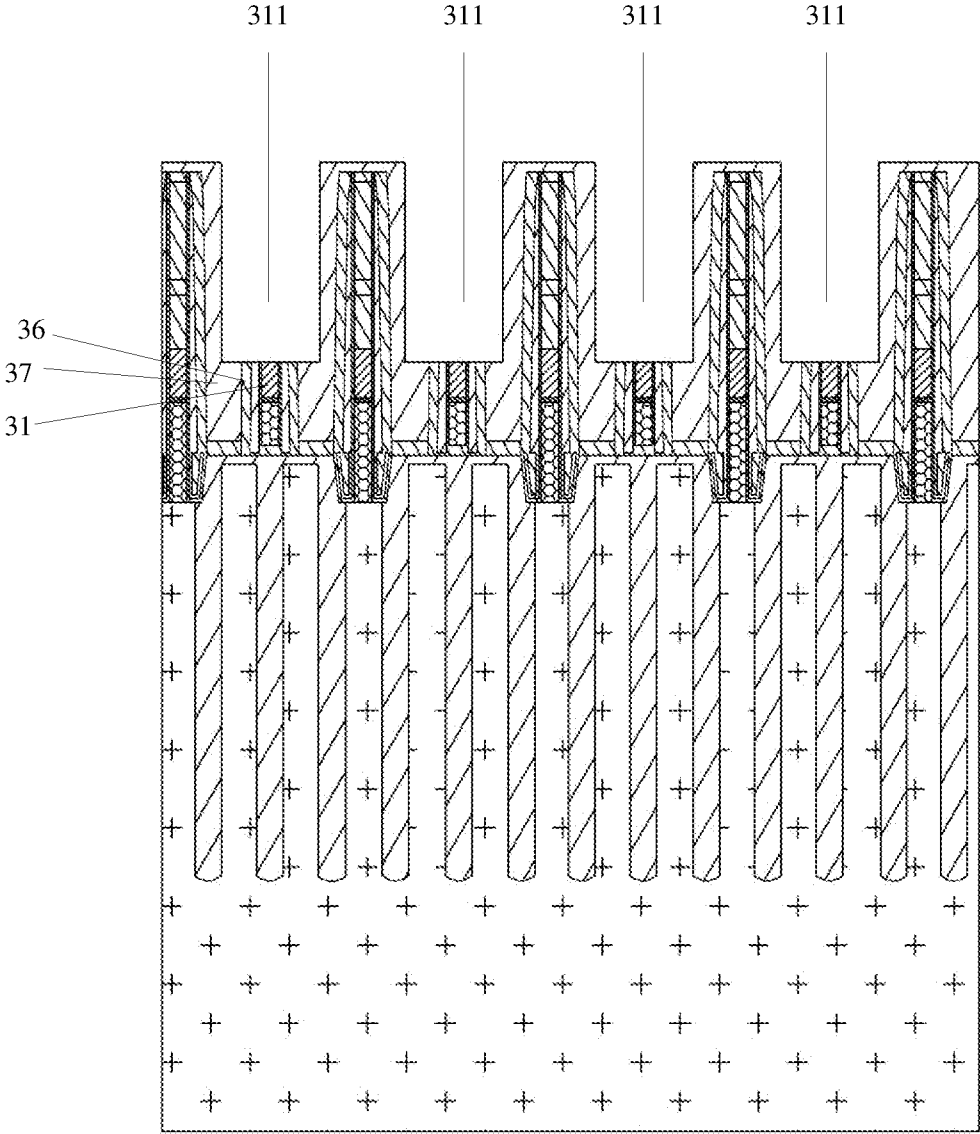


图 11

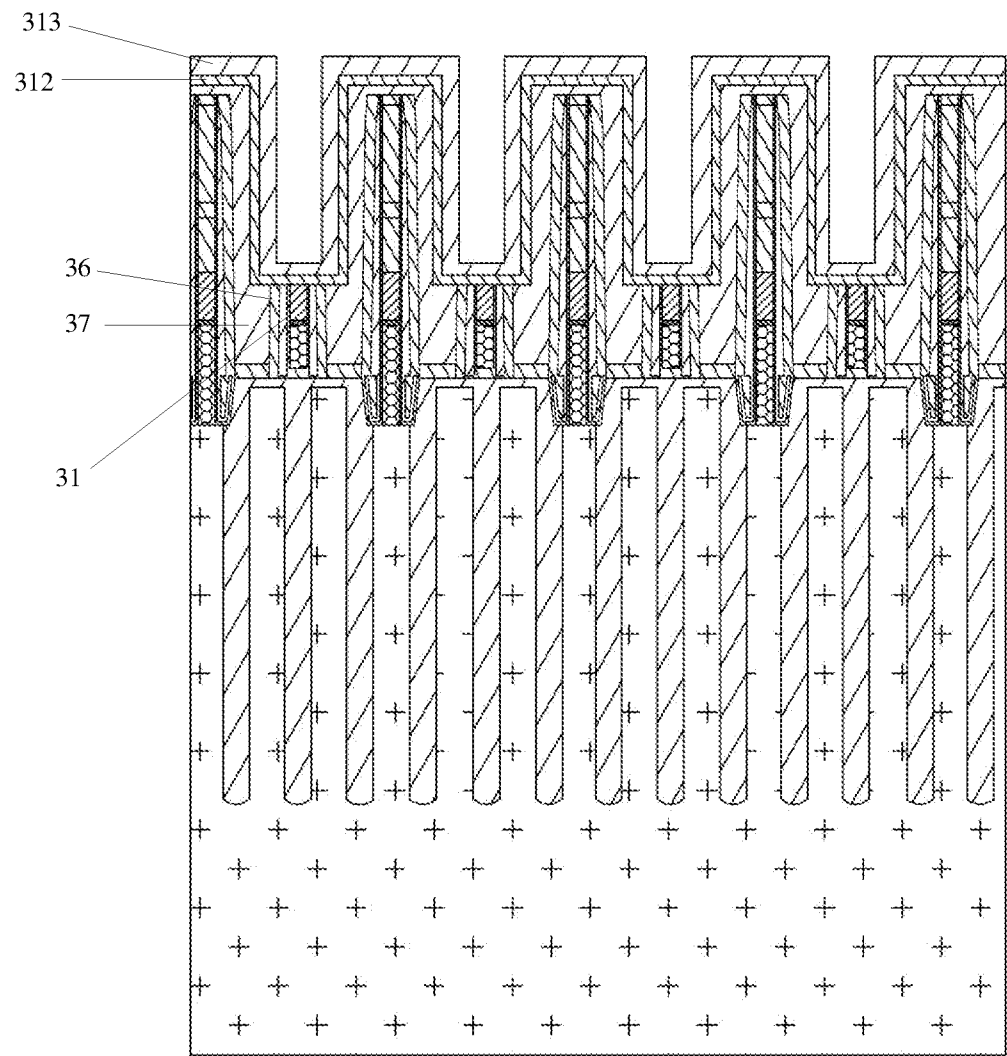


图 12

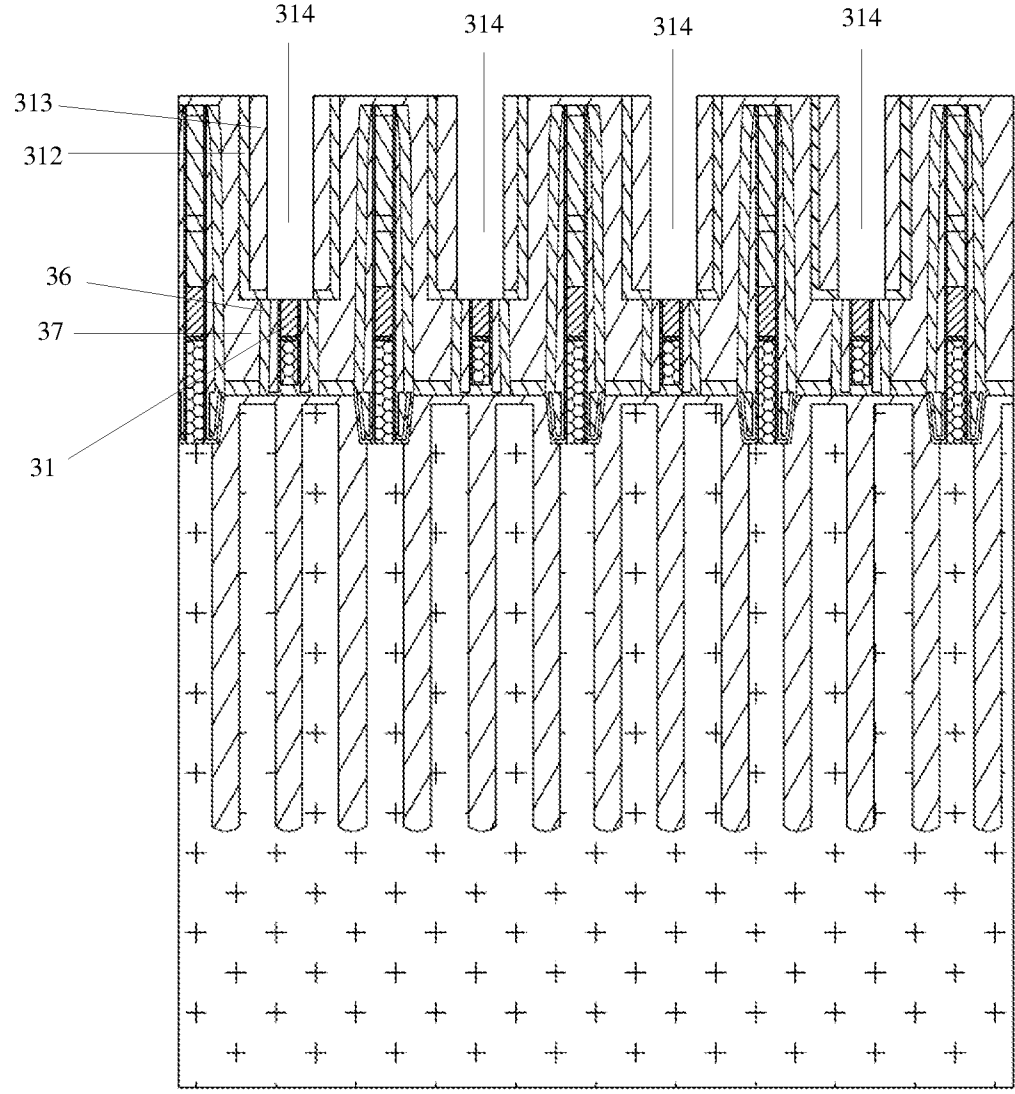


图 13

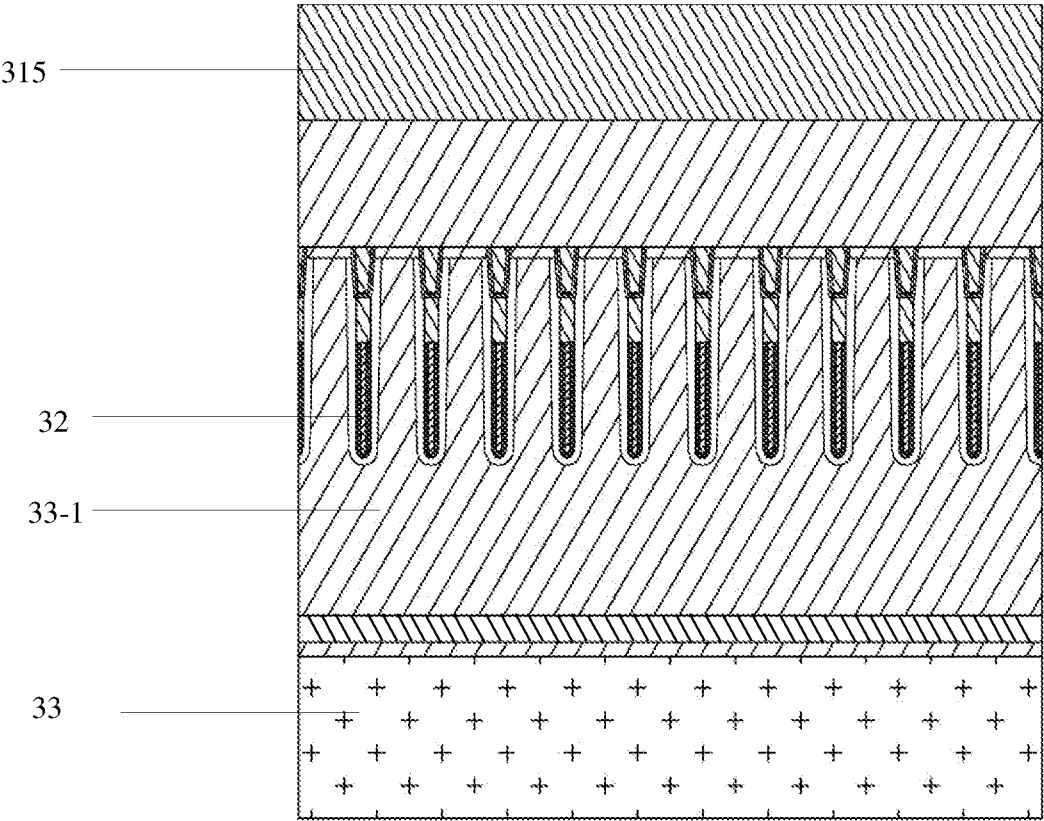


图 14

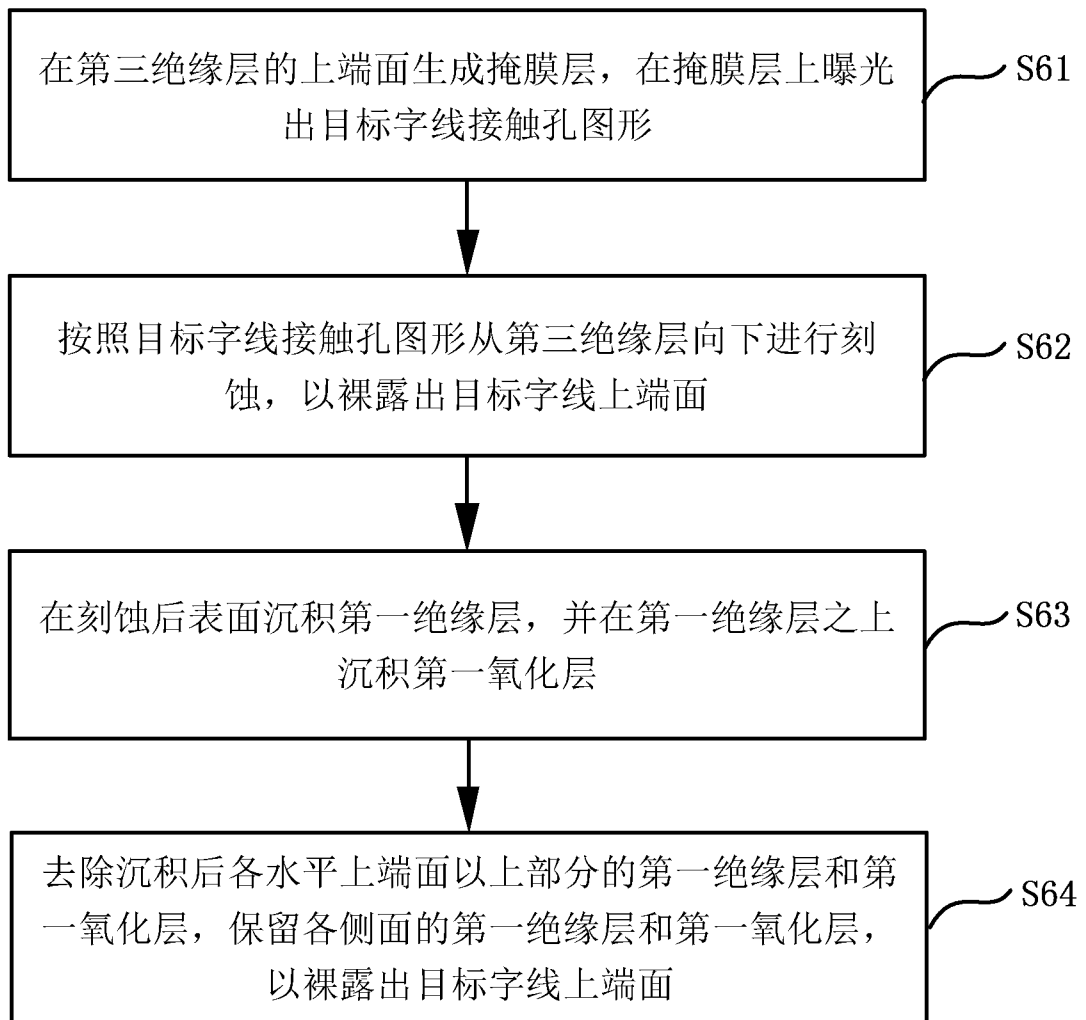


图 15

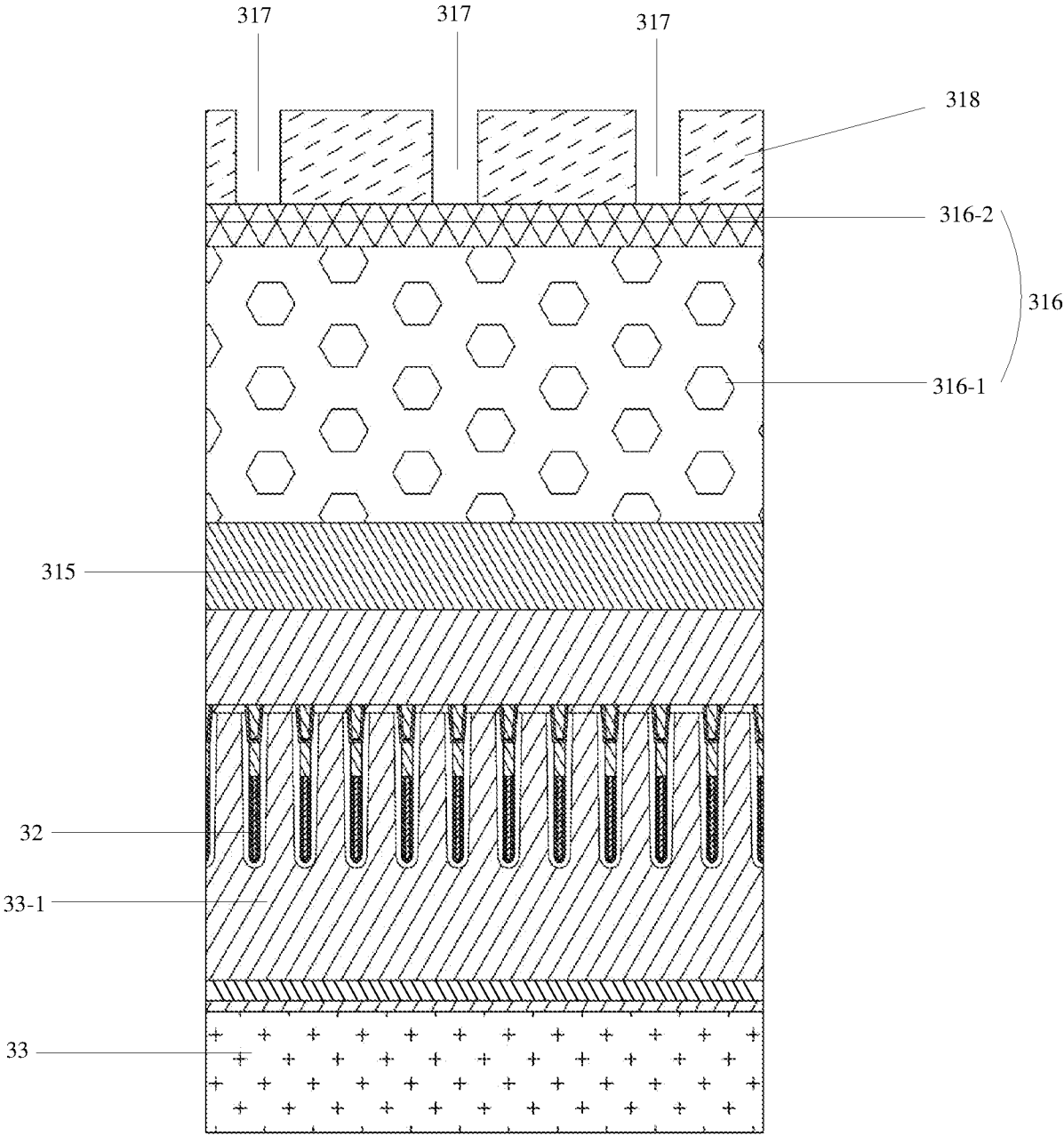


图 16

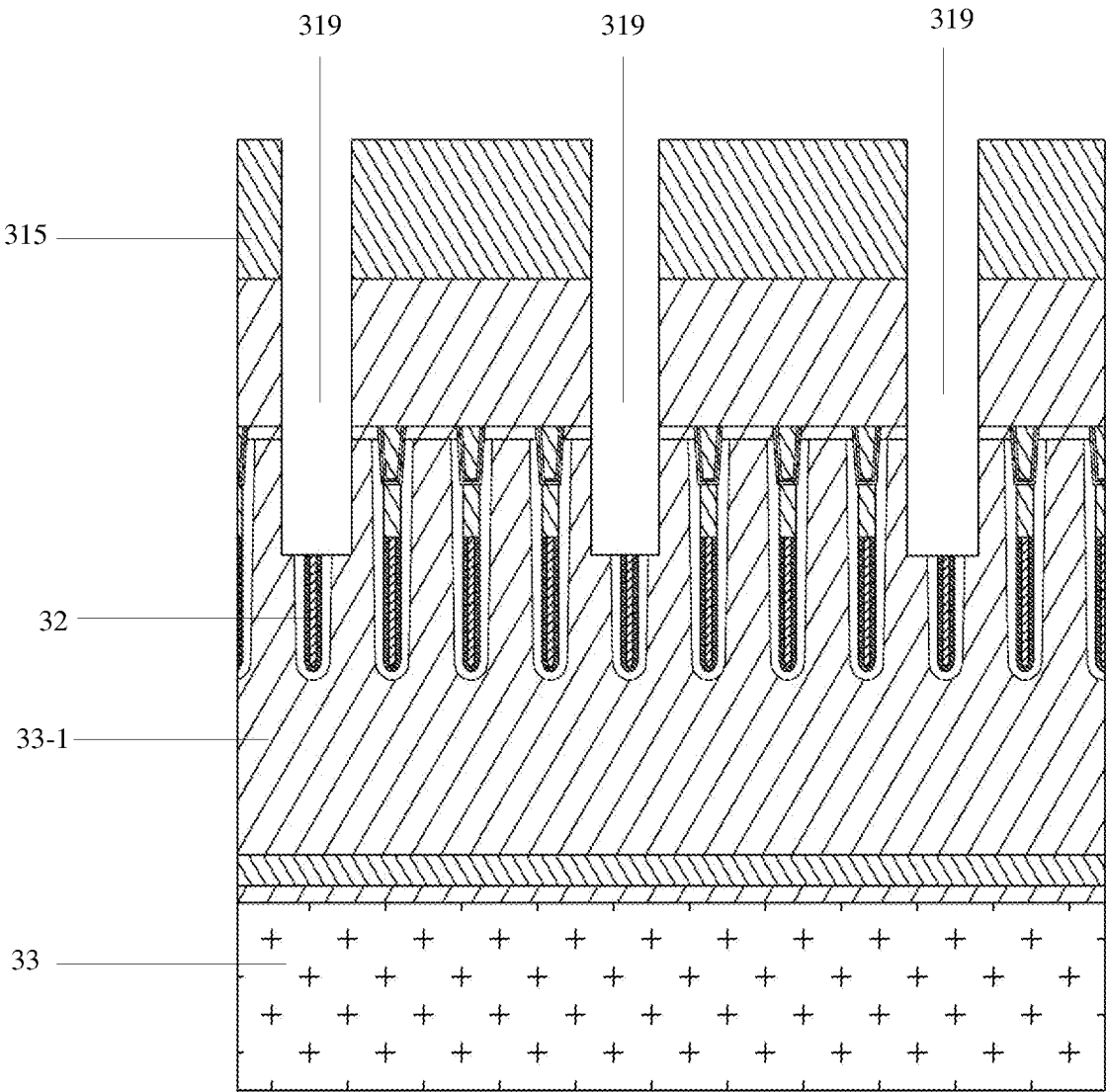


图 17

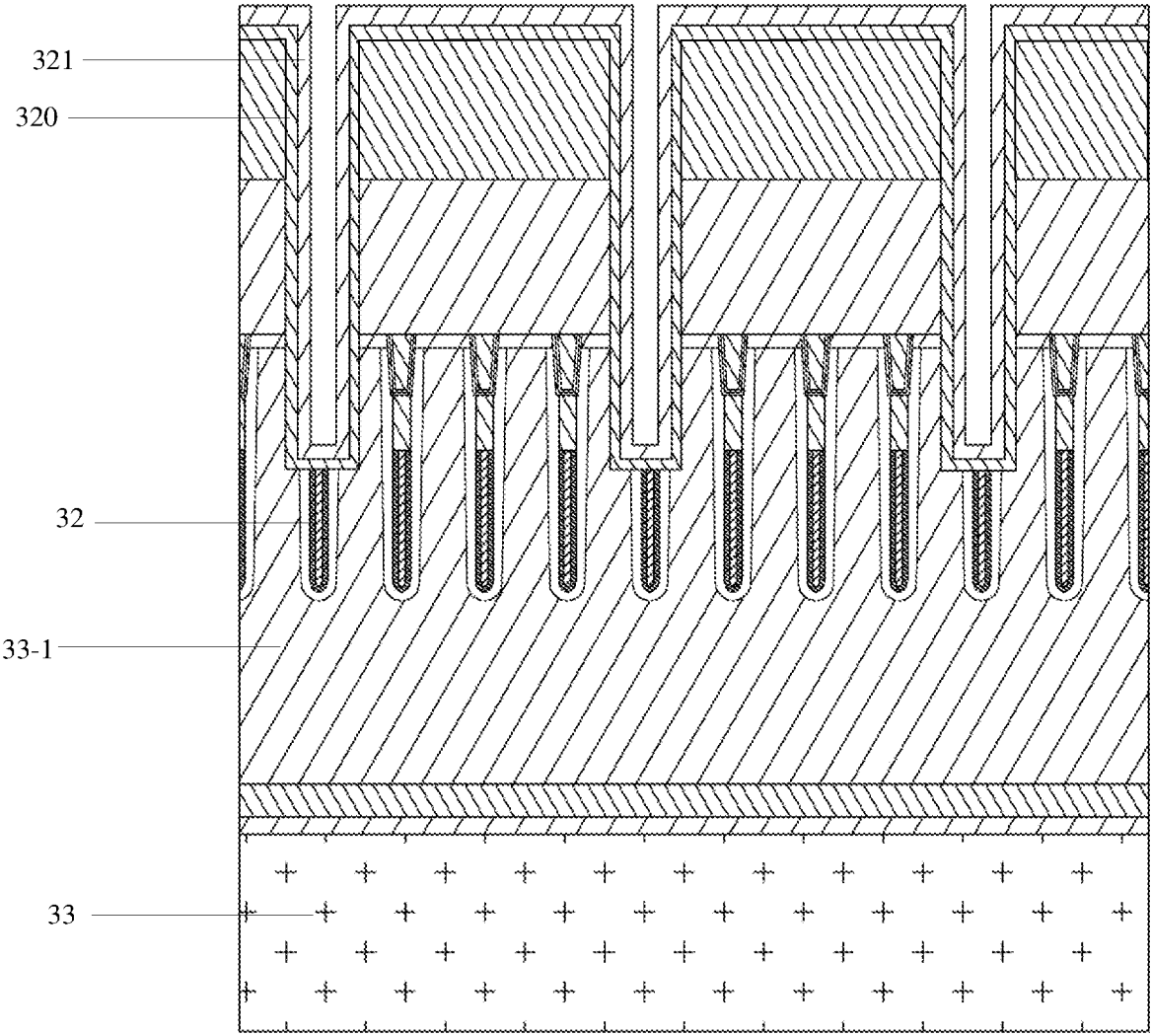


图 18

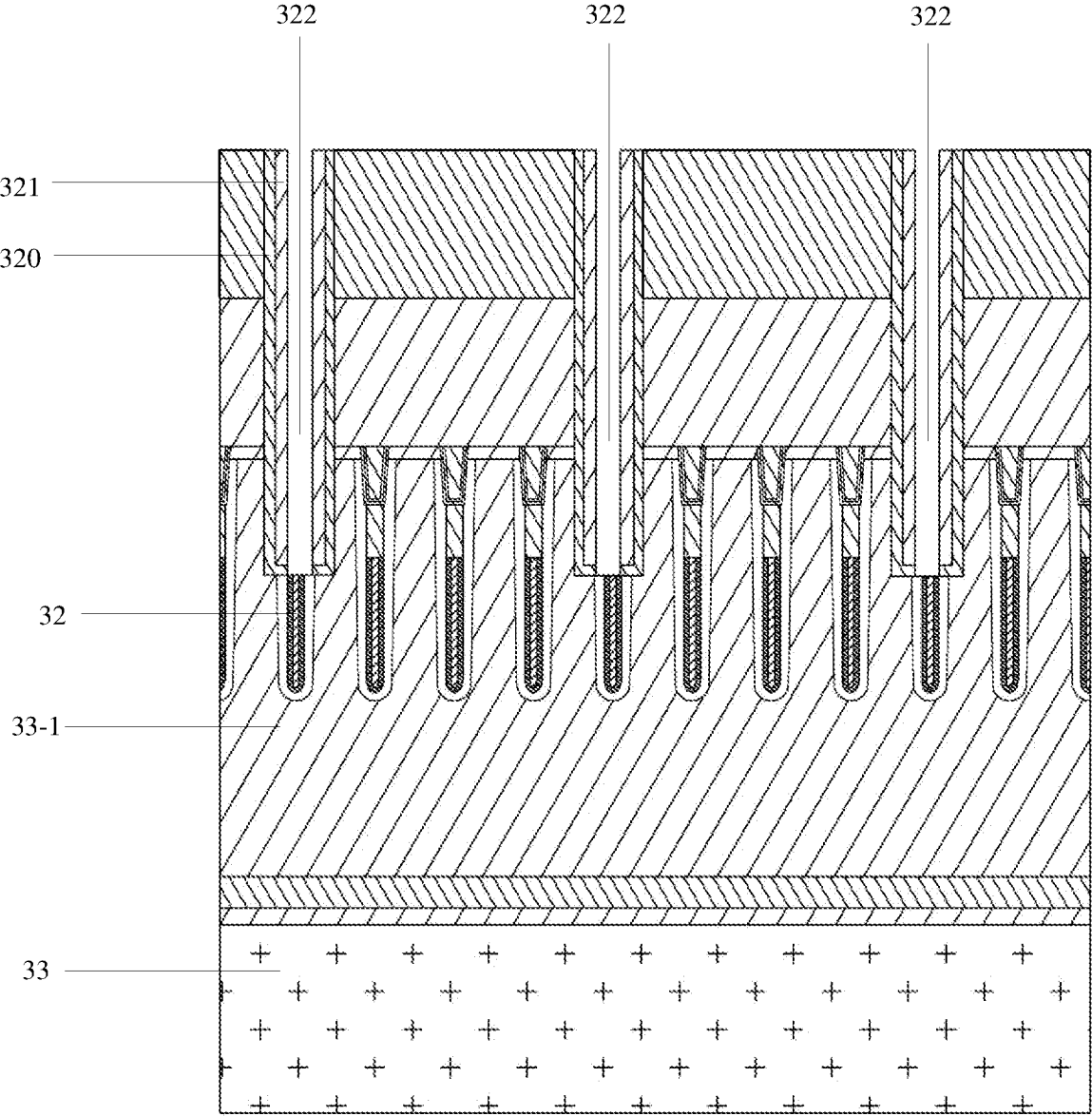


图 19

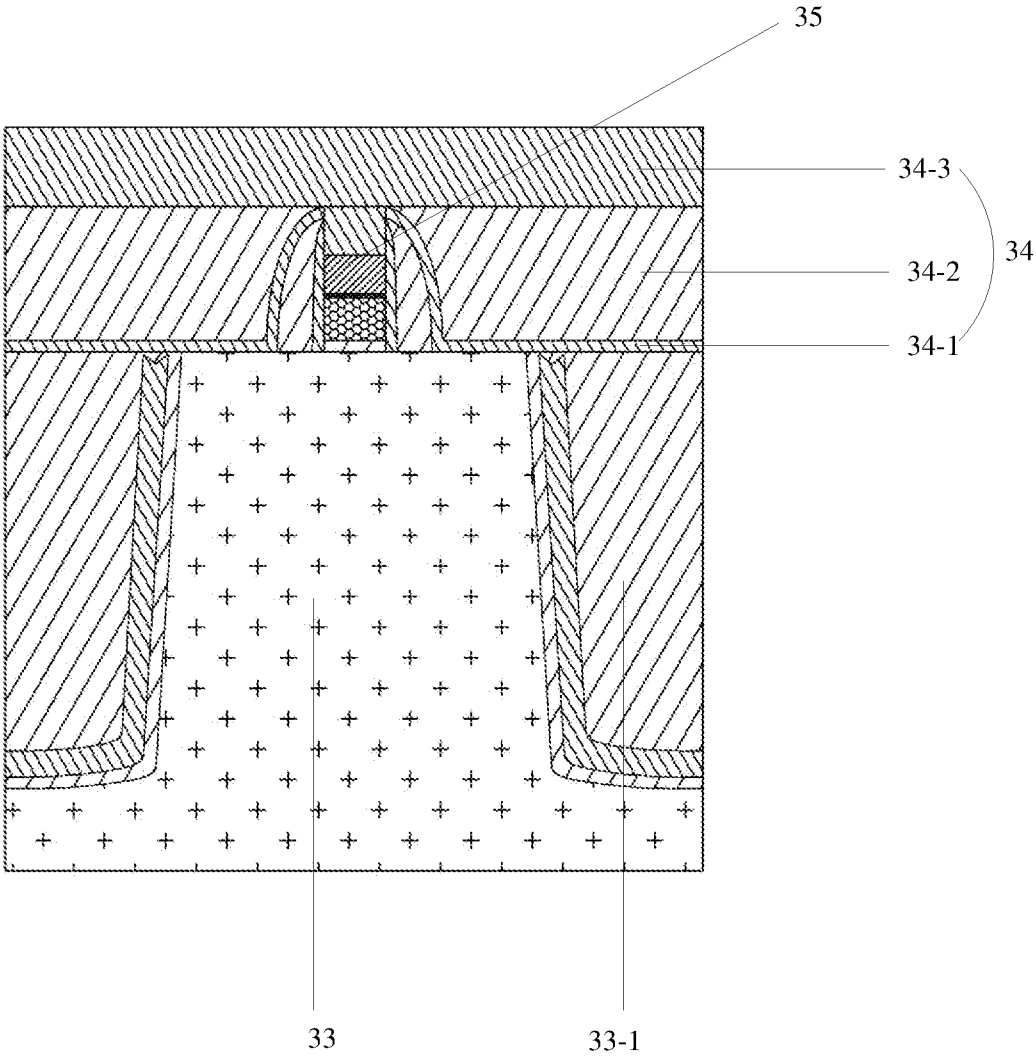


图 20

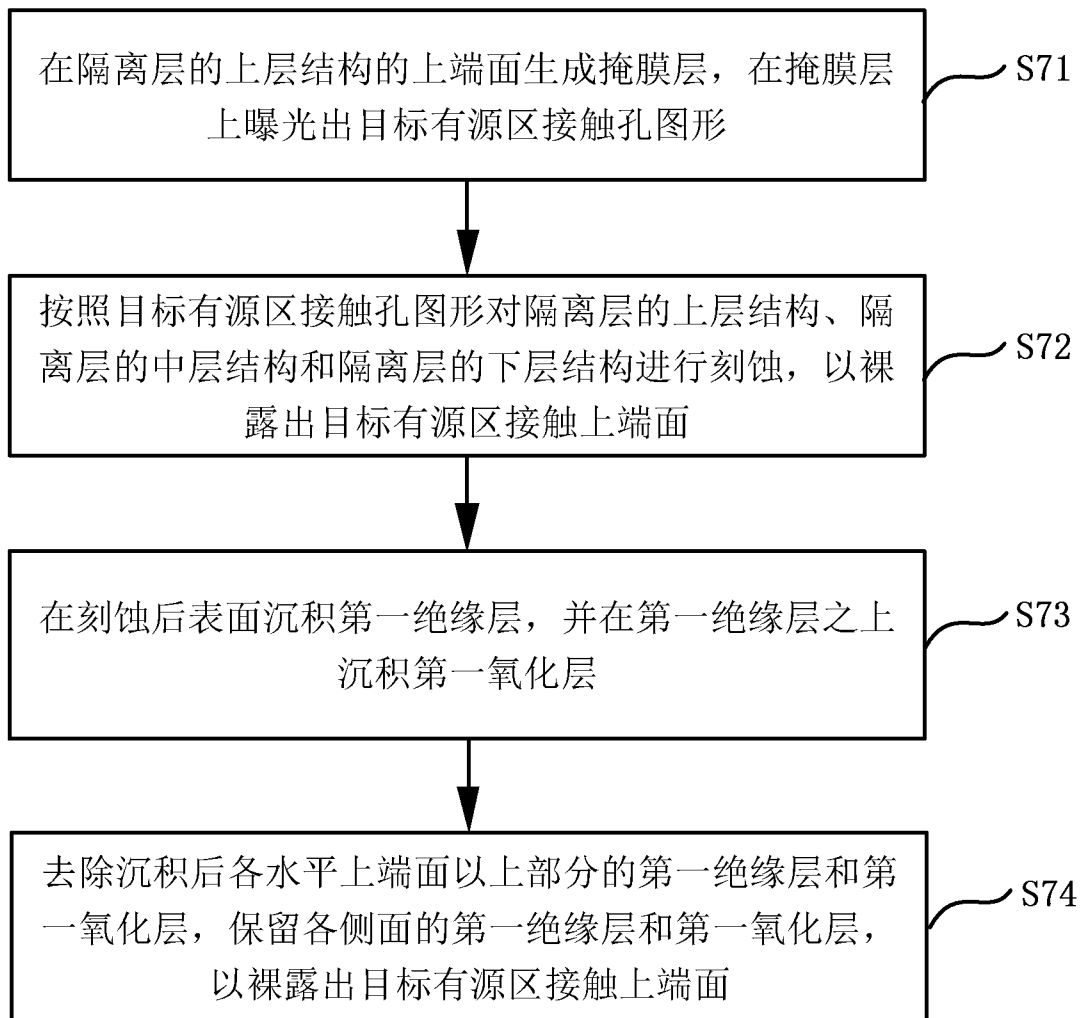


图 21

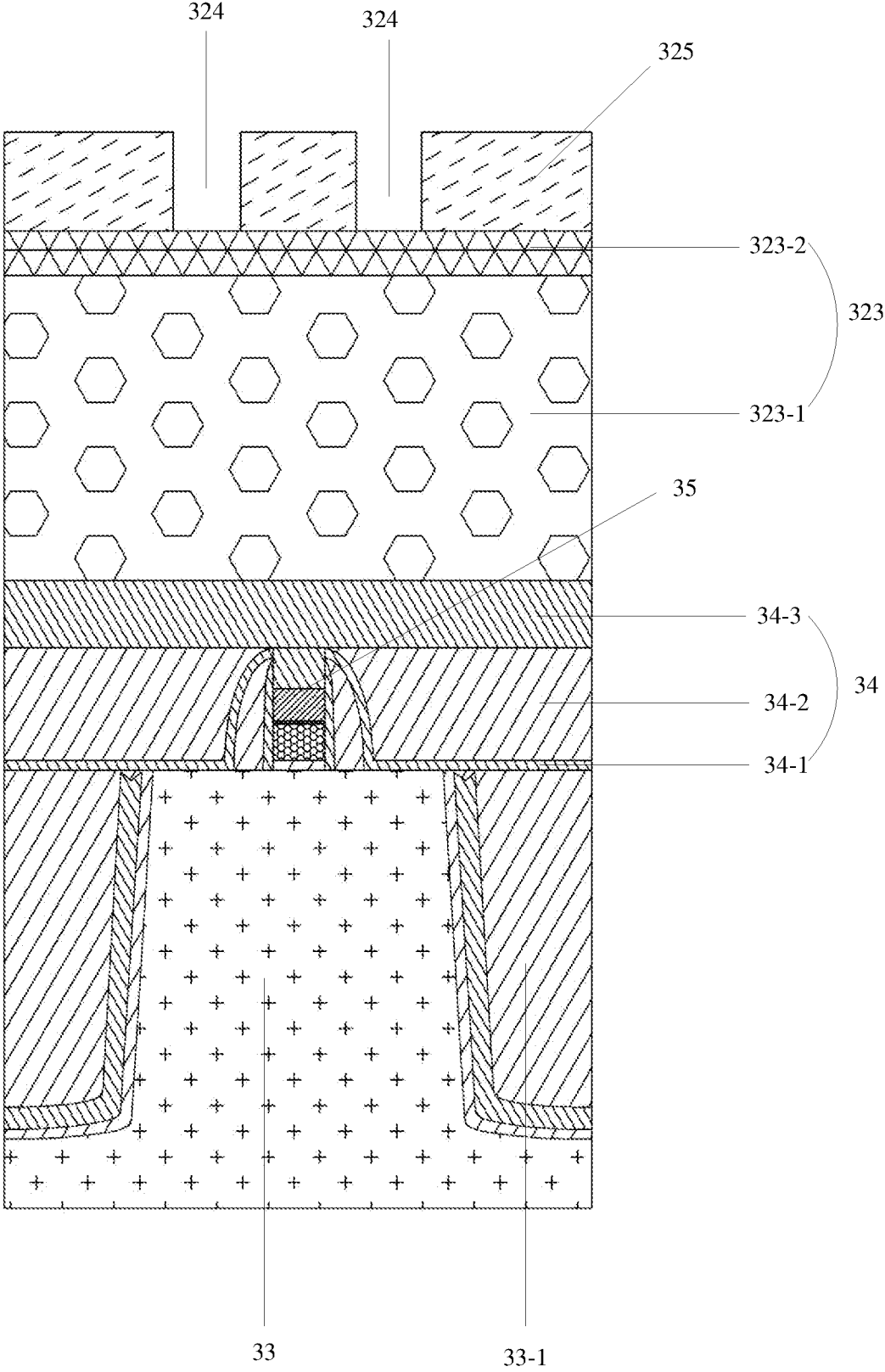


图 22

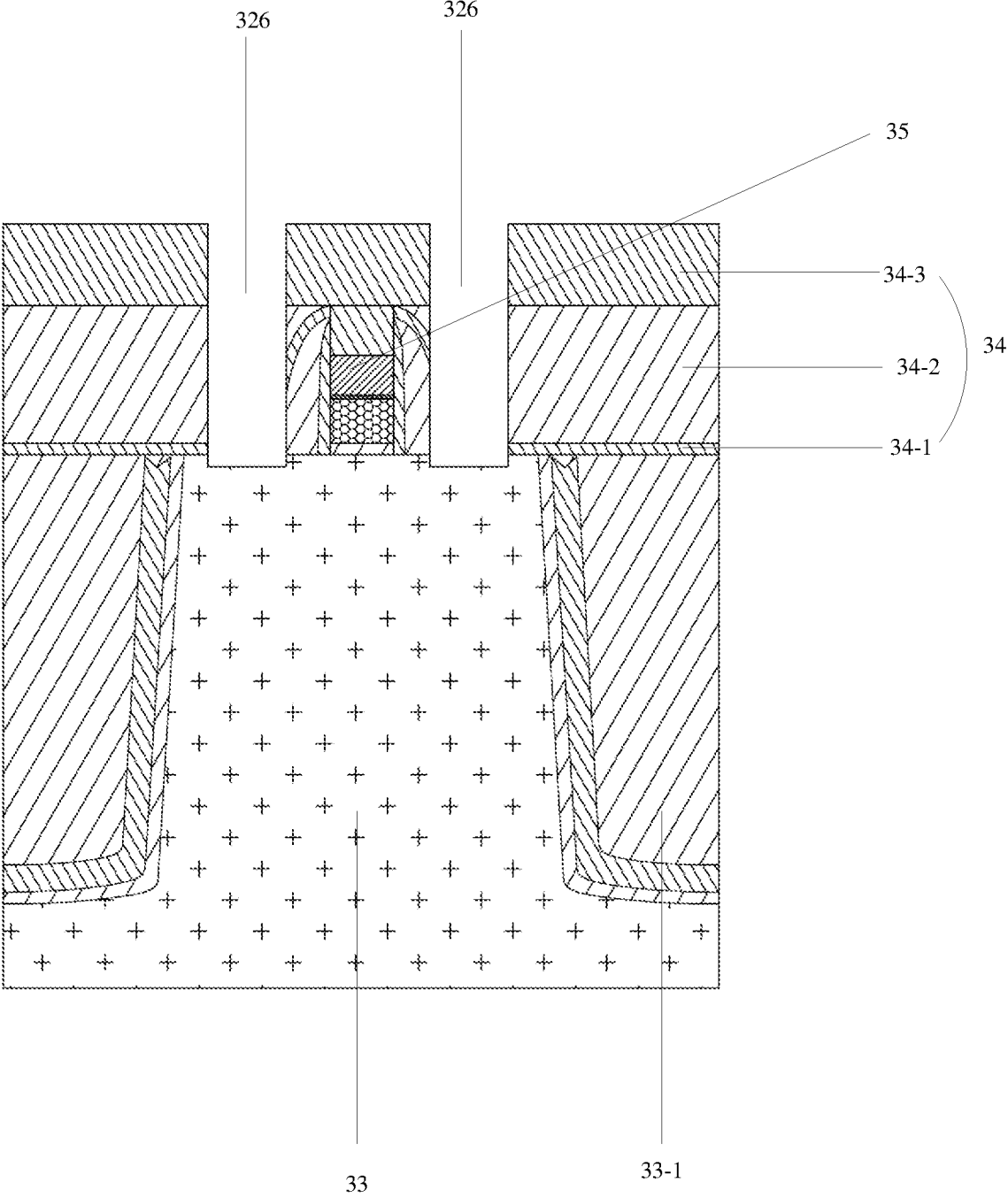


图 23

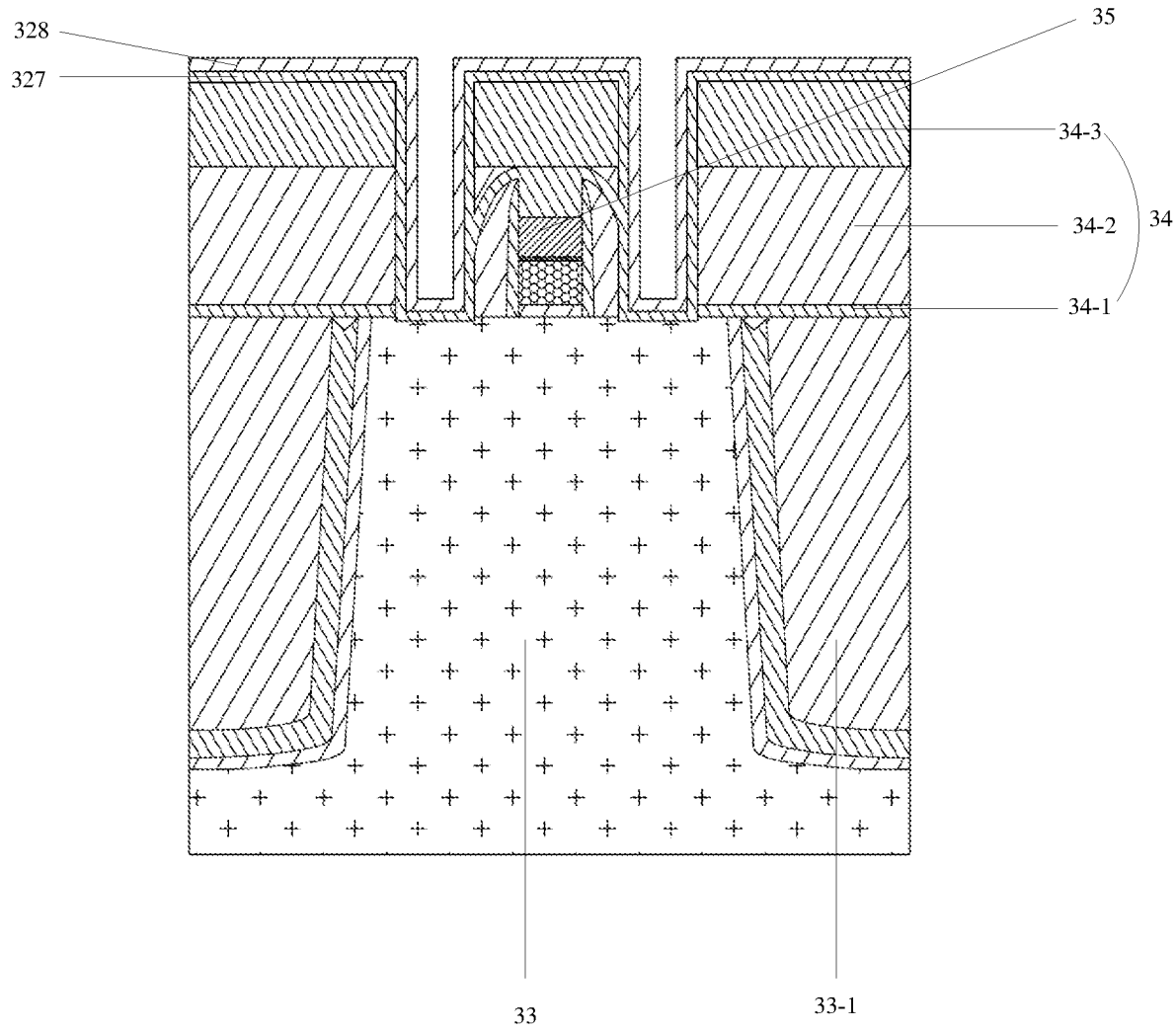


图 24

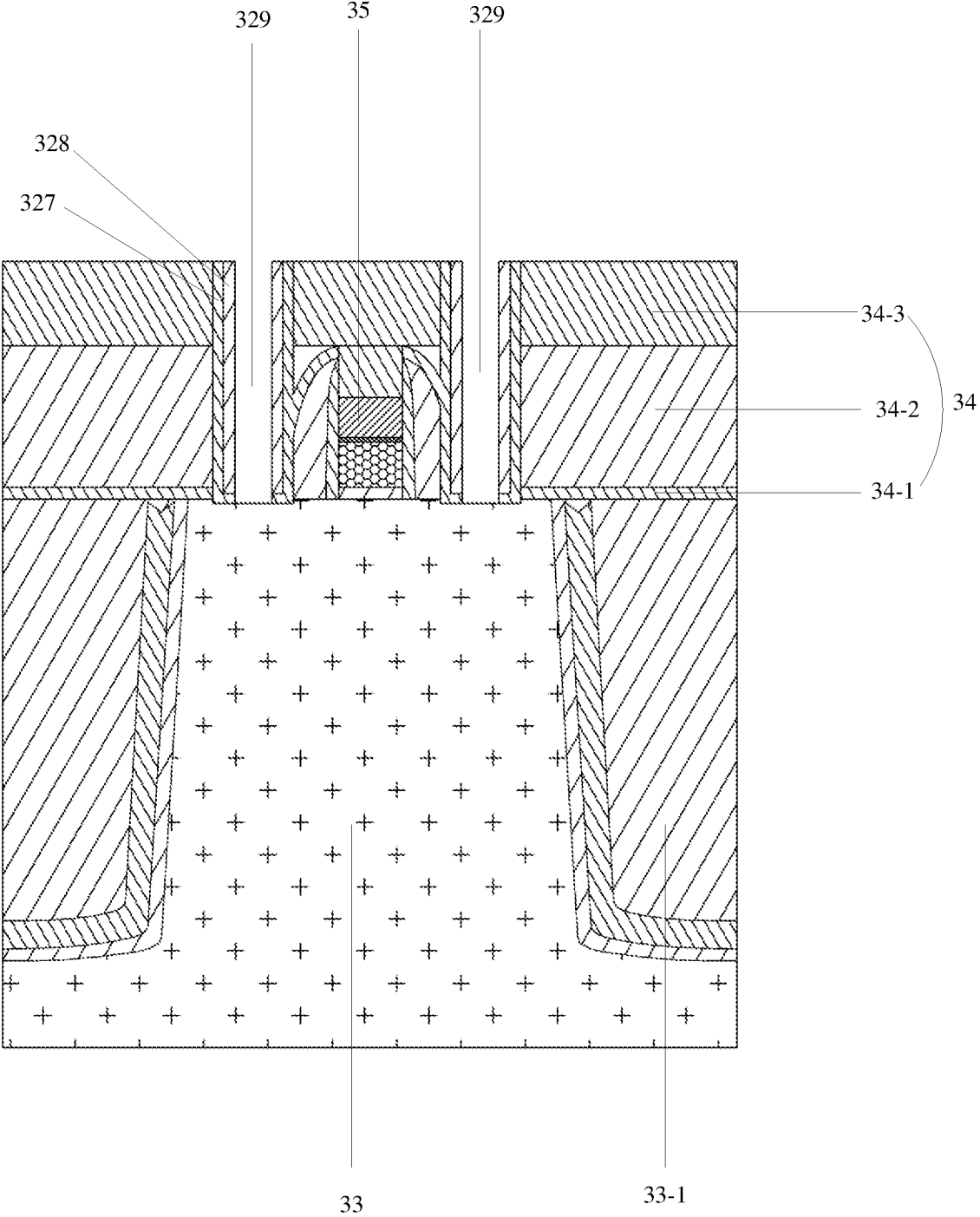


图 25

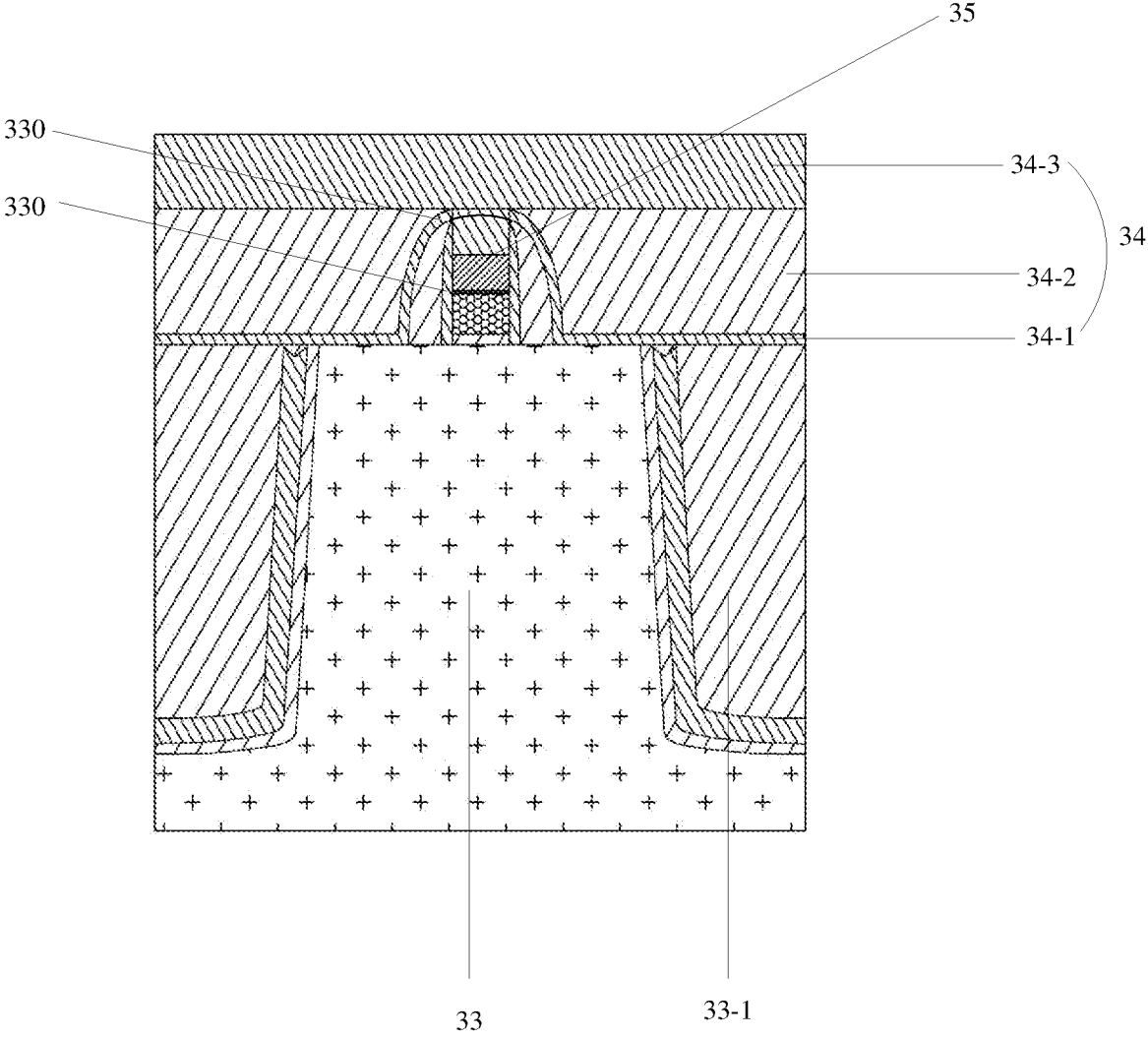


图 26

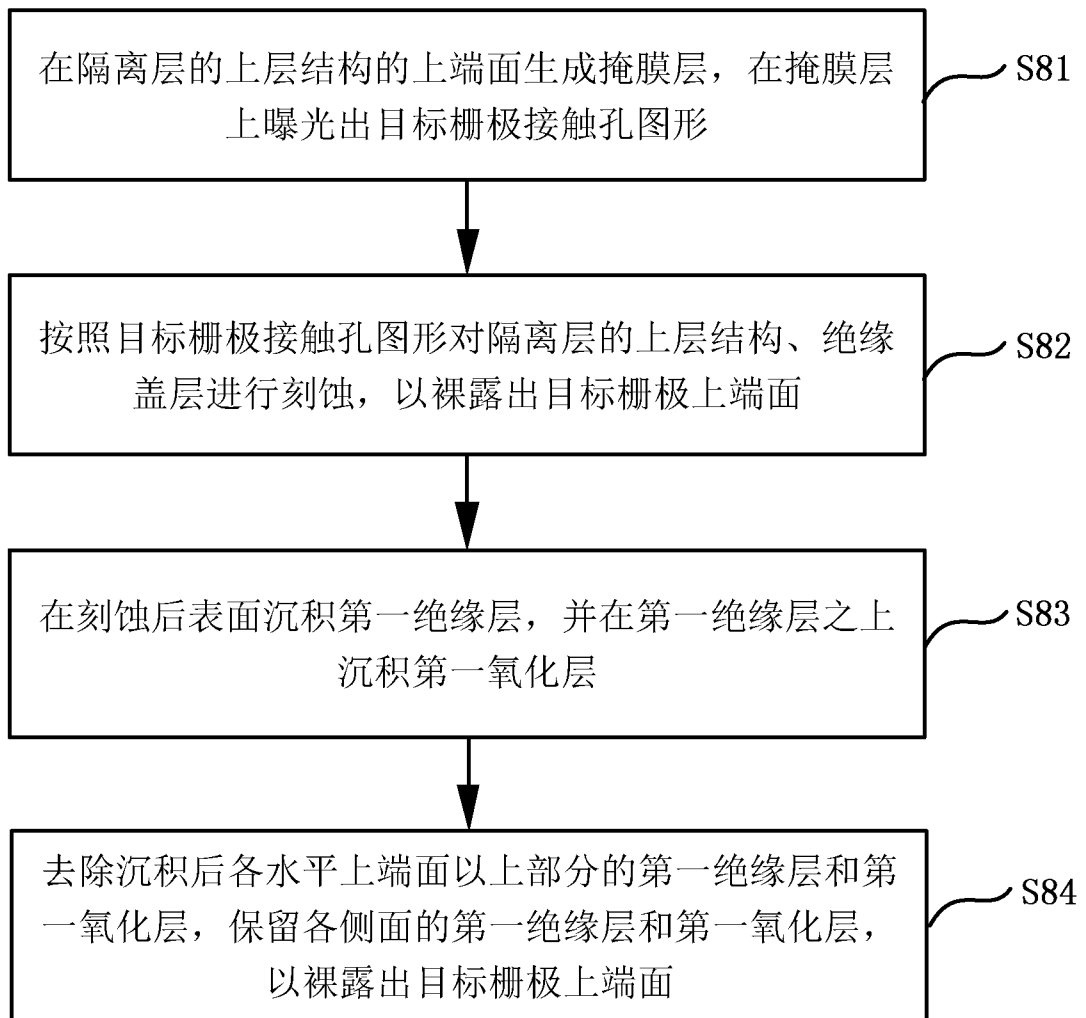


图 27

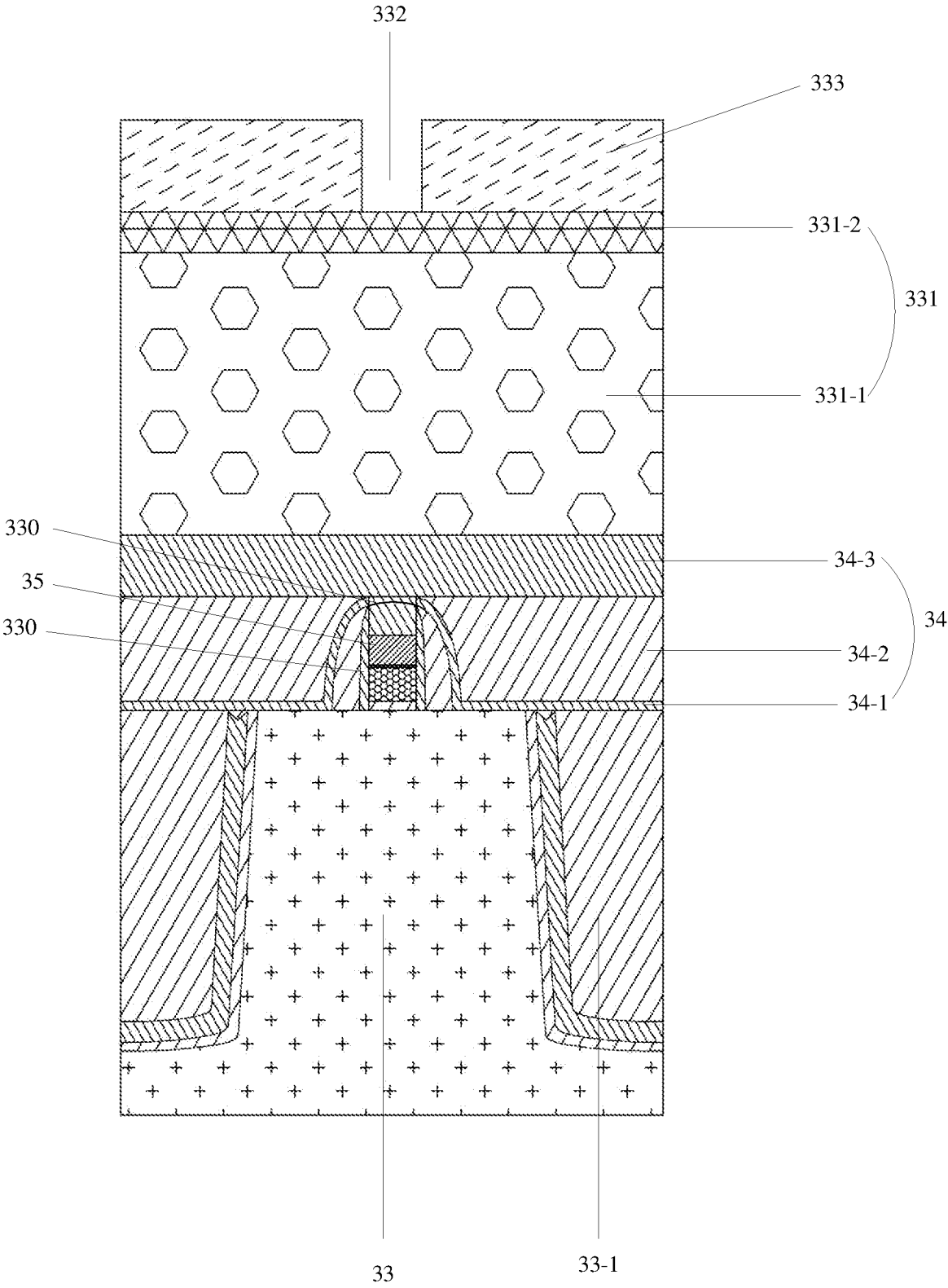


图 28

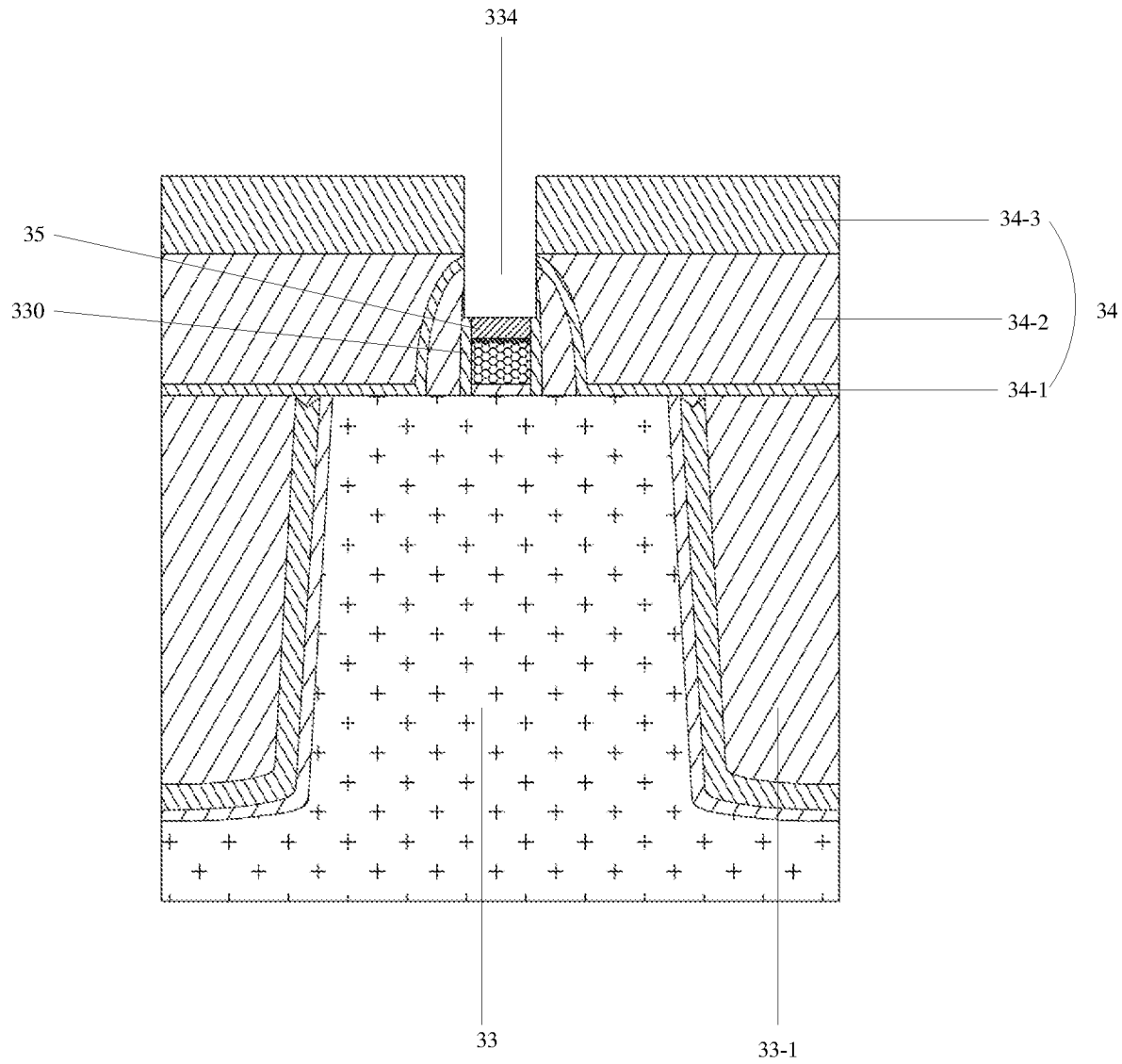


图 29

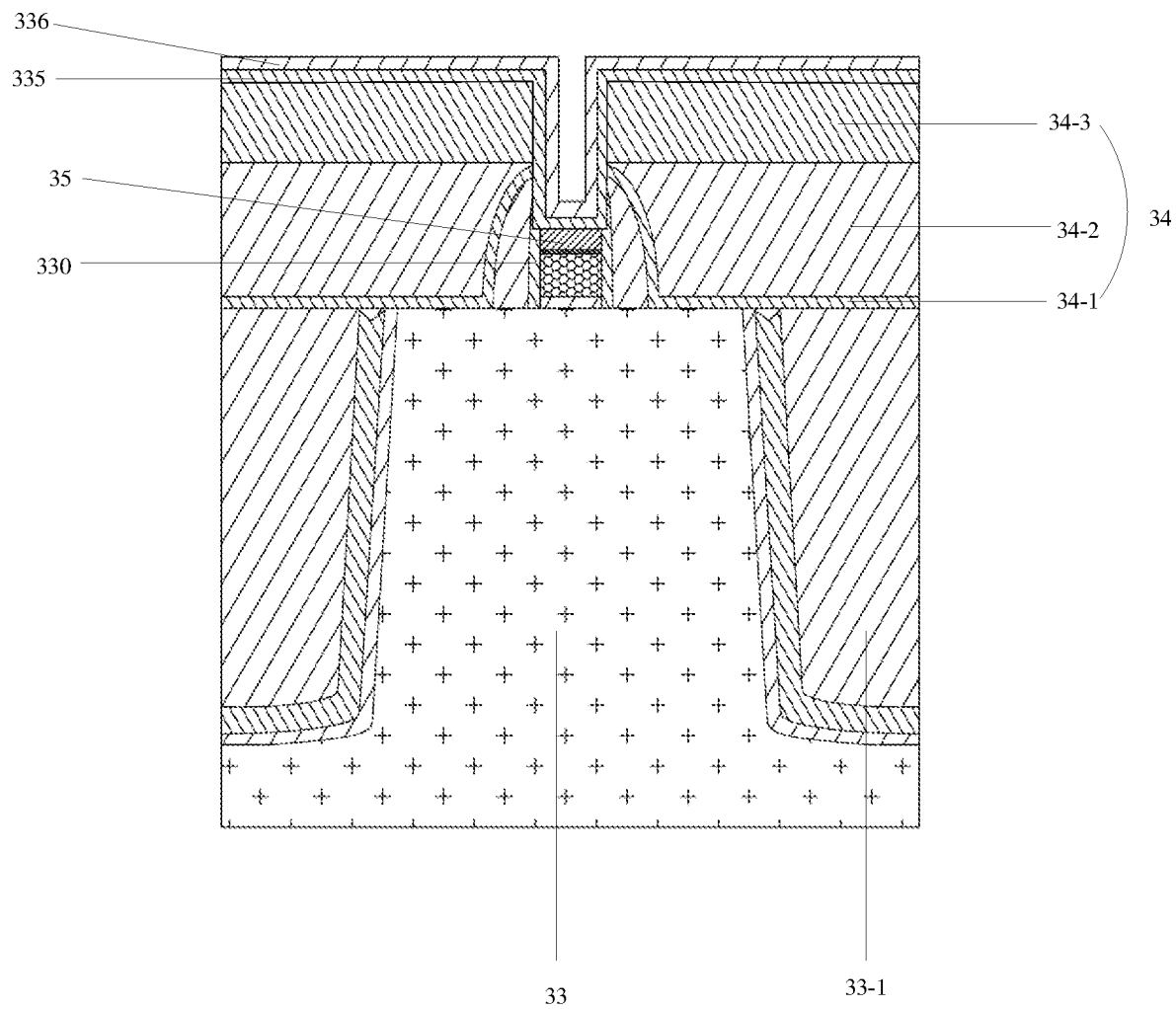


图 30

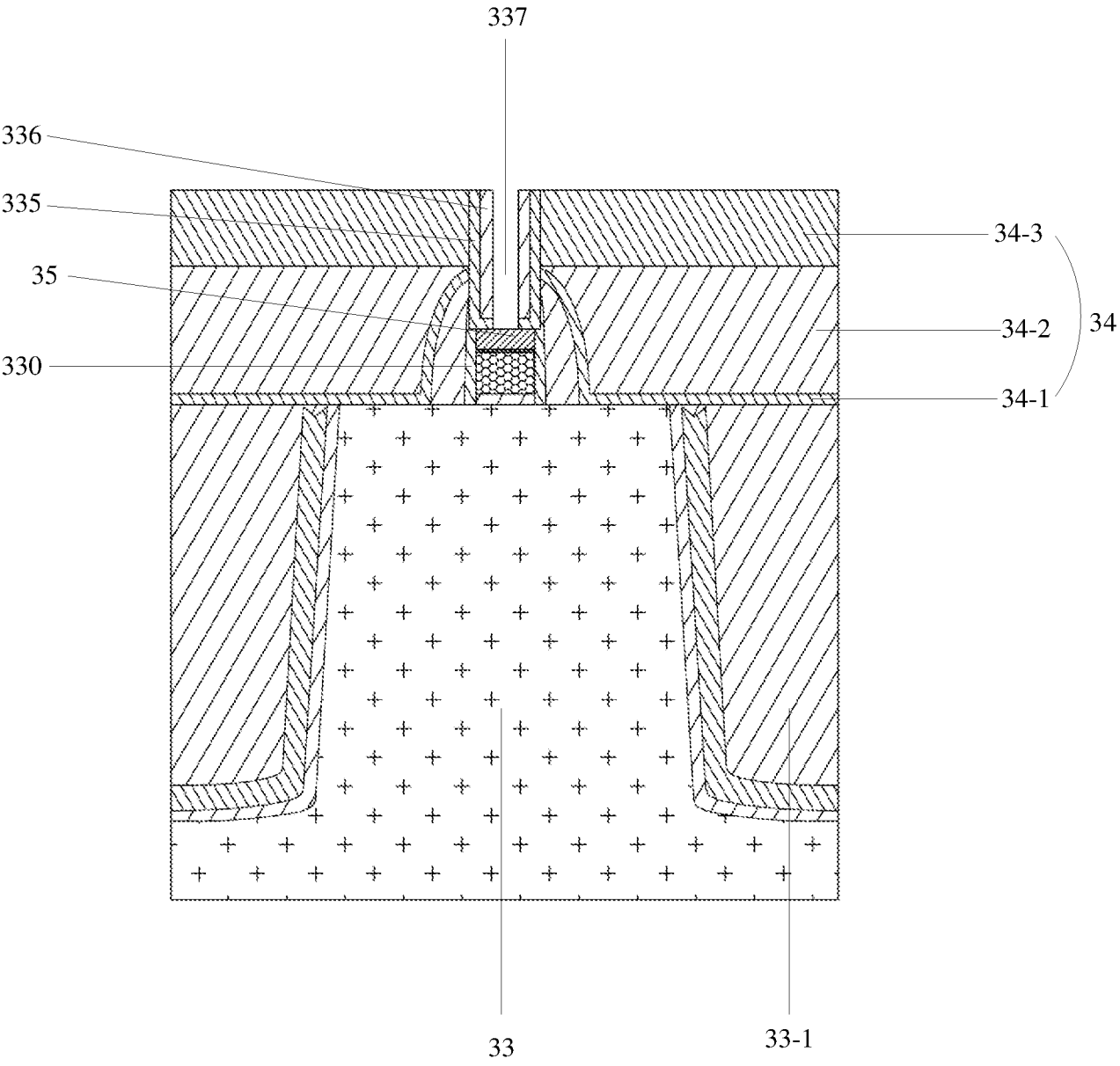


图 31

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/112142

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/8242(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI, IEEE: 接触孔, 阵列, 器件, 外围, 字线, 位线, 电容, 存储, 隔离, 短路, contact, hole, via, device, array, peripher+, bit line, word line, capacit+, memory, isolate+, short

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 1577823 A (SAMSUNG ELECTRONICS CO., LTD.) 09 February 2005 (2005-02-09) description, page 2 paragraph 2-page 4 paragraph 5, and figures 1A-1F	1-17
A	CN 103489869 A (SK HYNIX INC.) 01 January 2014 (2014-01-01) entire document	1-17
A	US 6620685 B2 (SAMSUNG ELECTRONICS, CO., LTD.) 16 September 2003 (2003-09-16) entire document	1-17
A	CN 102646638 A (HYNIX SEMICONDUCTOR INC.) 22 August 2012 (2012-08-22) entire document	1-17
A	CN 113113409 A (XIA TAI XIN SEMICONDUCTOR (QINGDAO) LTD.) 13 July 2021 (2021-07-13) entire document	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

27 April 2022

Date of mailing of the international search report

06 May 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/112142

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	1577823	A	09 February 2005	US	2004262769	A1	30 December 2004
				US	2009176357	A1	09 July 2009
				KR	20050000798	A	06 January 2005
				JP	2005019988	A	20 January 2005
				DE	102004030806	A1	27 January 2005
				TW	200503111	A	16 January 2005
CN	103489869	A	01 January 2014	KR	20130139610	A	23 December 2013
				US	2013334702	A1	19 December 2013
US	6620685	B2	16 September 2003	US	2004095832	A1	20 May 2004
				US	2002149977	A1	17 October 2002
				KR	20020072846	A	19 September 2002
CN	102646638	A	22 August 2012	US	2015017779	A1	15 January 2015
				US	2012205779	A1	16 August 2012
				KR	20120093716	A	23 August 2012
CN	113113409	A	13 July 2021	US	2021217657	A1	15 July 2021

国际检索报告

国际申请号

PCT/CN2021/112142

A. 主题的分类

H01L 21/8242 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

WPI, EP0D0C, CNPAT, CNKI, IEEE: 接触孔, 阵列, 器件, 外围, 字线, 位线, 电容, 存储, 隔离, 短路, contact, hole, via, device, array, peripher+, bit line, word line, capacit+, memory, isolate+, short

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 1577823 A (三星电子株式会社) 2005年2月9日 (2005 - 02 - 09) 说明书第2页第2段到第4页第5段, 附图1A-1F	1-17
A	CN 103489869 A (爱思开海力士有限公司) 2014年1月1日 (2014 - 01 - 01) 全文	1-17
A	US 6620685 B2 (SAMSUNG ELECTRONICS, CO., LTD.) 2003年9月16日 (2003 - 09 - 16) 全文	1-17
A	CN 102646638 A (海力士半导体有限公司) 2012年8月22日 (2012 - 08 - 22) 全文	1-17
A	CN 113113409 A (夏泰鑫半导体青岛有限公司) 2021年7月13日 (2021 - 07 - 13) 全文	1-17

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年4月27日

国际检索报告邮寄日期

2022年5月6日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

张跃

电话号码 86-(10)-53961468

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/112142

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	1577823	A	2005年2月9日	US	2004262769	A1	2004年12月30日
				US	2009176357	A1	2009年7月9日
				KR	20050000798	A	2005年1月6日
				JP	2005019988	A	2005年1月20日
				DE	102004030806	A1	2005年1月27日
				TW	200503111	A	2005年1月16日
CN	103489869	A	2014年1月1日	KR	20130139610	A	2013年12月23日
				US	2013334702	A1	2013年12月19日
US	6620685	B2	2003年9月16日	US	2004095832	A1	2004年5月20日
				US	2002149977	A1	2002年10月17日
				KR	20020072846	A	2002年9月19日
CN	102646638	A	2012年8月22日	US	2015017779	A1	2015年1月15日
				US	2012205779	A1	2012年8月16日
				KR	20120093716	A	2012年8月23日
CN	113113409	A	2021年7月13日	US	2021217657	A1	2021年7月15日