PCT WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro

INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation [6] :
H04L 25/06, H03L 7/08, 7/089, H04L 7/02

A2

(11) Internationale Veröffentlichungsnummer: **WO 98/49811**

(43) Internationales Veröffentlichungsdatum: 5. November 1998 (05.11.98)

(21) Internationales Aktenzeichen: PCT/DE98/00893

(22) Internationales Anmeldedatum: 27. März 1998 (27.03.98)

(30) Prioritätsdaten:
197 17 643.7 25. April 1997 (25.04.97) DE

(71) Anmelder *(für alle Bestimmungsstaaten ausser US)*: SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D–80333 München (DE).

(72) Erfinder; und
(75) Erfinder/Anmelder *(nur für US)*: MÜLLNER, Ernst [DE/DE]; Rambertweg 11, D–80995 München (DE). HOFSCHEN, Stefan [DE/DE]; Bachstrasse 34, D–82541 Münsing (DE).

(81) Bestimmungsstaaten: BR, CN, RU, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

Veröffentlicht
Ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.

(54) Title: METHOD AND DEVICE FOR REGULATING THE DECISION THRESHOLD AND SAMPLING POINT OF A DATA REGENERATOR

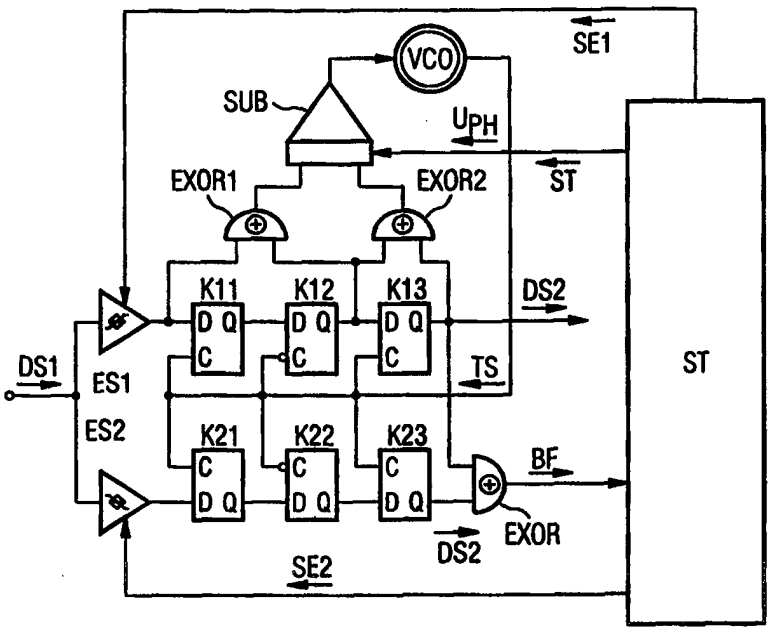
(54) Bezeichnung: VERFAHREN UND ANORDNUNG ZUR REGELUNG DER ENTSCHEIDERSCHWELLE UND DES ABTASTZEITPUNKTES EINES DATENREGENERATORS

(57) Abstract

In accordance with the invention, the data regenerator has a second data path, the decision threshold of which can be adjusted. By comparing the output data, the bit–errors caused by adjusting the decision threshold can be determined. By experimentally adjusting the sampling point and then adjusting the decision threshold, the optimal sampling point and optimal decision threshold can be found.

(57) Zusammenfassung

Der Datenregenerator weist einen zweiten Datenpfad auf, dessen Entscheiderschwelle verstellt werden kann. Durch Vergleich der Ausgangsdaten können die Bitfehler ermittelt werden, die durch ein Verstellen der Entscheiderschwelle hervorgerufen werden. Durch versuchsweises Verstellen des Abtastzeitpunktes und anschließendem Verstellen der Entscheiderschwelle werden der optimale Abtastzeitpunkt und die optimale Entscheiderschwelle gefunden.



LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	**ES**	Spanien	**LS**	Lesotho	**SI**	Slowenien
AM	Armenien	**FI**	Finnland	**LT**	Litauen	**SK**	Slowakei
AT	Österreich	**FR**	Frankreich	**LU**	Luxemburg	**SN**	Senegal
AU	Australien	**GA**	Gabun	**LV**	Lettland	**SZ**	Swasiland
AZ	Aserbaidschan	**GB**	Vereinigtes Königreich	**MC**	Monaco	**TD**	Tschad
BA	Bosnien-Herzegowina	**GE**	Georgien	**MD**	Republik Moldau	**TG**	Togo
BB	Barbados	**GH**	Ghana	**MG**	Madagaskar	**TJ**	Tadschikistan
BE	Belgien	**GN**	Guinea	**MK**	Die ehemalige jugoslawische Republik Mazedonien	**TM**	Turkmenistan
BF	Burkina Faso	**GR**	Griechenland			**TR**	Türkei
BG	Bulgarien	**HU**	Ungarn	**ML**	Mali	**TT**	Trinidad und Tobago
BJ	Benin	**IE**	Irland	**MN**	Mongolei	**UA**	Ukraine
BR	Brasilien	**IL**	Israel	**MR**	Mauretanien	**UG**	Uganda
BY	Belarus	**IS**	Island	**MW**	Malawi	**US**	Vereinigte Staaten von Amerika
CA	Kanada	**IT**	Italien	**MX**	Mexiko		
CF	Zentralafrikanische Republik	**JP**	Japan	**NE**	Niger	**UZ**	Usbekistan
CG	Kongo	**KE**	Kenia	**NL**	Niederlande	**VN**	Vietnam
CH	Schweiz	**KG**	Kirgisistan	**NO**	Norwegen	**YU**	Jugoslawien
CI	Côte d'Ivoire	**KP**	Demokratische Volksrepublik Korea	**NZ**	Neuseeland	**ZW**	Zimbabwe
CM	Kamerun			**PL**	Polen		
CN	China	**KR**	Republik Korea	**PT**	Portugal		
CU	Kuba	**KZ**	Kasachstan	**RO**	Rumänien		
CZ	Tschechische Republik	**LC**	St. Lucia	**RU**	Russische Föderation		
DE	Deutschland	**LI**	Liechtenstein	**SD**	Sudan		
DK	Dänemark	**LK**	Sri Lanka	**SE**	Schweden		
EE	Estland	**LR**	Liberia	**SG**	Singapur		

Beschreibung

Verfahren und Anordnung zur Regelung der Entscheiderschwelle und des Abtastzeitpunktes eines Datenregenerators

Die Erfindung betrifft ein Verfahren nach dem Oberbegriff des Patentanspruchs 1.

Aus IEEE, Journal of Lightwave Technology, Volume Lt-3, No 6, Seite 1312-1314 ist ein Phasendetektor bekannt, der ein Regelsignal für einen steuerbaren Ozillator liefert. Für extrem hohe Frequenzen über 10 Gigahertz werden zustandsgesteuerte Speicherstufen zum Aufbau des Phasendetektors verwendet. Ein solcher Phasendetektor ist in der Offenlegungsschrift DE 4493 416 A1 beschrieben. Um eine optimale Abtastung und niedrige Bitfehlerraten zu gewährleisten, müssen sowohl die Entscheiderschwelle für das Empfangssignal als auch der Abtastzeitpunkt eingestellt werden.

Wegen der unvermeidlichen Änderungen des Senders, der Übertragungsstrecke und des Empfängers reicht eine einmalige Einstellung nicht aus. Es kann nun daran gedacht werden, den Abtastzeitpunkt zu variieren und gleichzeitig die dann auftretende Bitfehlerrate zu messen. Der richtige Abtastzeitpunkt ist dann eingestellt, wenn die Bitfehlerrate ihr Minimum erreicht. Entsprechend kann die optimal Entscheiderschwelle eingestellt werden.

Nachteilig wäre jedoch bei einem solchen Verfahren, daß durch das Verstellen des Abtastzeitpunktes und der Entscheiderschwelle erhöhte Bitfehlerraten auftreten. Ein solches Verfahren wäre zumindest während des Betriebes nicht anwendbar.

Aufgabe der Erfindung ist es daher, ein Verfahren zur optimalen Einstellung der Entscheiderschwelle und des Abtastzeitpunktes anzugeben, das auch während der Übertragung von Daten

durchgeführt werden kann. Außerdem ist eine geeignete Anordnung zu realisieren.

Diese Aufgabe wird durch ein Verfahren nach Anspruch 1 gelöst. Eine geeignete Anordnung ist in einem unabhängigen Anspruch anzugeben.

Durch die Verwendung eines zweiten Datenpfades und zweier unabhängig voneinander einstellbarer Entscheiderschwellen ist das Verfahren besonders deshalb vorteilhaft, weil in dem zusätzlichen Datenpfad die Entscheiderschwelle zum Auffinden des Optimums soweit verstellt werden kann, bis durch die schlechte Abtastung bedingte Fehler auftreten, ohne daß hiervon die weiterzuverarbeitenden Daten betroffen werden.

Vorteilhaft ist, daß jedoch der Abtastzeitpunkt für beide Datenpfade gemeinsam geregelt wird. Hierdurch ist der Aufwand wesentlich geringer und es ist dafür gesorgt, daß automatisch auch im Nutzdatenpfad die optimale Abtastung erfolgt.

Die Erfindung wird anhand eines Ausführungsbeispiels näher erläutert.

Figur 1 zeigt eine erfindungsgemäße Anordnung und
Figur 2 ein Augendiagramm zur Erläuterung der Funktionsweise.

Die in **Figur 1** dargestellte Anordnung weist einen ersten Datenpfad mit einer Entscheiderstufe ES1 und drei Speicherzellen K11, K12 und K13 auf, die einen ersten Datenpfad bilden und deren Ausgangssignale zur Gewinnung eines Regelsignals und eines Referenzsignals mit den Eingängen zweier Exclusive-Oder-Gatter EXOR1 und EXOR2 verbunden sind. Deren Ausgänge sind über einen Subtrahierer SUB verbunden, dessen Ausgangssignal einen Oszillator VCO steuert. Die Art des Phasendetektors und der Phasenregelschleife ist für die Erfindung unwe-

sentlich. Details (beispielsweise ein Filter) wurden aus Gründen der Übersichtlichkeit nicht dargestellt.

Der Oszillator erzeugt ein Taktsignal TS, das sowohl die Speicherstufen des ersten Datenpfades als auch die Speicherstufen K21, K22 und K23 des zweiten Datenpfades triggert. Der zweite Datenpfad enthält eine zweite Entscheiderstufe ES2. Die Eingänge beider Entscheiderstufen sind zu einem Dateneingang 1 zusammengefaßt, dem das empfangene Datensignal DS - beispielsweise nach der Umwandlung eines optischen Signals in ein elektrisches Signal - zugeführt wird. Die Ausgänge beider Datenpfade sind über ein weiteres Exclusive-Oder-Gatter EXOR zusammengefaßt, dessen Ausgang mit einem Dateneingang einer Steuerung ST verbunden ist. Diese kann die Entscheidungsschwellen beider Entscheiderstufen ES1 und ES2 verändern und den Abtastzeitpunkt variieren, indem sie - in diesem Ausführungsbeispiel - zu der gewonnen Regelspannung eine Steuerspannung U_{PH} addiert. Eine andere Möglichkeit wäre der Einsatz eines steuerbaren Zeitgliedes.

Es wird davon ausgegangen, daß zunächst beide Entscheidungsschwellen auf einen Standardwert E_S. eingestellt sind und ebenso der sich mit der Datentaktrate wiederholende Abtastzeitpunkt T_A auf einen Standardwert T_s (**Figur 2**) eingestellt ist. Durch die Steuerung wird zunächst versuchsweise die Entscheiderschwelle (Amlitude A) der zweiten Entscheidestufe ES2 geändert, beispielsweise vergrößert. Zunächst treten Bitfehler BF am Ausgang des die Ausgangssignale beider Datenpfade vergleichenden weiteren Exklusiv-Oder-Gatters EXOR auf. Die Entscheiderschwelle wird weiter vergrößert bis ein vorgegebener Grenzwert der Fehlerrate erreicht ist, der als Grenzbitfehlerratenkurve SK in **Figur 2** dargestellt ist. Nach dem Erreichen der Grenzfehrerratenkurve wird eine Veränderung der Entscheidungsschwelle in der entgegengesetzten Richtung, hier eine Verkleinerung der Entscheiderschwelle, durchgeführt, bis dieselbe Grenzfehlerrate , d.h. die Grenzfehrerratenkurve SK, erneut erreicht ist. Das Mittel aus dem oberen

und dem unteren Grenzschwellwert ergibt die neue Sollage der Entscheiderschwelle, die auch für die Entscheiderstufe des ersten Datenpfads eingestellt wird. Es ist auch möglich die Entscheiderschwelle jeweils nur um einen vorher festgelegten maximalen Betrag zu ändern.

Nach der Korrektur der Entscheiderschwelle wird der Abtastzeitpunkt T_s versuchsweise in einer beliebigen Richtung um jeweils eine Zeitdifferenz ΔT verschoben, bei der noch keine Fehler oder nur wenige Fehler auftreten. Dann erfolgt wiederum eine Veränderung der Entscheiderschwelle in beide Richtungen bis jeweils die Grenzbitfehlerrate erreicht ist. Ist die Differenz der zugehörigen Grenzschwellenwerte größer als die vorhergehende Differenz, dann erfolgte die Verschiebung in der korrekten Richtung und der neue Abtastzeitpunkt T_o (hier bereits der optimale Abtastzeitpunkt) bleibt vorläufig als Sollzeitpunkt eingestellt. Für diesen Abtastzeitpunkt kann auch die Entscheiderschwelle der ersten Entscheiderstufe sofort korrigiert werden.

Ist dagegen die Differenz zwischen dem oberen und der unteren Grenzschwellenwert geringer geworden, dann war der Standardabtastzeitpunkt bzw. der vorhergehende Abtastzeitpunkt der bessere. Von diesem ausgehend wird dann der Abtastzeitpunkt in der entgegengesetzten Richtung verschoben, um dann wieder die zweite Entscheiderschwelle in beiden Richtungen bis zum Erhalt der vorgegebenen Grenzbitfehlerraten zu verstellen. Die Vorgänge werden wiederholt bis das Optimum erreicht ist.

Eine weitere Möglichkeit besteht darin, den Abtastzeitpunkt zunächst in einer Richtung und dann in der anderen Richtung - ggf. mehrfach zu verschieben (wenn dies aufgrund des Augendiagrammes möglich ist) und nach jeder Verschiebung die zweite Entscheiderschwelle bis zu der Grenzfehlerrate in beiden Richtungen zu verschieben, um dann einen optimalen Abtastzeitpunkt T_o und eine optimale Abtastschwelle zu ermitteln, d. h. das Minimum der Bitfehlerrate aufzuspüren.

Auch diese Verschiebungen von Abtastzeitpunkt und Enscheiderschwelle können auf einen Maximalwerte begrenzt werden und nur innerhalb gewisser Bereiche BE beim Abtastzeitpunkt und BA bei der Entscheidergsschwelle erfolgen, um den Taktregenerator arbeitsfähig zu erhalten. Die versuchsweise Verschiebung der zweiten Entscheiderschwelle erfolgt dagegen stets bis zur Grenzbitfehlerratenkurve.

Die Korrektur von Abtastzeitpunkt und Entscheiderschwelle kann fortlaufend durchgeführt werden. Die Größe der versuchsweisen Änderungen kann variiert werden. So können zunächst, beispielsweise bei einer neuen Datenverbindung, zunächst eine größere Verstellungen des Abtastzeitpunktes erfolgen. Auch kann die Grenzfehlerrate für die Verstellung der Entscheiderschwelle vergrößert werden. Hierdurch soll sichergestellt werden, daß das absolute Minimum sicher erreicht wird. Im eingeschwungenen Zustand kann die Verstellung des Abtastzeitpunktes kleiner ausfallen und kleinere Grenzfehlerraten vorgesehenwerden, um eine genauere Einstellung zu erreichen. Die Verstellung von Entscheiderschwelle und Abtasttakt kann alternierend erfolgen.

Patentansprüche

1. Verfahren zur Einstellung von Entscheiderschwelle (ES) und Abtastzeitpunkt(T_A) eines Datenregenerators, dessen erstem Datenpfad mit einer ersten Entscheiderstufe (ES1) und mit einer Phasenregelung zur Erzeugung eines Abtasttaktsignals (TS) ein Datensignal (DS) zugeführt wird,
d a d u r c h g e k e n n z e i c h n e t,
daß das Datensignal (DS) außerdem einem zweiten Datenpfad (ES2, K21, K22, K23), der eine zweite Entscheiderstufe (ES2) enthält, zugeführt wird,
daß die Ausgangsdaten (DS1) des ersten und die Ausgangsdaten (DS2)des zweiten Datenpfades miteinander verglichen werden,
daß im zweiten Datenpfad die Entscheiderschwelle vergrößert und verringert wird bis jeweils bei Grenzschwellenwerten dieselbe vorgegebene Grenzbitfehlerrate auftritt,
daß als neue Entscheiderschwellen (E_S) in beiden Datenpfaden der Mittelwert aus den gemessenen Grenzschwellenwerten eingestellt wird,
daß versuchsweise der Abtastzeitpunkt in einer Richtung um einen vorgegebenen Betrag verschoben wird und
daß dann erneut die Entscheiderschwelle des zweiten Datenpfades vergrößert und verkleinert wird, bis erneut die Grenzbitfehlerraten auftritt,
daß überprüft wird, ob die Differenz zwischen der oberen der unteren Entscheiderschwelle größer oder kleiner als vor der vorhergehenden versuchsweisen Änderung des Abtastzeitpunktes ist und

a) wenn die Differenz größer ist, der neue Abtastzeitpunkt (T_0) eingestellt wird und gegebenenfalls eine neu ermittelte Entscheiderschwelle eingestellt wird.

b) wenn die Differenz kleiner ist, eine versuchsweise Änderung des Abtastzeitpunktes (T_A) in der entgegengesetzten Richtung erfolgt.

2. Verfahren nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t,
daß versuchsweise der Abtastzeitpunkt zunächst in eine Richtung um einen festen Betrag verschoben wird,
daß im zweiten Datenpfad die Entscheiderschwelle vergrößert und verringert wird bis jeweils dieselbe vorgegebene Grenzbitfehlerrate auftritt,
daß anschließend der Abtastzeitpunkt um denselben Betrag in der anderen Richtung vorschoben wird,
daß dann erneut die Entscheiderschwelle des zweiten Datenpfades vergrößert und verkleinert wird, bis erneut die Grenzbitfehlerraten auftreten,
daß durch Interpolation der optimale Abtastzeitpunkt ermittelt und eingestellt wird.

3. Verfahren nach Anspruch A2,
d a d u r c h g e k e n n z e i c h n e t,
daß die Verschiebung des Abtastzeitpunktes (T_A) jeweils nur um einen vorgegebenen Korrekturschritt erfolgt.

4. Verfahren nach Anspruch A3,
d a d u r c h g e k e n n z e i c h n e t,
daß die Verschiebung der Entscheiderschwelle jeweils nur um einen vorgegebenen Korrekturwert erfolgt.

5. Verfahren nach Anspruch 4,
d a d u r c h g e k e n n z e i c h n e t,
daß die versuchsweise Änderung der Abtastschwelle mehrmals nacheinander durchgeführt wird, wenn der neu ermittelte Mittelwert größer als ein Korrekturschritt ist.

6. Verfahren nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t,
daß Korrekturen des Abtastzeitpunktes und der Entscheiderschwelle abwechselnd erfolgen.

7. Verfahren nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t,
daß die Grenzbitfehlerrate und/oder die Größe der versuchsweisen Verstellung des Abtastzeitpunktes während eines Einstellprozesses geändert wird.

8. Anordnung zur Regelung der Entscheiderschwelle und des Abtastzeitpunktes eines Datenregenerators, der einen ersten Datenpfad mit einer ersten Entscheiderstufe(ES1) und einen Phasenregelkreis zur Erzeugung eines Abtasttaktsignals (TS) aufweist,
d a d u r c h g e k e n n z e i c h n e t,
daß ein zweiter Datenpfad mit einer zweiten Entscheiderstufe (ES2) vorgesehen ist,
daß eine Vergleichsschaltung(EXOR) zum Vergleichen der Ausgangsdaten des ersten und des zweiten Datenpfades vorgesehen ist,
daß ein Mittel zum Verstellen des Abtastzeitpunktes vorgesehen ist,
und daß eine Steuerung vorgesehen ist, die die Entscheiderschwellen beider Datenpfade verstellen kann,
die Fehlerrate ermitteln kann und den Abtastzeitpunkt verändern kann.

9. Anordnung nach Anspruch 8,
d a d u r c h g e k e n n z e i c h n e t,
daß als Mittel zum Verstellen der Abtastphase ein Summierer oder Subtrahierer vorgesehen ist, dessen Ausgangsspannung einen Oszillator (VCO) steuert.

1/1

FIG 1

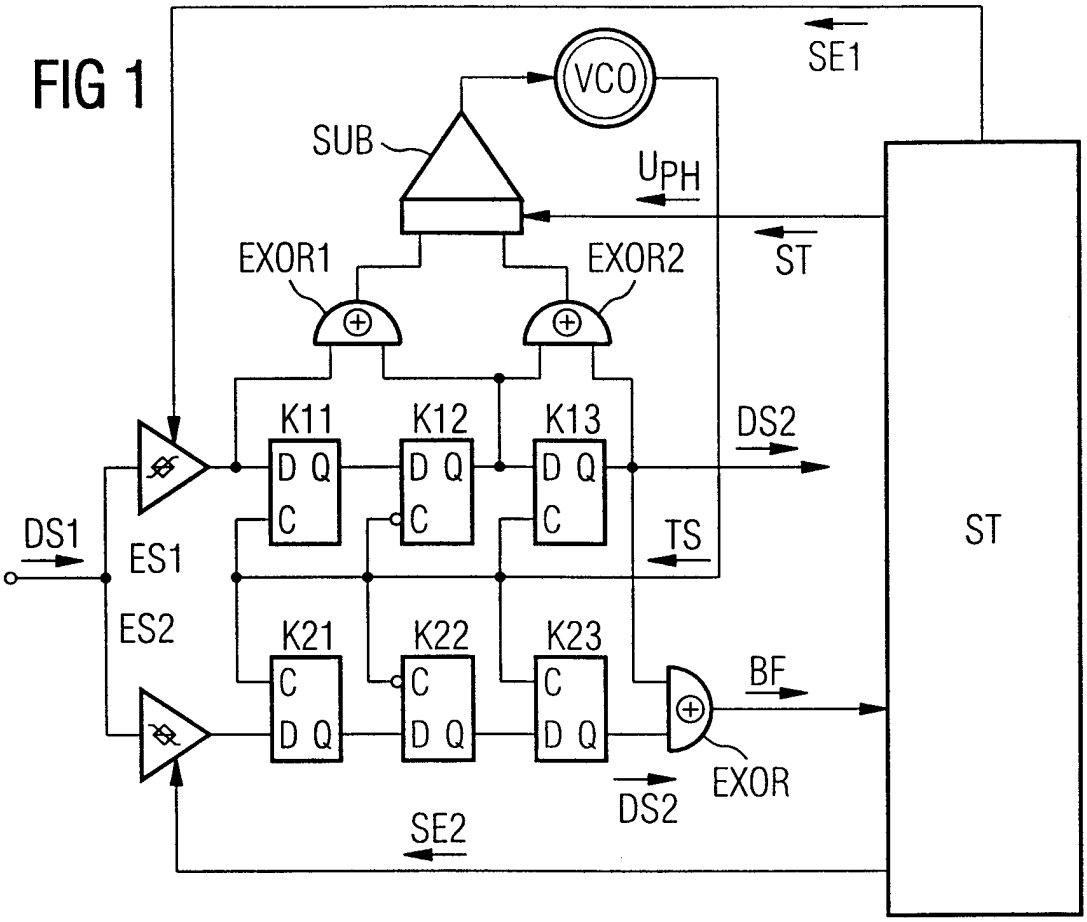
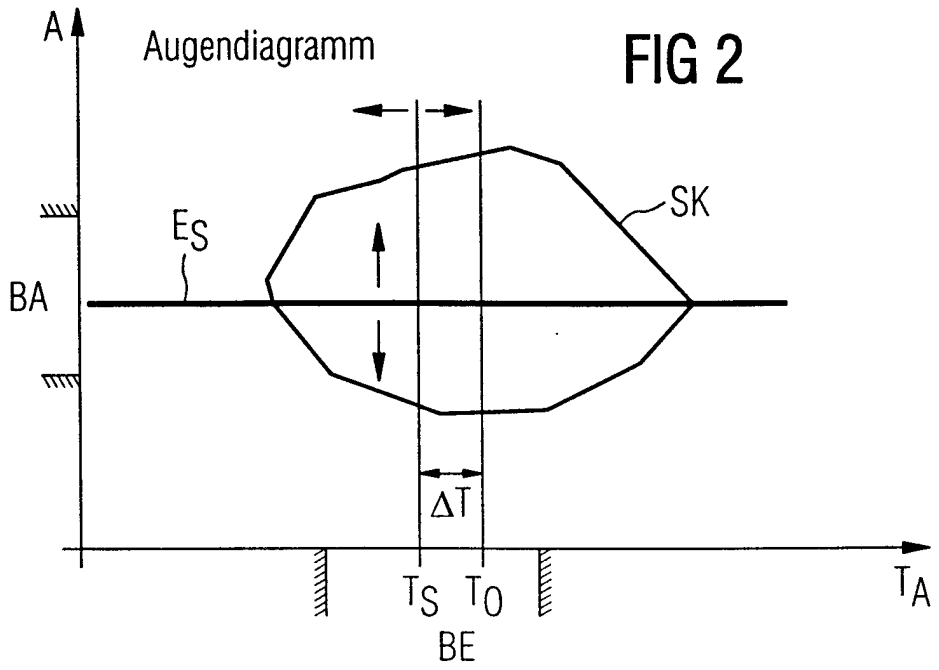

VCO
SE1
SUB
UPH
ST
EXOR1
EXOR2
K11
K12
K13
DS2
D Q
C
DS1
ES1
TS
ST
ES2
K21
K22
K23
BF
C
D Q
EXOR
DS2
SE2

FIG 2


A
Augendiagramm
SK
ES
BA
ΔT
TS TO
TA
BE