

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4102003号  
(P4102003)

(45) 発行日 平成20年6月18日(2008.6.18)

(24) 登録日 平成20年3月28日(2008.3.28)

(51) Int.Cl.		F I		
<b>H03K 17/16</b>	<b>(2006.01)</b>	H03K 17/16		H
<b>H03K 17/693</b>	<b>(2006.01)</b>	H03K 17/693		B
<b>H03M 1/74</b>	<b>(2006.01)</b>	H03M 1/74		

請求項の数 7 (全 19 頁)

(21) 出願番号	特願2000-187812 (P2000-187812)	(73) 特許権者	000005223
(22) 出願日	平成12年6月22日(2000.6.22)		富士通株式会社
(65) 公開番号	特開2001-144594 (P2001-144594A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成13年5月25日(2001.5.25)	(74) 代理人	100077517
審査請求日	平成17年8月11日(2005.8.11)		弁理士 石田 敬
(31) 優先権主張番号	9926652:0	(74) 代理人	100092624
(32) 優先日	平成11年11月10日(1999.11.10)		弁理士 鶴田 準一
(33) 優先権主張国	英国 (GB)	(74) 代理人	100082898
前置審査			弁理士 西山 雅也
		(74) 代理人	100081330
			弁理士 樋口 外治
		(74) 代理人	100113826
			弁理士 倉地 保幸

最終頁に続く

(54) 【発明の名称】 電気回路

(57) 【特許請求の範囲】

【請求項1】

第1出力バッファ及び第2出力バッファと、  
 第1出力ノード及び第2出力ノードと、  
 前記第1出力ノードに接続された第1スイッチングトランジスタと、  
 前記第2出力ノードに接続された第2スイッチングトランジスタと、  
 前記第1出力ノード及び前記第2出力ノードの間に接続された電流-電圧変換手段と、  
 を有する電気回路において、  
 前記第1出力バッファは、第1トランジスタと、該第1トランジスタに直列に接続される第2トランジスタとを有し、  
 前記第2出力バッファは、第3トランジスタと、該第3トランジスタに直列に接続される第4トランジスタとを有し、  
 前記第1トランジスタと前記第3トランジスタは、第1共通ノードに接続され、前記第2トランジスタ及び前記第4トランジスタは、第2共通ノードに接続され、  
 前記第1出力ノードは、前記第1トランジスタ及び前記第2トランジスタの接続ノードに接続され、  
 前記第2出力ノードは、前記第3トランジスタ及び前記第4トランジスタの接続ノードに接続されることを特徴とする電気回路。

【請求項2】

前記第1共通ノード又は前記第2共通ノードに接続された定電流源又はシンク手段を更

に含むことを特徴とする請求項 1 に記載の電気回路。

【請求項 3】

前記電流 - 電圧変換手段は、第 5 トランジスタを有することを特徴とする請求項 1 又は 2 に記載の電気回路。

【請求項 4】

前記第 2 共通ノードは、第 1 抵抗手段によって基準電位ラインに接続されることを特徴とする請求項 1 乃至 3 の何れか一項に記載の電気回路。

【請求項 5】

前記第 1 トランジスタ及び前記第 2 トランジスタは、共通の第 1 ゲート電極を有し、前記第 3 トランジスタ及び前記第 4 トランジスタは、共通の第 2 ゲート電極を有し、

前記第 1 ゲート電極には、第 1 制御信号が入力され、

前記第 2 ゲート電極には、前記第 1 制御信号の反転信号である第 2 制御信号が入力されることを特徴とする請求項 1 乃至 4 の何れか一項に記載の電気回路。

【請求項 6】

前記第 1 抵抗手段は、前記第 2 共通ノードと前記基準電位ラインの間に直列に接続された第 1 抵抗素子及び第 2 抵抗素子を有し、

前記第 5 トランジスタのゲート電極は、前記第 1 抵抗素子及び前記第 2 抵抗素子の接続ノードに接続されることを特徴とする請求項 1 乃至 5 の何れか一項に記載の電気回路。

【請求項 7】

前記第 1 トランジスタ及び前記第 3 トランジスタは、P 型 MOS トランジスタであり、

前記第 2 トランジスタ及び前記第 4 トランジスタは、N 型 MOS トランジスタであることを特徴とする請求項 1 乃至 6 の何れか一項に記載の電気回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば、デジタル/アナログ変換器等に用いる電気回路に関する。

【0002】

【従来の技術】

添付図面の図 1 は、これまでに考えられた電流スイッチ式デジタル/アナログ変換器 (DAC) 1 の部分を示す。この DAC 1 は、 $n$  - ビットのデジタル入力ワードを、対応するアナログ出力信号に変換するように設計されている。

DAC 1 は、これに印加される  $n$  - ビットのデジタル入力ワードそれぞれに対応する個々に 2 進で重みづけされた複数の電流源  $2_1$  から  $2_n$  を含んでいる。これら電流源はそれぞれ実質的に一定の電流を通過させる。異なる電流源を通過する電流の値は、デジタル入力ワードの最下位ビットに対応する電流源  $2_1$  が電流  $I$  を流し、デジタル入力ワードの次の最下位ビットに対応する電流源  $2_2$  が電流  $2I$  を流し、以下変換器の連続した電流源が同様に電流を通過するように 2 進で重みづけされる。

【0003】

DAC 1 は、それぞれ  $n$  個の電流源  $2_1$  から  $2_n$  に対応する複数の差動スイッチ回路  $4_1$  乃至  $4_n$  を更に含んでいる。これら差動スイッチ回路  $4$  は、それぞれ対応する電流源  $2$  に接続され、電流源が生成する電流を変換器の第 1 接続ライン A に接続された第 1 端子、又は変換器の第 2 接続ライン B に接続された第 2 端子の何れかに切り替える。差動スイッチ回路はデジタル入力ワードの 1 ビットを受信 (例えば、差動スイッチ回路  $4_1$  は入力ワードの最下位ビットを受信) し、この受信ビットの値に従って第 1 又は第 2 端子の何れかを選択する。DAC の第 1 出力電流  $I_A$  は、差動スイッチ回路のそれぞれの第 1 端子に与えられた電流の和であり、そして DAC 1 の第 2 出力電流  $I_B$  は、差動スイッチ回路のそれぞれの第 2 端子に与えられた電流の和である。アナログ出力信号は、DAC 1 の第 1 出力電流  $I_A$  が抵抗 R に吸込まれる (シンク) ことによって生ずる電圧  $V_A$  と、第 2 出力電流  $I_B$  が抵抗 R にシンクされることによって生ずる電圧  $V_B$  との電圧差  $V_A - V_B$  である。

。

10

20

30

40

50

## 【 0 0 0 4 】

図 2 は、図 1 のようなデジタル / アナログ変換器に用いるのに適したこれまでに考えられた形式の差動スイッチ回路を示す。

この差動スイッチ回路 4 は、第 1 及び第 2 の P M O S 電界効果トランジスタ ( F E T ) S 1、S 2 を含んでいる。これらトランジスタ S 1、S 2 のそれぞれのソースは共通ノード T A I L に接続され、この共通ノードには対応する電流源 ( 図 1 の  $2_1$  から  $2_n$  ) が接続される。これらトランジスタ S 1、S 2 のそれぞれのドレインは、図 1 の各差動スイッチ回路の第 1 及び第 2 端子に対応する回路の第 1 及び第 2 出力ノード O U T A、O U T B にそれぞれ接続される。

## 【 0 0 0 5 】

トランジスタ S 1、S 2 はそれぞれそのゲートに接続される駆動回路  $6_1$ 、又は  $6_2$  を有している。相補性入力信号 I N、I N B が、それぞれ駆動回路  $6_1$ 、 $6_2$  に印加される。各駆動回路は受信した入力信号 I N 又は I N B を一時的に記憶 ( バッファ ) し、且つ反転して関連するトランジスタ S 1 又は S 2 に対するスイッチ信号 S W 1 又は S W 2 を生成し、定常状態に於いてトランジスタ S 1、S 2 の一方をオンにし、他方をオフにする。例えば、図 2 自身に示すように、入力信号 I N がハイレベル ( H ) で、入力信号 I N B がローレベル ( L ) のとき、トランジスタ S 1 に対するスイッチ信号 S W 1 ( ゲート駆動電圧 ) はローレベル L となってトランジスタをオンし、トランジスタ S 2 に対するスイッチ信号 S W 2 ( ゲート駆動電圧 ) はハイレベル H となってトランジスタをオフする。従って、この状態では、共通ノード T A I L に流れ込む全ての入力電流は、出力ノード O U T A に流れ、出力ノード O U T B には電流は流れない。

## 【 0 0 0 6 】

## 【 発明が解決しようとする課題 】

トランジスタ S 1 がオフとなり、トランジスタ S 2 がオンとなるように図 2 の回路 4 の状態を変えたい場合には、入力信号 I N が H から L に変化すると同時に入力信号 I N B が L から H に変化するように、入力信号 I N、I N B に相補変化を同時に起こさせる。これら相補変化の結果として、トランジスタ S 1、S 2 は対称的に切り替えること、即ちトランジスタ S 1 がオフとなると全く同じ瞬間にトランジスタ S 2 がオンとなることが期待される。しかし、実際にはターンオン速度とターンオフ速度には、ある程度の非対称性が存在することは避けられない。このことは共通ノード T A I L に瞬時的な異常 ( グリッチ ) を起し、次いで回路の出力ノードの一方又は両方にグリッチを発生し、全てのスイッチが完全に切り替わるまで D A C のアナログ出力に瞬時的誤差が発生する。アナログ出力信号に於けるこれらのグリッチはコード依存性であって、出力スペクトルに調波歪み又は非調和な突起 ( スパー ) さえ発生させる。

## 【 0 0 0 7 】

差動スイッチ回路のスイッチングに関連したグリッチのサイズは、入力信号 I N、I N B に於ける相補変化の対称性に依存するから、差動スイッチ回路へのこれら入力信号の発生及び送出を相互に同期するよう多くの注意が払われてきた。しかし実際には、たとえ入力信号が完全に対称であっても、入力信号からスイッチング信号を導く駆動回路  $6_1$ 、 $6_2$  には、トランジスタ S 1、S 2 を実際に制御するスイッチング信号 S W 1、S W 2 を導くに当たって、どうしても非対称性が導入される。斯うした非対称性は個々の差動スイッチ回路の何れにも過渡的な出力電流歪みを発生する。更に、多重差動スイッチ回路を用いる D A C では、個々の回路に於いてスイッチング時間に変動が起こる。これらの変動は D A C のスプリアスフリーの変動範囲 ( S F D R ) ( 特定の帯域幅に関して、出力信号とピークスプリアス信号の間の実効振幅の差 ( d B 表示 ) ) を低下させる。また、これら変動は、変換器のアナログ出力のコード依存性につながる。

## 【 0 0 0 8 】

## 【 課題を解決するための手段 】

上記課題を解決するため、本発明による電気回路では、第 1 出力バッファ及び第 2 出力バッファと、第 1 出力ノード及び第 2 出力ノードと、前記第 1 出力ノードに接続された第

10

20

30

40

50

1 スイッチ手段と、前記第 2 出力ノードに接続された第 2 スイッチ手段と、前記第 1 出力ノード及び前記第 2 出力ノードの間に接続された電流 - 電圧変換手段とを備えることとした。

【 0 0 0 9 】

そして、前記第 1 出力バッファは、第 1 トランジスタと、前記第 1 トランジスタに直列に接続される第 2 トランジスタを有し、前記第 2 出力バッファは、第 3 トランジスタと、前記第 3 トランジスタに直列に接続される第 4 トランジスタを有し、前記第 1 トランジスタと前記第 3 トランジスタは、第 1 共通ノードに接続され、前記第 2 トランジスタ及び前記第 4 トランジスタは、第 2 共通ノードに接続されることとし、さらに、前記第 1 出力ノードは、前記第 1 トランジスタ及び前記第 2 トランジスタの接続ノードに接続され、前記第 2 出力ノードは、前記第 3 トランジスタ及び前記第 4 トランジスタの接続ノードに接続されることとした。

10

【 0 0 1 0 】

また、前記第 1 共通ノード又は前記第 2 共通ノードに接続された定電流源又はシンク手段を更に含め、前記電流 - 電圧変換手段は、第 5 トランジスタを有することとし、前記第 2 共通ノードは、第 1 抵抗手段によって基準電位ラインに接続されることとした。そして、前記第 1 トランジスタ及び前記第 2 トランジスタは、共通の第 1 ゲート電極を有し、前記第 3 トランジスタ及び前記第 4 トランジスタは、共通の第 2 ゲート電極を有し、前記第 1 ゲート電極には、第 1 制御信号が入力され、前記第 2 ゲート電極には、前記第 1 制御信号の反転信号である第 2 制御信号が入力されることとした。

20

【 0 0 1 1 】

また、前記第 1 抵抗手段は、前記第 2 共通ノードと前記基準電位ラインの間に直列に接続された第 1 抵抗素子及び第 2 抵抗素子を有し、前記第 5 トランジスタのゲート電極は、前記第 1 抵抗素子及び前記第 2 抵抗素子の接続ノードに接続されることとし、前記第 1 トランジスタ及び前記第 3 トランジスタは、P 型 MOS トランジスタであり、前記第 2 トランジスタ及び前記第 4 トランジスタは、N 型 MOS トランジスタであることとした。

【 0 0 1 2 】

【 発明の実施の形態 】

ここで、例を示す添付図面を参照する。

図 3 は、本発明の好適実施例によるスイッチ駆動回路の部分を示す。この回路 10 はそれぞれ第 1 及び第 2 反転入力バッファ 12、14 を含んでいる。第 1 入力バッファ 12 は、その入力端で第 1 入力信号 IN を受信し、第 2 入力バッファ 14 はその入力端で、第 1 入力信号 IN に対して相補性の第 2 入力信号 INB を受信する。第 1 入力バッファ 12 は受信した IN 信号を反転して、その出力端に反転信号 INV B を生成する。同様に、第 2 入力バッファ 14 は受信した INB 信号を反転してその出力端に反転信号 INV を生成する。信号 IN、INB、INV、INV B は全て、高い論理レベル (H) と低い論理レベル (L) との間で変化する論理信号である。

30

【 0 0 1 3 】

反転信号 INV B は、第 1 入力バッファ 12 の出力から第 1 反転出力バッファ 16 の入力に供給される。図 3 に示すように、出力バッファ 16 は PMOS - FET トランジスタ 18 及び NMOS - FET トランジスタ 20 を含んでいる。PMOS - FET トランジスタ 18 は、そのソースを回路の第 1 共通ノード CN1 に接続されると共に、そのゲートを第 1 入力バッファ 12 の出力に接続され、更にそのドレインを回路の第 1 出力ノード ON1 に接続されている。NMOS - FET トランジスタ 20 は、そのソースを第 1 出力ノード ON1 に接続されると共に、そのゲートを第 1 入力バッファ 12 の出力に接続され、更にそのドレインを回路の第 2 共通ノード CN2 に接続されている。

40

【 0 0 1 4 】

また、回路は第 2 反転出力バッファ 22 を含み、この出力バッファは第 1 出力バッファ 16 と同様に、それぞれ直列に接続された PMOS - FET トランジスタ 24 及び NMOS - FET トランジスタ 26 を含んでいる。PMOS - FET トランジスタ 24 はそのソー

50

スを回路の第1共通ノードCN1に接続されると共に、そのゲートを第2入力バッファ14の出力に接続され、更にそのドレインを回路の第2出力ノードON2に接続されている。NMOS-FETトランジスタ26はそのソースを第2出力ノードON2に接続されると共に、そのゲートを第2入力バッファ14の出力に接続され、更にそのドレインを回路の第2共通ノードCN2に接続されている。

【0015】

正の供給ラインアナログVDDと回路の第1共通ノードCN1との間には、定電流源トランジスタ28及びカスコードトランジスタ30が接続される。これらのトランジスタ28、30は、それぞれPMOS-FETである。定電流源トランジスタ28は、回路の第1バイアスラインB1に接続したゲートを有し、このバイアスラインは回路使用時には、正の供給ラインアナログVDDの電位に関して固定された電位 $V_{p_{cs}}$ に維持される。カスコードトランジスタ30は、回路の第2バイアスラインB2に接続したゲートを有し、このバイアスラインは回路使用時には、VDDの電位に関して固定された電位 $V_{p_{casc}}$ に維持される。

10

【0016】

回路の第2共通ノードCN2と、回路の接地電位供給ラインGNDとの間には、直列に接続した第1及び第2抵抗体R1、R2が接続されると共に、これら抵抗と平行に容量C1が接続される。この図示の実施例では、抵抗体R1とR2は1:2の抵抗比で、全体として約5kの抵抗値を有している。容量C1はこの実施例では100fFの容量を有している。

20

【0017】

回路10の第1及び第2出力ノードON1、ON2の間には、もう一つのPMOS-FETトランジスタ32が接続される。このPMOS-FET32はそれぞれ第1及び第2出力ノードON1、ON2に接続される第1及び第2の電流通路端子を有している。第1及び第2の電流通路端子の一方はこのFETのソースであり、他方はFETのドレインであって、ソース及びドレインの指定は、出力ノードの使用時の電位に依存する。慣習に従って、高電位の電流通路となるPMOS-FET端子をソースと指定し、低電位の電流通路となるPMOS-FET端子をドレインと指定する。後述するように、これらの指定は回路使用時に相互に交換される。トランジスタ32のゲートは第1及び第2抵抗体R1、R2の間の接合ノードJNに接続される。

30

【0018】

図4に示すように、図3の回路は既に図2を参照して述べたのと同種の電流スイッチ回路を駆動するのに使用できる。従って、ここでは電流スイッチ回路の説明を繰り返さないことにする。図4に図示の第1の主スイッチトランジスタS1は、図3のスイッチ駆動回路の第1出力ノードON1に接続されたゲートを有し、第2の主スイッチトランジスタS2は、図3のスイッチ駆動回路の第2出力ノードON2に接続されたゲートを有している。図4の破線部分によって示すように、電流スイッチ回路の各ブランチは、主スイッチトランジスタS1又はS2とブランチの出力端子OUTA又はOUTBとの間に接続されたカスコードトランジスタ42又は44を含んでいるのが好ましい。これらオプションなカスコードトランジスタについては、本願出願人による英国特許願第9926653.8号に更に詳しく述べられている。各ブランチのカスコードトランジスタ42又は44は、そのソースを関連する主スイッチトランジスタS1又はS2のドレインに接続すると共に、そのゲートを接地電位供給ラインGNDに接続し、更にそのドレインを関連するブランチ出力端子OUTA又はOUTBに接続している。

40

【0019】

次に、図5及び図6並びに図7乃至図10を参照して、図3及び図4の回路の動作を説明する。ところで、図5及び図6を参照する際、種々の信号同士のタイミング関係が容易に分かるようにするため、図5(B)は図6(A)として繰り返し図示されている。初期に於いて、即ち図5及び図6の時間A以前に於いて、第1入力信号INは低い論理レベルLを有し、第2入力信号INBは高論理レベルHを有している。このことは、反転信

50

号  $INV B$ 、 $IN B$  はそれぞれ  $H$  及び  $L$  であることを意味する。この状態では、図 7 に示すように、第 1 出力バッファ 16 に於いて  $PMOS - FET 18$  はオフに、 $NMOS - FET 20$  はオンになる。一方、第 2 出力バッファ 22 に於いては、 $PMOS - FET 24$  はオンに、 $NMOS - FET 26$  はオフになる。

【0020】

定電流源のトランジスタ 28 は正の供給ライン  $V_{DD}$  から第 1 共通ノード  $CN 1$  へ実質的に一定な電流  $I$  を供給する。例えば、この電流  $I$  は  $150 \mu A$  である。この電流  $I$  はカスコードトランジスタ 30 を通して流れる。このカスコードトランジスタ 30 は、回路の使用時に起こる第 1 共通ノード  $CN 1$  の電位変動によって発生する電圧変動から、電流源のトランジスタ 28 のドレインを保護する働きをする。

10

【0021】

従って、第 1 共通ノード  $CN 1$  に供給される電流  $I$  は、図 7 に示すように、第 1 及び第 2 共通ノードの間の第 1 電流通路  $P 1$  を有している。この電流通路は  $PMOS - FET 24$  のチャンネル、第 2 出力ノード  $ON 2$ 、 $PMOS - FET 32$  のチャンネル、第 1 出力ノード  $ON 1$ 、及び  $NMOS - FET 20$  のチャンネルをこの順に通過する。次いで、電流  $I$  は第 2 共通ノード  $CN 2$  から、抵抗体  $R 1$ 、接合ノード  $JN$ 、及び第 2 抵抗体  $R 2$  を通って接地電位基準ライン  $GND$  に達する。

【0022】

この状態に於いて、種々の回路ノードで発生される電位は以下の通りである（図 5 (B) 参照）。接合ノード  $JN$  の電位  $V_{JN}$  は電流  $I$  と第 2 抵抗体  $R 2$  の抵抗の積  $I \cdot R_2$  によって決定される。この実施例では約  $0.36 V$  である。同様に、第 2 共通ノード  $CN 2$  の電位  $V_{CN2}$  は、 $I (R_1 + R_2)$  によって決定され、この実施例では約  $0.55 V$  である。第 1 出力ノード  $ON 1$  の電位  $V_{ON1}$  は、 $NMOS - FET 20$  のドレイン電位と  $NMOS - FET 20$  のオン状態に於けるドレイン - ソース間電圧との和、即ち  $V_{ON1} = V_{CN2} + V_{DS(ON)20}$  によって決定される。この実施例に於いて、 $V_{DS(ON)20}$  は約  $50 mV$  であるから、 $V_{ON1}$  は約  $0.6 V$  となる。

20

【0023】

電流  $I$  は  $PMOS - FET 32$  を介して第 2 出力ノード  $ON 2$  から第 1 出力ノード  $ON 1$  に流れる。このことは、トランジスタ 32 のソース（即ち、高電位電流通路端子）は第 2 出力ノード  $ON 2$  に接続され、そのドレインは第 1 出力ノード  $ON 1$  に接続されていることを意味する。トランジスタ 32 を流れる電流  $I$  は、トランジスタ 32 を飽和動作領域に置くのに十分な高さにセットされる。この場合、トランジスタ 32 のゲート - ソース間電圧  $V_{GS32}$  は、トランジスタ 32 に於ける電流密度によって決まる独特な値、即ち  $V_{GS32} = V_{TP} - (I/k)^{1/2}$  を有している。ここで、 $I$  はトランジスタ 32 を流れる電流、 $V_{TP}$  及び  $k$  はトランジスタ 32 の物理的構造によって決まるパラメータである。

30

【0024】

例えば、この実施例では、 $V_{GS32}$  は約  $-0.9 V$  である。トランジスタ 32 のソース電位を得るには、このゲート - ソース間の電圧  $V_{GS32}$  をトランジスタ 32 のゲート電圧から減算する必要がある。

このトランジスタ 32 のソース電位は第 2 出力ノードの電位  $V_{ON2}$  を決定する。即ち、 $V_{ON2} = V_{JN} - V_{GS32}$  である。 $V_{JN} = 0.36 V$ 、 $V_{GS32} = -0.90 V$  であるこの実施例では、 $V_{ON2}$  は約  $1.25 V$  に等しい。

40

【0025】

第 1 共通ノード  $CN 1$  の電位  $V_{CN1}$  は、 $PMOS - FET$  トランジスタ 24 のソース電位によって決められる。次いで、このソース電位は  $PMOS - FET$  トランジスタ 24 のドレイン電位、即ち  $V_{ON1}$  と、 $PMOS - FET$  トランジスタ 24 のオン状態に於けるドレイン - ソース電圧  $V_{DS(ON)24}$  とによって決定される。即ち、 $V_{ON1} = V_{ON2} - V_{DS(OH)24}$  である。典型的には、この実施例では  $V_{DS(ON)24}$  は約  $-150 mV$  であるから、 $V_{CN1}$  は約  $1.40 V$  に等しくなる。

【0026】

50

この状態（図7）に於いて、第1出力ノードON1は回路の所定のオン出力電位 $V_{on}$ を有し、第2出力ノードON2は回路の所定のオフ出力電位 $V_{off}$ を有している。即ち、 $V_{ON1} = V_{on}$ そして $V_{ON2} = V_{off}$ である。この実施例では、 $V_{on}$ は約0.60V、そして $V_{off}$ は約1.25Vである。これらの電位が電流スイッチ回路のスイッチトランジスタS1、S2に与えられると、オン出力電位 $V_{on}$ を受けたトランジスタS1はオンとなり、オフ出力電位 $V_{off}$ を受けたトランジスタS2はオフとなる。その結果、出力端子OUTBとOUTA間の電位差 $V_B - V_A$ は、図6（B）に示すように負となる。

#### 【0027】

ところで、図6（B）に示すその他の電位差 $V_{CASCB} - V_{CASCA}$ 及び $V_{B'} - V_{A'}$ は、電流スイッチ回路内の内部信号であって、これらについての説明はここでは省略する。

図5及び図6に図示の時間Aにおいて、第1及び第2入力信号IN、INBは、それぞれ相補的論理レベル変化（INについてはLからHへ、INBについてはHからLへ）を受ける。これらの変化にตอบสนองして、入力バッファ出力信号INV、INVBもまた、相補的論理レベル変化（INVについてはLからHへ、INVBについてはHからLへ）を受ける。その結果、図9に示すように、共通ノードCN1、CN2の間には、図7に示す第1電流通路P1とは異なる第2の電流通路P2が創生される。この場合、定電流源トランジスタ28によって第1共通ノードCN1に供給される電流Iは、第1出力バッファ16のPMOS-FET18のチャンネル、第1出力ノードON1、PMOS-FET32、第2出力ノードON2、及び第2出力バッファ22のNMOS-FET26のチャンネルをそれぞれ介して流れる。次いで、電流Iは、図7に示すと同様に、接地電位基準ラインGNDに達する前に、第2共通ノードCN2から、抵抗体R1、接合ノードJN、及び第2抵抗体R2を通して流れる。

#### 【0028】

スイッチングが起こった後、供給ノードの電位 $V_{CN1}$ 、 $V_{CN2}$ は、スイッチングが起こる前の電位から変化しないこと、即ち共通ノードの電位は図7と図9で同じであることが認識されるだろう。これは、同じ電流Iが図7の第1電流通路P1を通して流れるように、図9の第2電流通路P2を通して流れるからである。

#### 【0029】

また、実質的に同じオン・オフ出力電位 $V_{on}$ 、 $V_{off}$ が図7で発生されたと同様に、図9でも発生される。しかし、図9では、オン出力電位 $V_{on}$ は第2出力ノードON2で発生され、オフ出力電位 $V_{off}$ は第1出力ノードON1で発生される。即ち、 $V_{ON1} = V_{off}$ そして $V_{ON2} = V_{on}$ である。

また、図9に於いては、図7と同じように、但し方向は反対、即ち、図9の第1出力ノードON1から第2出力ノードON2にトランジスタ32を通して同じ電流Iが流れることが認識されるだろう。トランジスタ32の電流-電圧特性を図11に示す。この図11に於いて、縦軸はトランジスタチャンネルを流れる電流を表し、横軸は第1及び第2電流通路端子間の電位差（即ち、トランジスタチャンネル両端の電位差）を示す。図11から分かるように、I-V特性はトランジスタを介して流れる正負電流値に関して、即ち電流の流れる方向に拘わらず完全に対称である。このことは、図7及び図9に於けるオン・オフ出力電位間の電位差Vが全く同じであることを意味する。更に、スイッチングの間、即ち図7に示す状態から図9に示す状態へのスイッチング時（時間Aに於いて）、また図9に示す状態から図7に示す状態へのスイッチング時（時間Bに於いて）、回路の第1及び第2出力ノードON1、ON2に於ける電圧は、同じ立ち上がり波形及び同じ立ち下がり波形を有している。この効果は、図5（B）の時間A及びBに於ける波形の比較からはっきりと見ることが出来る。

#### 【0030】

出力バッファのFETトランジスタ18、20、24及び26は、高速スイッチングを行うため、非常に小型であるのが望ましい。しかし、小型であるがために、それ等は密接な整合性を持たない傾向がある。従って、ここでオン・オフ電位の遅延変動と振幅変動の両者に関して不整合の関わり合いを考えてみる。

10

20

30

40

50

遅延変動に関しては、スイッチ駆動回路のFETトランジスタは非常に小型であるため、出力ノード電位の立ち上がり及び立ち下がり時間は非常に速くなる(図5(B)参照)。このことは、スイッチ駆動回路のFETの間に遅延不整合があるとしても、その結果起こる出力ノードに於ける遅延変動の大きさは、非常に小さいものであることを意味する。

#### 【0031】

振幅変動に関しては、PMOS-FET18、24は出力電位に影響を与えないから、たとえそれらの間に不整合があっても、出力電位の対称性には重大な影響はない。NMOS-FET20、26は出力電位に弱い影響だけしか与えない(理由は、 $V_{on}$ はNMOS-FET20又は26の $V_{DS(ON)}$ によって影響を受けるが、 $V_{DS(ON)}$ 自身は小さく、例えば50mV程度だからである)。それ故、オン・オフ出力電位は、出力バッファのトランジスタの不整合に起因する非常に僅かな非対称性を有するだけである。

10

#### 【0032】

容量C1は減結合容量であって、電流スイッチ回路の電位 $V_{TAIL}$ の整定時間を出来るだけ早くするために設けられる。図5(B)に於いて、スイッチングが起こると、電位 $V_{TAIL}$ は小さく立ち上がることが分かる。この立ち上がりは、スイッチングの間に第2共通ノードCN2に於いて過渡的に起こる。電位 $V_{TAIL}$ の整定時間を出来るだけ早くするため、このCN2の過渡的現象を低減するのが望ましい。この過渡的現象の低減は、CN1とGNDとの間に結合された容量C1を用いて、第1共通ノードCN1に於いて更に大きな過渡現象を起こさせることによって達成される。CN1に於ける過渡現象は、電流スイッチ回路に影響を与えないので、重要ではない。容量の値は、スイッチ駆動回路の内部信号時間の設定と同様に、ほぼ500psの時定数を与えるように設定するのが望ましい。それ故、R1とR2の和が約5kΩのとき、C1には約100fFの(500psのRC時定数を与える)容量を持たせる。

20

#### 【0033】

また、トランジスタ32は更に以下に述べる利点を提供する。まず、トランジスタ32は非線形の電流-電圧特性を有しているから、スイッチングの間(即ち、図5(B)に於いて、立ち上がり及び立ち下がり波形が交差する前後)に起こるトランジスタの両端に生成される電圧は、トランジスタのチャンネル通して流れる電流が比較的小さいときでさえも、比較的大きい。このことは、スイッチング後に於ける出力ノード電位の整定時間を非常に早くする。その理由は、スイッチ駆動電流Iの殆どは、トランジスタ32によって費やされるよりは、むしろ出力ノードを駆動するのに利用できるからである。例えば、図5(B)に於いて、立ち下がり波形よりもゆっくりした立ち上がり波形は、約600psで整定しているのが分かる。従って、図3のスイッチ駆動回路に於いて、全ての内部信号は600ps以内で整定する。図4の電流スイッチ回路に対してこれらの素早く整定する内部信号を適用する効果を図6(B)に示す。この図では、カスコードトランジスタ42、44が存在している場合を想定している。得られた出力端子OUTA、OUTBの電位差の立ち上がり時間(フルスケールの10%から90%まで)は約350psである。このことによって、最も悪い場合に於けるサンプリング率1Gサンプル/sに対して、DACの典型的なサンプリング率 $F_{DAC} = 1.6$ サンプル/sを楽に行う1GHzの出力帯域が提供される。

30

40

#### 【0034】

第2の利点は以下の通りである。トランジスタ32は図4の電流スイッチ回路のトランジスタと同様にPMOS-FETであるから、そのドレイン-ソース飽和電圧 $V_{DS(SAT)}$ は、電流スイッチ回路のトランジスタのドレイン-ソース飽和電圧 $V_{DS(SAT)}$ と同様の仕方で変化する。このことは実際に、PMOSTランジスタのドレイン-ソース飽和電圧 $V_{DS(SAT)}$ が処理工程そして/又は温度変化によって2のファクタで変化するので重要である。

#### 【0035】

ある与えられた時間に於いて、図4の電流スイッチ回路の主スイッチトランジスタS1、S2の一つがオフで、他の一つがオンである場合について詳しく考えてみる。図10に於

50

いて、説明のため、トランジスタ $S_1$ はオフ、トランジスタ $S_2$ はオンの状態にあると仮定する。この状態に於いて、トランジスタ $S_1$ 、 $S_2$ のソース電位 $V_{TAIL}$ はオン状態のトランジスタ $S_2$ のドレイン - ソース電位の影響を受ける。スイッチトランジスタ $S_1$ 、 $S_2$ が比較的高いドレイン - ソース飽和電圧 $V_{DS(SAT)S}$ を有しているとき、 $V_{TAIL}$ は $V_{DS(SAT)S}$ が低いときに較べて増加する。このことは、オフ状態のトランジスタ $S_1$ をオフ状態に保つためには、そのゲート電圧、即ちオフ電位 $V_{OFF}$ もまた増加しなければならないことを意味している。この電位増加は、図3のスイッチ駆動回路では自動的に起こる。その理由は、このスイッチ駆動回路では、トランジスタ $3_2$ のドレイン - ソース飽和電圧 $V_{DS(SAT)3_2}$ が比較的低いときに較べて、それが比較的高いときにはオン - オフ間の電位差は増加するからである。従って、図3のスイッチ駆動回路では、オフ電位は自己制御する。

10

## 【0036】

また、図3の回路では、オン出力電位に電流スイッチ回路のスイッチトランジスタ $S_1$ 、 $S_2$ 並びにカスコードトランジスタ $4_2$ 、 $4_4$ （使用されている場合）の $V_{DS(SAT)3_2}$ を追跡させるのが望ましい。図8に於いて、オン状態にある電流スイッチ回路のブランチにカスコードトランジスタが在ると仮定して考えた場合、オン出力電位 $V_{on}$ はそれらトランジスタの各 $V_{DS(SAT)}$ が変化するときでさえも、カスコードトランジスタ $4_2$ とスイッチトランジスタ $S_1$ の両者を、飽和状態に維持するのに十分でなければならない。スイッチトランジスタの名目ドレイン - ソース飽和電圧 $V_{DS(SAT)S}$ は、例えば $200\text{ mV}$ である。また、カスコードトランジスタの名目ドレイン - ソース飽和電圧 $V_{DS(SAT)C}$ は、例えば $300\text{ mV}$ である。 $V_{on}$ を名目値 $0.6\text{ V}$ に設定することによって、カスコードトランジスタのゲート（ $GND$ ）とスイッチトランジスタのゲート（ $V_{on}$ ）との間の電位差は、スイッチトランジスタの名目 $V_{DS(SAT)S}$ の $1.5$ 倍だけ $V_{DS(SAT)C}$ を越える。しかし、 $V_{DS(SAT)S}$ 及び $V_{DS(SAT)C}$ はそれぞれ処理工程又は温度によって2のファクタで変化するため、 $V_{DS(SAT)S}$ 及び/又は $V_{DS(SAT)C}$ が増加するとき、 $V_{on}$ もまた増加するのが好ましい。

20

## 【0037】

スイッチトランジスタ $S_1$ 、 $S_2$ の $V_{DF(SAT)S}$ の変化（及び、もしカスコードトランジスタ $4_2$ 、 $4_4$ が在れば、それらの $V_{DF(SAT)C}$ の変化）を補償するためのこの $V_{on}$ の変化は、図3の回路の抵抗 $R_1$ 、 $R_2$ の抵抗を $V_{DF(SAT)S}$ 又は $V_{DF(SAT)C}$ に依存して可変にすることによって達成される。ここで、抵抗を変化する制御回路の一例を図12を参照して説明する。

30

## 【0038】

図12に於いて、制御回路60は、この回路の正の電力供給ライン $VDD$ と第1ノード $N_1$ との間に接続された第1の定電流源62を含んでいる。第1PMOS-FET64は、ノード $N_1$ に接続されたソースと、接地電位供給ライン $GND$ に接続されたゲートとドレインを有している。

また、この制御回路は、ノード $N_1$ に接続されたソースを有する第2のPMOS-FET66を含んでいる。このPMOS-FET66のゲートとドレインは第2ノード $N_2$ に接続され、定電流シンク68はノード $N_2$ と $GND$ との間に接続されている。

## 【0039】

定電流源62からの電流 $I_1$ は、定電流シンク68からの電流 $I_2$ に較べて大きい。また、第1PMOS-FET64は第2PMOS-FET66に較べて狭い。例えば、FET64の幅は $w$ 、そしてFET66の幅は $3w$ 、 $I_1 = 4I_{SW}$ 、そして $I_2 = I_{SW}$ である。ここで $I_{SW}$ は各スイッチトランジスタ $S_1$ 又は $S_2$ がオンの時に、それを流れる電流である。

40

## 【0040】

更に、回路60は、ノード $N_2$ に接続された第1入力（負）を有する高出力抵抗相互コンダクタンス増幅器70を含んでいる。この増幅器70の第2入力（正）は回路のノード $N_3$ に接続されている。第2定電流源72は $VDD$ とノード $N_3$ との間に接続されている。第1及び第2NMOS-FET74、76はノード $N_3$ と $GND$ との間に接続されている。第1NMOS-FET74は、ノード $N_3$ に接続されたドレイン、増幅器70の出力に

50

接続されたゲート及び第2 NMOS - FET 76のドレインに接続されたソースを有している。この第2 NMOS - FET 76は、増幅器70の出力に接続されたゲートと、GNDに接続されたソースとを有している。回路60の出力ノードN4は増幅器70の出力に接続されている。

#### 【0041】

スイッチ駆動回路の抵抗体R1、R2の抵抗を可変にするため、抵抗体R1、R2は直列に接続された第1及び第2 NMOS - FETトランジスタ80、82を用いて実現される。第1 NMOS - FETトランジスタ80は、スイッチ駆動回路10における第2共通ノードC2に接続されたドレイン、制御回路の出力ノードN4に接続されたゲート及びスイッチ駆動回路10における接合ノードJN(トランジスタ32のゲート)に接続されたソースを有している。第2 NMOS - FETトランジスタ82は、接合ノードJNに接続されたドレイン、出力ノードN4に接続されたゲート及びGNDに接続されたソースを有している。この実施例では、NMOS - FETトランジスタ80はNMOS - FETトランジスタ74と同じサイズを有し、NMOS - FETトランジスタ82はNMOS - FETトランジスタ76と同じサイズを有している。これとは別に、これら二組の各FET対74又は80及び76又は82の間には所定のスケールングファクタ(倍率)を与えることもできる。

#### 【0042】

また、出力ノードN4をDAC回路の更に他のセグメントにある抵抗設定用NMOS - FETに接続でき、制御回路60が全てのセグメントと共通に動作できるようにすることもできる。

次に、図12の制御回路の動作を説明する。回路要素62から68は、ノードN2に於いて、電流スイッチ回路(図3)のスイッチトランジスタのドレイン - ソース飽和電圧の大きさである電位 $V_{DS(SAT)P}$ を発生する役割を果たす。FET64、66を流れる電流の差、及びそれらFETの異なる幅のため、FET64と66に於ける電流密度の比は、 $9:1 (= (I_1 - I_2) / W : I_2 / 3W)$ である。 $V_{DS(SAT)}$ は電流密度の平方根に比例するから、FET64、66のそれぞれの $V_{DS(SAT)}$ の間の比は $3:1$ である。FET64、66のそれぞれの $V_T$ は実質的に同じである。ノードN1の電位は $V_{DS(SAT)64} + V_{T64}$ に等しくなる。ここで、FET64のドレイン - ソース飽和電圧 $V_{DS(SAT)64}$ は、例えば、 $0.9V$ 、FET64の閾値電圧 $V_{T64}$ は $1V$ である。従って、ノードN1の電位 $V_{N1}$ は、例えば、 $1.9V$ となる。FET66による電圧降下は $V_{DS(SAT)66} + V_{T66}$ である。ここで、 $V_{DS(SAT)66}$ は、例えば、 $0.3V$ 、 $V_{T66}$ は $1V$ である。従って、ノードN1の電位 $V_{N1}$ は、例えば、 $1.3V$ となる。それ故、ノードN2に於ける電位は、約 $V_{DS(SAT)64} - V_{DS(SAT)66}$ に等しく、この電位が電流スイッチ回路のスイッチ及びカスコードトランジスタのドレイン - ソース飽和電圧の大きさ $V_{DS(SAT)P}$ となる。

#### 【0043】

ところで、大きさ $V_{DS(SAT)P}$ は、二つのFET64、66のそれぞれの $V_{DS(SAT)}$ の差 $V_{DS(SAT)64} - V_{DS(SAT)66}$ から導かれるから、電流スイッチ回路、即ちスイッチトランジスタ及びカスコードトランジスタ(もし使用されていれば)に関するFETの実際の $V_{DS(SAT)}$ を正確に反映していない可能性がある。しかし、関係するそれらFETの実際の $V_{DS(SAT)}$ が全体で、仮に $0.6V$ になることを期待するならば、その時は、FET64、66の条件をそれぞれの $V_{DS(SAT)}$ の双方の実 $V_{DS(SAT)}$ の何れか一方から他方を差し引いたものに等しくなるように設定するのが好ましい。この実施例では、 $V_{DS(SAT)64}$ を $0.9V$ に設定し、 $V_{DS(SAT)66}$ を $0.3V$ に設定したのはそのためである。

#### 【0044】

第2定電流源72は、この実施例では、図3のスイッチ駆動回路の定電流源24から供給される電流Iに実質的に等しい電流I3を供給する。この実施例では、NMOS - FET74は、第1抵抗体R1を構成するのに用いられるNMOS - FET80と同様(可変)な抵抗を有している。同様に、第2 NMOS - FET76は、第2抵抗体R2を構成するのに用いられるNMOS - FET82と同様(可変)な抵抗を有している。このことは、

ノードN3に於ける電圧が、スイッチ駆動回路の第2共通ノードCN2に於ける電圧 $V_{CN2}$ と同じであることを意味している。それ故、増幅器70の効果は、ノードN3に於ける電位がノードN2の電位 $V_{DS(SAT)P}$ に等しくなるまで、出力ノードN4に於ける電位を調整することにある。ノードN4の電位は、制御回路の第1及び第2NMOS-FET74、76それぞれの抵抗を決定するから、ノードN4の電位の変化はノードN3に於ける電位を変化する。

【0045】

この様にして、この実施例に於いては、第2共通ノードCN2の電位 $V_{CN2}$ は、大きさ $V_{DS(SAT)P}$ に実質的に等しくセットされる。

図12の回路に於いて、抵抗体R1、R2(NMOS-FET80、82)の抵抗は、ノードN4に於ける電位に従ってそれぞれ変化することは認識されるだろう。従って、 $V_{CN2}$ が変化すると、共通接合ノードJNに於ける電位変化は第2共通ノードCN2の電位変化を追跡し、トランジスタ32のゲート電位を電位 $V_{CN2}$ の実質的な固定比(例えば2/3)に維持する。

【0046】

第2共通ノードCN2の電位を調整するのに図8の制御回路を用いることの利点は、オン出力電位 $V_{on}$ が電流スイッチ回路の主スイッチトランジスタ及びカスコードトランジスタ(もし使用されていれば)の $V_{DS(SAT)}$ 変化を追跡することにある。PMOS-FET32は、 $V_{off}$ に $V_{DS(SAT)}$ を自動的に追跡させる働きをする。

【0047】

また、図3の実施例に於けるPMOS-FET32の代わりに、回路の第1及び第2出力ノードON1、ON2の間に他の回路要素を接続しても、同様の基本電流-電圧変換効果を達成することが可能なことは認識されるだろう。その場合、使用する回路要素は、それを流れる電流の方向に関係なく、同じ電流-電圧特性を持っていることが好ましい。この回路の電流-電圧特性は非線形であって、定電流に於いて高抵抗を与え、高電流に於いて低抵抗を与えるのが好ましいが、オーミック抵抗要素のような線形回路要素の使用も可能である。

【0048】

次に、図13を参照して、第1及び第2出力ノードの間にオーミック抵抗要素を用いる本発明の第2実施例について述べる。図13では、図3の第1実施例の構成要素と同じか、又は密接に対応する構成要素は、同一の参照番号で指示されており、その説明は省略する。

図13の実施例では、トランジスタ32に代わりに、抵抗体102が第1及び第2出力ノードON1、ON2の間に接続される。更に、抵抗体104はVDDと定電流源トランジスタ28との間に接続される。また更に、抵抗体106が、第1実施例の直列に接続した抵抗体R1、R2の代わりに、第2共通ノードCN2とGNDとの間に接続される。抵抗体102、104及び106は、それぞれオーミック抵抗体、例えば、高抵抗N形拡散抵抗体である。

【0049】

第1実施例と同様に、定電流源トランジスタ28によって供給される同様の電流Iは、相補入力信号IN、INBの状態に依って第1電流通路P1か、又は第2電流通路P2の何れかを選択して回路を流れる。

第1実施例と同様に、第2共通ノードの電位 $V_{CN2}$ は、電流Iと抵抗体106の抵抗 $R_{106}$ の積によって決定される。第2実施例では、第1及び第2出力ノードの電位 $V_{ON1}$ 、 $V_{ON2}$ 間の電位差Vは、電流Iと抵抗体102の抵抗 $R_{102}$ の積によって決定される。抵抗体102の電流-電圧特性は其処を流れる電流の何れの方向に関しても同じであるから、電位差Vは、回路がどのような状態(定常状態に於いて)にあっても同じである。

【0050】

抵抗体104は、定電流源トランジスタ28のソース電位 $V_{S28}$ が、抵抗体102の抵抗の変化を追跡するように設けられる。回路内に於いて、抵抗体102、104は、互いに

10

20

30

40

50

物理的に近い位置に置かれ、それらの抵抗が処理工程そして / 又は温度によってもたらされる変化には関係なく、実質的に固定比を持つようにするのが好ましい。そうした変化は、複数のセグメントが装置基板上の或る一定のパターンで配置されている時、装置を横切る一以上の方向に“勾配”を示す。各セグメント内の配置をそうした勾配（少なくとも一方向）に対する感度を鈍くするには、抵抗体 104 を抵抗体 102 のそれぞれ反対側に二つの等サイズの部分に分けることもできる。このことは、抵抗体 104 が抵抗体 102 と共通の中心を持つことを意味する。従って、セグメントの抵抗体 102 の抵抗が増加した値を持てば、抵抗体 104 の抵抗も増加した値を持つ。これは定電流源トランジスタ 28 のソースに於ける電位  $V_{S28}$  を下げる効果を有するから、そのゲート電位  $V_{PCS}$  が変わらない（VDDに関して）と仮定すれば、そのゲート - ソース電圧は負になる割合は少なく、それによって電流  $I$  を減少する。この様にして、 $V$  を規定する積  $I \cdot R_{102}$  は、 $R_{102}$  が増加しても、実質的に変化しないままになる。

10

#### 【0051】

抵抗  $R_{102}$ 、 $R_{104}$ 、及び  $R_{106}$  の比は、例えば、 $I$  を約  $80 \mu A$ 、 $R_{102}$  を  $7.5 k$  としたとき、 $1 : 2 : 1$  である。これは約  $0.6 V$  のオン・オフ出力電位間の電位差  $V$  を与える。

要素 102 のような抵抗要素を電流 - 電圧変換要素として使用する場合、整合する抵抗要素 104 を使用したり、或いは実際に抵抗変動に関して何かの補償を実行することは本質的ではない。この点で、斯かる補償を用いれば、抵抗体 102 の両端に発生する電位差  $V$  は実質的に固定されるが、電流変化が他の仕方で回路に影響を与えることは避けられない。例えば、セグメントのスイッチング動作の速度を変化させる。このことは、抵抗変化に応じて電流を変えずに置くことの方を好ましくさせる。

20

#### 【0052】

図 4 を図 13 と比較すると、図 13 の回路に優る図 4 の回路の更なる利点は、抵抗要素 102（及び補償抵抗体 104、もし使用されていれば）は、PMOS-FET 32 に較べて物理的に大きくなる点である。その理由は、適当な大きい抵抗（例えば、 $7.5 k$ ）は物理的に大きな構造に依ってしか達成できないからである（HN 抵抗体は  $1 k$  / 平方を有している）。斯うした大型構造はかなりの寄生容量を有している。また、抵抗を用いるとき、回路のスケーリングが困難になる。その理由は、もし電流が半減すれば、同じ電圧を達成するために、抵抗を倍にしななければならない、PMOS-FET 32 を用いればそれに斯かる電圧を半分のサイズのトランジスタで維持できるからである。更に悪いことには、抵抗が倍になれば、寄生容量もまた倍になるから、半分のサイズのトランジスタに較べて、寄生容量は 4 のファクタで上昇する。このことは、電流 - 電圧変換要素として使用するには PMOS-FET 32 の方が遥かに好適であること示している。

30

#### 【0053】

出力ノード間を流れる二つの電流方向に関して、同じ電流 - 電圧特性を有する回路要素を使用するのが好ましいが、二つの出力ノードの間に並列に接続された二つの非常に良く整合された一方向性回路要素を使うことによっても、実質的に同じ効果を達成できることは認識できるだろう。例えば、背中合わせに接続したダイオードを二つの出力ノードの間に用いることもできる。この場合、各ダイオードは、ソースに接続したゲートを有する MOS トランジスタを用いて実行される。

40

#### 【0054】

これまで述べてきた実施例では、P-チャンネルスイッチトランジスタを採用してきたが、本発明は他の実施例として、N-チャンネルスイッチトランジスタ（及び電流源の代わりに電流シンク）を用いた電流スイッチ回路にも適用可能であることは認識されるだろう。この場合、供給ラインの極性及びスイッチ駆動回路のトランジスタの導電形は逆になる。

#### 【0055】

更に、これまで本発明を DAC に関して説明してきたが、本発明は正確に制御された相補的スイッチを備えた相補的方法によって、信号を切り替えることが必要なスイッチ要素を含む如何なる形式の回路にも適用が可能であることは当業者の理解するところであろう。

50

(付記1) スイッチ駆動回路であって、  
第1及び第2出力ノードと、

前記第1及び第2出力ノードに接続された電流-電圧変換手段であって、前記第1出力ノードから前記第2出力ノードに向かう第1の方向、又は前記第2出力ノードから前記第1出力ノードに向かう第2の方向に電流が流れる電流通路を形成し、前記回路使用時には、前記第1及び第2出力ノード間に電流の大きさ及び方向に依存する電位差を生成する電流-電圧変換手段と、

前記第1及び第2出力ノードに接続されたスイッチ手段であって、印加された制御信号に依存して、予め選択した大きさの電流が前記電流通路を通して前記第1方向に流れる第1の状態から、前記予め選択した電流と実質的に同じ大きさの電流が前記電流通路を通して前記第2の方向に流れる第2の状態に切り替えるスイッチ手段とを含み、

前記電流-電圧変換手段の電流-電圧特性は、前記第1及び第2の状態それぞれ生成される前記電位差が実質的に同じ大きさで、かつ反対の極性を有するスイッチ駆動回路。

(付記2) 第1及び第2の共通ノードを更に含み、前記スイッチ手段は前記第1及び第2共通ノードに接続され、前記第1の状態にあつては、前記第1及び第2出力ノードをそれぞれ前記第1及び第2共通ノードに接続し、電流が前記出力ノードを介して前記第1共通ノードから前記第2共通ノードに流れる第1通路を生成するように動作することができると共に、前記第2の状態にあつては、前記第1及び第2出力ノードをそれぞれ前記第2及び第1共通ノードに接続し、電流が前記出力ノードを介して前記第1共通ノードから前記第2共通ノードに流れる前記第1通路とは異なる第2通路を生成するように動作できる付記1に記載のスイッチ駆動回路。

(付記3) 前記スイッチ手段が前記第1の状態にあるときに前記第1通路を流れる前記電流は、前記スイッチ手段が前記第2の状態にあるときに前記第2通路を流れる電流と、その大きさに於いて実質的に等しい付記2に記載のスイッチ駆動回路。

(付記4) 前記第1及び第2通路の各々を流れる電流を実質的に一定の大きさに維持するため、前記共通ノードの一つに接続されて動作できる定電流源又はシンク手段を更に含む付記2又は3に記載のスイッチ駆動回路。

(付記5) 前記定電流源又はシンク手段によって供給、又は場合によってはシンクされる電流は、実質的に前記予め選択した大きさを有する付記4に記載のスイッチ駆動回路。

(付記6) 前記共通ノードの一つは、抵抗手段によって回路の基準電位ラインに接続され、前記回路使用時には、該基準電位ラインは実質的に一定な所定の基準電位に維持され、前記共通ノードの電位を前記所定の基準電位に関して実質的に固定する付記2乃至5の何れか一項に記載のスイッチ駆動回路。

(付記7) 前記スイッチ手段は、

前記第1共通ノードと前記第1出力ノードの間に接続された第1の電界効果トランジスタと、

前記第1出力ノードと前記第2共通ノードの間に接続された第2の電界効果トランジスタと、

前記第1共通ノードと前記第2出力ノードの間に接続された第3の電界効果トランジスタと、

前記第2出力ノードと前記第2共通ノードの間に接続された第4の電界効果トランジスタと、

前記スイッチ手段が前記第1状態にあるとき、前記第1及び第4電界効果トランジスタをオンすると共に、前記第2及び第3電界効果トランジスタをオフし、

前記スイッチ手段が前記第2状態にあるとき、前記第2及び第3電界効果トランジスタをオンすると共に、前記第1及び第4電界効果トランジスタをオフする制御手段とを含む付記2乃至6の何れか一項に記載のスイッチ駆動回路。

(付記8) 前記電流-電圧変換手段の電流-電圧特性は、前記電流通路を第1及び第2方向の双方に流れる電流に関して実質的に対称である付記1乃至7の何れか一つに記載のスイッチ駆動回路。

10

20

30

40

50

(付記 9) 前記電流 - 電圧変換手段は、この電流 - 電圧変換手段の有効抵抗が、高い電流の大きさに対してよりも、低い電流の大きさに対してより高くなる非線形の電流 - 電圧特性を有している付記 1 乃至 8 の何れか一つに記載のスイッチ駆動回路。

(付記 10) 前記電流 - 電圧変換手段は、前記第 1 及び第 2 出力ノードの間に、直列に接続したチャンネルを有する電界効果トランジスタを含む付記 1 乃至 9 の何れか一つに記載のスイッチ駆動回路。

(付記 11) 前記電流 - 電圧変換手段は、オーミック抵抗体を含む付記 1 乃至 8 の何れか一つに記載のスイッチ駆動回路。

(付記 12) 前記電流 - 電圧変換手段の前記オーミック抵抗体の抵抗が変化したとき、前記電流通路を流れる予め選択された電流の大きさを変化するために接続された電流変換手段を更に含む付記 11 に記載のスイッチ駆動回路。

10

(付記 13) 前記電流変化手段は、前記電流 - 電圧変換手段の前記オーミック抵抗体の抵抗が変化すると、対応してその抵抗に変化が起こるように前記電流 - 電圧変換手段の前記オーミック抵抗体に整合した追加のオーミック抵抗体を含み、この追加のオーミック抵抗体は、その抵抗が増加するとき、前記電流通路を流れる電流の大きさが減少するように接続される付記 12 に記載のスイッチ駆動回路。

(付記 14) 前記追加のオーミック抵抗体は、電流 - 電圧変換手段の前記オーミック抵抗体の反対側にそれぞれ物理的に配置した第 1 及び第 2 部分を有する付記 13 に記載のスイッチ駆動回路。

(付記 15) スイッチ回路であって、

20

付記 1 乃至 14 の何れか一つに記載のスイッチ駆動回路と、

前記第 1 出力ノードに接続された制御端子を有し、前記スイッチ手段が前記第 1 及び第 2 状態の一つから他の状態に移ったときに起こる第 1 出力ノードの電位変化によって、オフ状態からオン状態に切り替えることができる第 1 スイッチ要素と、

前記第 2 出力ノードに接続された制御端子を有し、前記スイッチ手段が前記一つの状態から前記他の状態に移ったときに起こる第 2 出力ノードの電位変化によって、オン状態からオフ状態に切り替えることができる第 2 スイッチ要素とを含むスイッチ回路。

(付記 16) 前記スイッチ要素はそれぞれ電界効果トランジスタを含む付記 15 に記載のスイッチ回路。

(付記 17) 付記 10 に記載のスイッチ駆動回路を含み、前記電流 - 電圧変換手段の前記電界効果トランジスタが、前記各スイッチ要素の電界効果トランジスタと同じ導電形を有している付記 16 に記載のスイッチ回路。

30

(付記 18) 前記スイッチ回路の 1 以上の電界効果トランジスタのドレイン - ソース飽和電圧の大きさに依存して、第 1 出力ノードの電位又は第 2 出力ノードの電位を調整する出力ノードの電位調整手段を更に含む付記 15、16、又は 17 に記載のスイッチ回路。

(付記 19) 付記 6 に記載のスイッチ駆動回路を含み、前記スイッチ回路の 1 以上の電界効果トランジスタのドレイン - ソース飽和電圧の大きさに依存して、前記抵抗手段の抵抗を調整する抵抗調整手段を更に含む付記 15、16、又は 17 に記載のスイッチ回路。

(付記 20) 前記 1 以上の電界効果トランジスタは、前記スイッチ要素の電界効果トランジスタであるか、又はそれを含む付記 18 又は 19 に記載のスイッチ回路。

40

(付記 21) 前記スイッチ回路の第 1 スイッチ要素と第 1 出力端子との間に接続された第 1 カスコード要素、及び

前記スイッチ回路の第 2 スイッチ要素と第 2 出力端子との間に接続された第 2 カスコード要素を更に含み、

前記 1 以上の電界効果トランジスタは、前記カスコード要素の電界効果トランジスタであるか、又はそれを含む付記 18、19、又は 20 に記載のスイッチ回路。

(付記 22) 付記 7 に記載のスイッチ駆動回路を含み、前記第 1 及び第 3 電界効果トランジスタは、前記スイッチ要素の前記電界効果トランジスタと同じ導電形を有している付記 16 に記載のスイッチ回路。

(付記 23) 付記 7 に記載のスイッチ駆動回路を含み、前記第 2 及び第 4 電界効果トラン

50

ジスタは、前記スイッチ要素の前記電界効果トランジスタと反対の導電形を有している付記 16 に記載のスイッチ回路。

(付記 24) デジタル/アナログ変換器であって、前記第 1 スwitch要素がスイッチ回路の第 1 及び第 2 ノードの間に接続され、前記第 2 スwitch要素がスイッチ回路の第 1 及び第 3 ノードの間に接続されている付記 15 乃至 23 の何れか一つに記載のスイッチ回路と、前記スイッチ回路の前記第 1 ノードに動作可能に接続され、前記変換器の使用時には、実質的に一定の電流を前記第 1 ノードを通過させる電流源又は電流シンクとを含むデジタル/アナログ変換器。

(付記 25) 各々が付記 15 乃至 23 の何れか一つに記載のスイッチ回路である複数の差動スイッチ回路であって、前記第 1 スwitch要素が前記差動スイッチ回路の第 1 及び第 2 ノードの間に接続され、前記第 2 スwitch要素が前記差動スイッチ回路の前記第 1 ノード及び第 3 ノードの間に接続されている複数の差動スイッチ回路を含み、前記複数の差動スイッチ回路のそれぞれの第 2 ノードが一緒に接続され、前記複数の差動スイッチ回路のそれぞれの第 3 ノードが一緒に接続され、そして前記変換器は、前記複数の差動スイッチ回路にそれぞれ対応する複数の電流源又は電流シンクを更に含み、各電流源又は電流シンクは対応する差動スイッチ回路の前記第 1 ノードに動作できるように接続され、前記変換器の使用時には、実質的に一定の電流をそのノードを通過させるデジタル/アナログ変換器。

#### 【図面の簡単な説明】

【図 1】従来技術による電流スイッチ式 DAC の部分を示す回路図である。

【図 2】図 1 の DAC におけるスイッチ駆動回路の部分を示す回路図である。

【図 3】本発明の第 1 実施形態によるスイッチ駆動回路の部分を示す回路図である。

【図 4】図 3 のスイッチ駆動回路に接続できる電流スイッチ回路の一例を示す回路図である。

【図 5】図 3 のスイッチ駆動回路の動作時に発生する動作波形を示す図である。

【図 6】図 3 のスイッチ駆動回路の動作時に発生する動作波形を示す図である。

【図 7】図 3 のスイッチ駆動回路が第 1 の状態にあるときの動作を説明する図である。

【図 8】図 4 の電流スイッチ回路が第 1 の状態にあるときの動作を説明する図である。

【図 9】図 3 のスイッチ駆動回路が第 2 の状態にあるときの動作を説明する図である。

【図 10】図 4 の電流スイッチ回路が第 2 の状態にあるときの動作を説明する図である。

【図 11】図 3 のスイッチ駆動回路における回路要素の電流 - 電圧特性を示す図である。

【図 12】本発明の実施形態に適用できる変形例を示す回路図である。

【図 13】本発明の第 2 の実施形態によるスイッチ駆動回路の部分を示す回路図である。

#### 【符号の説明】

- 10、100... スイッチ駆動回路
- 12、14... 反転入力バッファ
- 18、24、32... PMOS - FET トランジスタ
- 20、26... NMOS - FET トランジスタ
- 28... 定電流源トランジスタ
- 102、104、106、R1、R2... 抵抗
- S1、S2... スイッチトランジスタ

10

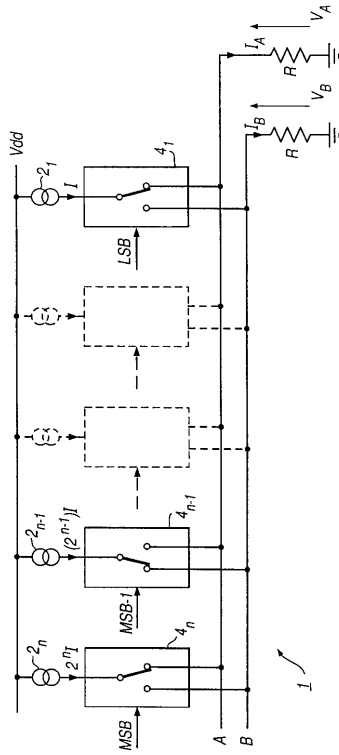
20

30

40

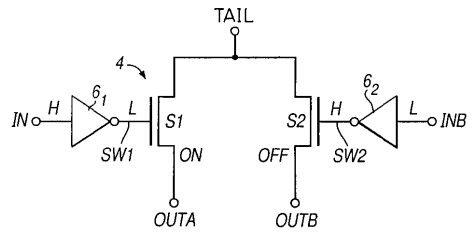
【 図 1 】

図 1



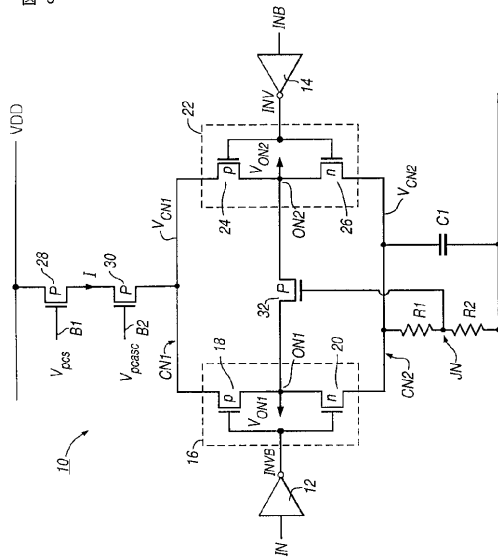
【 図 2 】

図 2



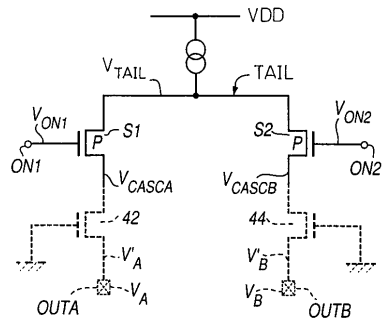
【 図 3 】

図 3



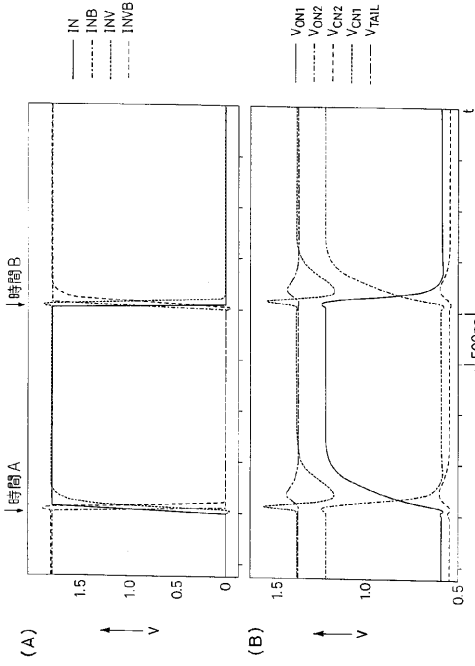
【 図 4 】

図 4



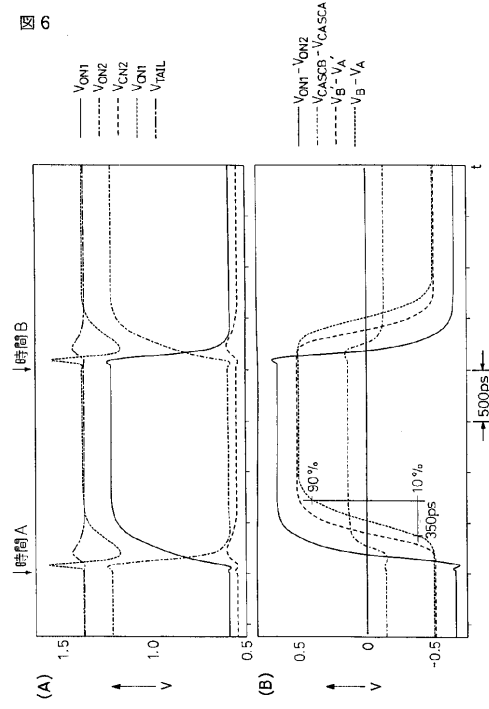
【 図 5 】

図 5



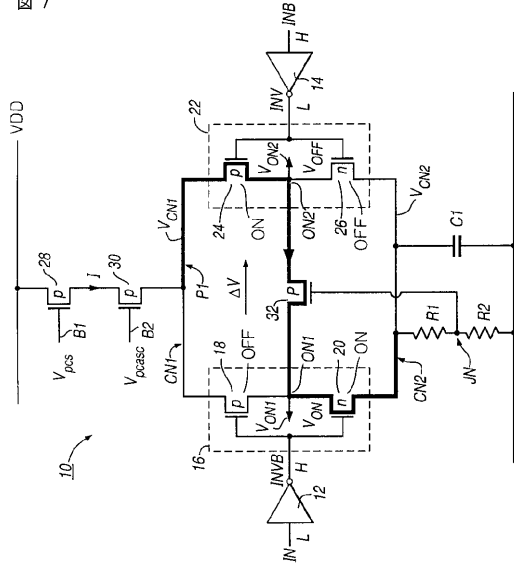
【 図 6 】

図 6



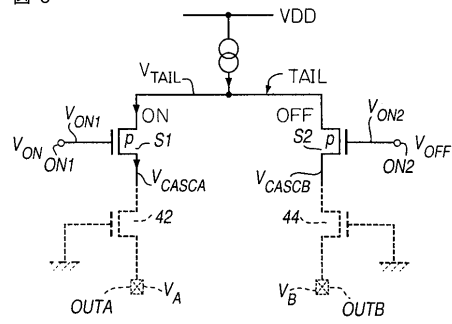
【 図 7 】

図 7

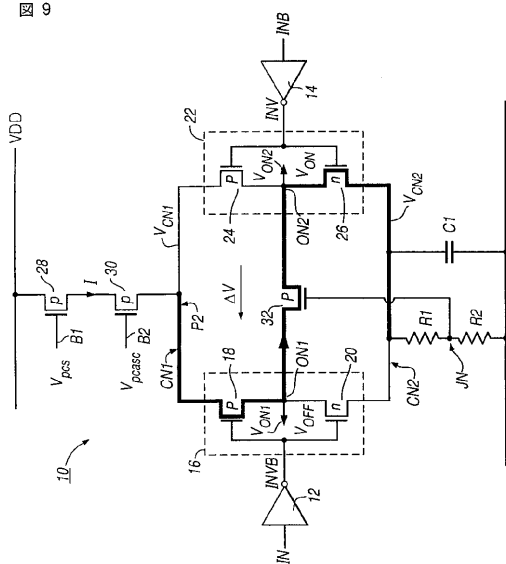


【 図 8 】

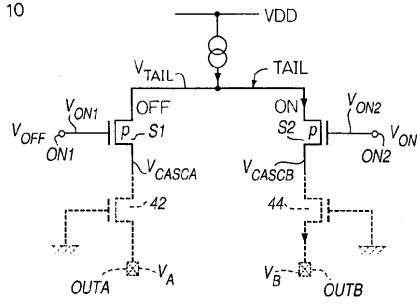
図 8



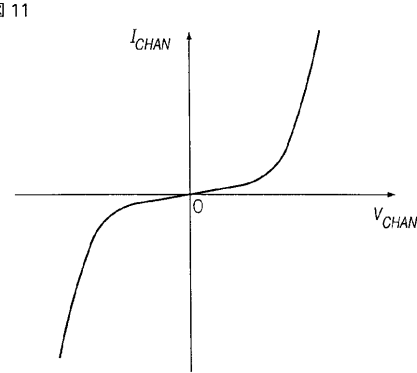
【 9 】



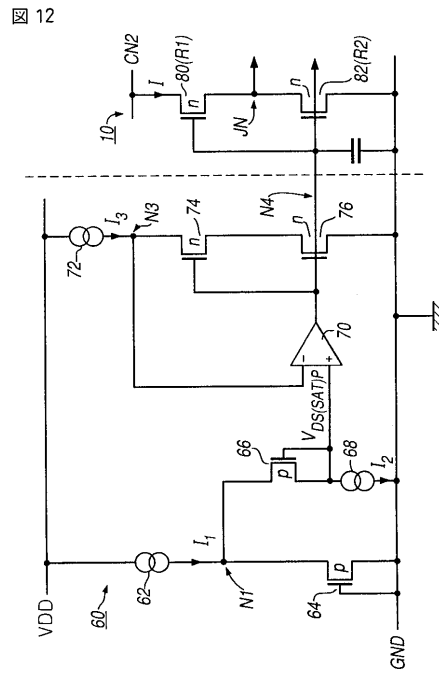
【 10 】



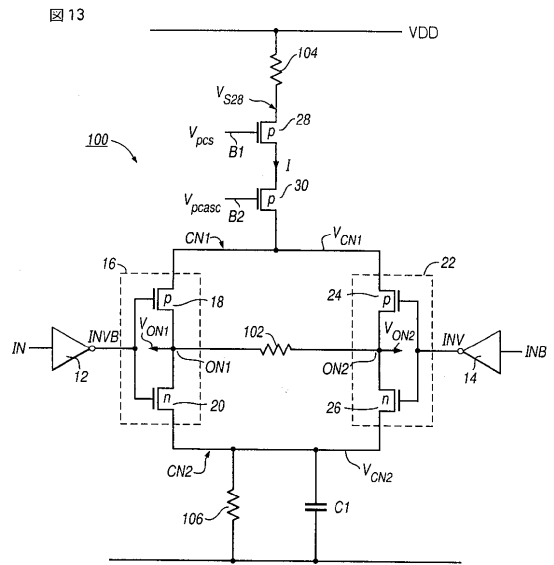
【 11 】



【 12 】



【 13 】



---

フロントページの続き

(72)発明者 イアン ジュソ デディック .  
イギリス国, ミドルセックス ユービー5 5エイチダブリュ, ノーソルト, ベルビューロード  
15

審査官 清水 稔

(56)参考文献 特開平11-085343(JP, A)  
独国特許出願公開第19856850(DE, A1)  
米国特許第06005438(US, A)  
米国特許第05939904(US, A)  
特開平08-307274(JP, A)

(58)調査した分野(Int.Cl., DB名)  
H03K 17/16  
H03K 17/693  
H03M 1/74