

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】平成18年3月2日(2006.3.2)

【公開番号】特開2002-116913(P2002-116913A)

【公開日】平成14年4月19日(2002.4.19)

【出願番号】特願2000-310279(P2000-310279)

【国際特許分類】

G 0 6 F	9/445	(2006.01)
H 0 4 N	1/00	(2006.01)

【F I】

G 0 6 F	9/06	6 5 0 B
H 0 4 N	1/00	C
G 0 6 F	9/06	6 4 0 A

【手続補正書】

【提出日】平成18年1月12日(2006.1.12)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】データ処理装置本体を制御するためのCPUと、
 実行プログラムデータを記憶するための記憶手段を内蔵し、装置機能を実現するためのDSPと、

上記CPUのバスに接続され、上記CPUが実行するCPU用処理プログラムデータと上記DSPが実行するDSP用処理プログラムデータを少なくとも記憶したROMと、

上記CPUと上記DSPとを接続するためのDSPインターフェース手段を備え、

上記CPUは、上記DSPの処理開始に先立って、上記ROMより上記DSP用処理プログラムデータを読み出して、上記DSPインターフェース手段を介し、上記DSPへ転送し、

上記DSPは、上記DSPインターフェース手段を介して上記CPUより入力した上記DSP用処理プログラムデータを上記記憶手段へ保存し、その保存を終了すると、上記記憶手段へ保存した上記DSP用処理プログラムの実行を開始することを特徴とするデータ処理装置。

【請求項2】前記ROMには、前記DSP用処理プログラムデータが複数記憶され、前記CPUは、前記DSPに実行させる装置機能に対応した上記DSP用処理プログラムデータを読み出して、前記DSPインターフェース手段を介し、上記DSPへ転送することを特徴とする請求項1記載のデータ処理装置。

【請求項3】前記CPUおよび前記DSPおよび前記DSPインターフェース手段は、同一の半導体装置に組み込まれていることを特徴とする請求項1または請求項2記載のデータ処理装置。

【請求項4】データ処理装置本体を制御するためのCPUと、

上記CPUのバスに接続するとともに、実行プログラムデータを記憶するための記憶手段を内蔵し、装置機能を実現するためのDSPと、

上記CPUのバスに接続され、上記CPUが実行するCPU用処理プログラムデータと上記DSPが実行するDSP用処理プログラムデータを少なくとも記憶したROMを備え、

上記CPUは、上記DSPの処理開始に先立って、上記ROMより上記DSP用処理

ログラムデータを読み出して、上記DSPへ転送し、

上記DSPは、上記CPUより入力した上記DSP用処理プログラムデータを上記記憶手段へ保存し、その保存を終了すると、上記記憶手段へ保存した上記DSP用処理プログラムの実行を開始することを特徴とするデータ処理装置。

【請求項5】 前記ROMには、前記DSP用処理プログラムデータが複数記憶され、前記CPUは、前記DSPに実行させる装置機能に対応した上記DSP用処理プログラムデータを読み出して、上記DSPへ転送することを特徴とする請求項4記載のデータ処理装置。

【請求項6】 前記CPUおよび前記DSPは、同一の半導体装置に組み込まれていることを特徴とする請求項4または請求項5記載のデータ処理装置。

【請求項7】 通信端末装置本体を制御するためのCPUと、

実行プログラムデータを記憶するための記憶手段を内蔵し、モデム機能を実現するためのDSPと、

上記CPUのバスに接続され、上記CPUが実行するCPU用処理プログラムデータと上記DSPが実行するモデム処理プログラムデータを少なくとも記憶したROMと、

上記CPUと上記DSPとを接続するためのDSPインターフェース手段を備え、

上記CPUは、上記DSPの処理開始に先立って、上記ROMより上記モデム処理プログラムデータを読み出して、上記DSPインターフェース手段を介し、上記DSPへ転送し、

上記DSPは、上記DSPインターフェース手段を介して上記CPUより入力した上記モデム処理プログラムデータを上記記憶手段へ保存し、その保存を終了すると、上記記憶手段へ保存した上記モデム処理プログラムを実行することを特徴とする通信端末装置。

【請求項8】 前記ROMには、前記モデム処理プログラムデータが複数記憶され、前記CPUは、前記DSPに実行させるモデム機能に対応した上記モデム処理プログラムデータを読み出して、前記DSPインターフェース手段を介し、上記DSPへ転送することを特徴とする請求項7記載の通信端末装置。

【請求項9】 前記CPUおよび前記DSPおよび前記DSPインターフェース手段は、同一の半導体装置に組み込まれていることを特徴とする請求項7または請求項8記載の通信端末装置。

【請求項10】 通信端末装置本体を制御するためのCPUと、

上記CPUのバスに接続するとともに、実行プログラムデータを記憶するための記憶手段を内蔵し、モデム機能を実現するためのDSPと、

上記CPUのバスに接続され、上記CPUが実行するCPU用処理プログラムデータと上記DSPが実行するモデム処理プログラムデータを少なくとも記憶したROMを備え、

上記CPUは、上記DSPの処理開始に先立って、上記ROMより上記モデム処理プログラムデータを読み出して、上記DSPへ転送し、

上記DSPは、上記CPUより入力した上記モデム処理プログラムデータを上記記憶手段へ保存し、その保存を終了すると、上記記憶手段へ保存した上記モデム処理プログラムの実行を開始することを特徴とする通信端末装置。

【請求項11】 前記ROMには、前記モデム処理プログラムデータが複数記憶され、前記CPUは、前記DSPに実行させるモデム機能に対応した上記モデム処理プログラムデータを読み出して、上記DSPへ転送することを特徴とする請求項10記載の通信端末装置。

【請求項12】 前記CPUおよび前記DSPは、同一の半導体装置に組み込まれていることを特徴とする請求項10または請求項11記載の通信端末装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

【課題を解決するための手段】

本発明は、データ処理装置本体を制御するためのCPUと、実行プログラムデータを記憶するための記憶手段を内蔵し、装置機能を実現するためのDSPと、上記CPUのバスに接続され、上記CPUが実行するCPU用処理プログラムデータと上記DSPが実行するDSP用処理プログラムデータを少なくとも記憶したROMと、上記CPUと上記DSPとを接続するためのDSPインターフェース手段を備え、上記CPUは、上記DSPの処理開始に先立って、上記ROMより上記DSP用処理プログラムデータを読み出して、上記DSPインターフェース手段を介し、上記DSPへ転送し、上記DSPは、上記DSPインターフェース手段を介して上記CPUより入力した上記DSP用処理プログラムデータを上記記憶手段へ保存し、その保存を終了すると、上記記憶手段へ保存した上記DSP用処理プログラムの実行を開始するようにしたものである。また、前記ROMには、前記DSP用処理プログラムデータが複数記憶され、前記CPUは、前記DSPに実行させる装置機能に対応した上記DSP用処理プログラムデータを読み出して、前記DSPインターフェース手段を介し、上記DSPへ転送するようにしたものである。また、前記CPUおよび前記DSPおよび前記DSPインターフェース手段は、同一の半導体装置に組み込まれているものである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

また、データ処理装置本体を制御するためのCPUと、上記CPUのバスに接続するとともに、実行プログラムデータを記憶するための記憶手段を内蔵し、装置機能を実現するためのDSPと、上記CPUのバスに接続され、上記CPUが実行するCPU用処理プログラムデータと上記DSPが実行するDSP用処理プログラムデータを少なくとも記憶したROMを備え、上記CPUは、上記DSPの処理開始に先立って、上記ROMより上記DSP用処理プログラムデータを読み出して、上記DSPへ転送し、上記DSPは、上記CPUより入力した上記DSP用処理プログラムデータを上記記憶手段へ保存し、その保存を終了すると、上記記憶手段へ保存した上記DSP用処理プログラムの実行を開始するようにしたものである。また、前記ROMには、前記DSP用処理プログラムデータが複数記憶され、前記CPUは、前記DSPに実行させる装置機能に対応した上記DSP用処理プログラムデータを読み出して、上記DSPへ転送するようにしたものである。また、前記CPUおよび前記DSPは、同一の半導体装置に組み込まれているものである。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

また、通信端末装置本体を制御するためのCPUと、実行プログラムデータを記憶するための記憶手段を内蔵し、モデム機能を実現するためのDSPと、上記CPUのバスに接続され、上記CPUが実行するCPU用処理プログラムデータと上記DSPが実行するモデム処理プログラムデータを少なくとも記憶したROMと、上記CPUと上記DSPとを接続するためのDSPインターフェース手段を備え、上記CPUは、上記DSPの処理開始に先立って、上記ROMより上記モデム処理プログラムデータを読み出して、上記DSPインターフェース手段を介し、上記DSPへ転送し、上記DSPは、上記DSPインターフェース手段を介して上記CPUより入力した上記モデム処理プログラムデータを上記記憶手段へ保存し、その保存を終了すると、上記記憶手段へ保存した上記モデム処理プロ

グラムを実行するようにしたものである。また、前記ROMには、前記モデム処理プログラムデータが複数記憶され、前記CPUは、前記DSPに実行させるモデム機能に対応した上記モデム処理プログラムデータを読み出して、前記DSPインターフェース手段を介し、上記DSPへ転送するようにしたものである。また、前記CPUおよび前記DSPおよび前記DSPインターフェース手段は、同一の半導体装置に組み込まれている。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

また、通信端末装置本体を制御するためのCPUと、上記CPUのバスに接続するとともに、実行プログラムデータを記憶するための記憶手段を内蔵し、モデム機能を実現するためのDSPと、上記CPUのバスに接続され、上記CPUが実行するCPU用処理プログラムデータと上記DSPが実行するモデム処理プログラムデータを少なくとも記憶したROMを備え、上記CPUは、上記DSPの処理開始に先立って、上記ROMより上記モデム処理プログラムデータを読み出して、上記DSPへ転送し、上記DSPは、上記CPUより入力した上記モデム処理プログラムデータを上記記憶手段へ保存し、その保存を終了すると、上記記憶手段へ保存した上記モデム処理プログラムの実行を開始するようにしたものである。また、前記ROMには、前記モデム処理プログラムデータが複数記憶され、前記CPUは、前記DSPに実行させるモデム機能に対応した上記モデム処理プログラムデータを読み出して、上記DSPへ転送するようにしたものである。また、前記CPUおよび前記DSPは、同一の半導体装置に組み込まれているものである。