

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年1月4日(04.01.2018)



(10) 国際公開番号

WO 2018/003441 A1

(51) 国際特許分類:

H03K 17/00 (2006.01) H03K 17/28 (2006.01)
G06F 1/26 (2006.01) B60R 16/02 (2006.01)

(21) 国際出願番号: PCT/JP2017/021107

(22) 国際出願日: 2017年6月7日(07.06.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2016-126774 2016年6月27日(27.06.2016) JP

(71) 出願人: 株式会社オートネットワーク技術
研究所(AUTONETWORKS TECHNOLOGIES,
LTD.) [JP/JP]; 〒5108503 三重県四日市市西
末広町1番14号 Mie (JP). 住友電装株式

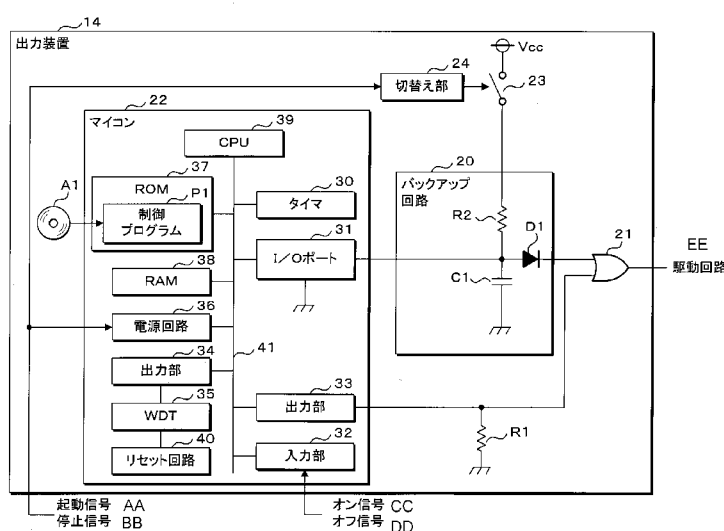
会社(SUMITOMO WIRING SYSTEMS, LTD.)
[JP/JP]; 〒5108503 三重県四日市市西末広
町1番14号 Mie (JP). 住友電気工業株
式会社(SUMITOMO ELECTRIC INDUSTRIES,
LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区
北浜四丁目5番33号 Osaka (JP).

(72) 発明者: 古戸 健(FURUTO, Ken); 〒5108503 三
重県四日市市西末広町1番14号 株式会社オ
ートネットワーク技術研究所内 Mie (JP). 塚
本 克馬(TSUKAMOTO, Katsuma); 〒5108503
三重県四日市市西末広町1番14号 株式会社
オートネットワーク技術研究所内 Mie (JP).

(54) Title: OUTPUT DEVICE AND SWITCHING SYSTEM

(54) 発明の名称: 出力装置及び切替えシステム

[図2]



- 14 Output device
- 20 Backup circuit
- 22 Microcomputer
- 24 Switching unit
- 30 Timer
- 31 I/O port
- 32 Input unit
- 33, 34 Output unit
- 35 WDT
- 36 Power source circuit
- 37 ROM
- 38 RAM
- 39 CPU
- 40 Reset circuit
- P1 Control program
- AA Startup signal
- BB Halt signal
- CC On signal
- DD Off signal
- EE Drive circuit

(57) Abstract: An OR circuit (21) outputs a low-level voltage or a high-level voltage to a drive circuit. A CPU (39) executes a predetermined process and judges, as an execution result, whether or not a specific result has been obtained. In cases in which the CPU (39) judges that the specific result has not been obtained, the CPU (39) executes the predetermined process once more. In cases in which the time over which the CPU (39) repeatedly executes the predetermined process exceeds a predetermined time, the OR circuit (21) switches the voltage outputted to the drive circuit from the low-level



(74) 代理人: 河野 英仁, 外 (KOHNO, Hideto et al.);
〒5400035 大阪府大阪市中央区釣鐘町二丁目
4 番 3 号 河野特許事務所 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

voltage to the high-level voltage.

(57) 要約: O R 回路 (21) は、ローレベル電圧又はハイレベル電圧を駆動回路に出力する。C P U (39) は、所定処理を実行し、実行結果として、特定結果が得られたか否かを判定する。C P U (39) は、特定結果が得られなかったと判定した場合、所定処理を再び実行する。C P U (39) が所定処理を繰り返し実行している時間が所定時間以上となった場合、O R 回路 (21) は、駆動回路に出力している電圧をローレベル電圧からハイレベル電圧に切替える。

明 細 書

発明の名称： 出力装置及び切替えシステム

技術分野

[0001] 本発明は、外部から入力された信号に基づいて電圧を出力する出力装置と、該出力装置が出力した電圧に基づいてスイッチが切替えられる切替えシステムとに関する。

背景技術

[0002] 車両には、バッテリーから負荷への給電経路にスイッチが設けられている電源システム（例えば、特許文献１を参照）が搭載されている。特許文献１に記載の電源システムでは、マイクロコンピュータ（以下では、マイコンという）がハイレベル電圧及びローレベル電圧を出力する。マイコンがハイレベル電圧を出力している場合、スイッチはオンであり、バッテリーから負荷へ給電される。マイコンがローレベル電圧を出力している場合、スイッチはオフであり、バッテリーから負荷への給電は停止している。

先行技術文献

特許文献

[0003] 特許文献１：特開２００９－２６１１５３号公報

発明の概要

発明が解決しようとする課題

[0004] ウォッチドッグタイマが内蔵されたマイコンが提案されている。このマイコンでは、ＣＰＵ(Central Processing Unit)の動作が正常である場合、ＣＰＵは、出力部に指示して、動作が正常であることを通知する通知信号をウォッチドッグタイマに出力させる処理を繰り返し実行する。ウォッチドッグタイマは、出力部から通知信号が入力される都度、ゼロから計時を開始する。

[0005] ＣＰＵの動作が異常であるために、出力部に通知信号をウォッチドッグタイマへ出力させる処理が行われず、ウォッチドッグタイマが計時している計時時間が所定時間以上となった場合、ウォッチドッグタイマは、リセット回

路にマイコンの構成部の初期化を指示する。リセット回路は、ウォッチドッグタイマによって初期化が指示された場合、マイコンの構成部を初期化する。これにより、CPUを含むマイコンの構成部の状態が初期状態、即ち、マイコンが出荷された時点の状態に戻る。この初期化により、CPUの動作が正常に戻ることを期待される。

[0006] CPUが起動するか、又は、CPUが初期化された場合、CPUは、所定処理、例えば、マイコンを構成するRAM(Random Access Memory)にデータが適切に記憶されるか否かを確認するための処理を実行する。CPUは、所定処理を実行した結果として、特定結果、例えば、RAMにデータが適切に記憶されることを示す結果が得られなかった場合、再び所定処理を実行する。CPUは、特定結果が得られるまで、所定処理を繰り返し実行する。

[0007] 電源システムとして、ウォッチドッグタイマが内蔵されたマイコンによって出力された電圧に応じて、バッテリーから負荷への給電経路に設けられたスイッチがオン又はオフに切替えられる電源システムが考えられる。この電源システムでは、CPUが所定処理を繰り返し実行してマイコンの動作が不安定である間、マイコンは、例えばローレベル電圧を出力する。この場合、スイッチはオフに維持される。

[0008] 電源システムの中には、スイッチをオン又はオフに固定しなければならない状況では、スイッチのオンへの固定が好ましい電源システムがある。例えば、負荷がヘッドライトである電源システムでは、車両を安全に運転するため、スイッチがオンに固定され、負荷が作動し続けていることが好ましい。

従って、以上のように構成されたマイコンには、動作が不安定である場合に、出力している電圧が適切な電圧、即ち、ハイレベル電圧に切替わらないという問題がある。

[0009] 本発明は斯かる事情に鑑みてなされたものであり、その目的とするところは、処理部の動作が不安定である場合に、出力している電圧を適切な電圧に切替えることができる出力装置、及び、該出力装置を備える切替えシステムを提供することにある。

課題を解決するための手段

[0010] 本発明に係る出力装置は、2つの電圧中の一方の電圧を出力する出力回路を備える出力装置において、所定処理を実行する処理部と、該処理部が前記所定処理を実行した結果として、特定結果が得られたか否かを判定する判定部とを備え、前記処理部は、該判定部によって、前記特定結果が得られなかったと判定された場合に再び前記所定処理を実行し、前記出力回路は、前記処理部が前記所定処理を繰り返し実行している時間が所定時間以上となった場合、出力している電圧を他の電圧に切替えるように構成してあることを特徴とする。

[0011] 本発明にあつては、所定処理を実行した結果として、特定結果が得られなかったと判定した場合、所定処理を再び実行する。所定処理を繰り返し実行している時間が所定時間以上となった場合、出力回路は、出力している電圧を他の電圧に切替える。

従つて、所定処理が繰り返し実行されて処理部の動作が不安定である時間が所定時間以上となった場合に、出力している電圧を適切な電圧に切替えることが可能である。

[0012] 本発明に係る出力装置は、前記処理部が前記所定処理を繰り返し実行している間、充電される蓄電器を備え、前記蓄電器の端子電圧値が所定電圧値以上である場合に、前記出力回路は、出力している電圧を前記他の電圧に切替えるように構成してあることを特徴とする。

[0013] 本発明にあつては、所定処理を繰り返し実行している間、蓄電器は充電され、蓄電器の端子電圧値が上昇する。所定処理を繰り返し実行している時間が所定時間以上となった場合、蓄電器の端子電圧値が所定電圧値以上となり、出力している電圧が他の電圧に切替わる。

これにより、所定処理を繰り返し実行している時間が所定時間以上となった場合に、出力している電圧が他の電圧に切替わる構成を簡単にハードウェアで実現することが可能である。

[0014] 本発明に係る出力装置は、前記処理部への電力供給を行う電源回路を備え

、前記電源回路は、前記判定部によって前記特定結果が得られなかったと判定された場合に前記電力供給を停止し、該電力供給を停止した直後に該電力供給を再開し、前記処理部は、前記電源回路が該電力供給を再開した後に再び前記所定処理を実行するように構成してあることを特徴とする。

[0015] 本発明にあつては、電源回路は、特定結果が得られなかったと判定した場合、所定処理を行う処理部を再起動する。処理部は、再起動した後、再び所定処理を実行する。

[0016] 本発明に係る切替えシステムは、前述した出力装置と、スイッチと、前記出力回路が出力した電圧に基づいて該スイッチをオン又はオフに切替える切替え回路とを備えることを特徴とする。

[0017] 本発明にあつては、出力装置の出力回路が出力した電圧に基づいて、スイッチがオン又はオフに切替えられる。

発明の効果

[0018] 本発明によれば、処理部の動作が不安定である場合に、出力している電圧を適切な電圧に切替えることができる。

図面の簡単な説明

[0019] [図1]実施の形態1における電源システムの要部構成を示すブロック図である。

[図2]出力装置の要部構成を示すブロック図である。

[図3]初期処理の手順を示すフローチャートである。

[図4]計時再開処理の手順を示すフローチャートである。

[図5]出力処理の手順を示すフローチャートである。

[図6]出力装置の動作の一例を説明するためのタイミングチャートである。

[図7]出力装置の動作の他例を説明するためのタイミングチャートである。

[図8]実施の形態2における電源システムの要部構成を示すブロック図である。

[図9]初期処理の手順を示すフローチャートである。

[図10]実施の形態3における初期処理の手順を示すフローチャートである。

発明を実施するための形態

[0020] 以下、本発明をその実施の形態を示す図面に基づいて詳述する。

(実施の形態１)

図１は、実施の形態１における電源システム１の要部構成を示すブロック図である。電源システム１は、車両に好適に搭載されており、バッテリー１０、メインスイッチ１１、負荷１２、駆動回路１３及び出力装置１４を備える。メインスイッチ１１は、Ｎチャネル型のＦＥＴ(Field Effect Transistor)である。

[0021] バッテリー１０の正極は、メインスイッチ１１のドレインに接続されている。メインスイッチ１１のソースは負荷１２の一端に接続されている。バッテリー１０の負極と、負荷１２の他端とは接地されている。メインスイッチ１１のゲートには、駆動回路１３が接続されている。駆動回路１３には、出力装置１４が更に接続されている。

[0022] メインスイッチ１１について、ゲートの電圧値が一定電圧値以上である場合、ドレイン及びソース間に電流が流れることが可能である。このとき、メインスイッチ１１はオンである。また、メインスイッチ１１について、ゲートの電圧値が一定電圧値未満である場合、ドレイン及びソース間に電流が流れることはない。このとき、メインスイッチ１１はオフである。

[0023] 駆動回路１３は、メインスイッチ１１のゲートの電圧値を調整することによって、メインスイッチ１１をオン又はオフに切替える。駆動回路１３には、出力装置１４からハイレベル電圧及びローレベル電圧が入力される。駆動回路１３は、出力装置１４からハイレベル電圧が入力された場合、メインスイッチ１１をオンに切替え、出力装置１４からローレベル電圧が入力された場合、メインスイッチ１１をオフに切替える。駆動回路１３は切替え回路として機能する。

[0024] 負荷１２は車両に搭載された電気機器である。駆動回路１３がメインスイッチ１１をオンに切替えた場合、バッテリー１０から負荷１２に給電され、負荷１２は作動する。駆動回路１３がメインスイッチ１１をオフに切替えた場

合、バッテリー 10 から負荷 12 への給電が停止し、負荷 12 は動作を停止する。

[0025] 出力装置 14 には、メインスイッチ 11 のオンへの切替えを指示するオン信号と、メインスイッチ 11 のオフへの切替えを指示するオフ信号とが入力される。出力装置 14 は、入力された信号に基づいて、ハイレベル電圧又はローレベル電圧を駆動回路 13 に出力する。

[0026] メインスイッチ 11、駆動回路 13 及び出力装置 14 を備える電源システム 1 は、出力装置 14 が出力した電圧に基づいて、駆動回路 13 がメインスイッチ 11 をオン又はオフに切替える切替えシステムとしても機能する。

[0027] 図 2 は出力装置 14 の要部構成を示すブロック図である。出力装置 14 は、バックアップ回路 20、OR 回路 21、マイコン 22、サブスイッチ 23、切替え部 24 及び抵抗 R1 を有する。バックアップ回路 20 は、キャパシタ C1、ダイオード D1 及び抵抗 R2 を有する。OR 回路 21 は、2つの入力端と 1つの出力端とを有する。

[0028] OR 回路 21 の出力端は駆動回路 13 に接続されている。OR 回路 21 の一方の入力端には、マイコン 22 と、抵抗 R1 の一端とが接続されている。抵抗 R1 の他端は接地されている。OR 回路 21 の他方の入力端には、バックアップ回路 20 のダイオード D1 のカソードが接続されている。ダイオード D1 のアノードは、マイコン 22 と、キャパシタ C1 及び抵抗 R2 夫々の一端とに接続されている。キャパシタ C1 の他端は接地されている。抵抗 R2 の他端はサブスイッチ 23 の一端に接続されている。サブスイッチ 23 の他端には電圧が印加されている。サブスイッチ 23 の他端に印加されている電圧の電圧値は V_{cc} である。電圧値 V_{cc} は一定である。

[0029] OR 回路 21 は、抵抗 R1 の一端における電圧値が第 1 閾値以上であるか、又は、ダイオード D1 のカソードにおける電圧値が第 2 閾値以上である場合、出力端からハイレベル電圧を駆動回路 13 に出力する。OR 回路 21 は、抵抗 R1 の一端における電圧値が第 1 閾値未満であり、かつ、ダイオード D1 のカソードにおける電圧値が第 2 閾値未満である場合、出力端からロー

レベル電圧を出力する。駆動回路 13 は、OR 回路 21 がハイレベル電圧を出力した場合、メインスイッチ 11 をオンに切替え、OR 回路 21 がローレベル電圧を出力した場合、メインスイッチ 11 をオフに切替える。

第 1 閾値及び第 2 閾値夫々は、一定であり、ゼロ V を超えている。OR 回路 21 は出力回路として機能する。ハイレベル電圧及びローレベル電圧は 2 つの電圧に相当する。

[0030] マイコン 22 は、OR 回路 21 の一方の入力端にハイレベル電圧又はローレベル電圧を出力する。マイコン 22 が OR 回路 21 の一方の入力端にハイレベル電圧を出力している場合、抵抗 R1 の一端における電圧値は第 1 閾値以上である。マイコン 22 が OR 回路 21 の一方の入力端にローレベル電圧を出力している場合、抵抗 R1 の一端における電圧値は第 1 閾値未満である。

[0031] 更に、マイコン 22 が OR 回路 21 の一方の入力端に電圧を出力していない場合、抵抗 R1 に電流が流れないため、抵抗 R1 の一端における電圧値はゼロ V であり、第 1 閾値未満である。従って、マイコン 22 が OR 回路 21 の一方の入力端に電圧を出力していない場合において、ダイオード D1 のカソードにおける電圧値が第 2 閾値以上であるとき、OR 回路 21 は出力端からハイレベル電圧を出力する。同様の場合において、ダイオード D1 のカソードにおける電圧値が第 2 閾値未満であるとき、OR 回路 21 は、出力端からローレベルを出力する。

[0032] マイコン 22 は I/O ポート 31 を有する。I/O ポート 31 は、キャパシタ C1 の一端に接続されていると共に接地されている。I/O ポート 31 の方向は「入力」又は「出力」に設定される。I/O ポート 31 の方向が「出力」に設定されている場合、I/O ポートは、出力レベルをハイレベル又はローレベルに調整する。

I/O ポート 31 の方向が「入力」に設定されている場合、接地される接地端と、キャパシタ C1 の一端との間における I/O ポート 31 のインピーダンスは、開放インピーダンスである。I/O ポート 31 のインピーダンス

が開放インピーダンスであることは、I/Oポート31とキャパシタC1の一端との接続が遮断状態であることと略同じである。開放インピーダンスは略無限大である。

[0033] I/Oポート31の方向が「出力」に設定されており、かつ、I/Oポート31の出力レベルがローレベルである場合、I/Oポート31のインピーダンスは接地インピーダンスである。I/Oポート31のインピーダンスが接地インピーダンスであることは、キャパシタC1の一端が接地されていることと略同じである。接地インピーダンスは略ゼロ Ω である。

[0034] 切替え部24はサブスイッチ23をオン又はオフに切替える。

サブスイッチ23がオンである場合において、I/Oポート31のインピーダンスが開放インピーダンスであるとき、電流は、抵抗R2を介してI/Oポート31に殆ど流れることはなく、サブスイッチ23及び抵抗R2を介してキャパシタC1に流れる。これにより、キャパシタC1は充電される。キャパシタC1は蓄電器として機能する。

サブスイッチ23がオンである場合において、I/Oポート31とキャパシタC1との接続が遮断状態であるときも、電流は、抵抗R2を介してI/Oポート31に殆ど流れることはなく、サブスイッチ23及び抵抗R2を介してキャパシタC1に流れ、キャパシタC1は充電される。

[0035] 前述したように、接地インピーダンスは略ゼロ Ω である。このため、サブスイッチ23がオンである場合において、I/Oポート31のインピーダンスが接地インピーダンスであるとき、電流は、抵抗R2の一端から、キャパシタC1に殆ど流れず、I/Oポート31に流れる。更に、キャパシタC1の一端から電流がI/Oポート31に流れ、キャパシタC1は放電する。

[0036] サブスイッチ23がオフである場合において、I/Oポート31のインピーダンスが接地インピーダンスであるときも、キャパシタC1の一端から電流がI/Oポート31に流れ、キャパシタC1は放電する。

結果、サブスイッチ23がオンであるか否かに無関係に、I/Oポート31のインピーダンスが接地インピーダンスである場合、キャパシタC1は放

電する。

[0037] サブスイッチ23がオフである場合において、I/Oポート31のインピーダンスが開放インピーダンスであるとき、キャパシタC1に係る充電及び放電が行われることはない。

同様に、サブスイッチ23がオフである場合において、I/Oポート31とキャパシタC1の一端との接続が遮断状態であるときも、キャパシタC1に係る充電及び放電が行われることはない。

[0038] キャパシタC1の端子電圧値、即ち、キャパシタC1の両端間の電圧値は、キャパシタC1が蓄えている電力値が大きい程、高い。従って、キャパシタC1が充電された場合、キャパシタC1の端子電圧値は上昇し、キャパシタC1が放電した場合、キャパシタC1の端子電圧値は低下する。キャパシタC1の端子電圧値は、ダイオードD1を介してOR回路21の他方の入力端に入力される。

[0039] ダイオードD1に電流が流れた場合にダイオードD1で生じる電圧降下の幅と、第2閾値との和を基準電圧値と記載する。この電圧降下の幅は、一定であるため、基準電圧値も一定である。基準電圧値は電圧値Vcc以下である。

キャパシタC1の端子電圧値が基準電圧値以上である場合、ダイオードD1のカソードにおける電圧値は第2閾値以上である。キャパシタC1の端子電圧値が基準電圧値未満である場合、ダイオードD1のカソードにおける電圧値は第2閾値未満である。

[0040] 従って、キャパシタC1の端子電圧値が基準電圧値未満である場合、OR回路21は、マイコン22が出力している電圧に応じた電圧を駆動回路13に出力する。キャパシタC1の端子電圧値が基準電圧値以上である場合、OR回路21は、マイコン22が出力している電圧に無関係にハイレベル電圧を駆動回路13に出力し、駆動回路13はメインスイッチ11をオンに切替える。

[0041] キャパシタC1のキャパシタンスと、抵抗R2の抵抗値r2との積により

、キャパシタC 1及び抵抗R 2のCR時定数が算出される。キャパシタC 1のキャパシタンス、及び、抵抗R 2の抵抗値 r_2 夫々は一定である。このため、CR時定数も一定である。

キャパシタC 1の端子電圧値がゼロVである状態でキャパシタC 1への充電が開始されてから、基準電圧値に到達するまでの到達時間は、電圧値 V_{cc} とCR時定数とによって決まる。前述したように、電圧値 V_{cc} 及びCR時定数は一定である。このため、到達時間も一定である。

[0042] マイコン22及び切替え部24には、マイコン22の起動を指示する起動信号と、マイコン22の動作の停止を指示する停止信号とが入力される。起動信号は、例えば、図示しない車両のイグニッションスイッチがオンに切替わった場合にマイコン22及び切替え部24に入力される。停止信号は、例えば、イグニッションスイッチがオフに切替わった場合にマイコン22及び切替え部24に入力される。マイコン22には、更に、オン信号及びオフ信号が入力される。

[0043] マイコン22は、起動信号が入力された場合、起動し、停止信号が入力された場合、動作を停止する。マイコン22は、起動している場合において、オン信号がマイコン22に入力されたとき、ハイレベル電圧をOR回路21の一方の入力端に出力する。マイコン22は、同様の場合において、オフ信号がマイコン22に入力されたとき、ローレベル電圧をOR回路21の一方の入力端に出力する。

[0044] マイコン22がハイレベル電圧又はローレベル電圧を出力している間、I/Oポート31の方向は「出力」に設定され、I/Oポート31の出力レベルはローレベルである。前述したように、I/Oポート31の方向が「出力」に設定され、かつ、I/Oポート31の出力レベルがローレベルである場合、I/Oポート31のインピーダンスは接地インピーダンスである。

マイコン22がハイレベル電圧又はローレベル電圧を出力していない間、I/Oポート31の方向は「入力」に設定されているか、又は、I/Oポート31とキャパシタC 1の一端との接続が遮断状態となっている。前述した

ように、I/Oポート31の方向が「入力」に設定されている場合、I/Oポート31のインピーダンスは開放インピーダンスである。

マイコン22がハイレベル電圧又はローレベル電圧を出力していない期間は、具体的には、マイコン22が動作を停止している期間であり、マイコン22が起動したか、又は、マイコン22内で初期化が行われてからハイレベル電圧又はローレベル電圧の出力を開始するまでの期間である。

[0045] 切替え部24は、起動信号が入力された場合、サブスイッチ23をオンに切替え、停止信号が入力された場合、サブスイッチ23をオフに切替える。

従って、マイコン22が起動してハイレベル電圧又はローレベル電圧を出力している場合、I/Oポート31のインピーダンスは接地インピーダンスであり、かつ、切替え部24はサブスイッチ23をオンに切替えている。この場合、前述したように、キャパシタC1は放電する。

[0046] マイコン22は、I/Oポート31に加えて、タイマ30、入力部32、出力部33、34、ウォッチドッグタイマ（以下、WDTと記載する）35、電源回路36、ROM(Read Only Memory)37、RAM38、CPU39及びリセット回路40を有する。タイマ30、I/Oポート31、入力部32、出力部33、34、電源回路36、ROM37、RAM38及びCPU39はバス41に接続されている。出力部33は、バス41の他に、OR回路21の一方の入力端、及び、抵抗R1の一端間の接続ノードに接続されている。出力部34は、バス41の他に、WDT35に接続されている。WDT35は、更に、リセット回路40に接続されている。

[0047] タイマ30は、CPU39の指示に従って計時を開始する。タイマ30が計時している計時時間が、予め設定されているタイマ時間以上となった場合、タイマ30は、タイマ時間が経過したことを示すタイマ信号をCPU39に出力し、計時を終了する。タイマ時間は一定である。

[0048] I/Oポート31の方向は、CPU39によって、「入力」又は「出力」に設定される。I/Oポート31の方向が「出力」に設定されている場合、I/Oポート31は、CPU39の指示に従って、出力レベルをハイレベル

又はローレベルに調整する。

入力部３２には、オン信号及びオフ信号が入力される。入力部３２は、オン信号又はオフ信号が入力された場合、その旨を通知する。

出力部３３は、ＣＰＵ３９の指示に従って、ハイレベル電圧又はローレベル電圧をＯＲ回路２１の一方の入力端に出力する。

[0049] 出力部３４は、ＣＰＵ３９の指示に従って、ＣＰＵ３９が正常に動作していることを通知する通知信号をＷＤＴ３５に繰り返し出力する。

ＷＤＴ３５は、出力部３４から通知信号が入力される都度、ゼロから計時を開始する。ＷＤＴ３５が計時している計時時間が、予め設定されているＷＤＴ時間以上となった場合、ＷＤＴ３５は、リセット回路４０に、タイマ３０、Ｉ／Ｏポート３１、入力部３２、出力部３３、３４、ＷＤＴ３５、ＲＯＭ３７、ＲＡＭ３８及びＣＰＵ３９の初期化を指示する。ＷＤＴ時間は一定である。

[0050] リセット回路４０は、ＷＤＴ３５の指示に従って、タイマ３０、Ｉ／Ｏポート３１、入力部３２、出力部３３、３４、ＷＤＴ３５、ＲＯＭ３７、ＲＡＭ３８及びＣＰＵ３９を初期化する。具体的には、これらの状態を、初期状態、即ち、マイコン２２が出荷された時点の状態に戻す。これにより、例えば、カウンタ値及びレジスタ値等が、マイコン２２が出荷された時点の値に戻り、マイコン２２の動作モードが、マイコン２２が出荷された時点の動作モードに戻る。

[0051] 電源回路３６には、起動信号及び停止信号が入力される。電源回路３６は、起動信号が入力された場合、図示しない電線を介して、タイマ３０、Ｉ／Ｏポート３１、入力部３２、出力部３３、３４、ＷＤＴ３５、ＲＯＭ３７、ＲＡＭ３８、ＣＰＵ３９及びリセット回路４０に電力を供給する。電源回路３６は、停止信号が入力された場合、これらへの電力供給を停止する。

[0052] 電源回路３６が電力供給を停止した場合、タイマ３０、Ｉ／Ｏポート３１、入力部３２、出力部３３、３４、ＷＤＴ３５、ＲＯＭ３７、ＲＡＭ３８、ＣＰＵ３９及びリセット回路４０は動作を停止する。電源回路３６が電力供

給を停止している場合、I/Oポート31と、キャパシタC1の一端との接続は遮断状態である。同様の場合において、出力部33と、OR回路21の一方の入力端、及び、抵抗R1の一端間の接続ノードとの接続も遮断状態である。

停止信号が、マイコン22の電源回路36と、切替え部24とに入力された場合、サブスイッチ23はオフであり、かつ、I/Oポート31とキャパシタC1の一端との接続が遮断状態であるため、キャパシタC1について充電及び放電が行われることはない。

[0053] CPU39は電源回路36に再起動を指示する。電源回路36は、CPU39によって、再起動を指示された場合、タイマ30、I/Oポート31、入力部32、出力部33、34、WDT35、ROM37、RAM38、CPU39及びリセット回路40を再起動する。具体的には、電源回路36は、これらへの電力供給を停止し、この電力供給を停止した直後に、タイマ30、I/Oポート31、入力部32、出力部33、34、WDT35、ROM37、RAM38、CPU39及びリセット回路40への電力供給を再開する。

[0054] ROM37には制御プログラムP1が記憶されている。CPU39は、ROM37に記憶されている制御プログラムP1を実行する。CPU39は、制御プログラムP1を実行することによって、初期処理、計時再開処理及び出力処理を実行する。初期処理は、CPU39が起動したか、又は、初期化された場合に最初に実行する処理である。計時再開処理は、タイマ30に計時を再開させる処理である。出力処理は、出力部33にハイレベル電圧又はローレベル電圧を出力させる処理である。制御プログラムP1は、初期処理、計時開始処理及び出力処理をCPU39に実行させるためのコンピュータプログラムである。RAM38には、CPU39によってデータが一時的に記憶される。

[0055] なお、制御プログラムP1は、コンピュータが読み取り可能に、記憶媒体A1に記憶されていてもよい。制御プログラムP1が記憶媒体A1に記憶さ

れており、かつ、データを書き換えることができるようにROM 37が構成されている場合、図示しない読み出し装置によって記憶媒体A1から読み出された制御プログラムP1がROM 37に記憶される。記憶媒体A1は、光ディスク、フレキシブルディスク、磁気ディスク、磁気光ディスク又は半導体メモリ等である。光ディスクは、CD (Compact Disc) - ROM (Read Only Memory)、DVD (Digital Versatile Disc) - ROM、又は、BD (Blu-ray(登録商標) Disc) 等である。磁気ディスクは、例えばハードディスクである。また、図示しない通信網に接続されている図示しない外部装置から制御プログラムP1をダウンロードし、ダウンロードした制御プログラムP1をROM 37に記憶してもよい。

[0056] 当然のことながら、RAM 38に記憶されているデータは、電源回路36が電力供給を停止した場合、RAM 38から消去される。ROM 37に記憶されているデータは、電源回路36が行う電力供給の停止によってデータが消去されることはない。

RAM 38にはタイマフラグの値が記憶される。タイマフラグの値は、CPU 39によってゼロ又は1に設定される。

[0057] 図3は初期処理の手順を示すフローチャートである。前述したように、初期処理は、CPU 39が起動したか、又は、初期化された場合において、CPU 39が最初に実行する処理である。CPU 39は、まず、RAM 38に予め決められたデータを書き込み（ステップS1）、書き込んだデータをRAM 38から読み出す（ステップS2）。次に、CPU 39は、ステップS1でRAM 38に書き込んだデータがステップS2でRAM 38から読み出したデータと一致するか否かを判定する（ステップS3）。

[0058] CPU 39は、ステップS1で書き込んだデータがステップS2で読出したデータと一致すると判定した場合（S3：YES）、ROM 37からデータを読み出し（ステップS4）、読み出したデータに基づいてデータ値を算出する（ステップS5）。次に、CPU 39は、ステップS5で算出したデータ値が、予め設定されている設定値と一致するか否かを判定する（ステッ

プS 6)。設定値は一定である。

[0059] CPU 39は、データ値が設定値と一致すると判定した場合（S 6：YES）、I/Oポート31の方向を「入力」に設定する（ステップS 7）。これにより、I/Oポート31のインピーダンスは開放インピーダンスとなる。

なお、CPU 39が起動してからステップS 7が実行されるまで、I/Oポート31とキャパシタC 1の一端との接続は遮断状態である。

[0060] 次に、CPU 39は、計時開始処理及び出力処理で用いられる種々の変数の初期値を設定し（ステップS 8）、初期値の設定に成功したか否かを判定する（ステップS 9）。CPU 39は、初期値の設定に成功したと判定した場合（S 9：YES）、タイマフラグの値をゼロに設定し（ステップS 10）、タイマ30に計時を開始させる（ステップS 11）。これにより、タイマ30はゼロから計時を開始する。前述したように、タイマ30は、計時している計時時間がタイマ時間以上となった場合、タイマ信号をCPU 39に出力する。

CPU 39は、ステップS 11を実行した後、初期処理を終了する。

[0061] CPU 39は、ステップS 1で書き込んだデータがステップS 2で読出したデータと一致しないと判定した場合（S 3：NO）、データ値が設定値と一致しないと判定した場合（S 6：NO）、又は、初期値の設定に失敗したと判定した場合（S 9：NO）、電源回路36に再起動を行わせる（ステップS 12）。電源回路36は、タイマ30、I/Oポート31、入力部32、出力部33、34、WDT 35、ROM 37、RAM 38、CPU 39及びリセット回路40を再起動する。CPU 39は、電源回路36が電力供給を再開した後、再び初期処理を実行する。

CPU 39は、ステップS 12を実行した後、初期処理を終了する。

[0062] CPU 39は、初期処理のステップS 1、S 2を実行した結果として、ステップS 3で、ステップS 1で書き込んだデータがステップS 2で読み出したデータと一致するという特定結果が得られたか否かを判定する。CPU 3

9は、この特定結果が得られなかった場合、ステップS 1 2を実行し、初期処理を再び実行する。ステップS 1, S 2は所定処理に相当する。CPU 3 9は処理部及び判定部として機能する。

[0063] また、CPU 3 9は、初期処理のステップS 4, S 5を実行した結果として、ステップS 6でデータ値が設定値に一致するという特定結果が得られたか否かを判定する。CPU 3 9は、この特定結果が得られなかったと判定した場合、ステップS 1 2を実行し、初期処理を再び実行する。ステップS 4, S 5も所定処理に相当する。

[0064] 更に、CPU 3 9は、初期処理のステップS 8を実行した結果として、ステップS 9で初期値の設定に成功したという特定結果が得られたか否かを判定する。CPU 3 9は、この特定結果が得られなかったと判定した場合、ステップS 1 2を実行し、初期処理を再び実行する。ステップS 8も所定処理に相当する。

CPU 3 9は、ステップS 3, S 6, S 9の1つで特定結果が得られなかったと判定した場合、電源回路3 6に再起動を行わせる。

[0065] 初期化、再起動及び初期処理のいずれかが実行されている間、サブスイッチ2 3はオンである。また、同様の期間においては、I/Oポート3 1のインピーダンスが開放インピーダンスであるか、又は、I/Oポート3 1とキャパシタC 1の一端との接続が遮断状態である。

従って、初期化、再起動及び初期処理のいずれかが実行されている間、キャパシタC 1は充電される。このため、CPU 3 9が初期処理を繰り返し実行している間、キャパシタC 1は充電される。前述したように、初期化はリセット回路4 0によって実行され、再起動は電源回路3 6によって実行される。

[0066] 初期化、再起動及び初期処理のいずれかが実行されている間、出力部3 3は電圧の出力を開始していないため、OR回路2 1の一方の入力端の電圧値は、ゼロVであり、第1閾値未満である。

従って、CPU 3 9が初期処理を繰り返し実行している場合において、キ

ャパシタC 1の端子電圧値が基準電圧値未満である間、ダイオードD 1のカソードにおける電圧値が第2閾値未満であるため、OR回路2 1はローレベル電圧を駆動回路1 3に出力し、駆動回路1 3はメインスイッチ1 1をオフに維持している。

[0067] CPU 3 9が初期処理を繰り返し実行している場合において、キャパシタC 1の端子電圧値が基準電圧値以上となったとき、ダイオードD 1のカソードにおける電圧値が第2閾値以上となるため、OR回路2 1は、駆動回路1 3に出力している電圧をローレベル電圧からハイレベル電圧に切替え、駆動回路1 3はメインスイッチ1 1をオフからオンに切替える。

[0068] 出力装置1 4では、CPU 3 9が初期処理を繰り返し実行している時間が基準時間以上となった場合、キャパシタC 1の端子電圧値が基準電圧値以上となる。キャパシタC 1の端子電圧値が基準電圧値以上となった場合、OR回路2 1は、駆動回路1 3に出力している電圧をローレベル電圧からハイレベル電圧に切替える。ここで、基準時間は、前述した到達時間に相当する。

[0069] 図4は計時再開処理の手順を示すフローチャートである。CPU 3 9は、タイマ3 0からCPU 3 9にタイマ信号が出力される都度、計時再開処理を実行する。前述したように、タイマ3 0は、自身が計時している計時時間がタイマ時間以上となった場合、タイマ信号をCPU 3 9に出力し、計時を終了する。このため、計時再開処理が実行された時点では、タイマ3 0は計時を行っていない。

計時再開処理では、CPU 3 9は、タイマフラグの値を1に設定し（ステップS 2 1）、タイマ3 0に計時を開始させる（ステップS 2 2）。これにより、タイマ3 0は計時を再開する。CPU 3 9は、ステップS 2 2を実行した後、計時再開処理を終了する。

[0070] 図5は出力処理の手順を示すフローチャートである。CPU 3 9は、ステップS 1 1を実行して初期処理を終了してから、出力処理を周期的に実行する。CPU 3 9は、まず、タイマフラグの値が1であるか否かを判定する（ステップS 3 0）。CPU 3 9は、タイマフラグの値が1ではない、即ち、

タイマフラグの値がゼロであると判定した場合（S 3 0 : N O）、出力処理を終了する。

[0071] C P U 3 9 は、タイマフラグの値が 1 であると判定した場合（S 3 0 : Y E S）、タイマフラグの値をゼロに設定する（ステップ S 3 1）。次に、C P U 3 9 は、I / O ポート 3 1 の方向を「出力」に設定し（ステップ S 3 2）、I / O ポート 3 1 に指示して、出力レベルをローレベルに調整させる（ステップ S 3 3）。C P U 3 9 がステップ S 3 2, S 3 3 を実行することによって、バックアップ回路 2 0 の I / O ポート 3 1 のインピーダンスが接地インピーダンスとなる。これにより、キャパシタ C 1 は放電を開始し、キャパシタ C 1 の端子電圧値は低下する。

[0072] 次に、C P U 3 9 は、出力部 3 4 に指示して、通知信号を W D T 3 5 へ出力させる（ステップ S 3 4）。これにより、W D T 3 5 はゼロから計時を開始する。

[0073] C P U 3 9 は、ステップ S 3 4 を実行した後、入力部 3 2 にオン信号が入力されたか否かを判定する（ステップ S 3 5）。C P U 3 9 は、オン信号が入力されたと判定した場合（S 3 5 : Y E S）、出力部 3 3 に指示して、ハイレベル電圧を O R 回路 2 1 の一方の入力端へ出力させる（ステップ S 3 6）。これにより、O R 回路 2 1 はハイレベル電圧を駆動回路 1 3 に出力し、駆動回路 1 3 はメインスイッチ 1 1 をオンに切替える。C P U 3 9 は、ステップ S 3 6 を実行した後、出力処理を終了する。

[0074] C P U 3 9 は、オン信号が入力されていないと判定した場合（S 3 5 : N O）、オフ信号が入力されたか否かを判定する（ステップ S 3 7）。C P U 3 9 は、オフ信号が入力されたと判定した場合（S 3 7 : Y E S）、出力部 3 3 に指示して、ローレベル電圧を O R 回路 2 1 の一方の入力端へ出力させる（ステップ S 3 8）。

[0075] ステップ S 3 8 が実行された時点において、キャパシタ C 1 の端子電圧値が基準電圧値未満であった場合、O R 回路 2 1 はローレベル電圧を駆動回路 1 3 に出力し、駆動回路 1 3 はメインスイッチ 1 1 をオフに切替える。

ステップS 3 8 が実行された時点において、キャパシタC 1 の端子電圧値が基準電圧値以上であった場合、OR回路2 1 はハイレベル電圧を駆動回路1 3 に出力し続け、駆動回路1 3 はメインスイッチ1 1 をオンに維持する。

CPU 3 9 は、オフ信号が入力されていないと判定した場合（S 3 7 : NO）、又は、ステップS 3 8 を実行した後、出力処理を終了する。

[0076] 以上のように、キャパシタC 1 の端子電圧値が基準電圧値未満である場合においては、入力部3 2 にオン信号が入力されたとき、OR回路2 1 はハイレベル電圧を出力し、入力部3 2 にオフ信号が入力されたとき、OR回路2 1 はローレベル電圧を出力する。

[0077] 出力処理では、ステップS 3 6 及びステップS 3 8 夫々の実行は、タイマフラグの値が1 である場合に許可される。ステップS 3 6 又はステップS 3 8 が実行された時点では、タイマフラグの値はゼロに設定されている。タイマフラグの値は、CPU 3 9 が計時再開処理を実行するまで、即ち、タイマ3 0 が計時している計時時間がタイマ時間以上となるまで、1 に設定されることはない。従って、CPU 3 9 が計時再開処理のステップS 2 2 を実行してから、タイマ時間が経過するまでに、OR回路2 1 が出力している電圧を2 回以上切替えることはない。

[0078] 図6 は、出力装置1 4 の動作の一例を説明するためのタイミングチャートである。ここでは、CPU 3 9 が電源回路3 6 に再起動を行わせることなく初期処理を終了する例を説明する。

図6 には、キャパシタC 1 の端子電圧値の推移と、OR回路2 1 が出力する電圧の推移とが示されている。これらの推移の横軸には、時間が示されている。図6 では、ハイレベル電圧を「H」で示し、ローレベル電圧を「L」で示している。

[0079] 起動信号がマイコン2 2 の電源回路3 6 と切替え部2 4 とに入力されるか、又は、リセット回路4 0 によってCPU 3 9 が初期化された場合、サブスイッチ2 3 はオンであり、かつ、I/Oポート3 1 とキャパシタC 1 の一端との接続が遮断状態であるため、キャパシタC 1 の充電が開始される。起動

信号が入力されるか、又は、CPU 39が初期化された時点では、キャパシタC 1の端子電圧値は基準電圧値V_r未満であり、かつ、出力部33は電圧の出力を開始していないため、OR回路21は駆動回路13にローレベル電圧を出力し、駆動回路13はメインスイッチ11をオフにしている。

[0080] 起動信号が入力されるか、又は、CPU 39が初期化された後、CPU 39は、初期処理を実行する。ここで、CPU 39は、電源回路36に再起動を行わせることなく、タイマフラグの値をゼロに設定し、タイマ30の計時を開始させて初期処理を終了する。初期処理が終了した後、タイマ30が計時している計時時間がタイマ時間以上となった場合、タイマ30はタイマ信号をCPU 39に出力し、CPU 39は計時再開処理を実行する。CPU 39は、計時再開処理で、タイマフラグの値を1に設定し、タイマ30に計時をゼロから再開させる。

[0081] 次に、CPU 39は出力処理を実行する。出力処理では、タイマフラグの値が1であるため、I/Oポート31の方向は「出力」に設定され、I/Oポート31の出力レベルはローレベルに調整される。これにより、I/Oポート31のインピーダンスは接地インピーダンスとなり、キャパシタC 1は放電を開始する。これ以降、起動信号が入力されるか、又は、リセット回路40が初期化を行うまで、I/Oポート31のインピーダンスは接地インピーダンスに維持される。

[0082] 以上のように、起動信号が入力されるか、又は、CPU 39が初期化されてから、最初の出力処理が実行されるまで、キャパシタC 1は充電され、キャパシタC 1の端子電圧値は上昇する。キャパシタC 1の端子電圧値が基準電圧値V_r以上となる前に最初の出力処理が実行された場合、キャパシタC 1の端子電圧値が基準電圧値V_r以上となることはなく、OR回路21は、出力部33が出力した電圧に従って、ハイレベル電圧又はローレベル電圧を駆動回路13に出力する。

[0083] CPU 39が最初の出力処理を実行した後において、入力部32にオン信号が入力された場合、オン信号が入力された後に実行される出力処理で出力

部 3 3 はハイレベル電圧を出力し、駆動回路 1 3 はメインスイッチ 1 1 をオンに切替える。これにより、負荷 1 2 は作動する。

また、CPU 3 9 が最初の出力処理を実行した後において、入力部 3 2 にオフ信号が入力された場合、オフ信号が入力された後に実行される出力処理で出力部 3 3 はローレベル電圧を出力し、駆動回路 1 3 はメインスイッチ 1 1 をオフに切替える。これにより、負荷 1 2 は動作を停止する。

ただし、タイマフラグの値がゼロである場合、OR 回路 2 1 が出力している電圧が切替えられることはない。この場合、計時再開処理でタイマフラグの値が 1 に設定された後、OR 回路 2 1 が出力している電圧が切替えられる。

[0084] 最初の出力処理が実行された後において、起動信号が入力されるか、又は、CPU 3 9 が初期化された場合、CPU 3 9 は再び初期処理を実行する。

再起動が行われない場合において、起動信号が入力されるか、又は、CPU 3 9 が初期化されてから出力処理が実行されるまでの時間は、キャパシタ C 1 の端子電圧値がゼロ V から基準電圧値 V_r 以上となるまでの時間、即ち、基準時間よりも短い。

[0085] 前述したように、マイコン 2 2 の電源回路 3 6 と切替え部 2 4 とに停止信号が入力された場合、切替え部 2 4 はサブスイッチ 2 3 をオフに切替え、電源回路 3 6 は電力供給を停止する。電源回路 3 6 が電力供給を停止した場合、I/O ポート 3 1 は動作を停止し、I/O ポート 3 1 とキャパシタ C 1 の一端との接続は遮断状態となる。従って、マイコン 2 2 の電源回路 3 6 と切替え部 2 4 とに停止信号が入力された場合、キャパシタ C 1 に係る充電及び放電は行われず、キャパシタ C 1 の端子電圧値は保持される。

[0086] 図 7 は、出力装置 1 4 の動作の他例を説明するためのタイミングチャートである。ここでは、CPU 3 9 が初期処理を繰り返し実行している時間が基準時間以上となる例を説明する。

図 7 にも、図 6 と同様に、キャパシタ C 1 の端子電圧値の推移と、OR 回路 2 1 が出力する電圧の推移とが示されている。これらの推移の横軸には、

時間が示されている。図7でも、ハイレベル電圧を「H」で示し、ローレベル電圧を「L」で示している。

[0087] 起動信号が入力されるか、又は、CPU39が初期化された場合、前述したように、サブスイッチ23はオンであり、かつ、I/Oポート31とキャパシタC1の一端との接続が遮断状態であるため、キャパシタC1の充電が開始される。起動信号が入力されるか、又は、CPU39が初期化された時点では、キャパシタC1の端子電圧値は基準電圧値 V_r 未満であり、かつ、出力部33は電圧の出力を開始していないため、OR回路21は駆動回路13にローレベル電圧を出力し、駆動回路13はメインスイッチ11をオフにしている。

[0088] 起動信号が入力されるか、又は、CPU39が初期化された後、CPU39は、初期処理を実行する。この初期処理で、CPU39が電源回路36に再起動を行わせた場合、CPU39は再起動し、再び、初期処理を実行する。CPU39が再起動してから再び初期処理を実行するまでの間、サブスイッチ23はオンであり、かつ、I/Oポート31とキャパシタC1の一端との接続は遮断状態であるので、キャパシタC1の充電が継続され、キャパシタC1の端子電圧値は上昇し続ける。

[0089] 電源回路36が再起動を行うことなく初期処理が終了されるまで、CPU39は、計時再開処理及び出力処理を実行することなく、初期処理を繰り返し実行する。CPU39が初期処理を繰り返し実行している間、キャパシタC1の端子電圧値は上昇し続ける。

[0090] CPU39が初期処理を繰り返し実行している時間が基準時間以上となった場合、キャパシタC1の端子電圧値が基準電圧値 V_r 以上となる。キャパシタC1の端子電圧値が基準電圧値 V_r 以上となった場合、OR回路21は、駆動回路13に出力している電圧をローレベル電圧からハイレベル電圧に切替える。これにより、駆動回路13はメインスイッチ11をオフからオンに切替え、負荷12は作動する。

[0091] キャパシタC1の端子電圧値が電圧値 V_{cc} に到達した後においては、I

／Oポート31のインピーダンスが接地インピーダンスに切替わるまで、キャパシタC1の端子電圧値は電圧値Vccに維持される。

[0092] 以上のように、CPU39が初期処理を繰り返し実行してCPU39の動作が不安定である時間が基準時間以上となった場合、OR回路21が出力している電圧を、ローレベル電圧から、適切な電圧であるハイレベル電圧に切替えることができる。

また、バックアップ回路20を設けることによって、CPU39が初期処理を繰り返し実行している時間が基準時間以上となった場合に、OR回路21が出力している電圧がローレベル電圧からハイレベル電圧に切替わる構成が簡単にハードウェアで実現されている。

[0093] なお、初期処理においてCPU39が実行する所定処理の数は3に限定されず、1であってもよい。例えば、ROM37に記憶されているデータが変更される確率と、初期値の設定に失敗する確率が極めて低い場合、CPU39はステップS4～S6、S9を実行しなくてもよい。この場合、CPU39は、ステップS1で書き込んだデータがステップS2で読み出したデータと一致したと判定した場合（S3：YES）、ステップS7を実行する。更に、CPU39は、ステップS8を実行した後、ステップS10を実行する。

また、初期処理においてCPU39が実行する所定処理の数は、2、又は4以上であってもよい。

[0094] （実施の形態2）

図8は、実施の形態2における電源システム1の要部構成を示すブロック図である。

以下では、実施の形態2について、実施の形態1と異なる点を説明する。後述する構成を除く他の構成については、実施の形態1と共通しているため、実施の形態1と共通する構成部には実施の形態1と同一の参照符号を付してその説明を省略する。

[0095] 実施の形態2における電源システム1を実施の形態1における電源システ

ム 1 と比較した場合、マイコン 22 の構成と、初期処理とが異なる。実施の形態 2 におけるマイコン 22 では、リセット回路 40 は、WDT 35 の他に、バス 41 に接続されている。

実施の形態 2 では、WDT 35 だけではなく、CPU 39 も、リセット回路 40 に、タイマ 30、I/Oポート 31、入力部 32、出力部 33、34、WDT 35、ROM 37、RAM 38 及び CPU 39 の初期化を指示する。リセット回路 40 は、WDT 35 又は CPU 39 によって初期化が指示された場合、タイマ 30、I/Oポート 31、入力部 32、出力部 33、34、WDT 35、ROM 37、RAM 38 及び CPU 39 を初期化する。

[0096] 図 9 は初期処理の手順を示すフローチャートである。実施の形態 2 における初期処理のステップ S 41～S 51 は、実施の形態 1 における初期処理のステップ S 1～S 11 と同様である。このため、ステップ S 41～S 51 の詳細な説明を省略する。

CPU 39 は、ステップ S 41 で書き込んだデータがステップ S 42 で読出したデータと一致しないと判定した場合（S 43：NO）、データ値が設定値と一致しないと判定した場合（S 46：NO）、又は、初期値の設定に失敗したと判定した場合（S 49：NO）、リセット回路 40 に初期化を行わせる（ステップ S 52）。

[0097] これにより、リセット回路 40 は、タイマ 30、I/Oポート 31、入力部 32、出力部 33、34、WDT 35、ROM 37、RAM 38 及び CPU 39 を初期化し、CPU 39 は再び初期処理を実行する。

CPU 39 は、ステップ S 52 を実行した後、初期処理を終了する。実施の形態 1 で述べたように、CPU 39 は、初期化された場合、初期処理を実行する。

[0098] 実施の形態 2 においては、電源回路 36 が再起動を行う代わりに、リセット回路 40 が初期化を行う。実施の形態 1 で述べたように、リセット回路 40 が初期化を実行している間、キャパシタ C 1 の充電は継続され、キャパシタ C 1 の端子電圧値は上昇し続ける。

従って、以上のように構成された実施の形態 2 における出力装置 14 も、実施の形態 1 における出力装置 14 と同様の効果を奏する。

[0099] 実施の形態 2 においては、CPU 39 の指示に従ってリセット回路 40 が初期化を行わない場合に、起動信号が入力されるか、又は、WDT 35 の指示に従ってリセット回路 40 が初期化を行ってから出力処理が実行されるまでの時間は、実施の形態 1 で述べた基準時間よりも短い。

CPU 39 は、ステップ S 51 を実行して初期処理を終了してから、出力処理を周期的に実行する。

[0100] なお、実施の形態 2 における初期処理においても、CPU 39 が実行する所定処理の数は 3 に限定されず、1 であってもよい。例えば、ROM 37 に記憶されているデータが変更される確率と、初期値の設定に失敗する確率が極めて低い場合、CPU 39 は、ステップ S 44～S 46、S 49 を実行しなくてもよい。この場合、CPU 39 は、ステップ S 41 で書き込んだデータがステップ S 42 で読み出したデータと一致したと判定した場合（S 43：YES）、ステップ S 47 を実行する。更に、CPU 39 は、ステップ S 48 を実行した後、ステップ S 50 を実行する。

また、初期処理において CPU 39 が実行する所定処理の数は、2、又は 4 以上であってもよい。

[0101] また、実施の形態 1、2 において、CPU 39 が初期処理を繰り返し実行している時間が基準時間以上となったか否かを、キャパシタ C 1 の端子電圧値に基づいて検知しなくてもよい。例えば、図示しないタイマが計時している計時時間に基づいて、CPU 39 が初期処理を繰り返し実行している時間が基準時間以上となったか否かを検知してもよい。

[0102] （実施の形態 3）

実施の形態 3 における電源システム 1 を実施の形態 1 における電源システム 1 と比較した場合、WDT 35 の構成と、CPU 39 が実行する初期処理とが異なる。

以下では、実施の形態 3 について、実施の形態 1 と異なる点を説明する。

後述する構成を除く他の構成については、実施の形態１と共通しているため、実施の形態１と共通する構成部には実施の形態１と同一の参照符号を付してその説明を省略する。

[0103] WDT35は、実施の形態１と同様に作用する。従って、WDT35は、出力部34から通知信号が入力される都度、ゼロから計時を開始する。実施の形態3では、WDT35が起動したか、又は、初期化された場合も、WDT35は、ゼロから計時を開始する。このため、WDT35は、CPU39が初期化処理を実行している間も、計時を行っている。実施の形態１で述べたように、WDT35が計時している計時時間がWDT時間以上となった場合、WDT35は、リセット回路40に、タイマ30、I/Oポート31、入力部32、出力部33、34、WDT35、ROM37、RAM38及びCPU39の初期化を指示する。

[0104] 図10は、実施の形態3における初期処理の手順を示すフローチャートである。実施の形態3におけるステップS61～S71は実施の形態1におけるステップS1～S11と同様である。このため、ステップS61～S71の詳細な説明を省略する。

[0105] CPU39は、ステップS61でRAM38に書き込んだデータがステップS62でRAM38から読み出したデータと一致しないと判定した場合（S63：NO）、ステップS61を再び実行する。CPU39は、ステップS61、S62を実行した結果として、ステップS63で、ステップS61で書き込んだデータがステップS62で読み出したデータと一致するという特定結果が得られなかったと判定した場合、ステップS61、S62を再び実行する。CPU39は、ステップS63で特定結果が得られたと判定するまで、ステップS61、S62を繰り返し実行する。

[0106] CPU39は、データ値が設定値と一致しないと判定した場合（S66：NO）、ステップS64を再び実行する。CPU39は、ステップS64、S65を実行した結果として、ステップS66でデータ値が設定値に一致するという特定結果が得られなかったと判定した場合、ステップS64、S6

5を再び実行する。CPU39は、ステップS66で特定結果が得られたと判定するまで、ステップS64、S65を繰り返し実行する。

[0107] CPU39は、ステップS69で初期値の設定に失敗したと判定した場合（S69：NO）、ステップS68を実行する。CPU39は、ステップS68を実行した結果として、ステップS69で初期値の設定に成功したという特定結果が得られなかったと判定した場合、ステップS68を再び実行する。CPU39は、ステップS69で特定結果が得られたと判定するまで、ステップS68を繰り返し実行する。

[0108] CPU39が初期処理を実行している間にWDT35が計時している計時時間がWDT時間以上となった場合、リセット回路40は初期化を行い、CPU39は初期処理を最初から実行する。前述したように、WDT35が初期化された場合、WDT35はゼロから計時する。

[0109] 実施の形態3においては、初期処理のステップS63、S66、S69の判定が2回以上行われない場合、起動信号が入力されるか、又は、CPU39が初期化されてから出力処理が実行されるまでの時間は、実施の形態1で述べた基準時間よりも短く、WDT時間よりも短い。

CPU39は、ステップS71を実行して初期処理を終了した後、出力処理を周期的に実行する。

[0110] 以上のように構成された実施の形態3における出力装置14も、実施の形態1における出力装置14と同様の効果を奏する。

実施の形態1においては、CPU39が初期処理のステップS3、S6、S9のいずれかで特定結果が得られなかったと判定する都度、電源回路36が再起動を行い、CPU39は初期処理を再び実行する。実施の形態3においては、CPU39が初期処理のステップS63、S66、S69のいずれかで特定結果が得られなかったと判定した場合、初期処理が終了されず、継続される。そして、例えば、CPU39が初期処理のステップS61、S62を繰り返し実行しているために初期処理の継続期間が長期化した場合、WDT35が計時している計時時間がWDT時間以上となる。このとき、リセ

ット回路40は初期化を行い、CPU39は初期処理を最初から実行する。

[0111] 実施の形態1で述べたように、リセット回路40が初期化を実行している間、キャパシタC1の充電は継続され、キャパシタC1の端子電圧値は上昇し続ける。従って、CPU39が初期処理を繰り返し実行している間、実施の形態1で述べたように、キャパシタC1の充電が継続され、キャパシタC1の端子電圧値は上昇し続ける。キャパシタC1の端子電圧値が基準電圧値 V_r 以上となった場合、OR回路21は、抵抗R1の一端における電圧値に無関係にハイレベル電圧を駆動回路13に出力する。

[0112] なお、実施の形態3における初期処理においてCPU39が実行する所定処理の数は3に限定されず、1であってもよい。例えば、ROM37に記憶されているデータが変更される確率と、初期値の設定に失敗する確率が極めて低い場合、ステップS64～S66、S69を実行しなくてもよい。この場合、CPU39は、ステップS61で書き込んだデータがステップS62で読み出したデータと一致したと判定した場合（S63：YES）、ステップS67を実行する。更に、CPU39は、ステップS68を実行した後、ステップS70を実行する。

また、初期処理においてCPU39が実行する所定処理の数は、2、又は4以上であってもよい。

[0113] また、実施の形態3において、起動信号が入力されるか、又は、WDT35の指示に従ってリセット回路40が初期化を行ってから初期処理が終了するまでの時間が基準時間以上となったか否かを、キャパシタC1の端子電圧値に基づいて検知しなくてもよい。例えば、図示しないタイマが計時している計時時間に基づいて、起動信号が入力されるか、又は、WDT35の指示に従ってリセット回路40が初期化を行ってから初期処理が終了するまでの時間が基準時間以上となったか否かを検知してもよい。

[0114] 更に、実施の形態1～3において、抵抗R2を介して充電される蓄電器は、キャパシタC1に限定されず、電池であってもよい。

また、実施の形態1～3において、メインスイッチ11は、Nチャネル型

の F E T に限定されず、 P チャネル型の F E T 、バイポーラトランジスタ又はリレー接点等であってもよい。

[0115] 開示された実施の形態 1 ～ 3 はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は、上述した意味ではなく、請求の範囲によって示され、請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。

符号の説明

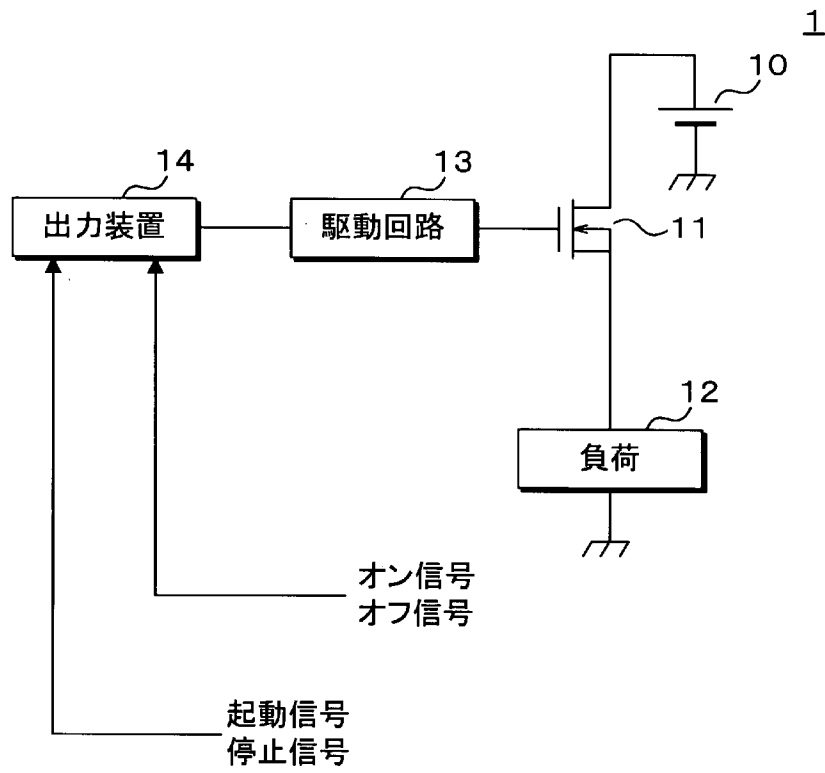
- [0116] 1 1 メインスイッチ
 1 3 駆動回路（切替え回路）
 1 4 出力装置
 2 1 O R 回路（出力回路）
 3 6 電源回路
 3 9 C P U （処理部、判定部）
 C 1 キャパシタ（蓄電器）

請求の範囲

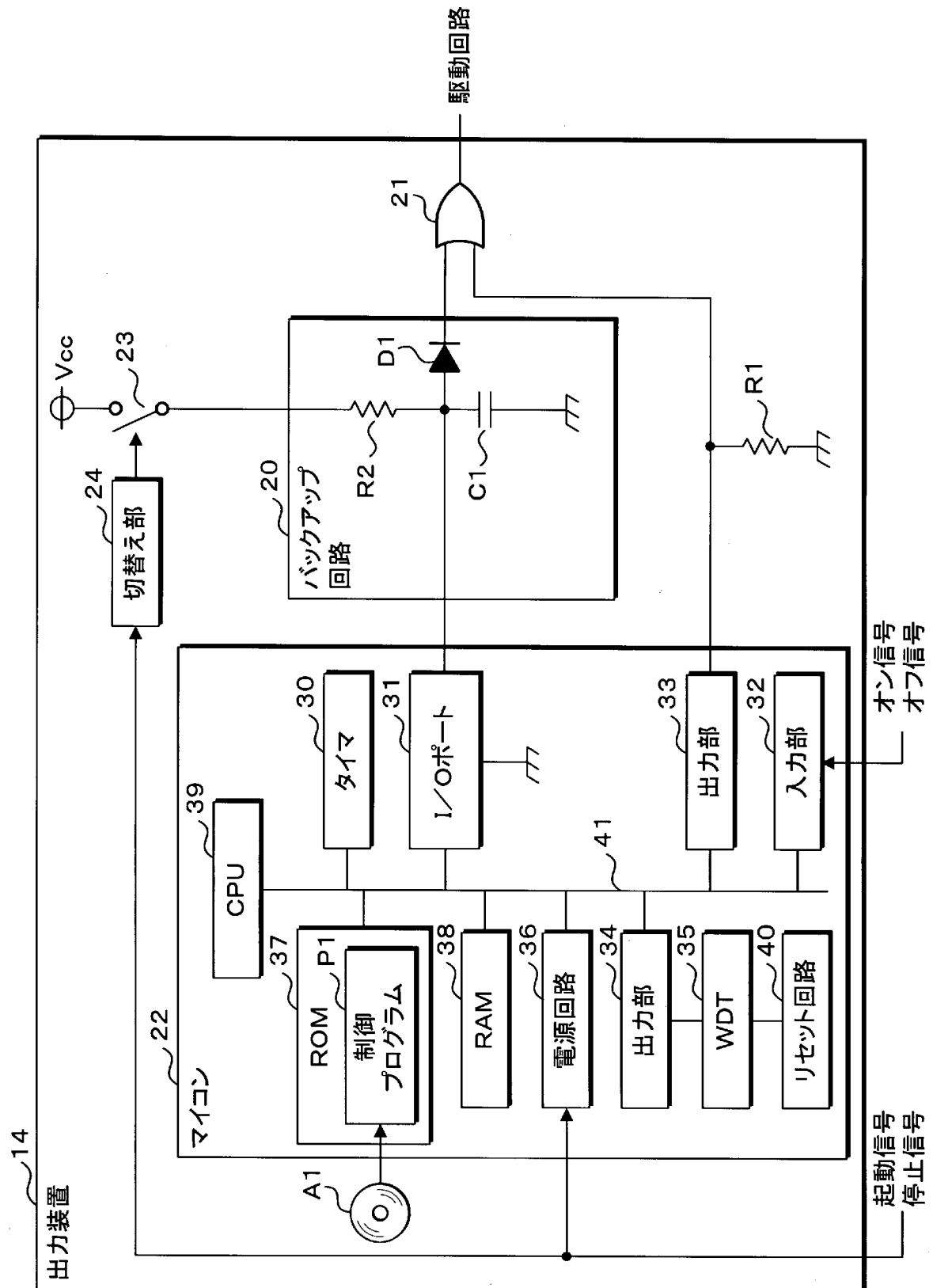
- [請求項1] 2つの電圧中の一方向の電圧を出力する出力回路を備える出力装置において、
- 所定処理を実行する処理部と、
- 該処理部が前記所定処理を実行した結果として、特定結果が得られたか否かを判定する判定部と
- を備え、
- 前記処理部は、該判定部によって、前記特定結果が得られなかったと判定された場合に再び前記所定処理を実行し、
- 前記出力回路は、前記処理部が前記所定処理を繰り返し実行している時間が所定時間以上となった場合、出力している電圧を他の電圧に切替えるように構成してあること
- を特徴とする出力装置。
- [請求項2] 前記処理部が前記所定処理を繰り返し実行している間、充電される蓄電器を備え、
- 前記蓄電器の端子電圧値が所定電圧値以上である場合に、前記出力回路は、出力している電圧を前記他の電圧に切替えるように構成してあること
- を特徴とする請求項1に記載の出力装置。
- [請求項3] 前記処理部への電力供給を行う電源回路を備え、
- 前記電源回路は、前記判定部によって前記特定結果が得られなかったと判定された場合に前記電力供給を停止し、該電力供給を停止した直後に該電力供給を再開し、
- 前記処理部は、前記電源回路が該電力供給を再開した後に再び前記所定処理を実行するように構成してあること
- を特徴とする請求項1又は請求項2に記載の出力装置。
- [請求項4] 請求項1から請求項3のいずれか1つに記載の出力装置と、
- スイッチと、

前記出力回路が出力した電圧に基づいて該スイッチをオン又はオフに切替える切替え回路と
を備えることを特徴とする切替えシステム。

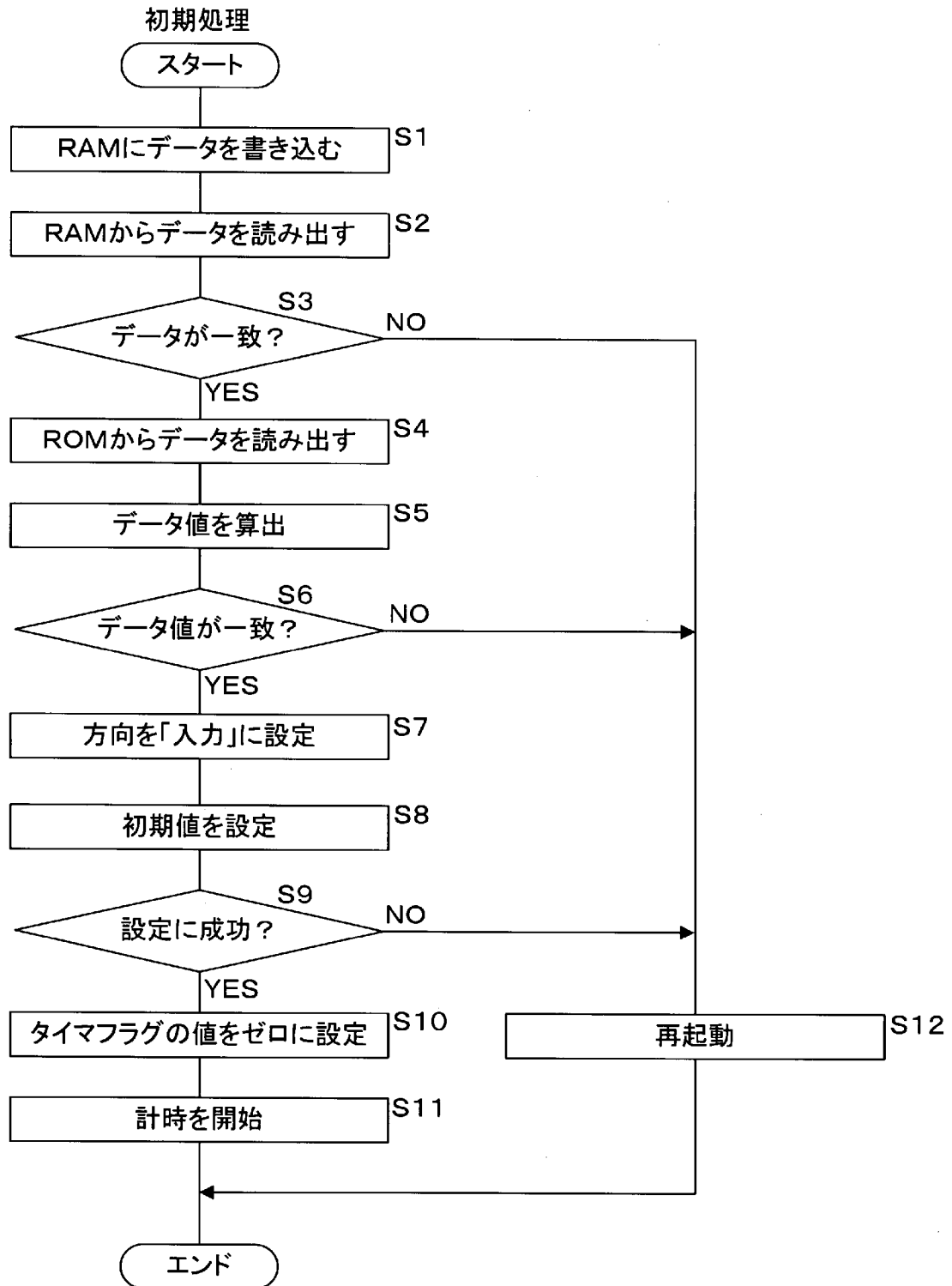
[図1]



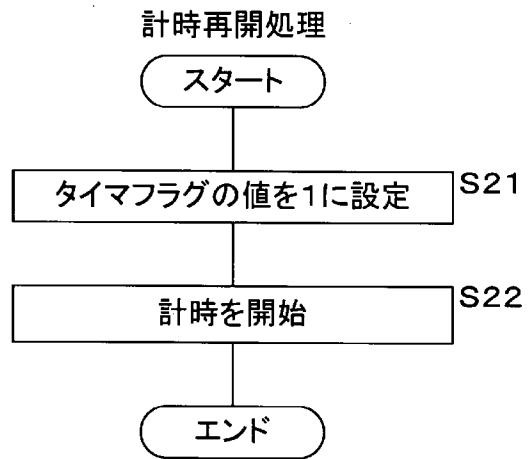
[図2]



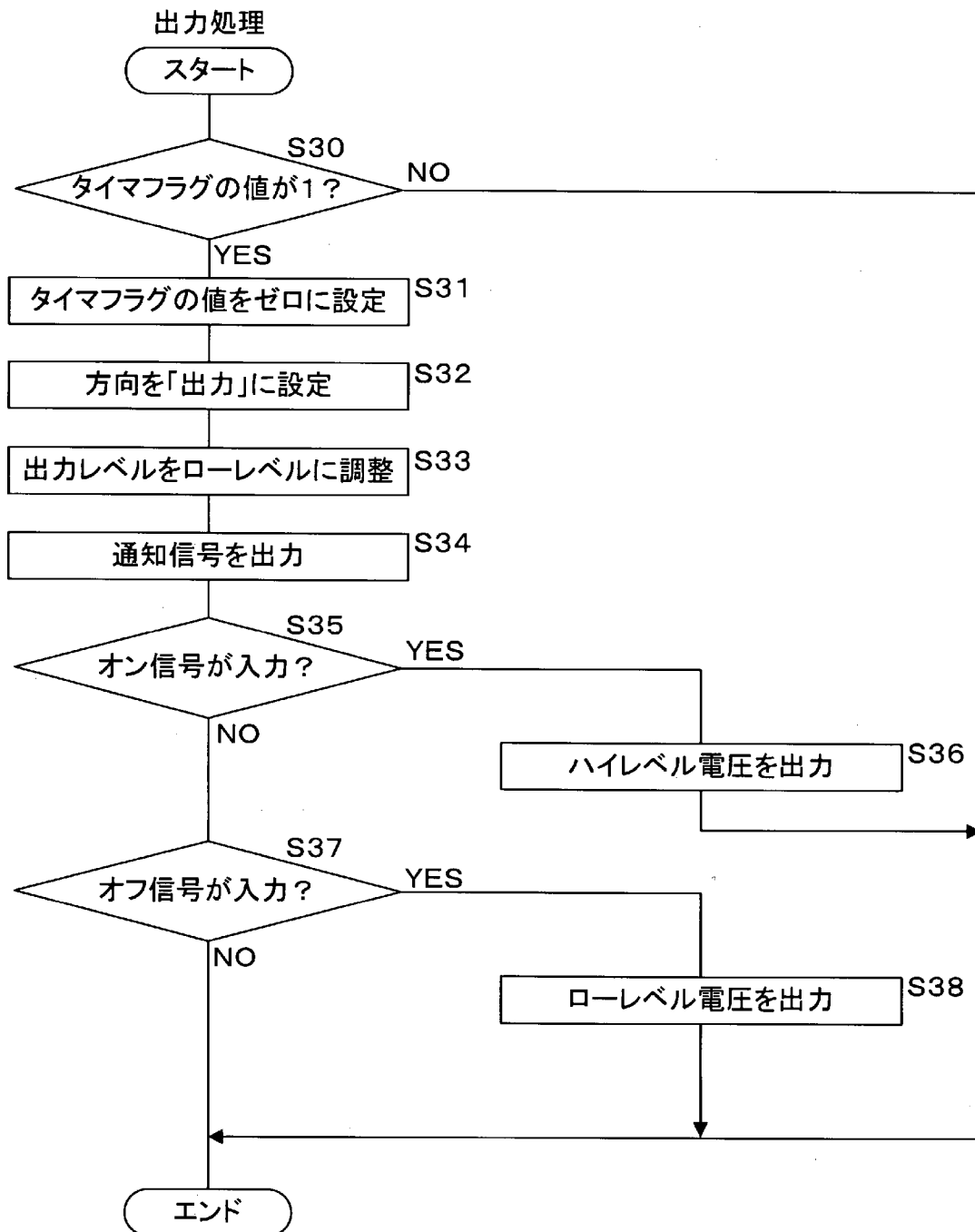
[図3]



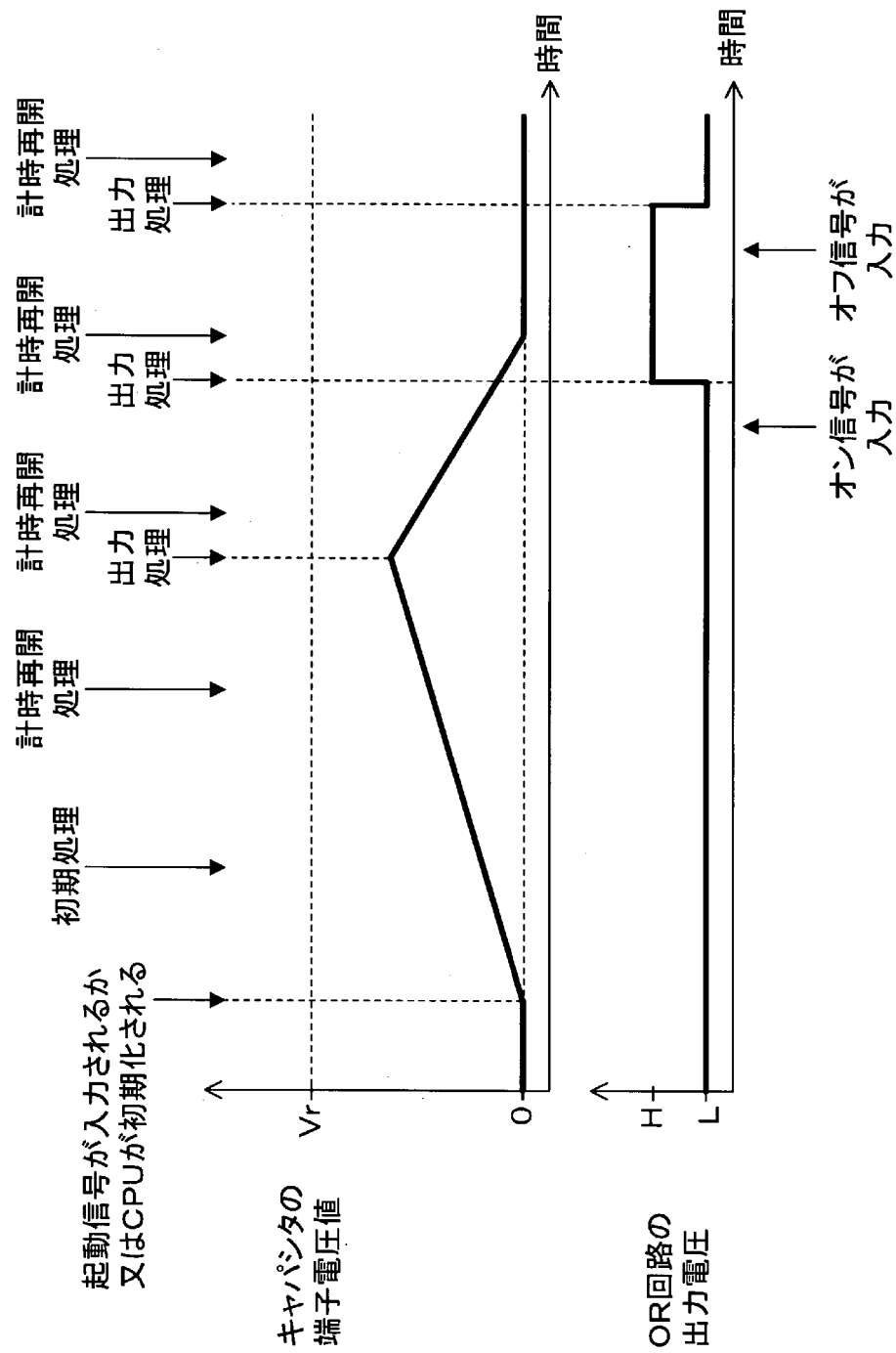
[図4]



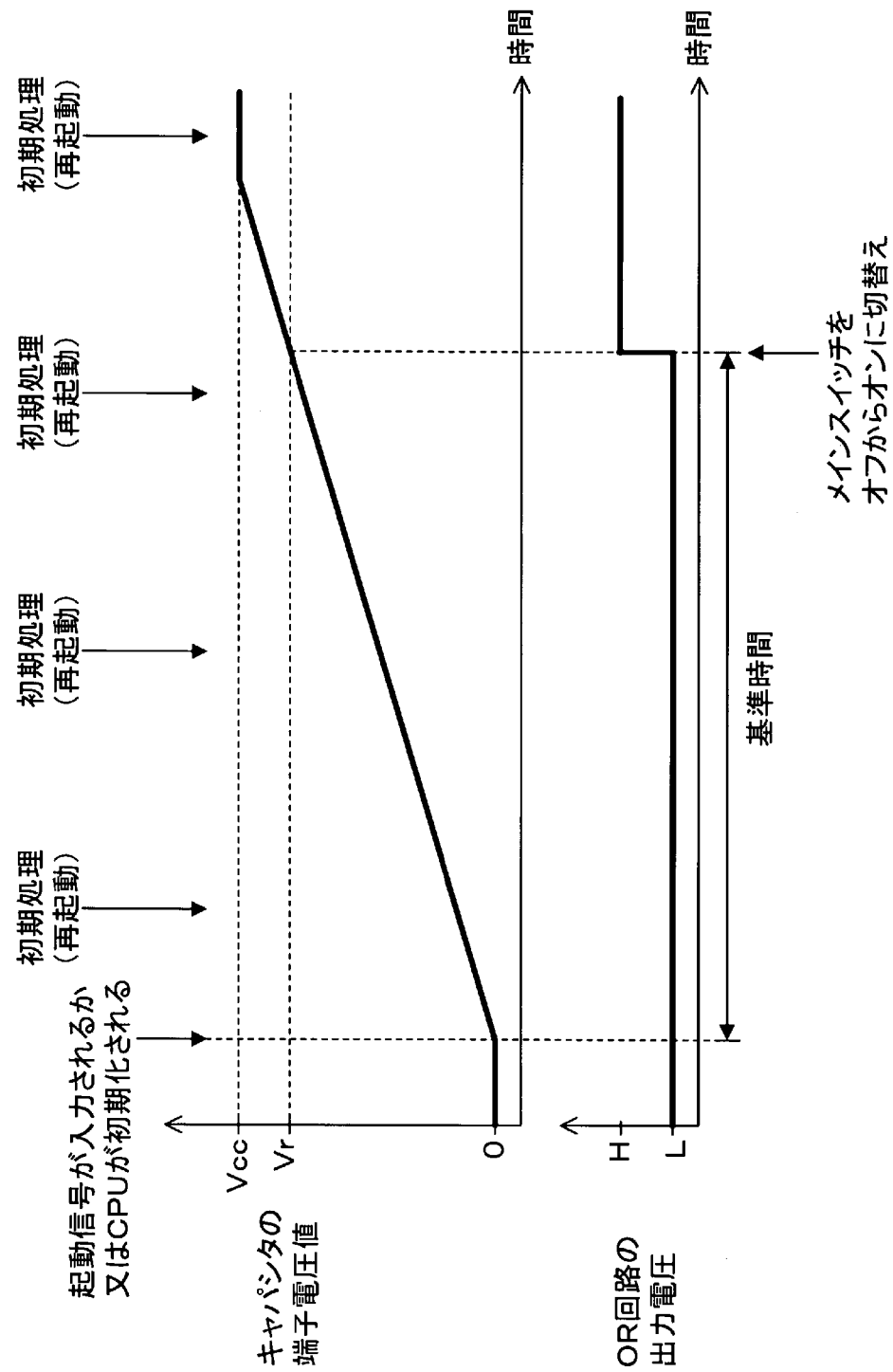
[図5]



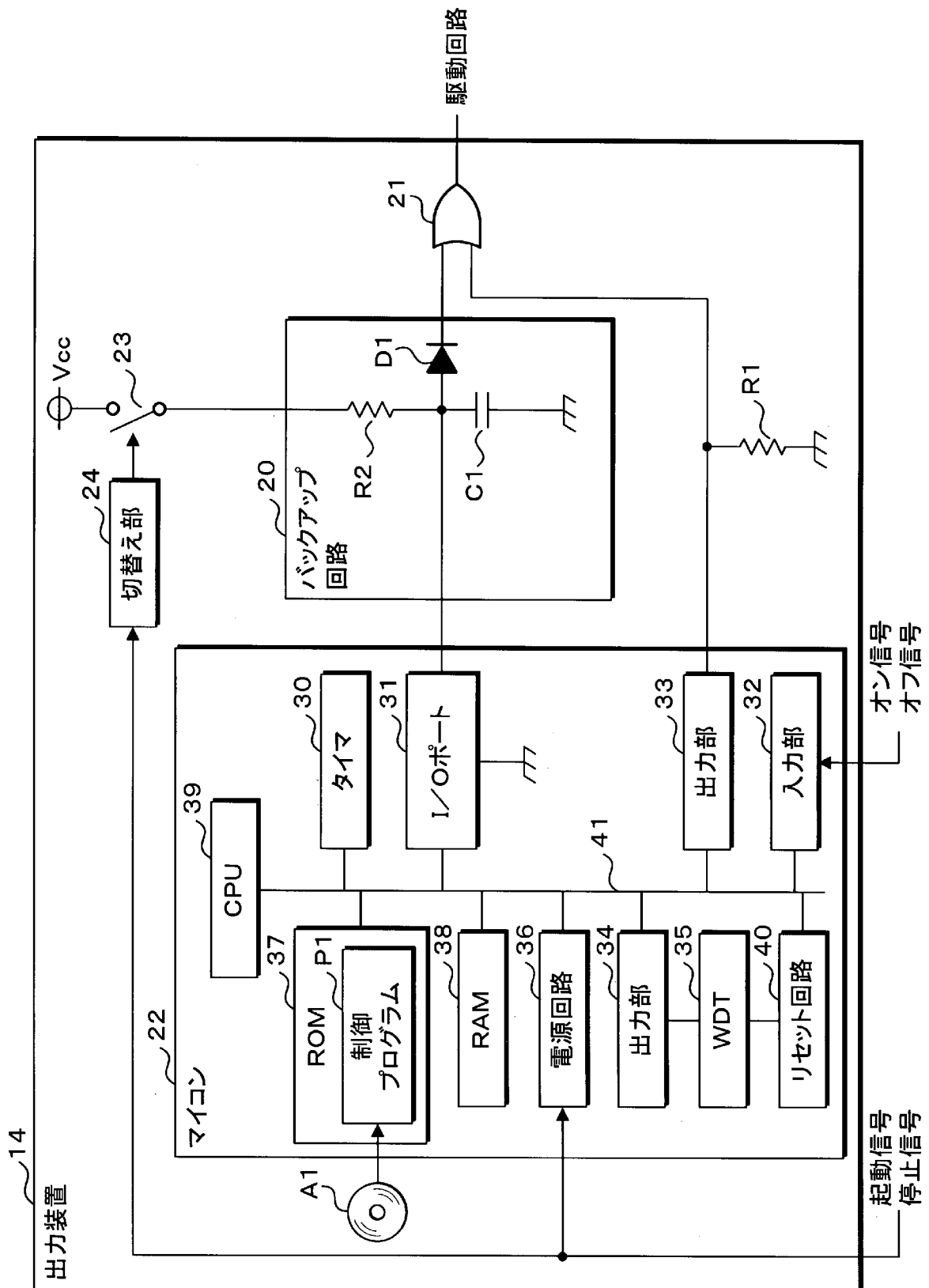
[図6]



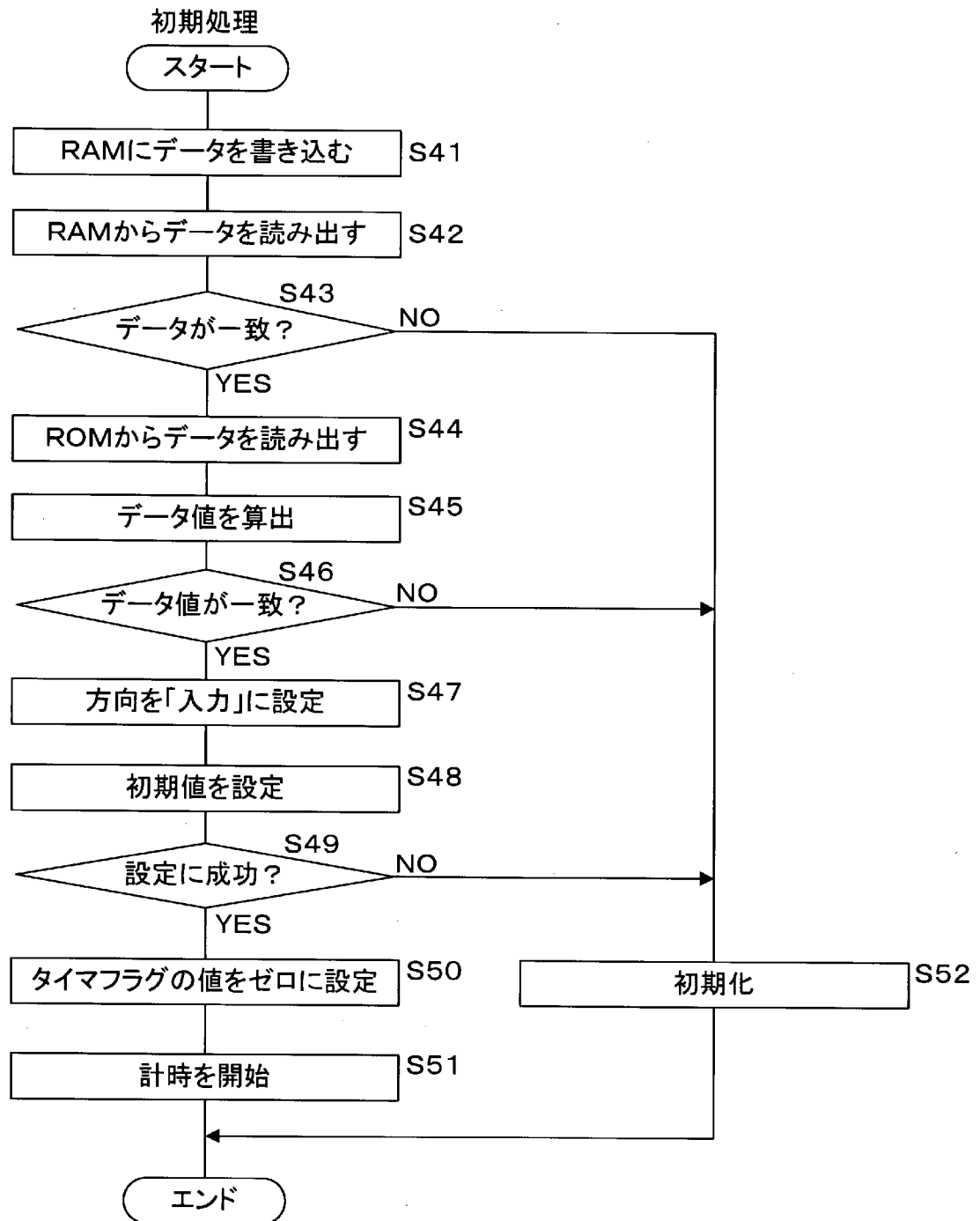
[図7]



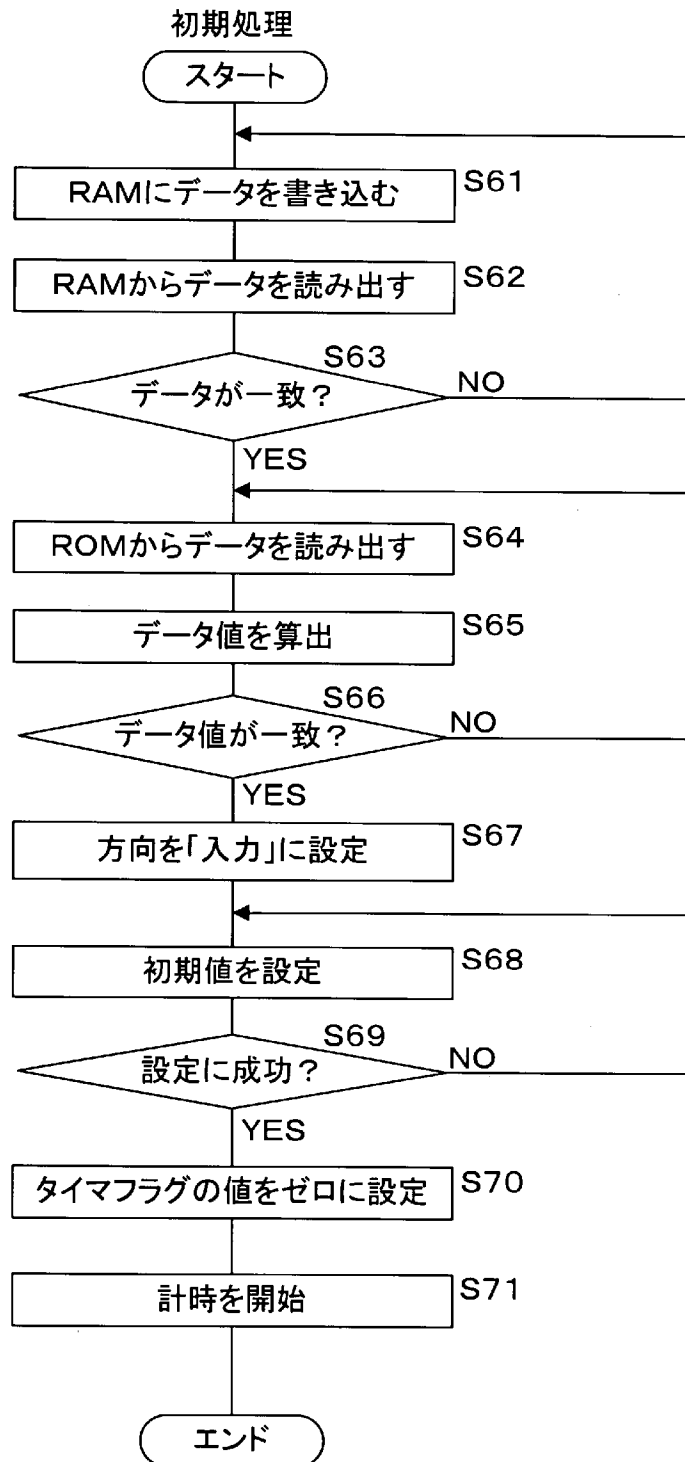
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/021107

A. CLASSIFICATION OF SUBJECT MATTER

H03K17/00(2006.01)i, G06F1/26(2006.01)i, H03K17/28(2006.01)i, B60R16/02(2006.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/00, G06F1/26, H03K17/28, B60R16/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-19416 A (Hitachi Automotive Systems, Ltd.), 03 February 2014 (03.02.2014), paragraphs [0009] to [0018]; fig. 1 to 4 (Family: none)	1-4
A	JP 2013-64385 A (Denso Corp.), 11 April 2013 (11.04.2013), paragraphs [0026] to [0047], [0079] to [0091]; fig. 1, 2, 8 to 10 (Family: none)	1-4
A	JP 2013-209982 A (Denso Corp.), 10 October 2013 (10.10.2013), paragraphs [0025] to [0052]; fig. 1 to 3 & DE 102013203186 A1	1-4

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
18 August 2017 (18.08.17)

Date of mailing of the international search report
29 August 2017 (29.08.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/021107

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2014/175089 A1 (Autonetworks Technologies, Ltd.), 30 October 2014 (30.10.2014), paragraphs [0020] to [0042]; fig. 1, 2 & JP 14-175089 A1 & US 2016/0056001 A1 paragraphs [0031] to [0057]; fig. 1, 2 & CN 105191129 A	1-4

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03K17/00(2006.01)i, G06F1/26(2006.01)i, H03K17/28(2006.01)i, B60R16/02(2006.01)n

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03K17/00, G06F1/26, H03K17/28, B60R16/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-19416 A (日立オートモティブシステムズ株式会社) 2014.02.03, 段落 [0009] - [0018], 図1-4 (ファミリーなし)	1-4
A	JP 2013-64385 A (株式会社デンソー) 2013.04.11, 段落 [0026] - [0047], [0079] - [0091], 図1, 2, 8-10 (ファミリーなし)	1-4
A	JP 2013-209982 A (株式会社デンソー) 2013.10.10, 段落 [002	1-4

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

18.08.2017

国際調査報告の発送日

29.08.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

▲高▼橋 義昭

電話番号 03-3581-1101 内線 3576

5W

4776

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	5] - [0 0 5 2], 図 1 - 3 & DE 102013203186 A1 WO 2014/175089 A1 (株式会社オートネットワーク技術研究所) 2014. 10. 30, 段落[0 0 2 0] - [0 0 4 2], 図 1, 2 & JP 14-175089 A1 & US 2016/0056001 A1, 段落 [0 0 3 1] - [0 0 5 7], 図 1, 2 & CN 105191129 A	1 - 4