

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3977997号
(P3977997)

(45) 発行日 平成19年9月19日(2007.9.19)

(24) 登録日 平成19年6月29日(2007.6.29)

(51) Int. Cl.		F I	
HO 1 L	21/8246	(2006.01)	HO 1 L 27/10 4 4 4 B
HO 1 L	27/105	(2006.01)	HO 1 L 27/10 6 2 1 Z
HO 1 L	21/8242	(2006.01)	
HO 1 L	27/108	(2006.01)	

請求項の数 7 (全 13 頁)

(21) 出願番号	特願2001-141991 (P2001-141991)	(73) 特許権者	000005821
(22) 出願日	平成13年5月11日(2001.5.11)		松下電器産業株式会社
(65) 公開番号	特開2002-343941 (P2002-343941A)		大阪府門真市大字門真1006番地
(43) 公開日	平成14年11月29日(2002.11.29)	(74) 代理人	100077931
審査請求日	平成15年6月6日(2003.6.6)		弁理士 前田 弘
		(74) 代理人	100094134
			弁理士 小山 廣毅
		(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上に、少なくとも強誘電体膜または高誘電体膜と、
前記強誘電体膜上または高誘電体膜上に形成された水素および水分を含む絶縁膜と、
前記強誘電体膜または高誘電体膜の上方を含むように、前記水素および水分を含む絶縁膜上を覆い、素子最表面にパッシベーション膜として形成された表面保護膜とを有し、
前記表面保護膜は、下層より順に形成されたシリコン窒化膜および加熱硬化されたアクリル樹脂を含む多層膜からなり、
前記水素および水分を含む絶縁膜および前記シリコン窒化膜は、230 よりも低い温度では当該絶縁膜中および当該シリコン窒化膜中の水素および水分を前記強誘電体膜または高誘電体膜に拡散させず、230 以上の温度では当該絶縁膜中の水素および水分を前記強誘電体膜または高誘電体膜に拡散させる膜であることを特徴とする半導体装置。

10

【請求項2】

前記強誘電体膜または前記高誘電体膜が、キャパシタの容量絶縁膜である、請求項1に記載の半導体装置。

【請求項3】

前記水素および水分を含む絶縁膜は、層間絶縁膜である、請求項1または2に記載の半導体装置。

【請求項4】

基板上に、強誘電体膜または高誘電体膜と、前記強誘電体膜上または高誘電体膜上に水

20

素および水分を含む層間絶縁膜とを形成する工程と、

前記強誘電体膜または高誘電体膜の上方を含むように、前記層間絶縁膜を覆うシリコン窒化膜を形成する工程と、

前記絶縁膜上を覆う素子最表面にパッシベーション膜としてアクリル樹脂を堆積する工程と、

前記アクリル樹脂を、加熱して硬化させる工程とを包含し、

前記パッシベーション膜の形成時において、前記層間絶縁膜および前記シリコン窒化膜は、230 よりも低い温度では当該層間絶縁膜中の水素および水分を前記強誘電体膜または高誘電体膜に拡散させず、230 以上の温度では当該層間絶縁膜中および当該シリコン窒化膜中の水素および水分を前記強誘電体膜または高誘電体膜に拡散させることを特徴とする半導体装置の製造方法。

10

【請求項5】

前記強誘電体膜または前記高誘電体膜が、キャパシタの容量絶縁膜である、請求項4に記載の半導体装置の製造方法。

【請求項6】

前記アクリル樹脂を加熱して硬化させる温度は、230 よりも低い温度である、請求項4または5に記載の半導体装置の製造方法。

【請求項7】

前記加熱処理は、ホットプレートにより行なわれる、請求項6に記載の半導体装置の製造方法。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、強誘電体膜または高誘電体膜を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

近年、強誘電体または高誘電率を有する誘電体材料を利用した不揮発性または大容量の半導体メモリ素子が開発されている。これらの誘電体材料は、金属酸化物の焼結体からなり、反応性に富む酸素を多く含んでいる。このような誘電体材料から容量絶縁膜を構成してキャパシタを形成する場合、容量絶縁膜の上部電極および下部電極には、酸化反応に対して安定な物質（例えば、白金を主成分とする合金等）を用いることが不可欠である。

30

【0003】

従来の半導体装置においては、キャパシタや層間絶縁膜などが形成された後の素子の最表面にパッシベーション膜が形成されるが、このパッシベーション膜としては、一般的に、窒化シリコンや酸化シリコンからなるものが用いられている。なお、このようなパッシベーション膜は、通常、CVD（Chemical Vapor Deposition）法を用いて形成されるため、その膜中に水素や水分が取り込まれていることが多い。

【0004】

また、例えばトランスファームールド方式による半導体装置の樹脂封止を行う場合、充填剤（通常、シリカ）を含む封止樹脂が用いられるが、封止樹脂に含まれる充填剤の粒子が硬いため、封止に際してこの充填剤が素子表面にダメージを与えてしまうことがある。加えて、DRAM（Dynamic Random Access Memory）の製造においては、充填剤に含まれる放射性成分から線が放出され、これがメモリのソフトエラーを引き起こすことがある。

40

【0005】

そこで、充填剤による素子表面へのダメージを防いだり、充填材からの線を遮蔽するために、あらかじめ、素子表面に有機膜であるポリイミドからなる保護膜を形成することが一般的に行われている。また、無機系絶縁材料からなるパッシベーション層上に、ポリイミドからなる保護膜を形成することも行われている。このポリイミド表面保護膜は、通常350～450程度の温度で、ポリイミド前駆体組成物膜を加熱して硬化させることに

50

よって形成される。

【0006】

一方、強誘電体膜または高誘電体膜を用いた半導体装置においても同様の理由から、ポリイミドの保護膜を形成することが求められている。しかしながら、現在、強誘電体膜からなる容量絶縁膜を含む半導体装置において、ポリイミドの保護膜を採用すると、ポリイミドを形成するための加熱処理の際に、強誘電体膜の分極特性が劣化してしまう。このため、実用化が困難な状態にある。これは、ポリイミド前駆体の加熱硬化の際に、例えばパッシベーション膜や層間絶縁膜に含まれる水素や水分が熱によって強誘電体膜に拡散し、それによって、強誘電体膜の分極特性が劣化してしまうからである。

【0007】

この劣化メカニズムは、上部・下部電極の白金が水素と作用して還元触媒として働き、酸化物である強誘電体膜を還元するために生じると推測される。また、水分がアルミニウムなどの配線材料と反応して水素を発生し、キャパシタ劣化を引き起こすとも考えられている（電子情報通信学会論文誌 C Vol.J83-C No.1 pp.53-59）。

【0008】

この問題に対して、強誘電体膜を有する半導体装置の表面保護膜として形成するポリイミド膜を、ポリイミド前駆体組成物膜を230 ~ 300 で加熱して硬化させて形成する方法が提案されている（特開平10-270611号公報参照）。この方法では、ポリイミド前駆体の加熱硬化温度が230 ~ 300 であるため、強誘電体膜の分極特性劣化は比較的小さくなる。なお、強誘電体膜と同じく、高誘電体膜にも同様の課題が生じ得る。

【0009】

以下、図7および図8を参照しながら、従来の半導体装置およびその製造方法を説明する。従来の半導体装置の例として、1トランジスタ/1キャパシタのメモリセルからなる強誘電体メモリのメモリセル部の断面模式図を図7に示す。

【0010】

図7に示した半導体装置は、基板1上に形成されたMOSトランジスタ2および強誘電体キャパシタ3を含んでおり、これらの上に位置する配線層5および第2の絶縁膜42を覆うように、ポリイミドからなる表面保護膜62が形成されている。

【0011】

図7中のMOSトランジスタ2は、ソース・ドレイン領域、ポリシリコンゲートなどの公知の構成要素から構成されている。ここでは、MOSトランジスタ2は、ポリシリコンからなるゲート電極21と、ゲート酸化膜22と、サイドウォール23と、シリコン窒化膜24、ソース・ドレイン領域（拡散領域）25、LOCOS26などから形成されている。

【0012】

強誘電体キャパシタ3は、下部電極32および上部電極34と、両電極の間に位置する強誘電体膜33とから構成されており、必要に応じて、電極密着層31が設けられる。強誘電体膜33は、例えば、チタン酸ジルコン酸鉛（ $Pb(Zr, Ti)O_3$ ；いわゆるPZT）膜またはタンタル酸ストロンチウムピスマス（ $SrBi_2Ta_2O_9$ ；いわゆるSBT）膜などの任意の材料から構成されている。

【0013】

第1の絶縁膜41の絶縁膜材料としては、例えばBPSG（Boro-Phospho Silicate Glass）、PSG（Phospho Silicate Glass）、 O_3 -TEOS（Tetra ethyl ortho silicate）等を用いたシリコン酸化膜、あるいはシリコン窒化膜が使用される。第1の絶縁膜41上に形成される第2の絶縁膜42は、例えば、常圧CVD法によるシリコン酸化膜である。第2の絶縁膜42上には、MOSトランジスタ2および強誘電体キャパシタ3に電氣的に接続する配線層5が形成されている。

【0014】

次に、図8（a）～（c）を参照しながら、図7に示した半導体装置の製造方法を説明す

10

20

30

40

50

る。図8(a)~(c)は、従来の半導体装置の製造工程を説明するための工程断面図である。

【0015】

まず、図8(a)に示すように、半導体基板1を用意する。次に、公知の任意の方法を用いて、図8(b)に示すように、MOSトランジスタ2や強誘電体キャパシタ3などから構成される素子領域および配線層5を形成する。

【0016】

次に、図8(c)に示すように、素子領域および配線層5を作り込んだ半導体基板1上に、ボンディングパッド部に開口部(不図示)を有するポリイミドからなる表面保護膜62を形成する。

10

【0017】

表面保護膜62の形成方法は、例えば、次のようである。まず、ポリイミド前駆体の加熱硬化温度が230~300である感光性ポリイミド材料を、素子領域および配線層5を作り込んだ半導体基板1表面に塗布する。次に、所定のパターンのマスクを介してポリイミド前駆体組成物膜を露光した後、未露光部を現像液で溶解除去し、次いで、230~300で加熱硬化させる。この後、ウエハをダイシングして半導体チップとし、さらに、樹脂封止してパッケージにし、次いで、これを実装する組立工程を行う。

【0018】

以上に述べたようにして、ポリイミドの表面保護膜を備えた、強誘電体キャパシタを含む半導体装置が提供される。この従来技術では、ポリイミド前駆体の加熱硬化温度を強誘電体膜の分極特性の著しい劣化が発生する300を越える温度よりも低い230~300としていることによって、劣化を比較的小さく抑えている。

20

【0019】

【発明が解決しようとする課題】

しかしながら、上記従来の構成では、半導体装置中の強誘電体膜33の劣化を十分に防止できないことを本願発明者は見出した。通常の350~450程度の熱処理よりも低い温度の熱処理でも、半導体装置中の強誘電体膜33の劣化が生じるのは、これらの半導体装置に使用している膜が、その脱ガス特性により、300以下でも水分子などを発生し、上述した強誘電体膜33の劣化を引き起こすからであると考えられる。

【0020】

この強誘電体膜33の劣化の防止が不十分であることは、特に、大容量、高集積の素子の場合に問題となる。大容量、高集積の素子の場合、強誘電体膜(または高誘電体膜)33のサイズも微細になるため、キャパシタ等の素子が特性劣化の影響を受けやすく、それゆえ、強誘電体膜33の劣化は、半導体装置全体の特性に大きく影響を与える。例えばメガビット級のメモリセルの場合には、製造バラツキにより数ビットのメモリセルが上述の劣化によって不良を起こすと、半導体装置としての歩留まりが低下して、その結果、安定した生産が困難となるという課題につながる。

30

【0021】

本発明はかかる諸点に鑑みてなされたものであり、その主な目的は、高誘電体膜および強誘電体膜を有する半導体装置の特性を劣化させることなく、信頼性に優れた半導体装置およびその製造方法を提供することにある。

40

【0022】

【課題を解決するための手段】

本発明による半導体装置は、基板上に、少なくとも強誘電体膜または高誘電体膜と表面保護膜とを有し、前記表面保護膜がアクリル樹脂から構成されていることを特徴とする。

【0023】

本発明による他の半導体装置は、基板上に、少なくとも強誘電体膜または高誘電体膜と表面保護膜とを有し、前記表面保護膜は、多層膜からなり、前記多層膜のうちの少なくとも1層は、アクリル樹脂から構成されていることを特徴とする。

【0024】

50

ある好適な実施形態において、記強誘電体膜または前記高誘電体膜は、キャパシタの容量絶縁膜である。

【0025】

本発明による更に他の半導体装置は、強誘電体膜または高誘電体膜を容量絶縁膜として含むキャパシタと、前記キャパシタを被覆する絶縁膜と、前記絶縁膜を被覆する表面保護膜とを備え、前記表面保護膜は、アクリル樹脂から構成されていることを特徴とする。

【0026】

本発明による半導体装置の製造方法は、基板上に、強誘電体膜または高誘電体膜を形成する工程と、前記強誘電体膜または高誘電体膜を覆うようにアクリル樹脂を堆積する工程と、前記アクリル樹脂を加熱して硬化させる工程とを包含する。

10

【0027】

本発明による他の半導体装置の製造方法は、基板上に、強誘電体膜または高誘電体膜を容量絶縁膜として含むキャパシタを形成する工程と、前記キャパシタを覆うように、前記基板上にアクリル樹脂を堆積する工程と、前記アクリル樹脂を加熱して硬化させる工程とを包含する。

【0028】

本発明による更に他の半導体装置の製造方法は、基板上に、強誘電体膜または高誘電体膜を容量絶縁膜として含むキャパシタを形成する工程と、前記キャパシタを覆うように、前記基板上に絶縁膜を形成する工程と、前記絶縁膜上にアクリル樹脂を堆積する工程と、前記アクリル樹脂を加熱して硬化させる工程とを包含する。

20

【0029】

ある好適な実施形態において、前記アクリル樹脂を加熱して硬化させる工程は、前記アクリル樹脂を250以下の温度で加熱処理する工程を含む。

【0030】

前記加熱処理は、ホットプレートにより行なわれることが好ましい。

【0031】

本発明では、表面保護膜をアクリル樹脂から構成しているため、ポリイミド樹脂と比べて低温でアクリル樹脂を加熱・硬化されることが可能になる。したがって、半導体装置に使用される膜に含まれる水素や水分が熱で強誘電体膜または高誘電体膜へと拡散することが低減し、その結果、半導体装置の特性劣化を小さくすることができる。また、アクリル樹脂を加熱・硬化の際に、ホットプレートを使用することより、オープン炉や拡散炉などの炉体を使用した加熱処理に比べて、短時間で加熱・硬化することができる。

30

【0032】

【発明の実施の形態】

本願発明者は、表面保護膜の加熱硬化の際に水素や水分が強誘電体膜に拡散して強誘電体膜の分極特性の劣化を防止するために、より低温で形成可能な表面保護膜を採用することを鋭意検討し、本発明に至った。半導体装置の表面保護膜として有機膜を用いる場合、耐熱性に優れたポリイミド膜を用いるのが一般的である。これは、半導体装置の製造において、半田リフローなどの熱処理工程に表面保護膜が耐える必要があるからである。しかし、今日、低温プロセス技術の開発の進展に加えて、半田を用いずにテープによって電氣的接続を行う技術、すなわち、半田リフロー工程を省略できる技術も開発されてきたことから、従来と比べて、耐熱性に優れた膜を使用しなくとも、半導体装置を製造できる可能性が広がっている。そこで、本願発明者は、ポリイミド膜よりも加熱硬化温度が低いアクリル樹脂を表面保護膜に用いることとした。

40

【0033】

アクリル樹脂の硬化温度は、約250以下であり、200～230の硬化温度のアクリル樹脂が数多く開発されている。このため、ポリイミド樹脂と比べてより低温でアクリル樹脂を加熱硬化して表面保護膜を形成することが可能となる。その結果、半導体装置に使用される膜に含まれる水素や水分が熱で強誘電体膜または高誘電体膜へと拡散することが低減することができるので、半導体装置の特性劣化を小さくすることが可能となる。

50

【 0 0 3 4 】

以下、図面を参照しながら、本発明による実施の形態を説明する。以下の図面においては、説明の簡潔化のため、実質的に同一の機能を有する構成要素を同一の参照符号で示す。なお、本発明は以下の実施形態に限定されない。

(実施形態 1)

図 1 から図 3 を参照しながら、本発明による実施形態 1 にかかる半導体装置を説明する。本実施形態の半導体装置は、1 トランジスタ / 1 キャパシタのメモリセルを含む強誘電体メモリである。

【 0 0 3 5 】

図 1 は、本実施形態の半導体装置に含まれるメモリセル部の断面構造を模式的に示している。図 1 に示した半導体装置は、基板 1 上に形成された M O S トランジスタ 2 および強誘電体キャパシタ 3 を含んでいる。

10

【 0 0 3 6 】

図 1 に示すように、M O S トランジスタ 2 および強誘電体キャパシタ 3 に電氣的に接続している配線層 5、および、基板 1 上に形成された第 1 の絶縁膜 4 1 上に位置する第 2 の絶縁膜 4 2 を覆うように、アクリル樹脂からなる表面保護膜 6 2 が形成されている。アクリル樹脂は、アクリル酸、メタクリル酸、または、それらのエステルからなる重合体あるいは共重合体であり、ポリメタクリル酸メチルも含むものとする。アクリル樹脂の硬化温度は、約 2 5 0 以下であり、好ましくは、2 3 0 ~ 2 0 0 程度である。本実施形態では、アクリル樹脂として、2 2 0 で硬化可能な J S R (旧社名 ; 日本合成ゴム) 製の P C 3 3 5 や P C 4 0 3 を用いた。

20

【 0 0 3 7 】

M O S トランジスタ 2 は、ソース・ドレイン領域 2 5、ポリシリコンゲート 2 1 などの公知の構成要素から構成されている。図 1 に示した M O S トランジスタ 2 は、ポリシリコンからなるゲート電極 2 1 と、ゲート酸化膜 2 2 と、サイドウォール 2 3 と、シリコン窒化膜 2 4、ソース・ドレイン領域 (拡散領域) 2 5、L O C O S 2 6 などから構成されている。

【 0 0 3 8 】

強誘電体キャパシタ 3 は、下部電極 3 2 および上部電極 3 4 と、両電極の間に位置する強誘電体膜 3 3 とから構成されている。下部・上部電極 3 2、3 4 を構成する材料は、白金 (P t)、金 (A u)、イリジウム (I r)、ルテニウム (R u)、ロジウム (R h)、パラジウム (P d) などから選択される金属、あるいは酸化イリジウム (I r O ₂) や酸化ルテニウム (R u O ₂) のような導電性金属酸化物である。さらに、そのような金属とチタン (T i) または窒化チタン (T i N) とからなる電極密着層 3 1 が必要に応じて設けられる。このように、強誘電体キャパシタ 3 は、積層膜構造を有している。

30

【 0 0 3 9 】

強誘電体膜 3 3 は、例えば、チタン酸ジルコン酸鉛 (P b (Z r , T i) O ₃ ; いわゆる P Z T) 膜またはタンタル酸ストロンチウムビスマス (S r B i ₂ T a ₂ O ₉ ; いわゆる S B T) 膜などの任意の材料から構成されている。

【 0 0 4 0 】

第 1 の絶縁膜 4 1 の絶縁膜材料としては、例えば B P S G (Boro-Phospho Silicate Glas s)、P S G (Phospho Silicate Glass)、O ₃ - T E O S (Tetra ethyl ortho silicate) 等を用いたシリコン酸化膜、あるいはシリコン窒化膜が使用される。本実施形態では、シリコン窒化膜 2 4 上に第 1 の絶縁膜 4 1 が形成されている。第 1 の絶縁膜 4 1 上には、第 2 の絶縁膜 4 2 が形成されており、第 2 の絶縁膜 4 2 は、例えば、常圧 C V D 法によるシリコン酸化膜である。

40

【 0 0 4 1 】

第 2 の絶縁膜 4 2 上には、M O S トランジスタ 2 および強誘電体キャパシタ 3 に電氣的に接続する配線層 5 が形成されている。配線層 5 の材料には、アルミニウム (A l)、銅 (C u)、タングステン (W)、チタン (T i)、シリコン (S i) を含む金属または化合

50

物や、それらの積層膜が一般的に使用される。

【0042】

次に、図2(a)~(c)を参照しながら、図1に示した半導体装置の製造方法を説明する。図2(a)~(c)は、本実施形態にかかる半導体装置の製造方法を説明するための工程断面図である。

【0043】

まず、図2(a)に示すように、半導体基板(シリコン基板)1を用意する。なお、基板1は、表面に半導体領域が形成されていれば良く、SOI基板を用いることも可能である。また、本願明細書では、1つまたは複数の層または素子が基板1上に形成された場合でも、便宜上「基板」と呼ぶことがある。

10

【0044】

次に、公知の任意の方法を用いて、図2(b)に示すように、MOSトランジスタ2や強誘電体キャパシタ3などから構成される素子領域および配線層5を形成する。

【0045】

次に、図2(c)に示すように、素子領域および配線層5を作り込んだ半導体基板1上に、アクリル樹脂からなる表面保護膜61を形成する。表面保護膜61には、ボンディングパッド部などの所定の位置に開口部(不図示)が形成されている。本実施形態では、感光性アクリル樹脂を基板上にスピン塗布した後、所定のパターンのマスクを介して、塗布したアクリル樹脂材料を露光する。次いで、未露光部を現像液で溶解除去し、ボンディングパッド開口部などを形成する。本実施形態で、アクリル樹脂として感光性組成物を用いたのは、所定のパターンのマスクを介して組成物膜を露光させ、次いで、未露光部を現像液で溶解除去した後、加熱硬化させることにより、所望のパターンのアクリル樹脂膜を容易に得ることができるからである。

20

【0046】

その後、専用のリンス液洗浄および水洗を行った後、ホットプレート加熱装置を用いて、空气中で、220℃で8分間加熱硬化させると、ボンディングパッド部に開口部を有するアクリル表面保護膜61が得られる。本実施形態において、得られるアクリル樹脂膜の厚さは3.0μmである。この後、公知の組立工程を実行して、半導体装置を完成させる。

【0047】

次に、図3(a)~(c)を参照しながら、本実施形態の半導体装置における強誘電体膜33の分極特性を説明する。

30

【0048】

図3(a)~(c)は、それぞれ、図2(b)に示した配線形成直後の表面保護膜無しの構造の場合、図1に示した表面保護膜61がアクリル樹脂の場合(本実施形態)、図7に示した表面保護膜62がポリイミドの場合(比較例)についての強誘電体膜33の分極特性を示すグラフである。

【0049】

より詳細に説明すると、図3(a)は、キャパシタ3の形成後に、常圧CVD法により層間絶縁膜(SiO₂膜)を形成し、次いで、公知の方法で上部電極34および下部電極32に接続する配線5を形成し、その後、特性回復のためのアニールを行った直後の構造のサンプルについての分極特性を示している。図3(a)は、当該サンプルをプロービングすることによって、強誘電体キャパシタ3の上部電極34および下部電極32の間に印加する電圧を種々に変化させて得られたヒステリシス曲線、つまり、印加電圧に対する強誘電体キャパシタの分極値のヒステリシス曲線である。この図3(a)に示したヒステリシス曲線を参照データとする。

40

【0050】

図3(b)および(c)は、上記サンプルと同じ構造の別のサンプルに対して、仕上がり膜厚3μmの表面保護膜61をコーティングしたサンプルが示すヒステリシス曲線である。図3(b)についてのサンプルは、感光性アクリル樹脂を塗布し、リソグラフィ工程を経た後、プレートベークによるキュアを220℃、10分間行ったものである。一方、図

50

3(c)についてのサンプルは、感光性ポリイミドを塗布し、リソグラフィ工程を経た後、プレートベークによるキュアを300、30分間行ったものである。

【0051】

図3(a)~(c)から理解できるように、図3(b)に示したアクリル樹脂の場合、図3(a)に示した参照データとほぼ変わらないヒステリシス曲線が得られた。すなわち、強誘電体膜33の分極特性の劣化は観測されなかった。一方、図3(c)に示したポリイミドの場合、ヒステリシス曲線は、上下方向に小さくなり、分極率が低下していることがわかる。すなわち、強誘電体膜33の分極特性の劣化が観測された。なお、図3(a)から(c)中の目盛りは、任意スケールである。

【0052】

本実施形態では、表面保護膜61をアクリル樹脂から構成しているため、ポリイミドからなる表面保護膜と比べて、より低温で表面保護膜61を形成することができる。したがって、半導体装置に使用される膜(例えば、層間絶縁膜42)に含まれる水素や水分が熱で強誘電体膜33へと拡散することを低減することができる。その結果、強誘電体膜33の分極特性の劣化を抑制し、優れた特性の半導体装置を得ることができる。また、不良を減らして歩留まりを向上させることができるため、コスト低減を図ることもできる。

(実施形態2)

図4から図7を参照しながら、本発明による実施形態2を説明する。図4は、本実施形態の半導体装置に含まれるメモリセル部の断面構造を模式的に示している。

【0053】

本実施形態の半導体装置は、表面保護膜61の下層として第3の絶縁膜が形成されている点において、上記実施形態1の半導体装置と異なる。すなわち、本実施形態の半導体装置においては、第2の絶縁膜42および配線5が形成されたキャパシタ3(およびトランジスタ2)を覆うように第3の絶縁膜43が形成されており、その第3の絶縁膜43の上に、アクリル樹脂からなる表面保護膜61が形成されている。本実施形態において、第3の絶縁膜43は、例えば、シリコン窒化膜である。

【0054】

本実施形態では、通常の保護膜であるシリコン窒化膜などからなる第3の絶縁膜の上に、アクリル樹脂の表面保護膜61が形成されているため、一般の半導体装置と同等以上に組立工程時のダメージなどを十分に防止できる構造となる。これにより、半導体装置の特性劣化の抑制に加えて、信頼性に優れた半導体装置を実現することができる。なお、第3の絶縁膜43以外の他の構成は、上記実施形態1と同様であるため、説明を省略する。

【0055】

次に、図5および図6を参照しながら、図4に示した半導体装置の製造方法を説明する。図5および図6は、本実施形態にかかる半導体装置の製造方法を説明するための工程断面図である。

【0056】

まず、図5(a)に示すように、半導体基板(シリコン基板)1を用意した後、公知の任意の方法を用いて、図5(b)に示すように、MOSトランジスタ2や強誘電体キャパシタ3などから構成される素子領域および配線層5を形成する。

【0057】

次に、図6(a)に示すように、公知のCVD法等の方法によってシリコン窒化膜からなる第3の絶縁膜43を基板上に形成し、公知のフォトリソおよびエッチング技術等によって、ボンディングパッド部など所定の位置に開口部(不図示)を設ける。

【0058】

次に、図6(b)に示すように、最上層が第3の絶縁膜43である基板1上に、アクリル樹脂からなる表面保護膜61を形成する。表面保護膜61には、ボンディングパッド部などの所定の位置に開口部(不図示)が形成されている。

【0059】

本実施形態では、感光性アクリル樹脂を基板上にスピン塗布した後、所定のパターンのマ

10

20

30

40

50

スクを介して、塗布したアクリル樹脂材料を露光する。次いで、未露光部を現像液で溶解除去し、ボンディングパッド開口部などを形成する。

【0060】

その後、専用のリンス液洗浄および水洗を行った後、ホットプレート加熱装置を用いて、空気中で、220 で8分間加熱硬化させると、ボンディングパッド部に開口部を有するアクリル表面保護膜61が得られる。本実施形態において、得られるアクリル樹脂膜の厚さは3.0 μmである。この後、公知の組立工程を実行して、半導体装置を完成させる。

【0061】

また、上記製造方法を改変して、以下のような製造方法にしてもよい。

【0062】

図5(a)および(b)に示した処理の後、図6(a)に示すように、公知のCVD法等の方法によって、シリコン窒化膜からなる第3の絶縁膜43を形成する。上記製造方法と異なり、この段階では、ボンディングパッド部などの開口部は設けない。

【0063】

続いて、感光性アクリル樹脂材料をスピン塗布し、所定のパターンのマスクを介して組成物膜を露光させ、次に未露光部を現像液で溶解除去すると、ボンディングパッド開口部(不図示)が形成される。次いで、上記製造方法と同様に、洗浄し、加熱硬化させる。

【0064】

その後、アクリル樹脂膜61をマスクとして、ボンディングパッド部などの開口部を覆っているシリコン窒化膜43を、CF₄ 94%とO₂ 6%との混合ガスでドライエッチングして、ボンディングパッド部の金属電極を露出させる。

【0065】

このようにして、アクリル表面保護膜61を備える強誘電体キャパシタを含む半導体装置および製造方法が提供される。これらの実施形態によれば、従来のポリイミドの加熱硬化温度230 ~ 300 よりもさらに低温での処理を可能とするので、強誘電体膜の分極特性の劣化をより小さく抑えることができる。

【0066】

上述したように、アクリル樹脂の加熱硬化温度は、約250 以下であるため、本実施形態の半導体装置では、強誘電体膜の分極特性劣化が小さい。また、アクリル樹脂として実際上は200 ~ 230 で加熱硬化できる材料が多く、従来よりも低温での処理を実際に容易に実行することができる。この低温の加熱硬化処理によって、層間絶縁膜等の半導体装置に使用される膜に含まれる水素や水分が熱で拡散することにより生じる半導体装置の特性劣化を小さくすることができる。

【0067】

また、250 より高温であっても、300 以下の短時間(用いる半導体装置にもよるが、通常1分以内)の熱処理であれば、強誘電体膜の分極特性を劣化させることなく、上述した特性劣化抑制の効果を得ることも可能である。これらの効果は強誘電体膜に限らず、高誘電体膜においても得ることができるものである。なお、アクリル樹脂の加熱温度によっては、透明のアクリル樹脂が変性して白濁化したりすることもあるが、本実施形態では、アクリル樹脂を光学部品として利用するのではなく、表面保護膜として使用するので、白濁化等しても特に問題ない。

【0068】

さらに、アクリル樹脂膜を加熱硬化させる際の熱処理方法として、本実施形態では、加熱源が小型のホットプレートを使用しているため、従来のものと比べて、製造設備投資および製造コストを低減することができるという利点も得られる。加えて、オープン炉や拡散炉などの炉体を使用した加熱処理に比べて、短時間で加熱硬化ができるため、総熱量が小さくなり、ポストバーク処理時の熱による回路素子の特性劣化を小さく抑えることができる。

【0069】

本発明の適用される半導体装置には、例えば、不揮発性半導体メモリや大容量のDRAM

10

20

30

40

50

が挙げられる。本発明の半導体装置における誘電体膜は、強誘電性または高誘電率を有する誘電体材料からなる膜であればよく、例えば、ペロブスカイト型結晶構造を有する強誘電性材料の膜が挙げられる。誘電体材料としては、チタン酸ジルコン酸鉛 ($Pb(Zr, Ti)O_3$ 、略称: PZT)、チタン酸バリウムストロンチウム ($(Ba, Sr)TiO_3$ 、略称: BST)、タンタル酸ニオブストロンチウムビスマス ($SrBi_2(Nb, Ta)_2O_9$ 、略称: SBT) などが挙げられる。これらの材料は、CVD法、ゾルゲル法、スパッタリング法などによって成膜することができる。

【0070】

【発明の効果】

本発明によると、表面保護膜をアクリル樹脂から構成しているので、低温でアクリル樹脂を加熱・硬化させることが可能になる。したがって、半導体装置に使用される膜に含まれる水素や水分が熱で強誘電体膜または高誘電体膜へと拡散することが低減するため、強誘電体膜または高誘電体膜を有する半導体装置の特性の劣化を防止することができる。

【図面の簡単な説明】

【図1】本発明による実施形態1にかかる半導体装置を模式的に示す断面図である。

【図2】(a)から(c)は、実施形態1にかかる半導体装置の製造方法を説明する工程断面図である。

【図3】(a)から(c)は、強誘電体膜33の分極特性を示すグラフである。

【図4】実施形態2にかかる半導体装置を模式的に示す断面図である。

【図5】(a)および(b)は、実施形態2にかかる半導体装置の製造方法を説明する工程断面図である。

【図6】(a)および(b)は、実施形態2にかかる半導体装置の製造方法を説明する工程断面図である。

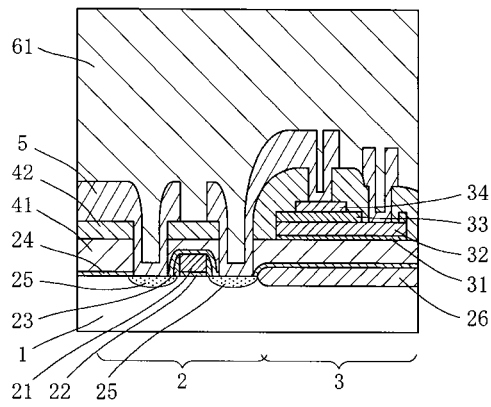
【図7】従来の半導体装置を模式的に示す断面図である。

【図8】(a)から(c)は、従来の半導体装置の製造方法を説明する工程断面図である。

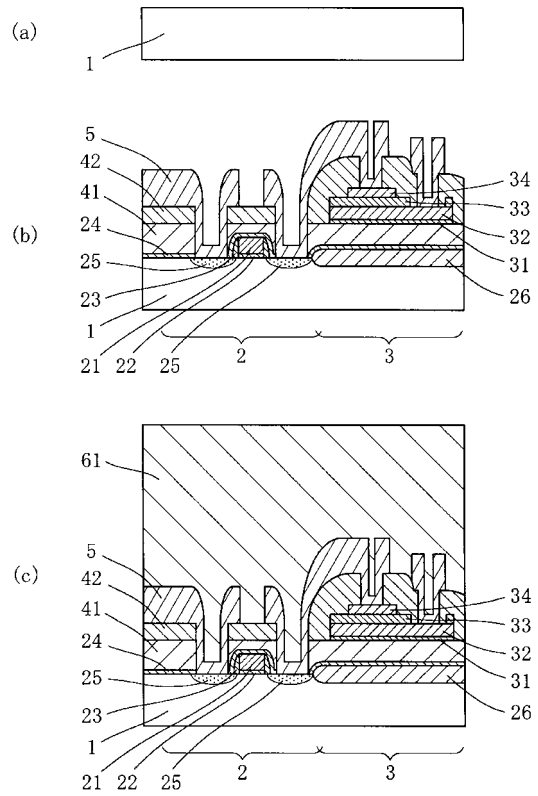
【符号の説明】

- | | | |
|----|-----------------|----|
| 1 | 半導体基板 | |
| 2 | MOSトランジスタ | |
| 3 | 強誘電体キャパシタ | 30 |
| 5 | 配線層 | |
| 21 | ゲート電極 | |
| 22 | ゲート酸化膜 | |
| 23 | サイドウォール | |
| 24 | シリコン窒化膜 | |
| 25 | ソース・ドレイン領域 | |
| 26 | LOCOS | |
| 31 | 電極密着層 | |
| 32 | 下部電極 | |
| 33 | 強誘電体膜 | 40 |
| 34 | 上部電極 | |
| 41 | 第1の絶縁膜 | |
| 42 | 第2の絶縁膜 | |
| 43 | 第3の絶縁膜 | |
| 61 | アクリル樹脂からなる表面保護膜 | |
| 62 | ポリイミドからなる表面保護膜 | |

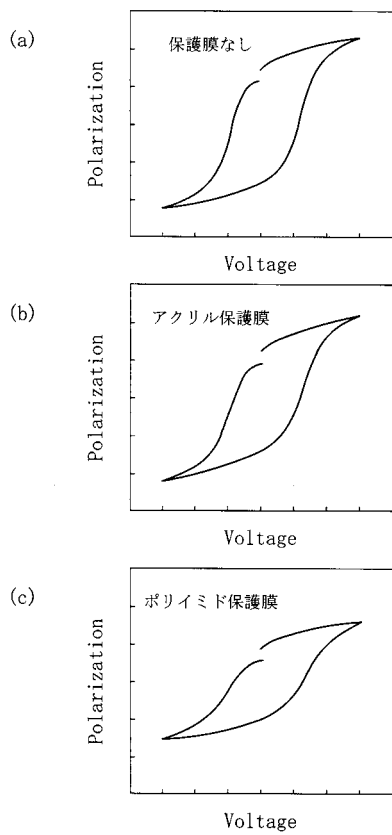
【 図 1 】



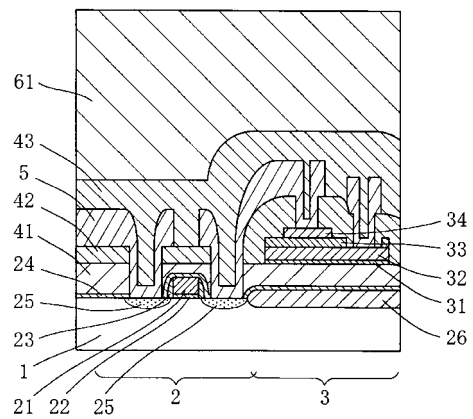
【 図 2 】



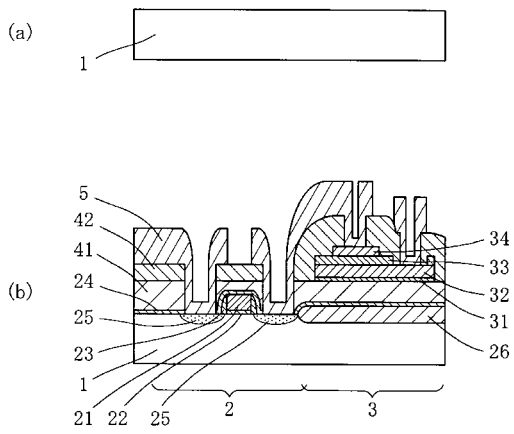
【 図 3 】



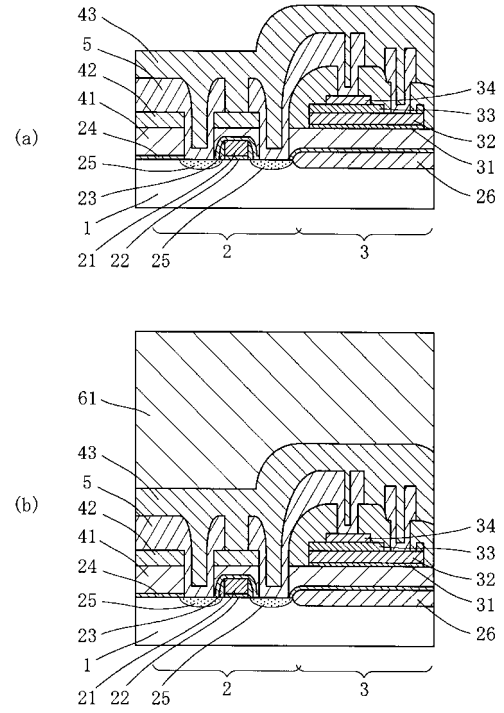
【 図 4 】



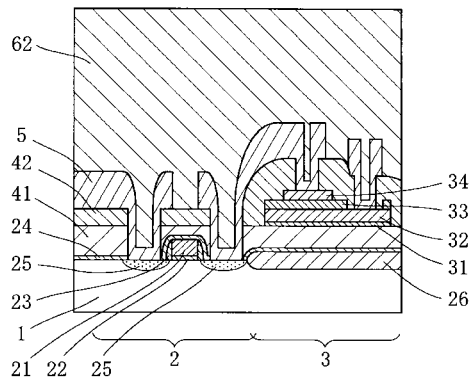
【 図 5 】



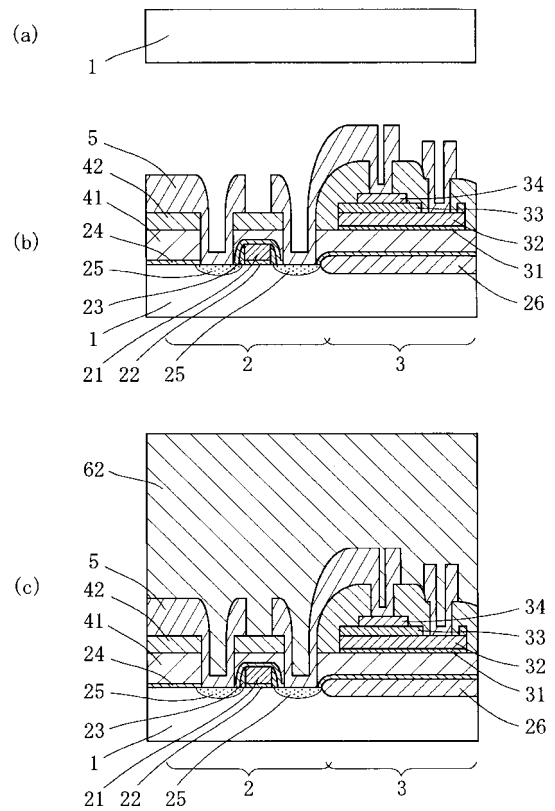
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

- (74)代理人 100115510
弁理士 手島 勝
- (74)代理人 100115691
弁理士 藤田 篤史
- (72)発明者 梅田 和男
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 松永 啓一
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 國島 明弘

- (56)参考文献 特開平11-054714(JP,A)
特開昭60-161639(JP,A)
特開昭60-211962(JP,A)
特開平10-270661(JP,A)
特開2001-053287(JP,A)
特開平10-144681(JP,A)
特開平02-001958(JP,A)
特開2001-015698(JP,A)
特開平10-098099(JP,A)
特開平11-176861(JP,A)
特開平11-224934(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8246
H01L 21/8242
H01L 27/105
H01L 27/108