

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 27/108	(11) 공개번호 특 1997-0077655
	(43) 공개일자 1997년 12월 12일
(21) 출원번호 특 1996-0016459	
(22) 출원일자 1996년 05월 16일	
(71) 출원인 LG 반도체 주식회사 문정환	
(72) 발명자 전영권	충청북도 청주시 흥덕구 향정동 1번지 (우 : 360-480)
	서울특별시 송파구 가락동 199번지 가락프라자아파트 3-803
	김유찬
	서울특별시 서초구 방배 4동 833-28
(74) 대리인 강용복, 김용인	

심사청구 : 있음

(54) 디램 셀, 디램 및 그의 제조 방법

요약

본 발명은 DRAM에 관한 것으로, 단위셀이 게이트와 소오스, 드레인을 갖는 제1트랜지스터와; 소오스, 드레인을 갖고 상기 제1트랜지스터의 소오스, 드레인의 어느하나에 게이트가 연결되는 제2트랜지스터와; 상기 제2트랜지스터의 게이트에 연결되는 하부전극, 상기 제2트랜지스터의 소오스, 드레인의 어느하나에 연결되는 상부전극을 갖는 커패시터로 구성되어 제2트랜지스터의 게이트에 로직값 '1'에 해당하는 전하 정보가 저장된 경우에만 선택적으로 제2트랜지스터를 on 상태로 만들어 기존 전압을 비트선으로 출력시키므로 로직 상태의 분별력이 개선되는 효과가 있다.

또한, 삼차원적인 커패시터 구조를 채택하지 않으므로 단차를 감소시켜 소자의 특성을 향상시키고 집적도를 증가시키는 효과가 있다.

대표도

도2

명세서

[발명의 명칭]
디램 셀, 디램 및 그의 제조 방법
[도면의 간단한 설명]
제2도는 본 발명의 DRAM셀의 회로 구성도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

게이트와 소오스, 드레인을 갖는 제1트랜지스터와; 소오스, 드레인을 갖고 상기 제1트랜지스터의 소오스, 드레인의 어느하나에 게이트가 연결되는 제2트랜지스터와; 상기 제2트랜지스터의 게이트에 연결되는 하부전극, 상기 제2트랜지스터의 소오스, 드레인의 어느하나에 연결되는 상부전극을 갖는 커패시터로 구성됨을 특징으로 하는 디램 셀.

청구항 2

셀 구동신호를 인가하는 복수개의 쓰기 워드선, 읽기 워드선과; 정보를 입력 또는 출력하는 비트선들과; 게이트와 소오스, 드레인을 갖는 제1트랜지스터, 그리고 소오스, 드레인을 갖고 상기 제1트랜지스터의 소오스, 드레인의 어느하나에 게이트가 연결되는 제2트랜지스터, 그리고 하부전극이 상기 제2트랜지스터의 게이트에 연결되며 상부전극이 상기 제2트랜지스터의 소오스, 드레인의 어느하나에 연결된 커패시터를 포함하는 복수개의 셀들로 구성되어, 상기 각셀의 제1트랜지스터의 게이트는 상응하는 하나의 쓰기 워드선에 연결되고, 상기 각셀의 제1, 2 트랜지스터의 소오스, 드레인의 어느하나가 상응하는 하나의 비트선에 연결되고, 상기 각셀의 커패시터의 하부전극이 상응하는 하나의 읽기 워드선에 연결되는 것을

특징으로 하는 디램.

청구항 3

제2항에 있어서, 비트선의 한 단자는 센싱 앰프의 입력단의 단자에 연결되고, 다른 한 단자는 기준 전압에 연결되는 것을 특징으로 하는 디램.

청구항 4

제2항에 있어서, 제2트랜지스터의 게이트에 로직값 '1'에 해당하는 정보가 저장된 경우에 읽기 워드선을 통하여 읽기 전압을 인가하면 그 전압에 해당하는 정보가 비트선에 전송되는 것을 특징으로 하는 디램.

청구항 5

제2항에 있어서, 제2트랜지스터의 게이트에 로직값 '0'에 해당하는 정보가 저장된 경우에 읽기 워드선을 통하여 읽기 전압을 인가하면 그 전압에 관계없이 제2트랜지스터가 off 상태를 유지하는 것을 특징으로 하는 디램.

청구항 6

제5항에 있어서, 비트선은 프리차지된 상태를 유지하는 것을 특징으로 하는 디램.

청구항 7

반도체 기판과, 상기 반도체 기판의 소자 격리 영역에 형성되는 필드 산화막과 그에 의해 정의된 활성영역의 소정 부분에 형성되는 복수의 제1, 2, 3 불순물 확산 영역과, 상기 제1, 2, 3 불순물 확산 영역을 제외한 채널 영역상에 형성되는 게이트 절연막과, 상기 게이트 절연막상에 형성되는 복수개의 제1, 2게이트와, 상기 각각의 제2불순물 확산 영역 및 제2게이트에 콘택되어 형성되는 축전 전극과, 상기 각각의 축전 전극상에 형성되는 유전체막과, 상기 각각의 제3불순물 확산 영역에 콘택되어 유전체막상에 형성되는 대향 전극과, 상기 각각의 제1게이트에만 콘택되어 일방향으로 형성되는 복수개의 제1전도성 라인과, 상기 대향 전극에만 콘택되어 일 방향으로 형성되는 복수개의 제2전도성 라인과, 상기 각각의 제1불순물 확산 영역에만 콘택되어 상기 제1, 2 전도성 라인에 수직 교차하여 형성되는 복수개의 제3전도성 라인을 포함하여 구성되는 것을 특징으로 하는 디램.

청구항 8

제7항에 있어서, 제1게이트는 제1불순물 확산 영역과 제2불순물 확산 영역 사이의 채널 영역상에 형성되는 것을 특징으로 하는 디램.

청구항 9

제7항에 있어서, 제2게이트는 제2불순물 확산 영역과 제3불순물 확산 영역 사이의 채널 영역상에 형성되는 것을 특징으로 하는 디램.

청구항 10

제7항에 있어서, 유전체막은 질화막인 것을 특징으로 하는 디램.

청구항 11

제7항에 있어서, 유전체막은 산화막, 질화막의 0N구조인 것을 특징으로 하는 디램.

청구항 12

제7항에 있어서, 제1게이트상에만 형성되는 제1절연막을 더 포함하는 것을 특징으로 하는 디램.

청구항 13

제7항에 있어서, 제1게이트를 감싸고 형성되고 제2게이트의 일측면에 측벽 형태로 형성되는 제2절연막을 더 포함하는 것을 특징으로 하는 디램.

청구항 14

제7항에 있어서, 대향 전극상의 전면에 제1게이트의 일부만 노출되는 접속홀을 갖고 형성되는 제3절연막을 더 포함하는 것을 특징으로 하는 디램.

청구항 15

제7항에 있어서, 제1전도성 라인상의 전면에 대향 전극의 일부만 노출되는 접속홀을 갖고 형성되는 제4절연막을 더 포함하는 것을 특징으로 하는 디램.

청구항 16

제7항에 있어서, 제2전도성 라인상의 전면에 제1불순물 확산 영역의 일부만 노출되는 접속홀을 갖고 형성되는 제4절연막을 더 포함하는 것을 특징으로 하는 디램.

청구항 17

반도체 기판의 소자 격리 영역에 필드 산화막을 형성하여 활성 영역을 정의하는 공정과, 상기 활성 영역상에 게이트 절연막을 형성한 후, 다결정 실리콘층, 제1절연막을 차례로 형성하는 공정과, 감광막을 마

스크로 하여 상기 제1절연막을 선택적으로 식각하여 게이트 패턴 마스크를 형성하고, 그를 이용하여 상기 다결정 실리콘층을 선택적으로 식각하여 제1게이트와 제2게이트를 형성하는 공정과, 상기 필드 산화막과 제2 게이트를 마스크로하여 제1, 2, 3 불순물 확산 영역을 형성하는 공정과, 전면에 제2절연막을 형성하고 각각의 제2불순물 확산 영역 및 제2게이트의 상측면에 콘택되고 제1게이트의 일부에 걸쳐 남도록 축전 전극을 형성하는 공정과, 상기 축전 전극상에 유전체막을 형성한 후, 제3불순물 확산 영역에 콘택되고 유전체막상에만 남도록 대향 전극을 형성하는 공정과, 전면에 제3절연막을 형성하고 제2게이트의 일부만 노출되도록 하는 공정과, 상기 노출된 각각의 제2게이트에 상응 접속되는 복수개의 제1전도성 라인을 형성하는 공정과, 전면에 제4절연막을 형성하고 상기 대향 전극에 접속되는 복수개의 제2전도성 라인을 형성하는 공정과, 전면에 제5절연막을 형성한 후, 제1 상기 불순물 확산 영역에 접속되는 복수개의 제3전도성 라인을 형성하는 공정을 포함하여 이루어지는 것을 특징으로 하는 디램의 제조 방법.

청구항 18

제17항에 있어서, 필드 산화막은 산화방지 마스크를 이용하여 800℃ ~ 1100℃에서의 열산화 공정으로 형성하는 것을 특징으로 하는 디램의 제조 방법.

청구항 19

제18항에 있어서, 산화 방지 마스크는 패드 산화막과 질화막으로 구성된 것을 특징으로 하는 디램의 제조 방법.

청구항 20

제17항에 있어서, 다결정 실리콘층은 LPCVD법으로 증착하는 것을 특징으로 하는 디램의 제조 방법.

청구항 21

제17항에 있어서, 제1절연막은 500 Å ~ 2000 Å의 두께를 갖도록 형성하는 것을 특징으로 하는 디램의 제조 방법.

청구항 22

제17항에 있어서, 게이트 패턴 마스크는 감광막을 두 번 사용하여 형성하는 것을 특징으로 하는 디램의 제조 방법.

청구항 23

제17항에 있어서, 제1, 2, 3, 4, 5 절연막은 산화막 또는 질화막을 사용하여 형성하는 것을 특징으로 하는 디램의 제조 방법.

청구항 24

제17항에 있어서, 제2게이트 활성 영역만이 아닌 필드 산화막의 일정 부분 상에도 형성되도록 하는 것을 특징으로 하는 디램의 제조 방법.

청구항 25

제17항에 있어서, 제1, 2, 3, 불순물 확산 영역은 기판과 반대 도전형의 불순물을 이온 주입하여 형성하는 것을 특징으로 하는 디램의 제조 방법.

청구항 26

제17항에 있어서, 유전체막은 질화막을 사용하여 형성하는 것을 특징으로 하는 디램의 제조 방법.

청구항 27

제17항에 있어서, 유전체막은 질화막, 산화막의 ON구조로 형성하는 것을 특징으로 하는 디램의 제조 방법.

청구항 28

제17항에 있어서, 유전체막은 유전율이 3.5 이상인 고유전 물질로 형성하는 것을 특징으로 하는 디램의 제조 방법.

청구항 29

제17항에 있어서, 제3전도성 라인은 제1, 2전도성 라인에 수직 교차되도록 형성하는 것을 특징으로 하는 디램의 제조 방법.

※ 참고사항 : 최초출원 내용에 의하여 공개되는 것임.

도면

도면2

