

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 7 月 26 日(26.07.2012)



(10) 国際公開番号

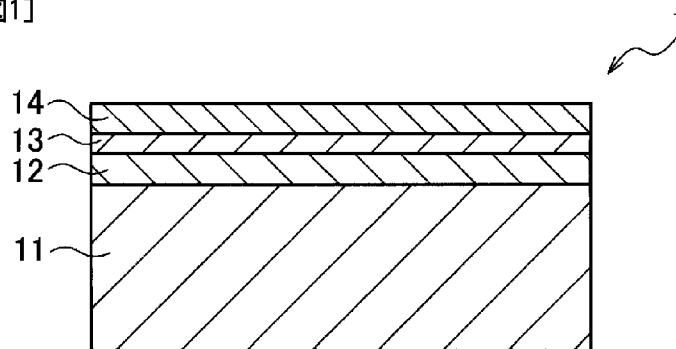
WO 2012/099209 A1

- (51) 国際特許分類:
H01L 21/338 (2006.01) H01L 29/778 (2006.01)
C01B 31/36 (2006.01) H01L 29/812 (2006.01)
C23C 16/26 (2006.01) H01L 51/30 (2006.01)
C23C 16/42 (2006.01) H01L 51/40 (2006.01)
H01L 29/06 (2006.01)
- (21) 国際出願番号: PCT/JP2012/051095
- (22) 国際出願日: 2012 年 1 月 19 日(19.01.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-010971 2011 年 1 月 21 日(21.01.2011) JP
特願 2011-023076 2011 年 2 月 4 日(04.02.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 株式会社ブリヂストン(BRIDGESTONE CORPORATION) [JP/JP]; 〒1048340 東京都中央区京橋 1 丁目 10 番 1 号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 沖野 賢司 (OKINO, Kenji).
- (74) 代理人: 三好 秀和, 外(MIYOSHI, Hidekazu et al.); 〒1050001 東京都港区虎ノ門一丁目 2 番 8 号 虎ノ門琴平タワー Tokyo (JP).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SILICON CARBIDE SINGLE CRYSTAL SUBSTRATE AND METHOD FOR PRODUCING SEMICONDUCTOR ELEMENT

(54) 発明の名称: 炭化ケイ素単結晶基板及び半導体素子の製造方法

[図1]



(57) Abstract: Provided is a silicon carbide single crystal substrate (1) which has: a graphene layer (13) which comprises layers formed by epitaxial growth and is formed by laminating several graphene layers; a second silicon carbide layer (14) which is formed on the surface of the graphene layer (13) and is formed by epitaxial growth, wherein the graphene layer (13) is disposed between the second silicon carbide layer (14) and a support substrate (11).

(57) 要約: 炭化ケイ素単結晶基板 1 は、エピタキシャル成長によって形成された層を備え、グラフェンが複数積層されて形成されたグラフェン層 13 と、グラフェン層 13 の表面に形成され、エピタキシャル成長によって形成された第 2 炭化ケイ素層 14 と、を有し、第 2 炭化ケイ素層 14 と支持基板 11 との間にグラフェン層 13 が位置する。

明 細 書

発明の名称：炭化ケイ素単結晶基板及び半導体素子の製造方法 技術分野

[0001] 本発明は、炭化ケイ素単結晶基板、及び半導体素子の製造方法に関する。

背景技術

[0002] 従来、炭化ケイ素単結晶からなる支持基板の上に、窒化ガリウムヘテロ膜（Ga₂N膜）をエピタキシャル成長させた半導体素子は、高周波分野において適用されてきた（例えば、特許文献1参照）。高周波分野には、例えば、HEMT（高電子移動トランジスタ：High Electron Mobility Transistor）、MOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）などが挙げられる。

先行技術文献

特許文献

[0003] 特許文献1：特開2010-265126号公報

発明の概要

[0004] しかしながら、近年の、通信機器の通信速度向上や、半導体レーザ装置の高性能化などの要求に伴って、スイッチング、整流、発振、増幅などに適用される半導体素子の更なる改良、特に高速動作性能の向上が望まれていた。

[0005] そこで、本発明は、このような状況に鑑みてなされたものであり、高速動作を実現する半導体素子として用いることが可能な炭化ケイ素単結晶基板、及び半導体素子の製造方法の提供を目的とする。

[0006] 上述した課題を解決するため、本発明は、次の特徴を有している。本発明の特徴は、ピタキシャル成長によって形成された層を備える炭化ケイ素単結晶基板（炭化ケイ素単結晶基板1、支持基板11）であって、グラフェンが複数積層されて形成されたグラフェン層（グラフェン層13）と、前記グラフェン層の表面に形成され、エピタキシャル成長によって形成された炭化ケイ素層（第2炭化ケイ素層14）と、を有し、前記炭化ケイ素層と前記炭化

ケイ素単結晶基板との間にグラフェン層が位置することを要旨とする。

[0007] 本発明の特徴に係る炭化ケイ素単結晶基板は、グラフェンが複数積層されて形成されたグラフェン層を有する。グラフェンの電気伝導度は、従来のイオン注入と活性化アニール工程との組み合わせによって炭化ケイ素の不純物を調整することによって得られるイオン注入層の電気伝導度に比べて高いため、応答速度を速めることができる。従って、半導体素子の高速動作を実現でき、半導体素子の性能向上に寄与することができる。

[0008] 前記炭化ケイ素単結晶基板の表面に形成され、エピタキシャル成長によって形成された基板側炭化ケイ素層（第1炭化ケイ素層12）を有し、前記基板側炭化ケイ素層は、前記グラフェン層と前記炭化ケイ素単結晶基板との間に位置してもよい。

[0009] また、本発明の半導体素子に係る特徴は、半絶縁性を有する炭化ケイ素単結晶からなる炭化ケイ素単結晶基板（支持基板111）と、グラフェンが複数積層されて形成されたチャネル層（チャネル層113）と、前記チャネル層の表面に形成され、エピタキシャル成長によって形成されたドーパ層（ドーパ層114）と、前記チャネル層が形成された前記ドーパ層の表面とは反対側に位置する前記ドーパ層の表面側に形成されたソース電極（ソース電極121）、ゲート電極（ゲート電極122）及びドレイン電極（ドレイン電極123）と、を有し、前記ドーパ層と前記炭化ケイ素単結晶基板との間に前記チャネル層が位置することを要旨とする。

[0010] 本発明の特徴によれば、ケイ素が含まれないグラフェン層が高電子移動層を形成するため、電子の移動度を高めることができる。これにより、半導体素子のスイッチング速度を向上させることができる。

[0011] 前記ドーパ層は、炭化ケイ素単結晶又は炭化ケイ素多結晶からなってもよい。

[0012] 前記炭化ケイ素単結晶基板の表面に形成され、エピタキシャル成長によって形成されたバッファ層を有し、前記バッファ層は、前記チャネル層と前記炭化ケイ素単結晶基板との間に位置してもよい。

[0013] 前記ソース電極及び前記ドレイン電極は、前記ドーパ層の表面に形成され、前記ソース電極と前記ドレイン電極と間には、前記ドーパ層の表面を被覆する保護層が形成され、前記ゲート電極は、前記保護層の表面に形成されてもよい。

[0014] また、発明の半導体素子の製造方法に係る特徴は、化学気相成長法、化学気相蒸着、又は化学蒸着によって炭化ケイ素単結晶からなる炭化ケイ素単結晶基板の上に結晶層を形成する反応炉を備えた反応装置によって半導体素子を製造する半導体素子の製造方法であって、同一の反応炉において、前記炭化ケイ素単結晶基板の表面にエピタキシャル成長によって第1炭化ケイ素層を形成する工程と、前記第1炭化ケイ素層の表面にグラフェンが複数積層されて形成されたグラフェン層を形成する工程と、前記グラフェン層の表面にエピタキシャル成長によって第2炭化ケイ素層を形成する工程とを有し、前記第1炭化ケイ素層は、前記グラフェン層と前記炭化ケイ素単結晶基板との間に位置することを要旨とする。

[0015] 本発明の特徴に係る半導体素子の製造方法によれば、炭化ケイ素単結晶基板には、グラフェン層が形成される。グラフェンの電気伝導度は、従来のチャネル層の電気伝導度に比べて高いため、応答速度を速めることができる。したがって、半導体素子の高速動作を実現でき、半導体素子の性能向上に寄与することができる。

[0016] また、グラフェンは、ケイ素源を昇華させる昇華法によって炭化ケイ素単結晶の上に成膜できるため、上記第1炭化ケイ素層を形成する工程と、グラフェン層を形成する工程と、第2炭化ケイ素層を形成する工程とを、同一の反応炉において実行することができる。従って、製造工程をも効率化できる。

[0017] また、発明の半導体素子の製造方法に係る別の特徴は、化学気相成長法、化学気相蒸着、又は化学蒸着により、半絶縁性を有する炭化ケイ素単結晶からなる炭化ケイ素単結晶基板と、グラフェンが複数積層されて形成されたチャネル層と、前記チャネル層の表面に形成され、エピタキシャル成長によって

形成されたドーブ層と、を有する半導体素子の製造方法であって、前記炭化ケイ素単結晶基板上に、ケイ素源及び炭素源を含有する反応ガス及び水素キャリアガスを導入する工程と、前記反応ガスが導入された後の反応系を温度：1400℃～1800℃、真空度： $1 \times 10^{-4} \sim 1 \times 10^{-8}$ m b a r 以下で2分～1.5時間維持する工程と、前記工程の後に、圧力が1 m b a r 以上～500 m b a r 以上になるように水素ガスと反応ガスとを再度導入する工程とを有することを要旨とする。

図面の簡単な説明

[0018] [図1]図1は、本発明の実施形態として示す炭化ケイ素単結晶基板の構造を説明する断面図である。

[図2]図2は、本発明の実施形態として示す半導体素子の製造方法を説明する図である。

[図3]図3は、本発明の別の実施形態として示す半導体素子の構造を説明する断面図である。

[図4]図4は、本発明の別の実施形態として示す半導体素子の構造を説明する断面図である。

[図5]図5は、本発明の別の実施形態として示す半導体素子の構造を説明する断面図である。

[図6]図6は、本発明の別の実施形態として示す半導体素子の製造方法を説明する図である。

発明を実施するための形態

[0019] 本発明に係る炭化ケイ素単結晶基板、半導体素子、及び、半導体素子の製造方法の実施形態について、図面を参照しながら説明する。

[0020] なお、以下の図面の記載において、同一または類似の部分には、同一または類似の符号を付している。ただし、図面は模式的なものであり、各寸法の比率などは現実のものとは異なることに留意すべきである。したがって、具体的な寸法などは以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていること

は勿論である。

[0021] [炭化ケイ素単結晶基板]

本発明に係る炭化ケイ素単結晶基板の実施形態について、図1及び図2を参照しながら説明する。

[0022] 図1は、本発明の実施形態に係る炭化ケイ素単結晶基板1を説明する断面図である。炭化ケイ素単結晶基板1は、支持基板11と、第1炭化ケイ素層12と、グラフェン層13と、第2炭化ケイ素層14とを有する。実施形態では、炭化ケイ素単結晶基板1は、炭化ケイ素単結晶の支持基板11の表面に、第1炭化ケイ素層12と、グラフェン層13と、第2炭化ケイ素層14とをこの順番に有する。炭化ケイ素単結晶基板1は、エピタキシャル成長によって形成された層を備える。

[0023] 支持基板11は、半絶縁性または導電性の炭化ケイ素の単結晶から形成されている。

[0024] 第1炭化ケイ素層12は、支持基板11の表面に形成される。第1炭化ケイ素層12は、支持基板11とグラフェン層13との間に位置する。第1炭化ケイ素層12は、支持基板11とグラフェン層13とに接する。第1炭化ケイ素層12は、エピタキシャル成長によって形成される。第1炭化ケイ素層12は、例えば、ドーパ層とすることができる。実施形態では、第1炭化ケイ素層12の厚みは、 $0.2\mu\text{m} \sim 20\mu\text{m}$ とすることができ、特に、 $0.5\mu\text{m}$ とすることができる。

[0025] グラフェン層13は、第1炭化ケイ素層12の炭化ケイ素単結晶の支持基板11が配置された表面とは反対側の表面に形成される。グラフェン層13は、支持基板11と第2炭化ケイ素層14との間に位置する。本実施形態において、グラフェン層13は、第1炭化ケイ素層12と第2炭化ケイ素層14とに接する。グラフェン層13は、グラフェンが複数積層されて形成されている。グラフェン層13は、複数のグラファイト単層膜から形成されている。グラフェンは、一層の炭素原子層で構成されている。すなわち、グラフェン層13は、グラファイトがシート状に広がった2次元グラファイトシー

トから構成されている。グラフェン層 13 の厚みは、量子効果が見られる膜厚である。例えば、グラフェン層の厚みは、1 nm ~ 10 nm とすることができる。グラフェン層 13 の厚みは、5 nm 以下とすることができる。

[0026] 第2炭化ケイ素層 14 は、グラフェン層 13 の第1炭化ケイ素層 12 が配置された表面とは反対側の表面にエピタキシャル成長によって形成される。第2炭化ケイ素層 14 は、炭化ケイ素の単結晶又は多結晶で形成されている。第2炭化ケイ素層 14 は、グラフェン層 13 の表面にエピタキシャル成長により形成されている。第2炭化ケイ素層 14 の厚みは、10 nm ~ 20 nm とすることができる。

[0027] 上述の炭化ケイ素単結晶基板 1 は、半導体素子の一部に適用できる。例えば、炭化ケイ素単結晶基板 1 を高電子移動度トランジスタ (HEMT) に適用できる。この場合、支持基板 11 は、半絶縁性の炭化ケイ素単結晶基板を構成し、第1炭化ケイ素層 12 は、バッファ層を構成することができる。また、グラフェン層 13 は、電子走行層であるチャネル層を構成することができる。第2炭化ケイ素層 14 は、電子供給層であるドープ層を構成することができる。第2炭化ケイ素層 14 の表面にソース電極、ゲート電極、ドレイン電極を形成することによって、炭化ケイ素単結晶基板 1 は、高電子移動度トランジスタ (HEMT) を構成することができる。

[0028] 実施形態に係る炭化ケイ素単結晶基板 1 によれば、グラフェン層 13 が形成されている。グラフェンの電気伝導度は、従来のイオン注入層の電気伝導度に比べて高いため、電氣的な応答速度を速めることができる。従って、半導体素子の性能向上に寄与することができる。

[0029] [半導体素子]

本発明に係る半導体素子の実施形態について、図1から図6を参照しながら説明する。

[0030] (1) 第1実施形態

(1.1) 半導体素子の概略構成

本実施形態に係る半導体素子 1 は、支持基板 11、バッファ層 12、チャ

ネル層 1 3 及びドープ層 1 4 を有する。半導体素子 1 は、上述した炭化ケイ素単結晶基板 1 と同様の構成である。すなわち、バッファ層 1 2 は、上述した第 1 炭化ケイ素層 1 2 である。チャネル層 1 3 は、上述したグラフェン層 1 3 である。ドープ層 1 4 は、第 2 炭化ケイ素層 1 4 である。

[0031] (1. 2) 半導体素子の製造方法

図 2 は、本発明の実施形態に係る半導体素子の製造方法を説明する図である。半導体素子 1 は、化学気相成長法、化学気相蒸着、又は化学蒸着により、炭化ケイ素の単結晶基板の上に、結晶層を形成する反応炉を備えた反応装置（CVD 装置）によって製造される。

[0032] 本実施形態において、第 1 炭化ケイ素層 1 2、グラフェン層 1 3、第 2 炭化ケイ素層 1 4 は、同一の反応炉において、支持基板 1 1 の上に形成することができる。すなわち、同一の反応炉において、工程 S 1 1、工程 S 1 2、及び、工程 S 1 3 ができる。

[0033] 工程 S 1 1 において、CVD 装置にセットされた炭化ケイ素単結晶の支持基板 1 1 上に、反応ガスとキャリアガスとが導入される。本実施形態では、反応ガスは、ケイ素源としてシラン（ SiH_4 ）を含むとともに炭素源としてメタン（ C_3H_8 ）を含む。また、キャリアガスは、水素を含む。本実施形態において、支持基板 1 1 は、半絶縁性を有する。

[0034] 工程 S 1 1 において、炭化ケイ素単結晶の支持基板 1 1 の表面にエピタキシャル成長によって第 1 炭化ケイ素層 1 2 が形成される。

[0035] 続いて、工程 S 1 2 において、反応ガスが導入された後、反応ガス及びキャリアガスの供給を停止し、反応系を温度： $1400^\circ\text{C} \sim 1800^\circ\text{C}$ 、真空度： $1 \times 10^{-4} \text{ mbar} \sim 1 \times 10^{-8} \text{ mbar}$ で 2 分～1.5 時間維持する。この工程 S 1 2 において、第 1 炭化ケイ素層 1 2 のケイ素が昇華することにより第 1 炭化ケイ素層 1 2 の表面にグラフェン層 1 3 が形成される。工程 S 1 2 において、グラフェン層 1 3 が成長する。

[0036] 工程 S 1 2 の後、工程 S 1 3 において、圧力が 5 mbar 以上～ 500 mbar 以内になるように水素ガスと反応ガスとを再度導入し、1～2 分維持

する。工程 S 1 3 において、グラフェン層 1 3 の表面にエピタキシャル成長によって第 2 炭化ケイ素層 1 4 が形成される。具体的には、工程 S 1 3 において、炭化ケイ素単結晶の支持基板 1 1 が配置されたグラフェン層 1 3 の表面とは反対側のグラフェン層 1 3 の表面にエピタキシャル成長によって第 2 炭化ケイ素層 1 4 が形成される。

[0037] 以上の工程により、本実施形態に係る半導体素子 1 が製造される。

[0038] (1. 3) 作用・効果

実施形態に係る半導体素子 1 (炭化ケイ素単結晶基板 1) によれば、グラフェン層 1 3 が形成されている。グラフェンの電気伝導度は、従来のイオン注入層の電気伝導度に比べて高いため、電氣的な応答速度を速めることができる。従って、半導体素子の性能向上に寄与することができる。

[0039] また、実施形態の製造方法では、グラフェンは、ケイ素源を昇華させる昇華法によって炭化ケイ素単結晶の上に成膜できるため、第 1 炭化ケイ素層 1 2 を形成する工程と、グラフェン層 1 3 を形成する工程と、第 2 炭化ケイ素層 1 4 を形成する工程とを同一の反応炉において実行することができる。従って、半導体素子の性能向上に寄与できるとともに、製造工程をも効率化できる。さらに、同一の反応炉において製造することができるため、不純物の混入を抑制できる。

[0040] (2) 第 2 から第 4 実施形態

従来、半絶縁性の炭化ケイ素単結晶から作製された基板上にドーパ層及びチャネル層が形成された半導体素子は、高周波スイッチ、パワーアンプ、ローノイズアンプなどの高周波分野において使用される。この半導体素子は、炭化ケイ素単結晶からなる支持基板の上に窒化ガリウム膜 (G a N 膜) や窒化アルミニウムガリウム膜 (A l G a N 膜) をエピタキシャル成長させることによって形成され、半導体レーザ装置に適用される (例えば、特開平 1 1 - 1 0 3 1 3 4 号公報参照)。

[0041] しかしながら、近年の、通信機器の通信速度向上や、半導体レーザ装置の高性能化などの要求に伴って、スイッチング、整流、発振、増幅などに適用

される半導体素子の更なる改良が望まれている。

[0042] そこで、以下では、スイッチング速度を向上することができる半導体素子、及びこの半導体素子の製造方法を説明する。なお、上述した半導体素子 1（炭化ケイ素単結晶基板 1）と同様の構成は、適宜省略する。

[0043] （2. 1）第 2 実施形態

図 3 は、本発明の第 2 実施形態に係る半導体素子 2 を説明する断面図である。本実施形態では、半導体素子 2 は、半絶縁性の支持基板 1 1 1 上に、主電流が流れる電子走行層であるチャネル層 1 1 3 と、電子供給層である n 型のドーパ層 1 1 4 とが形成されている。また、ドーパ層 1 1 4 において支持基板 1 1 1 が配置された表面の反対側の表面には、ソース電極 1 2 1、ゲート電極 1 2 2、ドレイン電極 1 2 3 が形成されている。半導体素子 2 は、高電子移動度トランジスタ（HEMT）を構成する。

[0044] 支持基板 1 1 1 は、半絶縁性の炭化ケイ素の単結晶から形成されている。

[0045] チャネル層 1 1 3 は、支持基板 1 1 1 とドーパ層 1 1 4 との間に位置する。本実施形態において、チャネル層 1 1 3 は、支持基板 1 1 1 とドーパ層 1 1 4 とに接する。チャネル層 1 1 3 は、グラフェンが複数積層されて形成される。チャネル層 1 1 3 は、複数のグラファイト単層膜から形成されている。すなわち、チャネル層 1 1 3 は、グラファイトがシート状に広がった 2 次元グラファイトシートから構成されている。チャネル層 1 1 3 の厚みは、5 nm 以下とすることができる。

[0046] ドーパ層 1 1 4 は、炭化ケイ素の単結晶又は多結晶で形成されている。ドーパ層 1 1 4 は、チャネル層 1 1 3 の表面にエピタキシャル成長により形成されている。ドーパ層 1 1 4 の厚みは、10 nm～20 nm 程度である。

[0047] ソース電極 1 2 1、ゲート電極 1 2 2、及びドレイン電極 1 2 3 は、チャネル層 1 1 3 が形成されたドーパ層 1 1 4 の表面とは反対側に位置するドーパ層 1 1 4 の表面側に形成される。本実施形態において、ソース電極 1 2 1、ゲート電極 1 2 2、及びドレイン電極 1 2 3 は、ドーパ層 1 1 4 の表面に形成される。

[0048] ゲート電極 1 2 2 は、ドープ層 1 1 4 の表面に接触し、ショットキー接合を形成する。このとき、ドープ層 1 1 4 には、ショットキー接合の空乏層が形成される。

[0049] ソース電極 1 2 1, ドレイン電極 1 2 3 は、ドープ層との間でオーミック接触を得るように形成される。ソース電極 1 2 1 及びドレイン電極 1 2 3 は、例えば、AuGe 合金から構成される。

[0050] (2. 2) 第 3 実施形態

図 4 は、第 3 実施形態として示す半導体素子 3 の断面図である。半導体素子 3 は、支持基板 1 1 1 とチャネル層 1 1 3 (グラフェン層) との間に炭化ケイ素から形成されるバッファ層 1 1 2 が配置されている。すなわち、バッファ層 1 1 2 は、支持基板 1 1 1 とチャネル層 1 1 3 との間に位置する。バッファ層 1 1 2 は、バッファ層 1 1 2 は、支持基板 1 1 1 とチャネル層 1 1 3 とに接する。バッファ層 1 1 2 は、支持基板 1 1 1 の表面に炭化ケイ素がエピタキシャル成長することによって形成されている。バッファ層 1 1 2 は、アンドープ層である。実施形態では、バッファ層 1 1 2 の厚みは、0. 1 ~ 1. 0 μm 程度である。

[0051] (2. 3) 第 4 実施形態

図 5 は、第 4 実施形態として示す半導体素子 4 の断面図である。半導体素子 4 は、ドープ層 1 1 4 の表面においてソース電極 1 2 1 とドレイン電極 1 2 3 の間には、ドープ層 1 1 4 の表面を被覆する保護層 1 1 5 が形成されている。半導体素子 4 では、ゲート電極 1 2 2 は、保護層 1 1 5 の表面に形成される。ソース電極 1 2 1 及びドレイン電極 1 2 3 は、ドープ層 1 1 4 の表面に形成される。半導体素子 4 では、支持基板 1 1 1 とチャネル層 1 1 3 (グラフェン層) との間に炭化ケイ素から形成されるバッファ層 1 1 2 が配置されているが、バッファ層 1 1 2 を備えなくてもよい。

[0052] (4) 半導体素子の製造方法

図 6 は、本発明の実施形態に係る半導体素子の製造方法を説明する図である。以下では、バッファ層 1 1 2 を形成する半導体素子 3 を製造する製造方

法について説明する。

[0053] 半導体素子 3 は、化学気相成長法、化学気相蒸着、又は化学蒸着により、半絶縁性の炭化ケイ素の単結晶基板の上に、チャネル層とドープ層とを形成する反応炉を備えた反応装置（CVD 装置）によって製造される。

[0054] 実施形態では、半導体素子 3 は、図 6 に示す一連の工程によって製造される。すなわち、工程 S 2 1 において、CVD 装置にセットされた炭化ケイ素単結晶の支持基板 1 1 1 上に、反応ガスと、キャリアガスとが導入される。実施形態では、反応ガスは、ケイ素源としてシラン（ SiH_4 ）を含むとともに炭素源としてメタン（ C_3H_8 ）を含む。また、キャリアガスは、水素を含む。

[0055] 工程 S 2 1 において、炭化ケイ素単結晶の支持基板 1 1 1 の表面にエピタキシャル成長によってバッファ層 1 1 2 が形成される。

[0056] 続いて、工程 S 2 2 において、反応ガスが導入された後、反応ガス及びキャリアガスの供給を停止し、反応系を温度： $1400^\circ\text{C} \sim 1800^\circ\text{C}$ 、真空度： $1 \times 10^{-4} \sim 1 \times 10^{-8} \text{ mbar}$ 以下で、2 分～1.5 時間維持する。この工程 S 2 2 において、チャネル層 1 1 3（グラフェン層）が成長する。

[0057] 工程 S 2 2 の後、工程 S 2 3 において、圧力が 1 mbar 以上～ 500 mbar 以内になるように水素ガスと反応ガスとを再度導入し、1～2 分維持する。工程 S 2 3 において、チャネル層 1 1 3（グラフェン層）の炭化ケイ素単結晶の支持基板 1 1 1 とは反対側の表面にエピタキシャル成長によって炭化ケイ素層が形成される。炭化ケイ素層は、ドープ層 1 1 4 を構成する。

[0058] 工程 S 2 3 においてドープ層 1 1 4 が形成された後、工程 S 2 4 において、ソース電極 1 2 1、ゲート電極 1 2 2、ドレイン電極 1 2 3 は、スパッタリングによりドープ層 1 1 4 の表面に形成される。

[0059] （5）作用・効果

実施形態に係る半導体素子 2、3、4 によれば、チャネル層 1 1 3 がケイ素を含まないグラフェン層で形成されており、グラフェン層が高電子移動層を形成するため、電子の移動度を高めることができ、半導体素子のスイッ

チング速度を向上させることができる。

[0060] また、半導体素子 3, 4 では、支持基板 1 1 1 とチャネル層 1 1 3 (グラフェン層) との間に炭化ケイ素から形成されるバッファ層 1 1 2 が配置されている。

[0061] これにより、炭化ケイ素単結晶の支持基板 1 1 1 とチャネル層 1 1 3 (グラフェン層) との境界における結晶の品位の低下を防ぐことができる。

[0062] ドープ層 1 1 4 の表面においてソース電極 1 2 1 とドレイン電極 1 2 3 の間には、ドープ層 1 1 4 の表面を被覆する保護層 1 1 5 が形成されており、ゲート電極 1 2 2 は、保護層 1 1 5 の表面に形成される。保護層 1 1 5 が形成されることにより、デバイスの劣化を抑制できる。

[0063] [その他の実施形態]

上述したように、本発明の実施形態を通じて本発明の内容を開示したが、この開示の一部をなす論述及び図面は、本発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

[0064] 例えば、上述した炭化ケイ素単結晶基板 1 は、第 1 炭化ケイ素層 1 2 を有していたが、これに限られない。例えば、支持基板 1 1 とグラフェン層 1 3 とが直接接してもよい。

[0065] 本発明は、ここでは記載していない様々な実施の形態などを含むことは勿論である。したがって、本発明の技術的範囲は、上述の説明から妥当な請求の範囲に係る発明特定事項によってのみ定められるものである。

[0066] [実施例]

(1) 炭化ケイ素単結晶基板

本発明に係る炭化ケイ素単結晶基板を作製し、性能を評価した。

[0067] (1-1) 炭化ケイ素単結晶基板の作製

本発明に係る炭化ケイ素単結晶基板を、図 2 に示す一連の工程によって作製した。工程 S 1 1 において、炭化ケイ素単結晶の支持基板上に、反応ガスとしてシラン (SiH_4) ガスとメタン (C_3H_8) ガスと含む混合ガスを用い

た。また、キャリアガスとしては、水素ガスを用いた。工程 S 1 1 により、第 1 炭化ケイ素層を作成した。第 1 炭化ケイ素層の層厚が $6\ \mu\text{m}$ まで成長したとき、反応ガスの供給を停止した。

[0068] 工程 S 1 2 における反応系の条件は、下記の通りに設定した。

温度： 1650°C

真空度： $1 \times 10^{-5}\text{ mbar}$

反応時間：1.0 時間

[0069] また、工程 S 1 3 では、反応系の圧力が 100 mbar になるように水素ガスと反応ガスとを再度導入した。

[0070] (1-2) 炭化ケイ素単結晶基板の評価

作製された実施例に係る炭化ケイ素単結晶基板の電気移動度をホール測定装置 (van der Pauw 測定法) によって測定した。その結果、実施例の電気移動度は、 $500\text{ cm}^2/\text{V} \cdot \text{s}$ であった。また、MOSFET などの従来の方法で炭化ケイ素中に形成されるチャネル層の電気移動度は、 $15\text{ cm}^2/\text{V} \cdot \text{s}$ であった。従って、実施例の電気移動度は、従来のチャネル層の電気移動度に比べて優れていることが分かった。

[0071] (2) 半導体素子

本発明に係る半導体素子を作製し、性能を評価した。

[0072] (2-1) 半導体素子の製造

図 6 に示す一連の工程によって半導体素子を製造した。工程 S 2 1 に用いる反応ガスとして、シラン (SiH_4) ガスとメタン (C_3H_8) ガスと含む混合ガスを用いた。また、キャリアガスとしては、水素ガスを用いた。

[0073] 工程 S 2 2 における反応系の条件は、下記の通りに設定した。

温度： 1650°C

真空度： $1 \times 10^{-5}\text{ mbar}$

反応時間：1.0 時間

[0074] また、工程 S 2 3 では、反応系の圧力が 100 mbar になるように水素ガスと反応ガスとを再度導入した。

[0075] (2-2) 移動度の測定

作製された半導体素子の移動度をホール測定装置（またはVan Der Pauw測定法）によって測定した。その結果、図6に示す一連の工程によって製造された半導体素子の移動度は、 $500\text{ cm}^2/\text{V}\cdot\text{s}$ であった。一方、比較例として作製した半導体素子の移動度は、 $20\text{ cm}^2/\text{V}\cdot\text{s}$ であった。

[0076] したがって、本発明に係る半導体素子は、移動度が優れていることが判った。従って、本発明に係る半導体素子によれば、スイッチング速度を向上させることができる。

[0077] なお、日本国特許出願第2011-010971号（2011年1月21日出願）及び日本国特許出願第2011-023076号（2011年2月4日出願）の全内容が、参照により、本願明細書に組み込まれている。

産業上の利用可能性

[0078] 本発明によれば、高速動作を実現する半導体素子として用いることが可能な炭化ケイ素単結晶基板、及び半導体素子の製造方法を提供できる。また、本発明によれば、スイッチング速度を向上することができる半導体素子、及びこの半導体素子の製造方法の提供できる。

請求の範囲

- [請求項1] エピタキシャル成長によって形成された層を備える炭化ケイ素単結晶基板であって、
- グラフェンが複数積層されて形成されたグラフェン層と、
- 前記グラフェン層の表面に形成され、エピタキシャル成長によって形成された炭化ケイ素層と、を有し、
- 前記炭化ケイ素層と前記炭化ケイ素単結晶基板との間にグラフェン層が位置する炭化ケイ素単結晶基板。
- [請求項2] 前記炭化ケイ素単結晶基板の表面に形成され、エピタキシャル成長によって形成された基板側炭化ケイ素層を有し、
- 前記基板側炭化ケイ素層は、前記グラフェン層と前記炭化ケイ素単結晶基板との間に位置する請求項1に記載の炭化ケイ素単結晶基板。
- [請求項3] 半絶縁性を有する炭化ケイ素単結晶からなる炭化ケイ素単結晶基板と、
- グラフェンが複数積層されて形成されたチャネル層と、
- 前記チャネル層の表面に形成され、エピタキシャル成長によって形成されたドーパ層と、
- 前記チャネル層が形成された前記ドーパ層の表面とは反対側に位置する前記ドーパ層の表面側に形成されたソース電極、ゲート電極及びドレイン電極と、を有し、
- 前記ドーパ層と前記炭化ケイ素単結晶基板との間に前記チャネル層が位置する半導体素子。
- [請求項4] 前記ドーパ層は、炭化ケイ素単結晶又は炭化ケイ素多結晶からなる請求項3に記載の半導体素子。
- [請求項5] 前記炭化ケイ素単結晶基板の表面に形成され、エピタキシャル成長によって形成されたバッファ層を有し、
- 前記バッファ層は、前記チャネル層と前記炭化ケイ素単結晶基板との間に位置する請求項3に記載の半導体素子。

[請求項6] 前記ソース電極及び前記ドレイン電極は、前記ドーパ層の表面に形成され、

前記ソース電極と前記ドレイン電極の間には、前記ドーパ層の表面を被覆する保護層が形成され、

前記ゲート電極は、前記保護層の表面に形成される請求項3に記載の半導体素子。

[請求項7] 化学気相成長法、化学気相蒸着、又は化学蒸着によって炭化ケイ素単結晶からなる炭化ケイ素単結晶基板の上に結晶層を形成する反応炉を備えた反応装置によって半導体素子を製造する半導体素子の製造方法であって、

同一の反応炉において、

前記炭化ケイ素単結晶基板の表面にエピタキシャル成長によって第1炭化ケイ素層を形成する工程と、

前記第1炭化ケイ素層の表面にグラフェンが複数積層されて形成されたグラフェン層を形成する工程と、

前記グラフェン層の表面にエピタキシャル成長によって第2炭化ケイ素層を形成する工程と

を有し、

前記第1炭化ケイ素層は、前記グラフェン層と前記炭化ケイ素単結晶基板との間に位置することを特徴とする半導体素子の製造方法。

[請求項8] 化学気相成長法、化学気相蒸着、又は化学蒸着により、半絶縁性を有する炭化ケイ素単結晶からなる炭化ケイ素単結晶基板と、グラフェンが複数積層されて形成されたチャネル層と、前記チャネル層の表面に形成され、エピタキシャル成長によって形成されたドーパ層と、を有する半導体素子の製造方法であって、

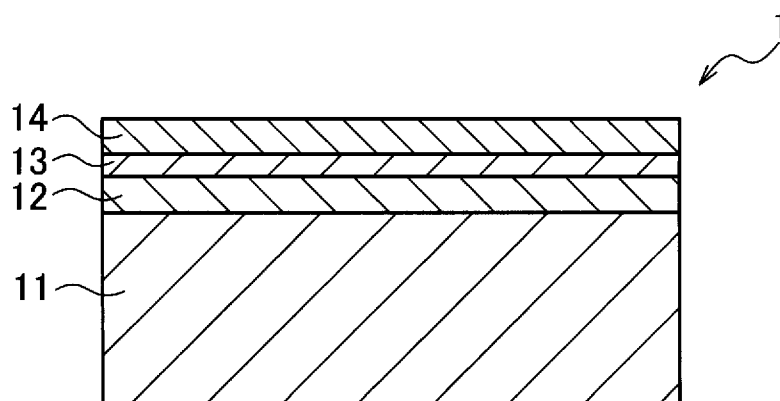
前記炭化ケイ素単結晶基板上に、ケイ素源及び炭素源を含有する反応ガス及び水素キャリアガスを導入する工程と、

前記反応ガスが導入された後の反応系を温度：1400℃～180

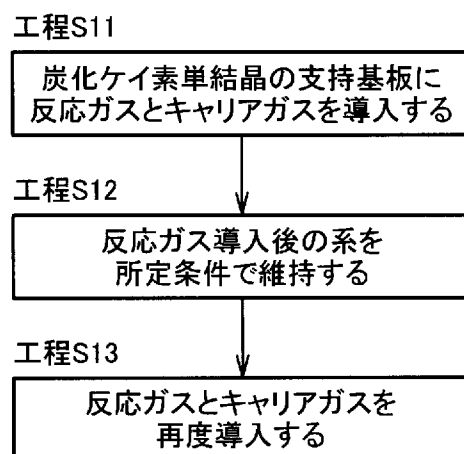
0℃、真空度： $1 \times 10^{-4} \sim 1 \times 10^{-8}$ m b a r 以下で2分～1.5時間維持する工程と、

前記工程の後に、圧力が1 m b a r 以上～500 m b a r 以上になるように水素ガスと反応ガスとを再度導入する工程とを有する半導体素子の製造方法。

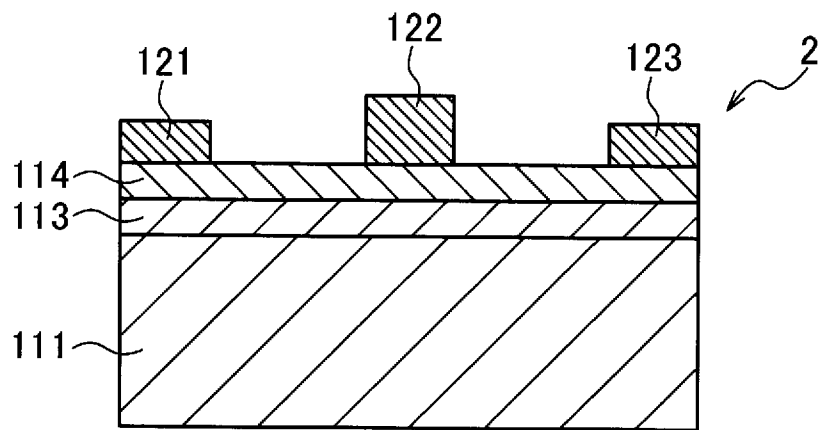
[図1]



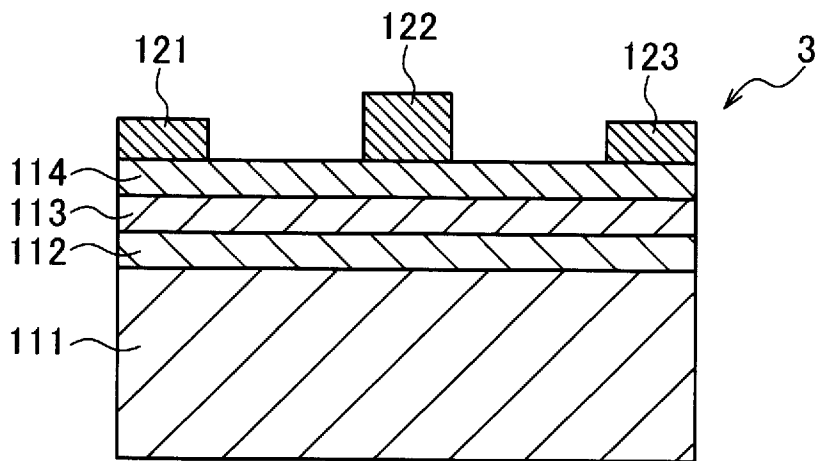
[図2]



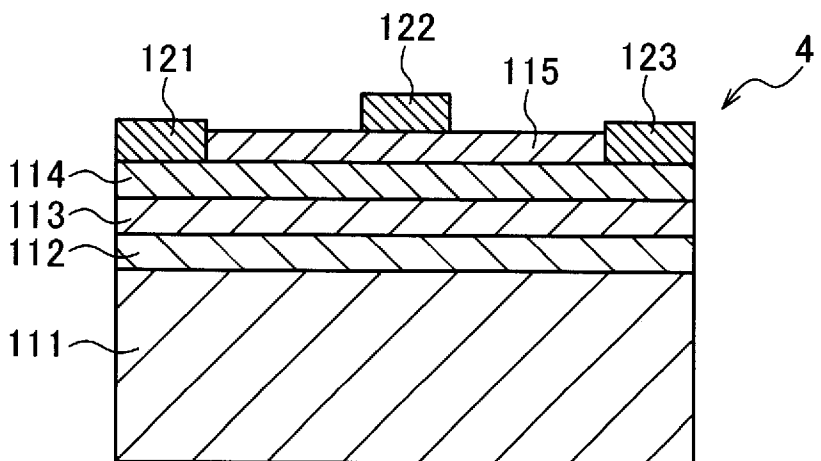
[図3]



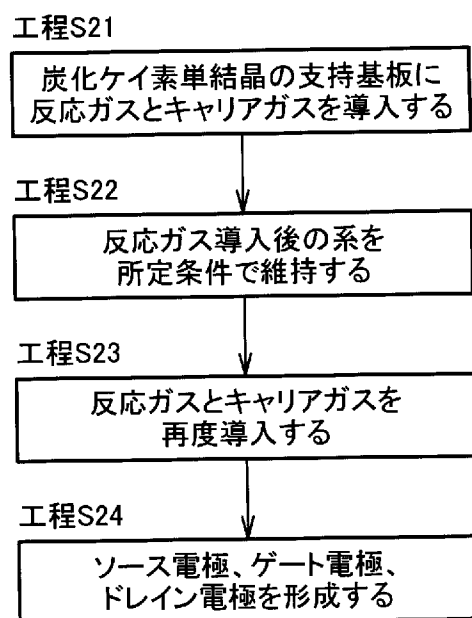
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/051095

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/338(2006.01)i, C01B31/36(2006.01)i, C23C16/26(2006.01)i, C23C16/42
(2006.01)i, H01L29/06(2006.01)i, H01L29/778(2006.01)i, H01L29/812
(2006.01)i, H01L51/30(2006.01)i, H01L51/40(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/00-29/38; H01L29/78-29-778; H01L29/80-29/812; H01L29/778;
H01L21/337-21/338, C01B31/00-31/36; C23C16/00-16/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2010-62348 A (Fuji Electric Systems Co., Ltd.), 18 March 2010 (18.03.2010), paragraphs [0017], [0024]; fig. 1, 2 (Family: none)	1 2, 7 3-6, 8
Y A	US 2011/0014457 A1 (Nathaniel J Quitoriano, Theodore I Kamins, Alexandre M. Bratkovski), 20 January 2011 (20.01.2011), paragraphs [0006] to [0015]; fig. 1 (Family: none)	2, 7 3-6, 8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 February, 2012 (03.02.12)

Date of mailing of the international search report
14 February, 2012 (14.02.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/051095

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	J. Hass, R. Feng, J. E. Millan-Otoya, X. Li, M. Sprinkle, P. N. First, W. A. de Heer, E. H. Conrad, C. Berger, Structural properties of the multilayer graphene/4H-SiC(000-1) system as determined by surface x-ray diffraction, Physical Review B, 2007.06.18, 75, 214109	2, 7 3-6, 8
A	WO 2010/113518 A1 (National University Corporation Hokkaido University), 07 October 2010 (07.10.2010), fig. 2; paragraphs [0027] to [0043] (Family: none)	1-8
A	J. S. Moon, D. Curtis, M. Hu, D. Wong, C. McGuire, P. M. Campbell, G. Jernigan, J. L. Tedesco, B. VanMil, R. Myers-Ward, C. Eddy, Jr., D. K. Gaskill, Epitaxial-Graphene RF Field-Effect Transistors on Si-Face 6H-SiC Substrates, IEEE Electron Device Letters, 2009. 06, 30, 650	1-8
A	S. Sonde, F. Giannazzo, C. Vecchio, R. Yakimova, E. Rimini, V. Raineri, Role of graphene/substrate interface on the local transport properties of the two-dimensional electron gas, Applied Physics Letters, 2010.09.27, 97, 132101	1-8
P, X	JP 2011-66427 A (Hitachi Global Storage Technologies Netherlands B.V.), 31 March 2011 (31.03.2011), paragraphs [0012] to [0025]; fig. 1 & US 2011/0068320 A1	1, 2

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/338(2006.01)i, C01B31/36(2006.01)i, C23C16/26(2006.01)i, C23C16/42(2006.01)i,
H01L29/06(2006.01)i, H01L29/778(2006.01)i, H01L29/812(2006.01)i, H01L51/30(2006.01)i,
H01L51/40(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/00-29/38;H01L29/78-29/778;H01L29/80-29/812;H01L29/778;H0121/337-21/338
C01B31/00-31/36;C23C16/00-16/56

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2010-62348 A (富士電機システムズ株式会社) 2010.03.18, 【0017】、【0024】、【図1】、【図2】 (ファミリーなし)	1 2,7 3-6,8
Y A	US 2011/0014457 A1 (Nathaniel J Quitoriano, Theodore I Kamins, Alexandre M. Bratkovski) 2011.01.20, [0006]-[0015], Fig.1 (ファミリーなし)	2,7 3-6,8

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 3 . 0 2 . 2 0 1 2

国際調査報告の発送日

1 4 . 0 2 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

行武 哲太郎

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

4 M

4 4 4 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	J. Hass, R. Feng, J. E. Millán-Otoya, X. Li, M. Sprinkle, P. N. First, W. A. de Heer, E. H. Conrad, C. Berger, Structural properties of the multilayer graphene/4H-SiC(000-1) system as determined by surface x-ray diffraction, Physical Review B, 2007.06.18, 75, 214109	2, 7 3-6, 8
A	WO 2010/113518 A1 (国立大学法人北海道大学) 2010.10.07, [図2]、[0027]-[0043] (ファミリーなし)	1-8
A	J. S. Moon, D. Curtis, M. Hu, D. Wong, C. McGuire, P. M. Campbell, G. Jernigan, J. L. Tedesco, B. VanMil, R. Myers-Ward, C. Eddy, Jr., D. K. Gaskill, Epitaxial-Graphene RF Field-Effect Transistors on Si-Face 6H-SiC Substrates, IEEE Electron Device Letters, 2009.06, 30, 650	1-8
A	S. Sonde, F. Giannazzo, C. Vecchio, R. Yakimova, E. Rimini, V. Raineri, Role of graphene/substrate interface on the local transport properties of the two-dimensional electron gas, Applied Physics Letters, 2010.09.27, 97, 132101	1-8
P, X	JP 2011-66427 A (ヒタチグローバルストレージテクノロジーズネザ ーランドビービー) 2011.03.31, 【0012】-【0025】、【図1】 & US 2011/0068320 A1	1, 2