

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 3 区分  
 【発行日】平成 26 年 7 月 10 日 (2014.7.10)

【公表番号】特表 2013-534018 (P2013-534018A)  
 【公表日】平成 25 年 8 月 29 日 (2013.8.29)  
 【年通号数】公開・登録公報 2013-046  
 【出願番号】特願 2013-518844 (P2013-518844)  
 【国際特許分類】

G 0 6 N 3/063 (2006.01)

G 0 6 N 3/08 (2006.01)

【F I】

G 0 6 N 3/063

G 0 6 N 3/08 Q

【誤訳訂正書】

【提出日】平成 26 年 5 月 20 日 (2014.5.20)

【誤訳訂正 1】

【訂正対象書類名】明細書

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【発明の詳細な説明】

【発明の名称】離散順位シナプス及び確率的な S T D P によるデジタル神経処理のための方法及びシステム

【技術分野】

【0 0 0 1】

本開示のある実施例は、神経システム工学に一般的に関連し、より具体的に、離散順位 (discrete-level) シナプス及び確率的なシナプス加重トレーニングによるデジタル神経プロセッサを実施するための方法に関連する。

【背景技術】

【0 0 0 2】

神経システムのニューロンに接続するシナプスは、一般的に、少ない数のディスクリート強度レベルのみを示す。たとえば、海馬神経構造のアンモン角 C A 3 - C A 1 パスウェイにおけるシナプスは、2 進法又は 3 進法のいずれかであることができる。3 進法のシナプスの事例において、たとえば、1 つの強度レベルは、長期抑圧 (L T D : long-term depression) によってもたらされる抑圧状態に相当することができ、他の強度レベルは、長期増強 (L T P : long-term potentiation) によってもたらされる増強状態に相当することができ、及び、第 3 強度レベルは、L T P 又は L T D を適用する前に存在する刺激されない状態に相当することができる。

【0 0 0 3】

神経態様プロセッサは、アナログ、デジタル又は混合される信号領域において実施されることができる。シナプスは、決定論的スパイクタイミング依存シナプス可塑性 (S T D P) ルールを使用して一般的に鍛えられるが、シナプス加重を蓄えるためアナログ又は多重レベルデジタルメモリのいずれかを必要とする。これら 2 つのタイプのメモリのどちらも、技術課題をもたらす。アナログメモリは、貧弱な保持力及び複製能力を持つ。一方、多重レベルデジタルメモリは、多数のビットを要求し、ここでそれは、与えられる正確さのシナプス加重の増加を実施するため多数の平行の相互接続ワイヤを導く。

【発明の概要】

【0 0 0 4】

本開示のある実施例は、電気的な回路を供給する。電気的な回路は、1つ又はそれ以上のシナプス及びシナプスに接続されるポストシナプスニューロン回路を持つデジタル神経処理ユニットを一般に含み、ここで、シナプスの1つの加重は、ポストシナプスニューロン回路から発生されるスパイク対とシナプスに接続されるプレシナプスニューロン回路との間で経過される時間に基づく可能性を持つ離散順位において値を変化させる。

【0005】

本開示のある実施例は、デジタル神経処理ユニットを実施するための方法を供給する。方法は、神経処理ユニットの少なくとも1つのシナプスと神経処理ユニットのポストシナプスニューロン回路を接続することと、シナプスに接続されるポストシナプスニューロン回路とプレシナプスニューロン回路とから発生されるスパイク対の間で経過される時間に基づく可能性を持つ1つの加重値を離散順位において変化させることとを一般に含む。

【0006】

本開示のある実施例は、デジタル神経処理ユニットのための装置を提供する。装置は、神経処理ユニットの少なくとも1つのシナプスと神経処理ユニットのポストシナプスニューロン回路に接続するための手段と、シナプスに接続されるポストシナプスニューロン回路とプレシナプスニューロン回路とから発生されるスパイク対の間で経過される時間に基づく可能性を持つ1つの加重値を離散順位において変化させるための手段とを一般に含む。

【図面の簡単な説明】

【0007】

本開示の上に列挙される特徴が詳細に理解されることができる方法、より具体的な記述、簡潔に要約される上記は、実施例への参照によって持たれ得るので、それらのいくつかは、添付される図において示される。しかしながら、記述が他の同等の効果的な実施例を認めるので、添付される図がこの開示のただある典型的な実施例を示し、それゆれその範囲の限界を考察されないことは注意されるべきである。

【図1】図1は、本開示のある実施例に従った例示の神経システムを示す。

【図2】図2は、本開示のある実施例に従った決定論的及び確率論的シナプス加重変化の例を示す。

【図3】図3は、本開示のある実施例に従った強度レベルの異なる数に関する多数のプレ及びポストシナプススパイク対を超えるシナプス強度の平均比較変更の例を示す。

【図4】図4は、本開示のある実施例に従った例示のパルス幅変調(PWM)シナプス加重を示す。

【図5】図5は、本開示のある実施例に従った例示の確率的なシナプス加重を示す。

【図6】図6は、本開示のある実施例に従ったディスクリートシナプス及び確率的な加重トレーニングを持つ神経処理の例示のブロック図を示す。

【図7】図7は、本開示のある実施例に従った論理的なものの指数関数的な崩壊確率を持つランダム2値生成器の例示のブロック図を示す。

【図8】図8は、本開示のある実施例に従ったディスクリートシナプス及び確率的な加重トレーニングを持つ神経プロセッサを実施するための例示の動作を示す。

【図8A】図8Aは、図8において示される動作を実行することができる例示のコンポーネントを示す。

【図9】図9(a)-(b)は、本開示のある実施例に従ったシミュレーションのために使用されるニューロン及びシナプスの例示の構成を示す。

【図10A】図10Aは、本開示のある実施例に従った決定論的シナプス加重トレーニングの例示のシミュレーション結果を示す。

【図10B】図10Bは、本開示のある実施例に従った決定論的シナプス加重トレーニングの例示のシミュレーション結果を示す。

【図11A】図11Aは、本開示のある実施例に従った確率論的シナプス加重トレーニングの例示のシミュレーション結果を示す。

【図11B】図11Bは、本開示のある実施例に従った確率論的シナプス加重トレーニング

グの例示のシミュレーション結果を示す。

【詳細な説明】

【0008】

開示の様々な実施例は、添付する図への参照によって以下により完全に記述される。しかしながら、この開示は、多くの異なる形式において具体化され得、この開示の全体を通じて現れるあらゆる特定の構造又は機能に限定されると解釈されるべきではない。むしろ、この開示が完璧で完全であろうからこれらの実施例は供給され、当業者が開示の範囲を完全に伝えるであろう。本文中の教示に基づいて、当業者は、開示の範囲が本文中に開示される開示のあらゆる実施例をカバーすることを意図され、開示のあらゆる他の実施例と独立に実施され又は組み合わせられるか否かを認識するべきである。たとえば、本文中に列挙される態様をいくらかでも使用して、装置は実施され得、又は、方法は実行され得る。加えて、開示の範囲は、本文中に列挙される開示の様々な実施例に追加して又は以外の他の構造、機能性、又は構造及び機能性を使用して実行されるその様な構造又は方法をカバーすることを意図する。本文中に開示される開示のあらゆる実施例は、請求項の1つ又は2つ以上の要素によって具体化され得ることは理解されるべきである。

【0009】

「典型的な」という単語は、「例 (example)、事例 (instance) 又は実例 (illustration) として役立つ」ことを意味するために本文中で使用される。「典型的な」として本文中に記述されるあらゆる実施例は、他の実施よりも好ましい又は利点があるとして解釈される必要はない。

【0010】

特定の実施例が本文中に開示されるが、これらの実施例の多くのバリエーション及び交換は、開示の範囲内になる。より好ましい実施例のいくつかの利益及び利点が述べられるが、開示の範囲は、特定の利益、使用又は目的に限定されることを意図されるものではない。むしろ、開示の実施例は、異なる無線技術、システム構成、ネットワーク、及びプロトコルに幅広く適用可能であることを意図され、それらのいくつかは、より好ましい実施例の図における及び次の記述における例示を手段によって示される。詳細な記述及び図は、添付の請求項及びそれらと同等物によって定義される開示の範囲に限定するよりも単に開示の説明である。

【0011】

典型的な神経システム

図1は、本開示のある実施例に従ったニューロンの多重のレベルを持つ例示の神経システム100を示す。神経システム100は、シナプス接続104のネットワークを通じてニューロン106の他のレベルへ接続されるニューロン102のレベルを備え得る。簡略化のため、ニューロンのより高いレベルが代表的な神経システムにおいて存在し得るが、ニューロンのただ2つのレベルのみが図1において示される。

【0012】

図1において示されるように、レベル102における各ニューロンは、(図1において示されない) 前のレベルの多数のニューロンによって生成され得る入力信号108を受信し得る。信号108は、レベル102ニューロンの入力電流を示し得る。この電流は、膜電位をチャージするためニューロン膜上で蓄積され得る。膜電位がその閾値に達する場合、ニューロンは、ニューロンの次のレベル(即ち、レベル106)へ移されるためスパイクを発火し出力し得る。

【0013】

図1において示されるように、ニューロンの1つのレベルから他のものへのスパイクの移動は、シナプス接続(又は、単に「シナプス」)104のネットワークを通じて達成され得る。シナプス104は、レベル102ニューロンから出力信号(即ち、スパイク)を受信し、

## 【数 1】

調整可能なシナプス負荷  $w_1^{(i,i+1)}, \dots, w_P^{(i,i+1)}$

## 【0014】

(ここで、 $p$  は、レベル 102 と 106 とのニューロンの間のシナプス接続の合計数である) に応じてこれらの信号をスケールし、レベル 106 において各ニューロンの入力信号としてスケールされる信号を結合し得る。レベル 106 における全てのニューロンは、相当する結合される入力信号に基づいて出力スパイク 110 を生成し得る。そのとき、出力スパイク 110 は、(図 1 において示されない) シナプス接続の他のネットワークを使用するニューロンの他のレベルへ移され得る。

## 【0015】

神経システム 100 は、電気的な回路によってエミュレートされ、パターン認識、機械学習及びモータ制御のような、アプリケーションの大きな範囲において利用され得る。神経システム 100 における各ニューロンは、ニューロン回路として実施され得る。出力スパイクを開始する閾値にチャージされるニューロン膜は、それを通じて流れる電気的な電流を統合するコンデンサとして実施され得る。

## 【0016】

コンデンサは、ニューロン回路の機器を開始する電気的な電流としてエミュレートされ得、メモリスト要素は、その場所において使用され得る。このアプローチは、大きいコンデンサが電気的な電流積分器として使用される様々な他の応用においてはもちろん、ニューロン回路において適用され得る。加えて、シナプス 104 のそれぞれは、膜要素に基づいて実施され得、ここで、シナプス加重変化は、膜抵抗の変化に関連し得る。ナノメータ図形寸法の膜によって、ニューロン回路及びシナプスのエリアは、相当に減少され得、ここでそれは、非常に大きなスケールの神経システムハードウェア実施実用の実施を行い得る。

## 【0017】

本開示のある実施例は、神経システム 100 のニューロン及びその関連するシナプスをエミュレートするデジタル神経処理ユニットの実施を供給する。神経処理ユニットのシナプス加重は、量子化されるレベルを備え、スパイクタイミング依存シナプス可塑性 (STDP) に基づく加重トレーニングは、確率論的性質であり得る。他の言い方をすれば、プレ及びポストシナプスのどのペアも相当するシナプスの増強又は抑圧を導き得るものではない。たとえば、シナプスは、強度のただ 3 つのレベル又はちょうど 2 つのレベル (即ち、2 値シナプス) を備え得る。数学的に、2 値シナプスは、全体において連続の STDP ルールを実施することができ得、ここで、個々のシナプスは、確率論的スイッチライク増強又は抑圧を経験し得る。確率論的 STDP は、デジタル神経処理ユニットの簡単なハードウェア実施を導き得る。

## 【0018】

典型的な離散順位シナプス及び確率論的加重変化

伝統的な決定論的 STDP において、図 2 A において示されるように、シナプス加重  $\Delta W$  における変化は、プレシナプススパイクとポストシナプススパイクとの間の時間差  $\Delta t$  の結果であり得る。その代わり、図 2 B において示されるように、シナプス加重変化  $\Delta W$  は、一定に保たれ得るが、加重変化の可能性は、プレシナプスとポストシナプススパイクとの間の時間差の結果であり得る。このアプローチは、確率論的 STDP と呼ばれることができる。非常に多数のスパイク上で、決定論的及び確率論的 STDP アプローチは、同様に結果に集約し得る。しかしながら、確率論的 STDP は、ハードウェアにおいてより容易に実施し得る。

## 【0019】

S T D Pの広く受容される理論に従って、個々のシナプスは、二相性、単一のプレシナプス / ポストシナプススパイク対に関する指数関数的な減衰曲線に従って修正され得る。それゆえ、シナプス強度に関連する離散順位の仮説は、勾配のゆるやかなS T D Pの理論と矛盾する。しかしながら、この理論は、シナプス変化が多くのシナプス横切って及び多数のスパイク対上で測定された経験に基づいて発展されている。指数関数的な減衰L T P及びL T D曲線がシナプスの母集団に所属する場合、そのとき、これらの曲線は、確率論的（確率的な）S T D Pによって訓練されるディスクリット状態シナプスによって実現され得る。個々のシナプスは、より小さい時間差と比較される確率を減少するプレシナプスとポストシナプススパイクとの間の大きな時間差によって、スパイクタイミングに依存し得る確率を持つワンステップ増強又は抑圧を経験し得る。

#### 【 0 0 2 0 】

前述のディスクリットステップ確率論的S T D Pによって、シナプス強度が2値である場合でさえ、個々のシナプスはし得ないこともあるが、神経とターゲットとの間の全体的他シナプス性予想は、勾配のゆるやかなS T D Pをまだ表し得る。単一のシナプスがいくつかの強度レベルを備える場合、そのとき、シナプスは、多数のスパイク対上で勾配のゆるやかなS T D Pを表し得るが、より高い又はより低い強度レベルで可能な飽和状態によって、強度レベルの数に依存する。

#### 【 0 0 2 1 】

図3は、強度レベルの異なる数（即ち、強度レベルsの数は、10、30、60、90及び90以上であることができる）に関して多くのプレ及びポストシナプススパイク対上で単一のシナプス強度の平均比較飽和の例示のグラフ300を示す。飽和状態は、より高いシナプス強度レベルで、特に強度のレベルのより低い数に関して観測されることができる（たとえば、10及び30と同一のsに関してそれぞれプロット308及び310参照）。さらに、強度レベルの全ての数に関して、プレシナプススパイクとポストシナプススパイクとの間の時間が長くなるほど、シナプス強度の変化は、相当に上昇し得ることは観測されることができる。

#### 【 0 0 2 2 】

メモリスティブシナプスのトレーニングに基づく決定論的S T D Pは、時間で減衰するパルス幅変調（P W M）信号として一般的に用い得る。図4は、本開示のある実施例に従って例示のP W Mベースメモリスティブシナプス加重変化を示す。プレシナプスニューロンのスパイクが時間で減少するP W M信号402によって表され得ることは観測されることができる。ポストシナプススパイク404中にシナプス406を横切る電圧が閾値レベル408を上回る場合、それは、シナプス加重410における変化を生じ得る。したがって、シナプス加重における変化は、プレシナプススパイク402とポストシナプススパイク404との間の時間における違いの結果であり得る。

#### 【 0 0 2 3 】

図5は、本開示のある実施例に従った例示の確率論的シナプス加重変化を示す。確率において減少する一定幅パルス502は利用され得、ここでそれは、プレシナプススパイクから経過される時間の結果であり得る。ポストシナプススパイク504及び確率論的プレシナプスパルス502の間にシナプスを横切る電圧506が閾値レベル508を上回る場合にシナプス加重変化が生じ得る。多数の試みによって、この確率論的アプローチは、図4において示されるP W Mスキームと同一のシナプス加重変化を導き得る。しかしながら、図5からの確率論的スキームは、ハードウェアにおいて容易に実施し得る。

#### 【 0 0 2 4 】

確率論的S T D Pを適用することによって、シナプス加重を示すための最下位ビットの効果的な値は、減少し得、シナプス加重は、より小さいビットによって示され得る。加えて、シナプス加重に影響を及ぼすパルスの確率は、1つの報告においてナノ機器の非線形スイッチングの埋め合わせをするために調節され得る（たとえば、より低い値へセットされ得る）。加重学習が遅い時間スケール上で数千又は数百以上のスパイク上で生じ得るので、確率論的S T D Pはまたルールを学習することに応用でき得もする。

## 【 0 0 2 5 】

典型的な事例において、十分な余剰がシナプスのネットワークにおいてある場合、確率論的 S T D P を持つ 2 値シナプスは、利用され得、即ち、多数の 2 値機器は、強度レベルの任意の数のあらゆるシナプスを埋め合わせ得る。2 値ナノ機器のスイッチング閾値が非常に変わりやすく、ここで、それは非常に信頼できるシナリオである場合、これらの 2 値シナプスはまた、適し得もする。さらに、電氣的機器それ自身におけるスイッチングが確率論的（たとえば、回転トルク伝達 R A M（ランダムアクセスメモリ））である場合、確率論的 S T D P は、指数関数的に減少する確率を持つパルスを生成するための電子回路を要求することなく確率論的シナプスを実施するために使用され得る。

## 【 0 0 2 6 】

典型的な神経処理ユニット構造

本開示のある実施例は、シナプス加重の量子化されるレベルを持つデジタル神経処理ユニットを実施することをサポートするが、加重トレーニングは、前述の確率論的 S T D P に基づき得る。図 6 は、本開示のある実施例に従った 8 レベル（たとえば、3 ビット）シナプス及び確率論的 S T D P を持つ神経処理ユニット 6 0 0 の例示の構造を示す。

## 【 0 0 2 7 】

ニューロン 6 0 2 は、スパイク生成器 6 0 4 及び、それぞれ長期増強（L T P）及び長期抑圧（L T D）のための 2 つのランダム 2 値生成器回路 6 0 6 及び 6 0 8 を備え得る。生成器回路 6 0 6 - 6 0 8 は、ニューロン 6 0 2 に関連するスパイク信号 6 1 0 によってリセットされ（トリガーされ）得、それらは、リセットの瞬間からの時間で指数関数的に減衰する定義される時間間隔において生じるための論理「1」（たとえば、パルス）の確率を持つ 2 値コード（たとえば、パルス信号）6 1 2 - 6 1 4 を作り出し得る。確率論的パルス信号 6 1 2 及び 6 1 4 は、それぞれ L T D 及び L T P トレーニング信号を表す。確率の減衰時間定数は、S T D P 特性（たとえば、典型的な値は、L T P 及び L T D に関してそれぞれ  $\tau_+ = 16.9 \text{ ms}$  及び  $\tau_- = 33.7 \text{ ms}$  であり得る。）の L T P 及び L T D パスに特有であり得る。確率論的 L T P 信号 6 1 4 は、神経処理ユニット 6 0 0 に接続される他のシナプスの他の加重値に限定される離散順位によって上昇させ得る。

## 【 0 0 2 8 】

各シナプス 6 1 6 は、ポストシナプススパイク 6 2 2 及びポストシナプス L T D 信号 6 2 4 はもちろん、プレシナプススパイク 6 1 8 及びプレシナプス L T P 信号 6 2 0 を受信し得る。ポストシナプススパイク 6 2 2 がスパイク信号 6 1 0 に相当し得、ポストシナプス L T D 信号 6 2 4 が確率論的 2 値コード信号 6 1 2 に相当し得ることは、図 6 から見てとることができる。2 つの A N D ゲート 6 2 6 - 6 2 8 及び 2 つのインバータ 6 3 0 - 6 3 2 から構成される論理回路は、トレーニングイベントを検知し得る。プレシナプス L T P 信号 6 2 0 が論理「1」と等しく、ポストシナプススパイク信号 6 2 2 が論理「1」と等しく、及びプレシナプススパイク信号 6 1 8 が論理「0」と等しい場合、L T P トレーニングイベントは検知され得る。他方、ポストシナプス S T D 信号 6 2 4 が論理「1」と等しく、プレシナプススパイク信号 6 1 8 が論理「1」と等しく、及びポストシナプススパイク信号 6 2 2 が論理「0」と等しい場合、L T D トレーニングイベントは検知され得る。

## 【 0 0 2 9 】

この論理回路に従って、プレ及びポストシナプスニューロンが同時にスパイクする場合（即ち、プレシナプススパイク信号 6 1 8 及びポストシナプススパイク信号 6 2 2 の両者が論理「1」と等しい場合）、トレーニングは起こらない。リワード（reward）調整される S T D P の事例において、上の条件を満たさない場合、加重トレーニングは、すぐに生じ得ないこともある。その代わり、トレーニングイベント検知機の出力 6 3 4 は、シナプス 6 1 6 のランダム生成器回路 6 3 6 をリセットし（即ち、トリガーし）得、ここでそれは、そのときリセットの瞬間からの時間で指数関数的に減少する論理「1」の確率を持つ 2 値コード 6 3 8 を生成することを開始し得る。確率の減衰時間定数は、リワード調整された S T D P の適格度トレースに特有であり得る。

## 【 0 0 3 0 】

ランダム 2 値生成器 6 3 6 の出力 6 3 8 は、遅延リワードゲート信号 6 4 0 によって入出力禁止され得、そのとき、それは、シナプス 6 1 6 の現在の加重値を格納するアップダウンカウンタ 6 4 4 へクロック信号 6 4 2 として適用され得る。検知されるタイミングイベントが LTP に相当する（即ち、SR ラッチ 6 4 8 の出力 6 4 6 が論理「1」に等しい）場合、カウンタ 6 4 4 の状態は、増加され得る。他方、検知されるトレーニングイベントが LTD に相当する（SR ラッチ 6 4 8 の出力 6 4 6 が論理「0」に等しい）場合、カウンタ状態は、減少され得る。

## 【 0 0 3 1 】

ランダム生成器 6 3 6 の入出力禁止される出力 6 4 2 はまた、不揮発性メモリ（NVM）6 5 0 内へのカウンタ状態の転送をトリガーするため利用され得る。アップダウンカウンタ 6 4 4 において格納されるシナプス加重はまた、2 値加重デジタルツーマナログ変換（DAC）回路 6 5 2 への入力として使用され得る。DAC 6 5 2 の出力電流 6 5 2 は、ニューロン回路 6 0 2 の入力 6 5 6 へ接続される他のシナプスの出力電流によって加算される前にプレシナプススパイク信号 6 1 8 によって入出力禁止され得る。

## 【 0 0 3 2 】

典型的なランダム 2 値生成器

指数関数的に減少する論理「1」の確率を持つランダム 2 値生成器 6 3 6 は、図 6 において示される神経処理ユニット 6 0 0 の本質的な部分を表し得る。この生成器の 1 つの可能な実施形態は、図 7 において示される。ランダム 2 値生成器 7 0 0 は、より新しいビットにおいて論理「1」の減衰する確率を持つ 4 ビットシリアル 2 値数を生成するためのリング発振器 7 0 4 に基づいてランダムサブ生成器 7 0 2<sub>1</sub> - 7 0 2<sub>4</sub> を利用し得る。

## 【 0 0 3 3 】

サブ生成器 7 0 2<sub>1</sub> - 7 0 2<sub>4</sub> のそれぞれ内にあるリング発振器は、高いジッタ及び高いドラフト周波数によって発振し得、ここで、それは、発振が外部クロック周期（外部クロック 7 0 8 の周期）の固定の間隔でフリップフラップ 7 0 6 によってサンプリングされる場合にランダム 2 値信号を生成することを助け得る。電力消費を減少させるため、サブ生成器 7 0 2<sub>1</sub> - 7 0 2<sub>4</sub> のそれぞれ内にあるリング発振器 7 0 4 は、NAND ゲートによるリングにおけるインバータの 1 つを置き換えることによって動作しないようにされ得る。

## 【 0 0 3 4 】

ランダム生成器 7 0 0 は、リセット信号 7 1 2 によってトリガーされ得、ここでそれは、4 つのサブ生成器 7 0 2<sub>1</sub> - 7 0 2<sub>4</sub> の 4 つのリング発振器 7 0 4 を動作可能にし得る。このリセット信号はまた、時間カウンタ 7 1 4 をリセットし得もする。リセット信号 7 1 0 の後の出力 7 1 6 での第 1 出力ビットは、単に第 1 サブ生成器 7 0 2<sub>1</sub> の出力 7 1 8 であり得る。出力 7 1 6 での第 2 出力ビットは、第 1 サブ生成器 7 0 2<sub>1</sub> の出力 7 1 8 及び第 2 サブ生成器 7 0 2<sub>2</sub> の出力 7 2 0 などの AND 関数として得られ得る。

## 【 0 0 3 5 】

記述されるランダム生成器 7 0 0 の論理「1」の確率は、第 1 出力ビットに関する 0.5 から第 4 出力ビットに関する 0.0625 へ減衰し得る。この確率は、サブ生成器 7 0 2<sub>1</sub> - 7 0 2<sub>4</sub> の出力の異なる論理関数を使用することによって修正され得る。AND ゲートは、論理 1 の発生の確率を減少させ得る。その一方で、OR ゲートは、論理 1 の発生を上昇させ得る。それゆえ、特定の確率の導出は、2 つの基礎的で分析的な確率公式を通じて達成され得る：

$$P(A \cdot B) = P(A) \cdot P(B) \quad (1)$$

$$P(A + B) = P(A) + P(B) - P(A) \cdot P(B) \quad (2)$$

図 8 は、本開示のある実施例に従って離散順位シナプス及び確率論的加重トレーニングを持つデジタル神経プロセッサ（図 6 からの処理ユニット 6 0 0 のような）を実施するための例示の動作 8 0 0 を示す。8 0 2 で、神経処理ユニットのニューロン回路（たとえば、ポストシナプスニューロン回路 6 0 2）は、神経処理ユニットの少なくとも 1 つのシナ

ブスと接続され得る。

【 0 0 3 6 】

8 0 4 で、シナプスの 1 つの加重値は、ニューロン回路から発生されるスパイク（たとえば、スパイク 6 1 0）とシナプスに接続される他のニューロン回路から（即ち、プレシナプスニューロン回路から）発生されるスパイク（たとえば、スパイク 6 1 8）との間の時間に基づく確率を持つ離散順位において変化させられ得る。ポストシナプスニューロン回路は、時間で指数関数的に減衰する定義される時間間隔において生じるための各パルスの確率を持つ少なくとも 1 つのパルスを生成するためスパイクの 1 つによってトリガーされる少なくとも 1 つの生成器回路（たとえば、少なくとも 1 つのランダム生成器 6 0 6 及び 6 0 8）を備え得る。パルス（LTD 信号 6 1 2 のパルス）の 1 つは、加重値に減少させ得る。

【 0 0 3 7 】

離散順位シナプス及び確率論的 S T D P を使用する提案されるデジタル神経態様プロセッサは、決定論的 S T D P を持つアナログ及びデジタル実施形態でいくつかの利点を供給する。第 1 に、それは、シナプス強度の離散順位のより少ない数を要求し得、シナプス強度の 2 つ又は 3 つのレベルでさえ十分であり得る。これは、シナプスメモリにおいて格納されるためより少ないビットを要求し得る。第 2 に、シナプスの実施形態は、より少ないハードウェアを要求し得、それゆえ、シナプス接続は、より少ないダイエリアを占有し得る。第 3 に、シナプスは、1 ビット L T P、L T D 及びスパイク入力によって多数ビット L T D 及び L T P の取替のおかげで決定論的デジタル実施形態におけるシナプスよりも少ない入力を含み得る。より少ないシナプス入力は、より簡単な書き込み、ことによるとダイエリア節約へ移し得る。

【 0 0 3 8 】

「確率論的」という用語がスパイクシグナリングでなくシナプストレーニングのみに適用され得ることは、注意されるべきである。いったんシナプスが確率論的に訓練されれば、トレーニングプロセスは、切られ得、神経システムは、あいまいなふるまいを避けるため決定論的な動作を続け得る。

【 0 0 3 9 】

典型的なシミュレーション結果

シミュレーションは、決定論的 S T D P 及びデジタル的に実施される確率論的 S T D P が同一の結果に収束することを示すため実行されることができる。図 9 ( a ) - ( b ) は、本開示のある態様に従ったシミュレーションにおいて使用されるシナプスを持つ例示のニューロン 9 0 0 を示す。たとえば、ニューロン 9 0 2<sub>1</sub> - 9 0 2<sub>3</sub> は、5 H z の平均発火レートでランダムスパイクを供給し得、ニューロン 9 0 4<sub>1</sub> - 9 0 4<sub>2</sub> は、テスト下でシナプス 9 0 6 と接続され得る。

【 0 0 4 0 】

図 9 ( a ) において示される実験において、ニューロン 9 0 4<sub>1</sub> - 9 0 4<sub>2</sub> の両者は、同一のプレシナプスニューロン 9 0 2<sub>2</sub> に接続され得、ここで、ポストシナプスニューロン 9 0 4<sub>2</sub> は、シナプス 9 0 8 と等しい加重のシナプス 9 1 0 と比較して 5 m s の遅延を持つシナプス 9 0 8 を通じてプレシナプスニューロン 9 0 2<sub>2</sub> と接続され得る。それゆえ、ニューロン 9 0 4<sub>1</sub> - 9 0 4<sub>2</sub> は、関連のあるスパイクを受信し得、シナプス 9 0 6 は、S T D P のために増強し得る。他方、図 9 ( b ) において示される実験において、シナプス 9 1 4 及び 9 1 6 を通じてニューロン 9 1 2<sub>1</sub> - 9 1 2<sub>2</sub> へ伝達される入力は、互いに完全にランダムであり得、それゆえ、シナプス 9 1 8 の加重値は、おおよそ同一の値を維持するか又は抑圧を得るかのいずれかが予期され得る。

【 0 0 4 1 】

図 1 0 A - 1 0 B は、決定論的 S T D P が適用される場合に図 9 ( a ) - ( b ) からのシミュレートされる前述の実験の結果 1 0 0 0 を示す。シナプス 9 0 6 及び 9 1 8 が予期されるように増強し得ることは、見てとられることができる。同一の実験は、確率論的 S T D P ルールを使用して繰り返され、相当するシミュレーション結果 1 1 0 0 は、図 1 1

A - 1 1 Bにおいて示される。加重変化は、直ちに量子化され、プレ及びポストシナプススパイク時間の間の時間差によって与えられる確率を持つスパイクのわずかな部分で生じることのみができる。シナプス 9 0 6 及び 9 1 8 に関する最終加重値が決定論的 S T D P ルールを使用して得られる図 1 0 A - 1 0 B において与えられる最終加重値と非常に近くなることができる。

#### 【 0 0 4 2 】

上に記述される方法の様々な動作は、相当する機能を実行することができる任意の適切な手段によって実行され得る。手段は、様々なハードウェア及び/又は(複数の)ソフトウェアコンポーネント並びに/若しくは(複数の)モジュールを含み得、それらは、回路に限定されることなく、特定用途向け集積回路(A S I C)、又はプロセッサを含む。一般に、図に示される動作がある場合、これらの動作は、同一のナンバリングを持つ相当するカウンタパート手段プラス機能コンポーネントを有し得る。たとえば、図 8 において示される動作 8 0 0 は、図 8 A において示されるコンポーネント 8 0 0 A に相当する。

#### 【 0 0 4 3 】

本文中に使用されるように、「決定すること」という用語は、動作の広い多様性を含む。たとえば、「決定すること」は、計算すること(calculating)、計算すること(computing)、処理すること、引き出すこと、調査すること(investigating)、調べること(looking up)(たとえば、テーブル、データベース又は他のデータ構造において調べること)、確かめることなどを含み得る。また、「決定すること」は、受信すること(たとえば、情報を受信すること)、アクセスすること(メモリにおけるデータにアクセスすること)などを含み得る。また、「決定すること」は、解決すること、選択すること(selecting)、選択すること(choosing)、設立することなどを含み得る。

#### 【 0 0 4 4 】

本文中に使用されるように、アイテムのリストの「少なくとも1つ」に言及するフレーズは、単一のメンバーを含む、それらアイテムの任意の組み合わせを示す。例として、「a、b又はcの少なくとも1つ」は、a、b、c、a - b、a - c、b - c 及び a - b - c をカバーすることを意図される。

#### 【 0 0 4 5 】

本開示に関連して開示される様々な例示の論理ブロック、モジュール及び回路は、本文中に記述される機能を実行するために設計される汎用プロセッサ、デジタル信号プロセッサ(D S P)、特定用途向け集積回路(A S I C)、フィールドプログラマブルゲートアレイ信号(F P G A)若しくは他のプログラマブル論理機器(P L D)、ディスクリートゲート若しくはトランジスタ論理、ディスクリートハードウェアコンポーネント、又はそれらのあらゆる組み合わせによって実施され又は実行され得る。汎用プロセッサは、マイクロプロセッサであり得るが、代案として、プロセッサは、あらゆる市販されているプロセッサ、コントローラ、マイクロコントローラ又はステートマシンであり得る。プロセッサはまた、コンピューティング機器の組み合わせ、たとえば、D S P並びにマイクロプロセッサの組み合わせ、多数のマイクロプロセッサ、D S Pコアに関連する1つ若しくは2つ以上のマイクロプロセッサ、又はあらゆる他のそのような構成、として実施され得もする。

#### 【 0 0 4 6 】

本開示に関連して記述される方法又はアルゴリズムのステップは、直接ハードウェアにおいて、プロセッサによって実行されるソフトウェアモジュールにおいて、又は、2つの組み合わせにおいて具体化され得る。ソフトウェアモジュールは、技術において知られる記録媒体のあらゆる形式において存在し得る。使用され得る記録媒体のいくつかの例は、ランダムアクセスメモリ(R A M)、リードオンリーメモリ(R O M)、フラッシュメモリ、E P R O Mメモリ、E E P R O Mメモリ、レジスタ、ハードディスク、リムーバブルディスク、C D - R O Mなどを含む。ソフトウェアモジュールは、単一の命令又は多数の命令を備え得、いくつかの異なるコードセグメント上で、異なるプログラムの中で及び多数の記録媒体の至る所で分配され得る。プロセッサが記録媒体から情報を読み記録媒体へ

情報を書くことができるように、記録媒体は、プロセッサに接続され得る。代案として、記録媒体は、プロセッサに欠かせないものであり得る。

【0047】

本文中に記述される方法は、記述される方法を達成するための1つ又は2つ以上のステップ又は動作を備える。方法ステップ及び/又は動作は、請求項の範囲から離れることなく他のものと交換され得る。他の言い方をすれば、ステップ又は動作の特定の順序がはっきりと指定されていなければ、特定のステップ及び/又はステップの順序及び/又は使用は、請求項の範囲から離れることなく修正され得る。

【0048】

記述される機能は、ハードウェア、ソフトウェア、ファームウェア又はそれらのあらゆる組み合わせにおいて実施され得る。ソフトウェアにおいて実施される場合、機能は、コンピュータ可読媒体上で1つ又はそれ以上の命令として格納され得る。記録媒体は、コンピュータによってアクセスされることができるあらゆる利用可能な媒体であり得る。限定でなく例として、その様なコンピュータ可読媒体は、RAM、ROM、EEPROM、CD-ROM若しくは他の光学ディスク、磁気ディスク媒体若しくは他の磁気記録機器、又は命令若しくはデータ構造の形式において所望のプログラムコードを運び若しくは格納するために利用されることができコンピュータによってアクセスされることができるあらゆる他の媒体を備えることができる。本文中で使用されるような、一般的に磁氣的にデータを再現するディスク(disk)、一方レーザーを使用して光学的にデータを再現するディスク(disc)は、コンパクトディスク(CD)、レーザーディスク(登録商標)、光ディスク、デジタル・バーサタイル・ディスク(DVD)、フロッピー(登録商標)ディスクおよびブルーレイディスクを含む。

【0049】

したがって、ある実施例は、本文中に開示される動作を実行するためのコンピュータプログラム製品を備え得る。たとえば、そのようなコンピュータプログラム製品は、その上に格納される(及び/又は符号化される)命令を持つコンピュータ可読媒体を備え得、ここで命令は、本文中に記述される動作を実行するため1つ又は2つ以上のプロセッサによって実行可能である。ある実施例に関して、コンピュータプログラム製品は、パッケージ材料を含み得る。

【0050】

ソフトウェア又は命令はまた、送信媒体上で送信され得もする。たとえば、ソフトウェアが、ウェブサイト、サーバ、又は、同軸ケーブル、光ファイバケーブル、ツイストペア、デジタル加入者ライン(DSL)、若しくは赤外線(IR)、無線並びにマイクロ波のような無線技術を使用する他のリモートソースから送信される場合、そのとき、同軸ケーブル、ツイストペア、DSL、又は、赤外線、無線及びマイクロ波のような無線技術は、媒体の定義に含まれ得る。

【0051】

さらに、本文中に記述される方法及び技術を実行するためのモジュール及び/又は他の適切な手段は、ダウンロードされ、及び/又はそうでなければ、適用可能であるとして利用者端末及び/又は基地局によって得られることができることは、認識されるべきである。たとえば、その様な機器は、本文中に記述される方法を実行するための手段の送信を容易にするためサーバに接続されることができる。あるいは、利用者端末及び/又は基地局は機器へ記録手段を接続すること又は供給することで様々な方法を得ることができるように、本文中に記述される様々な方法は、記録手段(たとえば、RAM、ROM、コンパクトディスク(CD)又はフロッピー(登録商標)ディスクのような物理記録媒体など)を通じて供給されることができる。さらに、機器へ本文中に記述される方法及び技術を供給するためのあらゆる他の適切な技術は、利用されることができる。

【0052】

請求項は、上に示される正確な構成及びコンポーネントに限定されないことは理解されるべきである。様々な修正、変更及びバリエーションは、請求項の範囲から離れることな

く上に記述される方法及び装置の取決め、動作及び詳細において行われ得る。

【 0 0 5 3 】

前記のものが本開示の実施例へ向けられるが、開示の他の及びさらなる実施例は、その基礎範囲から離れることなく考察され得、その範囲は、以下に続く請求項によって決定される。