

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 10 月 22 日 (22.10.2020)



(10) 国际公布号
WO 2020/211161 A1

(51) 国际专利分类号:
G09G 3/3208 (2016.01)

(21) 国际申请号: PCT/CN2019/088363

(22) 国际申请日: 2019 年 5 月 24 日 (24.05.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201910319742.3 2019 年 4 月 19 日 (19.04.2019) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 聂诚磊 (NIE, Chenglei); 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所 (普通合伙) (ESSEN PATENT & TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: PIXEL DRIVE CIRCUIT AND DISPLAY PANEL

(54) 发明名称: 像素驱动电路及显示面板

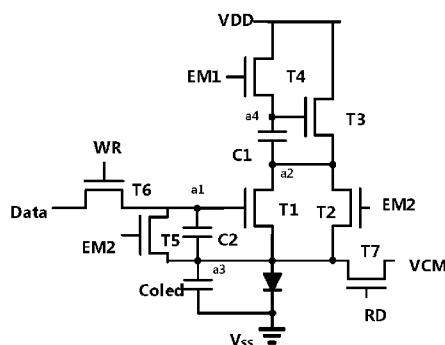


图 1

(57) Abstract: A pixel drive circuit and a display panel; a pixel drive circuit having a 7T3C structure is used to effectively compensate the threshold voltage of a drive transistor in each pixel, the compensation structure of the pixel drive circuit is simple, and the difficulty of operation is low; moreover, a light-emitting device (D) emits light in a programming phase and a light-emission phase, which increases the light-emission time of the light-emitting device (D), thereby increasing the brightness and service life of a display panel.

(57) 摘要: 一种像素驱动电路及显示面板, 采用 7T3C 结构的像素驱动电路对每一像素中的驱动晶体管的阈值电压进行有效补偿, 像素驱动电路的补偿结构较为简单, 操作难度较低, 且发光器件 (D) 在编程阶段以及发光阶段发光, 增加了发光器件 (D) 的发光时间, 从而提升显示面板的亮度和寿命。

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

发明名称：像素驱动电路及显示面板

技术领域

[0001] 本申请涉及显示技术领域，具体涉及一种像素驱动电路及显示面板。

背景技术

[0002] OLED(Organic Light Emitting Diode, 有机发光二极管)显示面板具有高亮度、宽视角、响应速度快、低功耗等优点，目前已被广泛地应用于高性能显示领域中。其中，在OLED显示器面板中，像素被设置成包括多行、多列的矩阵状，每一像素通常采用由两个晶体管与一个电容构成，俗称2T1C电路，但晶体管存在阈值电压漂移的问题，因此，OLED像素驱动电路需要相应的补偿结构。目前，OLED像素驱动电路的补偿结构较为复杂，其操作难度较大，且发光器件的发光时间较短。

发明概述

技术问题

[0003] 本申请实施例的目的在于提供一种像素驱动电路及显示面板，能够解决现有的像素驱动电路的补偿结构较为复杂，其操作难度较大，且发光器件的发光时间较短的技术问题。

问题的解决方案

技术解决方案

[0004] 本申请实施例提供一种像素驱动电路，其包括：第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第一电容、第二电容、第三电容以及发光器件；

[0005] 所述第一晶体管的栅极电性连接于第一节点，所述第一晶体管的源极电性连接于第二节点，所述第一晶体管的漏极电性连接于第三节点；

[0006] 所述第二晶体管的栅极电性连接于第一控制信号，所述第二晶体管的源极电性连接于所述第二节点，所述第二晶体管的漏极电性连接于所述第三节点；

[0007] 所述第三晶体管的栅极电性连接于第四节点，所述第三晶体管的源极电性连接

于第一电源信号，所述第三晶体管的漏极电性连接于所述第二节点；

[0008] 所述第四晶体管的栅极电性连接于第二控制信号，所述第四晶体管的源极电性连接于所述第一电源信号，所述第四晶体管的漏极电性连接于所述第四节点；

[0009] 所述第五晶体管的栅极电性连接于所述第一控制信号，所述第五晶体管的源极电性连接于所述第一节点，所述第五晶体管的漏极电性连接于所述第三节点；

[0010] 所述第六晶体管的栅极电性连接于第三控制信号，所述第六晶体管的源极电性连接于数据信号，所述第六晶体管的漏极电性连接于所述第一节点；

[0011] 所述第七晶体管的栅极电性连接于第四控制信号，所述第七晶体管的源极电性连接于参考信号，所述第七晶体管的漏极电性连接于所述第三节点；

[0012] 所述第一电容的第一端电性连接于所述第二节点，所述第一电容的第二端电性连接于所述第四节点；

[0013] 所述第二电容的第一端电性连接于所述第一节点，所述第二电容的第二端电性连接于所述第三节点；

[0014] 所述第三电容的第一端电性连接于所述第三节点，所述第三电容的第二端电性连接于第二电源信号；

[0015] 所述发光器件的阳极端电性连接于所述第三节点，所述发光器件的阴极端电性连接于所述第二电源信号；

[0016] 所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管以及所述第七晶体管均为低温多晶硅薄膜晶体管、氧化物半导体薄膜晶体管或非晶硅薄膜晶体管；所述发光器件为有机发光二极管。

[0017] 在本申请所述的像素驱动电路中，所述第一控制信号、所述第二控制信号、所述第三控制信号以及所述第四控制信号相组合先后对应于初始化阶段、阈值电压探测阶段、数据信号输入阶段、编程阶段以及发光阶段；其中，所述数据信号包括参考电位和显示电位，在所述初始化阶段和所述阈值电压探测阶段，所述数据信号的电位为所述参考电位；在所述数据信号输入阶段，所述数据信号的电位为所述显示电位。

[0018] 在本申请所述的像素驱动电路中，在所述初始化阶段，所述第一控制信号为低

电位，所述第二控制信号为高电位，所述第三控制信号为高电位，所述第四控制信号为高电位。

[0019] 在本申请所述的像素驱动电路中，在所述阈值电压探测阶段，所述第一控制信号为低电位，所述第二控制信号为高电位，所述第三控制信号为高电位，所述第四控制信号为低电位。

[0020] 在本申请所述的像素驱动电路中，在所述数据信号输入阶段，所述第一控制信号为低电位，所述第二控制信号为高电位，所述第三控制信号为高电位，所述第四控制信号为低电位。

[0021] 在本申请所述的像素驱动电路中，在所述编程阶段，所述第一控制信号为低电位，所述第二控制信号为高电位，所述第三控制信号为低电位，所述第四控制信号为低电位。

[0022] 在本申请所述的像素驱动电路中，在所述发光阶段，所述第一控制信号为高电位，所述第二控制信号为低电位，所述第三控制信号为低电位，所述第四控制信号为低电位。

[0023] 本申请实施例还提供一种像素驱动电路，包括：第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第一电容、第二电容、第三电容以及发光器件；

[0024] 所述第一晶体管的栅极电性连接于第一节点，所述第一晶体管的源极电性连接于第二节点，所述第一晶体管的漏极电性连接于第三节点；

[0025] 所述第二晶体管的栅极电性连接于第一控制信号，所述第二晶体管的源极电性连接于所述第二节点，所述第二晶体管的漏极电性连接于所述第三节点；

[0026] 所述第三晶体管的栅极电性连接于第四节点，所述第三晶体管的源极电性连接于第一电源信号，所述第三晶体管的漏极电性连接于所述第二节点；

[0027] 所述第四晶体管的栅极电性连接于第二控制信号，所述第四晶体管的源极电性连接于所述第一电源信号，所述第四晶体管的漏极电性连接于所述第四节点；

[0028] 所述第五晶体管的栅极电性连接于所述第一控制信号，所述第五晶体管的源极电性连接于所述第一节点，所述第五晶体管的漏极电性连接于所述第三节点；

[0029] 所述第六晶体管的栅极电性连接于第三控制信号，所述第六晶体管的源极电性

连接于数据信号，所述第六晶体管的漏极电性连接于所述第一节点；

[0030] 所述第七晶体管的栅极电性连接于第四控制信号，所述第七晶体管的源极电性连接于参考信号，所述第七晶体管的漏极电性连接于所述第三节点；

[0031] 所述第一电容的第一端电性连接于所述第二节点，所述第一电容的第二端电性连接于所述第四节点；

[0032] 所述第二电容的第一端电性连接于所述第一节点，所述第二电容的第二端电性连接于所述第三节点；

[0033] 所述第三电容的第一端电性连接于所述第三节点，所述第三电容的第二端电性连接于第二电源信号；

[0034] 所述发光器件的阳极端电性连接于所述第三节点，所述发光器件的阴极端电性连接于所述第二电源信号。

[0035] 在本申请所述的像素驱动电路中，所述第一控制信号、所述第二控制信号、所述第三控制信号以及所述第四控制信号相组合先后对应于初始化阶段、阈值电压探测阶段、数据信号输入阶段、编程阶段以及发光阶段；其中，所述数据信号包括参考电位和显示电位，在所述初始化阶段和所述阈值电压探测阶段，所述数据信号的电位为所述参考电位；在所述数据信号输入阶段，所述数据信号的电位为所述显示电位。

[0036] 在本申请所述的像素驱动电路中，在所述初始化阶段，所述第一控制信号为低电位，所述第二控制信号为高电位，所述第三控制信号为高电位，所述第四控制信号为高电位。

[0037] 在本申请所述的像素驱动电路中，在所述阈值电压探测阶段，所述第一控制信号为低电位，所述第二控制信号为高电位，所述第三控制信号为高电位，所述第四控制信号为低电位。

[0038] 在本申请所述的像素驱动电路中，在所述数据信号输入阶段，所述第一控制信号为低电位，所述第二控制信号为高电位，所述第三控制信号为高电位，所述第四控制信号为低电位。

[0039] 在本申请所述的像素驱动电路中，在所述编程阶段，所述第一控制信号为低电位，所述第二控制信号为高电位，所述第三控制信号为低电位，所述第四控制

信号为低电位。

[0040] 在本申请所述的像素驱动电路中，在所述发光阶段，所述第一控制信号为高电位，所述第二控制信号为低电位，所述第三控制信号为低电位，所述第四控制信号为低电位。

[0041] 在本申请所述的像素驱动电路中，所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管以及所述第七晶体管均为低温多晶硅薄膜晶体管、氧化物半导体薄膜晶体管或非晶硅薄膜晶体管。

[0042] 在本申请所述的像素驱动电路中，所述发光器件为有机发光二极管。

[0043] 本申请实施例还提供一种显示面板，其包括像素驱动电路，所述像素驱动电路包括：第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第一电容、第二电容、第三电容以及发光器件；

[0044] 所述第一晶体管的栅极电性连接于第一节点，所述第一晶体管的源极电性连接于第二节点，所述第一晶体管的漏极电性连接于第三节点；

[0045] 所述第二晶体管的栅极电性连接于第一控制信号，所述第二晶体管的源极电性连接于所述第二节点，所述第二晶体管的漏极电性连接于所述第三节点；

[0046] 所述第三晶体管的栅极电性连接于第四节点，所述第三晶体管的源极电性连接于第一电源信号，所述第三晶体管的漏极电性连接于所述第二节点；

[0047] 所述第四晶体管的栅极电性连接于第二控制信号，所述第四晶体管的源极电性连接于所述第一电源信号，所述第四晶体管的漏极电性连接于所述第四节点；

[0048] 所述第五晶体管的栅极电性连接于所述第一控制信号，所述第五晶体管的源极电性连接于所述第一节点，所述第五晶体管的漏极电性连接于所述第三节点；

[0049] 所述第六晶体管的栅极电性连接于第三控制信号，所述第六晶体管的源极电性连接于数据信号，所述第六晶体管的漏极电性连接于所述第一节点；

[0050] 所述第七晶体管的栅极电性连接于第四控制信号，所述第七晶体管的源极电性连接于参考信号，所述第七晶体管的漏极电性连接于所述第三节点；

[0051] 所述第一电容的第一端电性连接于所述第二节点，所述第一电容的第二端电性连接于所述第四节点；

- [0052] 所述第二电容的第一端电性连接于所述第一节点，所述第二电容的第二端电性连接于所述第三节点；
- [0053] 所述第三电容的第一端电性连接于所述第三节点，所述第三电容的第二端电性连接于第二电源信号；
- [0054] 所述发光器件的阳极端电性连接于所述第三节点，所述发光器件的阴极端电性连接于所述第二电源信号。
- [0055] 在本申请所述的显示面板中，所述第一控制信号、所述第二控制信号、所述第三控制信号以及所述第四控制信号相组合先后对应于初始化阶段、阈值电压探测阶段、数据信号输入阶段、编程阶段以及发光阶段；其中，所述数据信号包括参考电位和显示电位，在所述初始化阶段和所述阈值电压探测阶段，所述数据信号的电位为所述参考电位；在所述数据信号输入阶段，所述数据信号的电位为所述显示电位。
- [0056] 在本申请所述的显示面板中，在所述初始化阶段，所述第一控制信号为低电位，所述第二控制信号为高电位，所述第三控制信号为高电位，所述第四控制信号为高电位。
- [0057] 在本申请所述的显示面板中，在所述阈值电压探测阶段，所述第一控制信号为低电位，所述第二控制信号为高电位，所述第三控制信号为高电位，所述第四控制信号为低电位。

发明的有益效果

有益效果

- [0058] 本申请实施例提供的像素驱动电路及显示面板，采用7T3C结构的像素驱动电路对每一像素中的驱动晶体管的阈值电压进行有效补偿，该像素驱动电路的补偿结构较为简单，操作难度较低，且发光器件在编程阶段以及发光阶段发光，增加了发光器件的发光时间，从而提升显示面板的亮度和寿命。

对附图的简要说明

附图说明

- [0059] 为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一

些实施例，对于本领域技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

- [0060] 图1为本申请实施例提供的像素驱动电路的结构示意图；
- [0061] 图2为本申请实施例提供的像素驱动电路的时序图；
- [0062] 图3为申请实施例提供的像素驱动电路在图2所示的驱动时序下的初始化阶段的通路示意图；
- [0063] 图4为申请实施例提供的像素驱动电路在图2所示的驱动时序下的信号输入与阈值电压探测阶段的通路示意图；
- [0064] 图5为申请实施例提供的像素驱动电路在图2所示的驱动时序下的数据信号输入的通路示意图；
- [0065] 图6为申请实施例提供的像素驱动电路在图2所示的驱动时序下的编程阶段的通路示意图；以及
- [0066] 图7为申请实施例提供的像素驱动电路在图2所示的驱动时序下的发光阶段的通路示意图。

发明实施例

本发明的实施方式

- [0067] 下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。
- [0068] 本申请所有实施例中采用的晶体管可以为薄膜晶体管或场效应管或其他特性相同的器件，由于这里采用的晶体管的源极、漏极是对称的，所以其源极、漏极是可以互换的。在本申请实施例中，为区分晶体管除栅极之外的两极，将其中一极称为源极，另一极称为漏极。按附图中的形态规定开关晶体管的中间端为栅极、信号输入端为源极、输出端为漏极。此外本申请实施例所采用的晶体管可以包括P型晶体管和/或N型晶体管两种，其中，P型晶体管在栅极为低电平时导通，在栅极为高电平时截止，N型晶体管为在栅极为高电平时导通，在栅极为低电平时截止。

[0069] 请参阅图1，图1为本申请实施例提供的像素驱动电路的结构示意图。如图1所示，本申请实施例提供的像素驱动电路，包括：第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第一电容C1、第二电容C2、第三电容Coled以及发光器件D。该发光器件D可以为有机发光二极管。也即，本申请实施例采用7T3C结构的像素驱动电路对每一像素中的驱动晶体管的阈值电压进行有效补偿，用了较少的元器件，结构简单稳定，节约了成本。该像素驱动电路中的第一晶体管T1为驱动晶体管。

[0070] 其中，第一晶体管T1的栅极电性连接于第一节点a1，第一晶体管T1的源极电性连接于第二节点a2，第一晶体管T1的漏极电性连接于第三节点a3。第二晶体管T2的栅极电性连接于第一控制信号EM2，第二晶体管T2的源极电性连接于第二节点a2，第二晶体管T2的漏极电性连接于第三节点a3。第三晶体管T3的栅极电性连接于第四节点a4，第三晶体管T3的源极电性连接于第一电源信号VDD，第三晶体管T3的漏极电性连接于第二节点a2。第四晶体管T4的栅极电性连接于第二控制信号EM1，第四晶体管T4的源极电性连接于第一电源信号VDD，第四晶体管T4的漏极电性连接于第四节点a4。第五晶体管T5的栅极电性连接于第一控制信号EM2，第五晶体管T5的源极电性连接于第一节点a1，第五晶体管T5的漏极电性连接于第三节点a3。第六晶体管T6的栅极电性连接于第三控制信号WR，第六晶体管T6的源极电性连接于数据信号Data，第六晶体管T6的漏极电性连接于第一节点a1。第七晶体管T7的栅极电性连接于第四控制信号RD，第七晶体管T7的源极电性连接于参考信号VCM，第七晶体管T7的漏极电性连接于第三节点a3。第一电容C1的第一端电性连接于第二节点a2，第一电容C1的第二端电性连接于第四节点a4。第二电容C2的第一端电性连接于第一节点a1，第二电容C2的第二端电性连接于第三节点a3。第三电容Coled的第一端电性连接于第三节点a3，第三电容Coled的第二端电性连接于第二电源信号Vss。发光器件D的阳极端电性连接于第三节点a3，发光器件D的阴极端电性连接于第二电源信号Vss。

[0071] 在一些实施例中，第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6以及第七晶体管T7均为低温多晶硅薄膜晶体管、氧化物半导体薄膜晶体管或非晶硅薄膜晶体管。本申请实施例提供的像

素驱动电路中的晶体管为同一种类型的晶体管，从而避免不同类型的晶体管之间的差异性对像素驱动电路造成的影响。

[0072] 请参阅图2，图2为本申请实施例提供的像素驱动电路的时序图。如图2所示，第一控制信号EM2、第二控制信号EM1、第三控制信号WR以及第四控制信号RD相组合先后对应于初始化阶段t1、阈值电压探测阶段t2、数据信号输入阶段t3、编程阶段t4以及发光阶段t5。其中，数据信号Data包括参考电位Vref和显示电位Vdata，且参考电位Vref的数值小于显示电位Vdata的数值。在初始化阶段t1和阈值电压探测阶段t2，数据信号Data的电位为参考电位Vref。在数据信号输入阶段t3，数据信号Data的电位为显示电位Vdata。需要说明的是，本申请实施例的发光器件D在编程阶段t4以及发光阶段t5发光，增加了发光器件D的发光时间，从而提升显示面板的亮度和寿命。

[0073] 在一些实施例中，在初始化阶段t1，第一控制信号EM2为低电位，第二控制信号EM1为高电位，第三控制信号WR为高电位，第四控制信号RD为高电位。

[0074] 在一些实施例中，在阈值电压探测阶段t2，第一控制信号EM2为低电位，第二控制信号EM1为高电位，第三控制信号WR为高电位，第四控制信号RD为低电位。

[0075] 在一些实施例中，在数据信号输入阶段t3，第一控制信号EM2为低电位，第二控制信号EM1为高电位，第三控制信号WR为高电位，第四控制信号RD为低电位。

[0076] 在一些实施例中，在编程阶段t4，第一控制信号EM2为低电位，第二控制信号EM1为高电位，第三控制信号WR为低电位，第四控制信号RD为低电位。

[0077] 在一些实施例中，在发光阶段t5，第一控制信号EM2为高电位，第二控制信号EM1为低电位，第三控制信号WR为低电位，第四控制信号RD为低电位。

[0078] 进一步的，第一电源信号VDD和第二电源信号Vss均为直流电压源，且第一电源信号VDD的电位大于第二电源信号Vss的电位。

[0079] 请参阅图3，图3为申请实施例提供的像素驱动电路在图2所示的驱动时序下的初始化阶段的通路示意图。首先，结合图2、图3所示，在初始化阶段t1，第一控制信号EM2为低电位，第二控制信号EM1为高电位，第三控制信号WR为高电位

，第四控制信号RD为高电位。此时，第一晶体管T1、第三晶体管T3、第四晶体管T4、第六晶体管T6以及第七晶体管T7打开，第二晶体管T2以及第五晶体管T5关闭。

[0080] 具体的，由于第四控制信号RD为高电位，使得第七晶体管T7打开，参考信号V_{CM}经第七晶体管输出至第三节点a₃，也即，此时，第一晶体管的漏极被充电至参考信号V_{CM}的电位。由于第三控制信号WR为高电位，使得第六晶体管T6打开，数据信号Data的参考电位V_{ref}经第六晶体管T6输出至第一节点a₁，也即，此时，第一晶体管T1的栅极被充电至参考电位V_{ref}。第一晶体管T1被初始化。

[0081] 另外，由于第二控制信号EM1为高电位，使得第四晶体管T4打开，第一电源信号VDD经第四晶体管T4输出至第四节点a₄，并存储在第一电容C1上。由于第四节点a₄与第三晶体管T3的栅极电性连接，故此时第三晶体管T3打开，第一电源信号VDD再经第三晶体管T3输出至第二节点a₂，并存储在第一电容C1上。也即，此时第三晶体管T3以及第四晶体管T4提供相应的电压至第一晶体管T1的源极，此时，第一晶体管T1打开。由于第一控制信号EM2为低电位，使得第二晶体管T2以及第五晶体管T5关闭。

[0082] 接着，请参阅图4，图4为申请实施例提供的像素驱动电路在图2所示的驱动时序下的阈值电压探测阶段的通路示意图。结合图2、图4所示，在阈值电压探测阶段t₂，第一控制信号EM2为低电位，第二控制信号EM1为高电位，第三控制信号WR为高电位，第四控制信号RD为低电位。此时，第三晶体管T3、第四晶体管T4以及第六晶体管T6打开，第二晶体管T2、第五晶体管T5以及第七晶体管T7关闭。第一晶体管T1的栅极与源极之间的压差下降至一定值后，第一晶体管T1关闭。也即，第一晶体管T1在阈值电压探测阶段t₂由打开状态转向关闭状态。

[0083] 具体的，由于第三控制信号WR为高电位，使得第六晶体管T6打开，数据信号Data的参考电位V_{ref}经第六晶体管T6输出至第一节点a₁，并存储在第一电容C1上。也即，此时，第一电容C1的第一端的电位仍保持初始化阶段t₁时第一电容C1第一端的电位不变。

[0084] 由于第二控制信号EM1为高电位，使得第四晶体管T4打开，第一电源信号VD经第四晶体管T4输出至第四节点a₄，并存储在第一电容C1上。由于第四节点a₄

与第三晶体管T3的栅极电性连接，故此时第三晶体管T3打开，第一电源信号VD再经第三晶体管T3输出至第二节点a2，并存储在第一电容C1上。也即，此时第三晶体管T3以及第四晶体管T4提供相应的电压至第一晶体管T1的源极，此时，第一晶体管T1打开。

[0085] 与此同时，由于第四控制信号RD为低电位，使得第七晶体管T7关闭，第一晶体管T1的漏级处于浮空的状态，被第一晶体管T1的源极不断充电，直至第一晶体管T1的漏级的电位等于 $V_{ref}-V_{th}$ 为止，其中， V_{th} 为第一晶体管T1的阈值电压。此时，第一晶体管T1的阈值电压被成功探测并存储在第一晶体管T1的漏极。另外，由于第一控制信号EM2为低电位，使得第二晶体管T2以及第五晶体管T5关闭。

[0086] 紧接着，请参阅图5，图5为本申请实施例提供的像素驱动电路在图2所示的驱动时序下的数据信号输入阶段的通路示意图。结合图2、图5所示，在数据信号输入阶段t3，第一控制信号EM2为低电位，第二控制信号EM1为高电位，第三控制信号WR为高电位，第四控制信号RD为低电位。此时，第三晶体管T3、第四晶体管T4以及第六晶体管T6打开，第二晶体管T2、第五晶体管T5以及第七晶体管T7关闭。第一晶体管T1在数据信号输入阶段t3由关闭状态转向打开状态。

[0087] 具体的，由于第三控制信号WR为高电位，使得第六晶体管T6打开，数据信号Data的显示电位Vdata经第六晶体管T6输出至第一电容C1的第一端。由于电容耦合效应，第一电容C2的第二端也应相应变化，此时第一电容C1的第二端的电压为 $V_{ref}-V_{th}+(V_{data}-V_{ref}) \cdot C2/(C2+C_{oled})$ 。也即，第一晶体管T1的漏极的电压 $V_{ref}-V_{th}+(V_{data}-V_{ref}) \cdot C2/(C2+C_{oled})$ ，至此，第一晶体管T1的阈值电压以及数据信号Data的显示电位Vdata都成功被存储在第一晶体管T1的漏极。

[0088] 随后，请参阅图6，图6为申请实施例提供的像素驱动电路在图2所示的驱动时序下的编程阶段的通路示意图。结合图2、图6所示，在编程阶段t4，第一控制信号EM2为低电位，第二控制信号EM1为高电位，第三控制信号WR为低电位，第四控制信号RD为低电位。此时，第一晶体管T1、第三晶体管T3以及第四晶体管T4打开，第二晶体管T2、第五晶体管T5、第六晶体管T6以及第七晶体管T7关闭。

[0089] 具体的, 由于第二电容C2的作用, 使得第一晶体管T1的栅极的电位仍保持数据信号输入测阶段t3时第一晶体管T1栅极的电位。

[0090] 由于第二控制信号EM1为高电位, 使得第四晶体管T4打开, 第一电源信号VDD经第四晶体管T4输出至第四节点a4, 并存储在在第一电容C1上。由于第四节点a4与第三晶体管T3的栅极电性连接, 故此时第三晶体管T3打开, 第一电源信号VDD再经第三晶体管T3输出至第二节点a2, 并存储在在第一电容C1上, 进而使得第三晶体管T3的栅极与漏极之间的压差慢慢调节至与发光器件D电流相适应, 此时发光器件D可以正常发光。另外, 由于第一控制信号EM2、第三控制信号WR以及第四控制信号RD均为低电位, 使得第二晶体管T2、第五晶体管T5、第六晶体管T6以及第七晶体管T7关闭。

[0091] 最后, 请参阅图7, 图7为申请实施例提供的像素驱动电路在图2所示的驱动时序下的发光阶段的通路示意图。结合图2、图7所示, 在发光阶段t5t4, 第一控制信号EM2为高电位, 第二控制信号EM1为低电位, 第三控制信号WR为低电位, 第四控制信号RD为低电位。此时, 第二晶体管T2、第三晶体管T3以及第五晶体管T5打开, 第一晶体管T1、第四晶体管T4、第六晶体管T6以及第七晶体管T7关闭。

[0092] 具体的, 由于第三控制信号WR为低电位, 使得第六晶体管T6关闭。由于第一控制信号EM2为高电位, 使得第五晶体管T5打开, 进而使得第一节点a1与第三节点a3短接, 第一晶体管T1关闭。

[0093] 由于第二控制信号EM1为低电位, 使得第四晶体管T4关闭。然而, 由于第一电容C1的作用, 使得第四节点a4的电位仍保持编程阶段t4阶段时第四节点的电位。由于第四节点a4与第三晶体管T3的栅极电性连接, 故此时第三晶体管T3也打开, 第一电源信号VDD经第三晶体管T3输出至第二节点a2。也即, 此时, 第三晶体管T3的栅极与漏极之间的压差由第一电容C1维持, 且第三晶体管T3的栅极与漏极之间的压差仍旧为编程阶段t4时第三晶体管T3的栅极与漏极之间的压差。从而保证流经发光器件D的电流不变。

[0094] 另外, 由于第一控制信号EM2为高电位, 使得第二晶体管T2以及第五晶体管T5打开。由于第五晶体管T5打开, 使得第一晶体管T1的栅极以及漏极短接, 从而

使得第一晶体管T1的栅极以及漏极之间的压差趋近于零，此时，第一晶体管T1并无应力作用。也即，流经发光器件D的电流与第一晶体管T1的阈值电压无关。由于第五晶体管T5打开，原本流经第一晶体管T1的的电流现在通过第五晶体管T5流向发光器件D，不影响发光器件D的正常发光。

[0095] 本申请实施例还提供一种显示面板，其包括以上所述的像素驱动电路，具体可参照以上对该像素驱动电路的描述，在此不做赘述。

[0096] 本申请实施例提供的像素驱动电路及显示面板，采用7T3C结构的像素驱动电路对每一像素中的驱动晶体管的阈值电压进行有效补偿，该像素驱动电路的补偿结构较为简单，操作难度较低，且发光器件在编程阶段以及发光阶段发光，增加了发光器件的发光时间，从而提升显示面板的亮度和寿命。

[0097] 以上仅为本发明的实施例，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

- [权利要求 1] 一种像素驱动电路，其包括：第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第一电容、第二电容、第三电容以及发光器件；
- 所述第一晶体管的栅极电性连接于第一节点，所述第一晶体管的源极电性连接于第二节点，所述第一晶体管的漏极电性连接于第三节点；
- 所述第二晶体管的栅极电性连接于第一控制信号，所述第二晶体管的源极电性连接于所述第二节点，所述第二晶体管的漏极电性连接于所述第三节点；
- 所述第三晶体管的栅极电性连接于第四节点，所述第三晶体管的源极电性连接于第一电源信号，所述第三晶体管的漏极电性连接于所述第二节点；
- 所述第四晶体管的栅极电性连接于第二控制信号，所述第四晶体管的源极电性连接于所述第一电源信号，所述第四晶体管的漏极电性连接于所述第四节点；
- 所述第五晶体管的栅极电性连接于所述第一控制信号，所述第五晶体管的源极电性连接于所述第一节点，所述第五晶体管的漏极电性连接于所述第三节点；
- 所述第六晶体管的栅极电性连接于第三控制信号，所述第六晶体管的源极电性连接于数据信号，所述第六晶体管的漏极电性连接于所述第一节点；
- 所述第七晶体管的栅极电性连接于第四控制信号，所述第七晶体管的源极电性连接于参考信号，所述第七晶体管的漏极电性连接于所述第三节点；
- 所述第一电容的第一端电性连接于所述第二节点，所述第一电容的第二端电性连接于所述第四节点；
- 所述第二电容的第一端电性连接于所述第一节点，所述第二电容的第二端电性连接于所述第三节点；

所述第三电容的第一端电性连接于所述第三节点，所述第三电容的第二端电性连接于第二电源信号；

所述发光器件的阳极端电性连接于所述第三节点，所述发光器件的阴极端电性连接于所述第二电源信号；

所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管以及所述第七晶体管均为低温多晶硅薄膜晶体管、氧化物半导体薄膜晶体管或非晶硅薄膜晶体管；所述发光器件为有机发光二极管。

[权利要求 2] 根据权利要求1所述的像素驱动电路，其中，所述第一控制信号、所述第二控制信号、所述第三控制信号以及所述第四控制信号相组合先后对应于初始化阶段、阈值电压探测阶段、数据信号输入阶段、编程阶段以及发光阶段；其中，所述数据信号包括参考电位和显示电位，在所述初始化阶段和所述阈值电压探测阶段，所述数据信号的电位为所述参考电位；在所述数据信号输入阶段，所述数据信号的电位为所述显示电位。

[权利要求 3] 根据权利要求2所述的像素驱动电路，其中，在所述初始化阶段，所述第一控制信号为低电位，所述第二控制信号为高电位，所述第三控制信号为高电位，所述第四控制信号为高电位。

[权利要求 4] 根据权利要求2所述的像素驱动电路，其中，在所述阈值电压探测阶段，所述第一控制信号为低电位，所述第二控制信号为高电位，所述第三控制信号为高电位，所述第四控制信号为低电位。

[权利要求 5] 根据权利要求2所述的像素驱动电路，其中，在所述数据信号输入阶段，所述第一控制信号为低电位，所述第二控制信号为高电位，所述第三控制信号为高电位，所述第四控制信号为低电位。

[权利要求 6] 根据权利要求2所述的像素驱动电路，其中，在所述编程阶段，所述第一控制信号为低电位，所述第二控制信号为高电位，所述第三控制信号为低电位，所述第四控制信号为低电位。

[权利要求 7] 根据权利要求2所述的像素驱动电路，其中，在所述发光阶段，所述

第一控制信号为高电位，所述第二控制信号为低电位，所述第三控制信号为低电位，所述第四控制信号为低电位。

[权利要求 8]

一种像素驱动电路，其包括：第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第一电容、第二电容、第三电容以及发光器件；

所述第一晶体管的栅极电性连接于第一节点，所述第一晶体管的源极电性连接于第二节点，所述第一晶体管的漏极电性连接于第三节点；
所述第二晶体管的栅极电性连接于第一控制信号，所述第二晶体管的源极电性连接于所述第二节点，所述第二晶体管的漏极电性连接于所述第三节点；

所述第三晶体管的栅极电性连接于第四节点，所述第三晶体管的源极电性连接于第一电源信号，所述第三晶体管的漏极电性连接于所述第二节点；

所述第四晶体管的栅极电性连接于第二控制信号，所述第四晶体管的源极电性连接于所述第一电源信号，所述第四晶体管的漏极电性连接于所述第四节点；

所述第五晶体管的栅极电性连接于所述第一控制信号，所述第五晶体管的源极电性连接于所述第一节点，所述第五晶体管的漏极电性连接于所述第三节点；

所述第六晶体管的栅极电性连接于第三控制信号，所述第六晶体管的源极电性连接于数据信号，所述第六晶体管的漏极电性连接于所述第一节点；

所述第七晶体管的栅极电性连接于第四控制信号，所述第七晶体管的源极电性连接于参考信号，所述第七晶体管的漏极电性连接于所述第三节点；

所述第一电容的第一端电性连接于所述第二节点，所述第一电容的第二端电性连接于所述第四节点；

所述第二电容的第一端电性连接于所述第一节点，所述第二电容的第

二端电性连接于所述第三节点；

所述第三电容的第一端电性连接于所述第三节点，所述第三电容的第二端电性连接于第二电源信号；

所述发光器件的阳极端电性连接于所述第三节点，所述发光器件的阴极端电性连接于所述第二电源信号。

[权利要求 9] 根据权利要求8所述的像素驱动电路，其中，所述第一控制信号、所述第二控制信号、所述第三控制信号以及所述第四控制信号相组合先后对应于初始化阶段、阈值电压探测阶段、数据信号输入阶段、编程阶段以及发光阶段；其中，所述数据信号包括参考电位和显示电位，在所述初始化阶段和所述阈值电压探测阶段，所述数据信号的电位为所述参考电位；在所述数据信号输入阶段，所述数据信号的电位为所述显示电位。

[权利要求 10] 根据权利要求9所述的像素驱动电路，其中，在所述初始化阶段，所述第一控制信号为低电位，所述第二控制信号为高电位，所述第三控制信号为高电位，所述第四控制信号为高电位。

[权利要求 11] 根据权利要求9所述的像素驱动电路，其中，在所述阈值电压探测阶段，所述第一控制信号为低电位，所述第二控制信号为高电位，所述第三控制信号为高电位，所述第四控制信号为低电位。

[权利要求 12] 根据权利要求9所述的像素驱动电路，其中，在所述数据信号输入阶段，所述第一控制信号为低电位，所述第二控制信号为高电位，所述第三控制信号为高电位，所述第四控制信号为低电位。

[权利要求 13] 根据权利要求9所述的像素驱动电路，其中，在所述编程阶段，所述第一控制信号为低电位，所述第二控制信号为高电位，所述第三控制信号为低电位，所述第四控制信号为低电位。

[权利要求 14] 根据权利要求9所述的像素驱动电路，其中，在所述发光阶段，所述第一控制信号为高电位，所述第二控制信号为低电位，所述第三控制信号为低电位，所述第四控制信号为低电位。

[权利要求 15] 根据权利要求8所述的像素驱动电路，其中，所述第一晶体管、所述

第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管以及所述第七晶体管均为低温多晶硅薄膜晶体管、氧化物半导体薄膜晶体管或非晶硅薄膜晶体管。

[权利要求 16] 根据权利要求1所述的像素驱动电路，其中，所述发光器件为有机发光二极管。

[权利要求 17] 一种显示面板，其包括像素驱动电路，所述像素驱动电路包括：第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第一电容、第二电容、第三电容以及发光器件；

所述第一晶体管的栅极电性连接于第一节点，所述第一晶体管的源极电性连接于第二节点，所述第一晶体管的漏极电性连接于第三节点；
所述第二晶体管的栅极电性连接于第一控制信号，所述第二晶体管的源极电性连接于所述第二节点，所述第二晶体管的漏极电性连接于所述第三节点；

所述第三晶体管的栅极电性连接于第四节点，所述第三晶体管的源极电性连接于第一电源信号，所述第三晶体管的漏极电性连接于所述第二节点；

所述第四晶体管的栅极电性连接于第二控制信号，所述第四晶体管的源极电性连接于所述第一电源信号，所述第四晶体管的漏极电性连接于所述第四节点；

所述第五晶体管的栅极电性连接于所述第一控制信号，所述第五晶体管的源极电性连接于所述第一节点，所述第五晶体管的漏极电性连接于所述第三节点；

所述第六晶体管的栅极电性连接于第三控制信号，所述第六晶体管的源极电性连接于数据信号，所述第六晶体管的漏极电性连接于所述第一节点；

所述第七晶体管的栅极电性连接于第四控制信号，所述第七晶体管的源极电性连接于参考信号，所述第七晶体管的漏极电性连接于所述第

三节点；

所述第一电容的第一端电性连接于所述第二节点，所述第一电容的第二端电性连接于所述第四节点；

所述第二电容的第一端电性连接于所述第一节点，所述第二电容的第二端电性连接于所述第三节点；

所述第三电容的第一端电性连接于所述第三节点，所述第三电容的第二端电性连接于第二电源信号；

所述发光器件的阳极端电性连接于所述第三节点，所述发光器件的阴极端电性连接于所述第二电源信号。

[权利要求 18] 根据权利要求17所述的显示面板，其中，所述第一控制信号、所述第二控制信号、所述第三控制信号以及所述第四控制信号相组合先后对应于初始化阶段、阈值电压探测阶段、数据信号输入阶段、编程阶段以及发光阶段；其中，所述数据信号包括参考电位和显示电位，在所述初始化阶段和所述阈值电压探测阶段，所述数据信号的电位为所述参考电位；在所述数据信号输入阶段，所述数据信号的电位为所述显示电位。

[权利要求 19] 根据权利要求18所述的显示面板，其中，在所述初始化阶段，所述第一控制信号为低电位，所述第二控制信号为高电位，所述第三控制信号为高电位，所述第四控制信号为高电位。

[权利要求 20] 根据权利要求18所述的显示面板，其中，在所述阈值电压探测阶段，所述第一控制信号为低电位，所述第二控制信号为高电位，所述第三控制信号为高电位，所述第四控制信号为低电位。

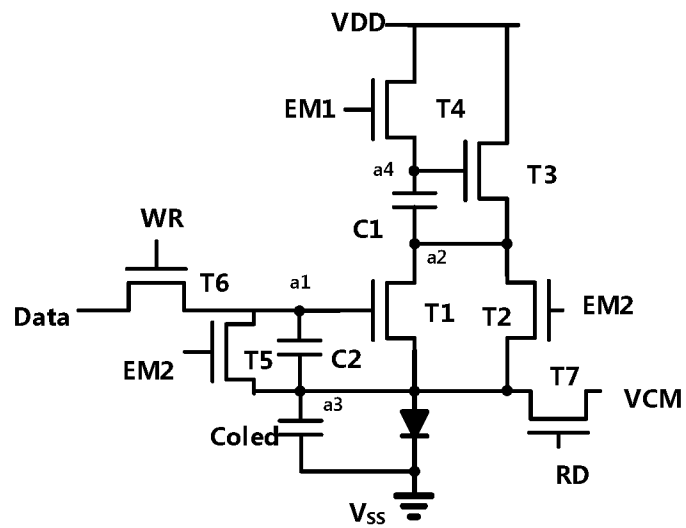


图 1

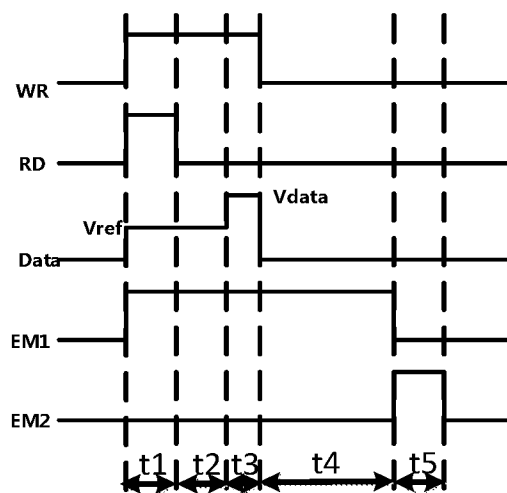


图 2

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/088363

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/3208(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT; CNKI; WPI; EPODOC: 华星光电, 聂诚磊, 像素, 象素, 驱动, 第五, 第六, 第七, 晶体管, 开关, TFT, 第二, 第三, 电容, 7T3C, 旁路, 并联, 阈值, 阈值, 门限值, 发光时间, pixel?, driv+, fifth, sixth, seventh, transistor?, switch+, second, third, capacitor?, capacitance?, bypass, parallel, threshold, light+, lumin+, time

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 106205495 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 07 December 2016 (2016-12-07) description, paragraphs [0072]-[0091], and figures 4 and 5	1-20
A	CN 103927990 A (SHANGHAI TIANMA ORGANIC LIGHT EMITTING DISPLAY TECHNOLOGY CO., LTD. et al.) 16 July 2014 (2014-07-16) entire document	1-20
A	CN 108806606 A (INSTITUTE OF MICROELECTRONICS OF THE CHINESE ACADEMY OF SCIENCES) 13 November 2018 (2018-11-13) entire document	1-20
A	CN 104700778 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 10 June 2015 (2015-06-10) entire document	1-20
A	CN 104575387 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 29 April 2015 (2015-04-29) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

07 January 2020

Date of mailing of the international search report

16 January 2020

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/088363

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 20170132598 A (LG ELECTRONICS INC.) 04 December 2017 (2017-12-04) entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/088363

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	106205495	A	07 December 2016	WO	2018045660	A1	15 March 2018
				US	10332451	B2	25 June 2019
				US	2018218681	A1	02 August 2018
CN	103927990	A	16 July 2014	US	9805656	B2	31 October 2017
				US	2015310806	A1	29 October 2015
				DE	102014219631	B4	07 December 2017
				CN	103927990	B	14 September 2016
				DE	102014219631	A1	29 October 2015
CN	108806606	A	13 November 2018	CN	108806606	B	27 September 2019
CN	104700778	A	10 June 2015	US	2017039942	A1	09 February 2017
				WO	2016155053	A1	06 October 2016
				CN	104700778	B	27 June 2017
				US	9721507	B2	01 August 2017
CN	104575387	A	29 April 2015	CN	104575387	B	22 February 2017
				WO	2016119304	A1	04 August 2016
				US	2016307500	A1	20 October 2016
				US	9761173	B2	12 September 2017
KR	20170132598	A	04 December 2017	None			

国际检索报告

国际申请号

PCT/CN2019/088363

A. 主题的分类

G09G 3/3208(2016.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT;CNKI;WPI;EPDOC:华星光电, 聂诚磊, 像素, 象素, 驱动, 第五, 第六, 第七, 晶体管, 开关, TFT, 第二, 第三, 电容, 7T3C, 旁路, 并联, 阈值, 门限值, 发光时间, pixel?, driv+, fifth, sixth, seventh, transistor?, switch+, second, third, capacitor?, capacitance?, bypass, parallel, threshold, light+, lumin+, time

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 106205495 A (深圳市华星光电技术有限公司) 2016年 12月 7日 (2016 - 12 - 07) 说明书第[0072]-[0091]段、图4-5	1-20
A	CN 103927990 A (上海天马有机发光显示技术有限公司 等) 2014年 7月 16日 (2014 - 07 - 16) 全文	1-20
A	CN 108806606 A (中国科学院微电子研究所) 2018年 11月 13日 (2018 - 11 - 13) 全文	1-20
A	CN 104700778 A (深圳市华星光电技术有限公司) 2015年 6月 10日 (2015 - 06 - 10) 全文	1-20
A	CN 104575387 A (深圳市华星光电技术有限公司) 2015年 4月 29日 (2015 - 04 - 29) 全文	1-20
A	KR 20170132598 A (LG ELECTRONICS INC.) 2017年 12月 4日 (2017 - 12 - 04) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2020年 1月 7日

国际检索报告邮寄日期

2020年 1月 16日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

丁芑

电话号码 86-(10)-53962579

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/088363

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106205495	A	2016年 12月 7日	WO	2018045660	A1	2018年 3月 15日
				US	10332451	B2	2019年 6月 25日
				US	2018218681	A1	2018年 8月 2日
CN	103927990	A	2014年 7月 16日	US	9805656	B2	2017年 10月 31日
				US	2015310806	A1	2015年 10月 29日
				DE	102014219631	B4	2017年 12月 7日
				CN	103927990	B	2016年 9月 14日
				DE	102014219631	A1	2015年 10月 29日
CN	108806606	A	2018年 11月 13日	CN	108806606	B	2019年 9月 27日
CN	104700778	A	2015年 6月 10日	US	2017039942	A1	2017年 2月 9日
				WO	2016155053	A1	2016年 10月 6日
				CN	104700778	B	2017年 6月 27日
				US	9721507	B2	2017年 8月 1日
CN	104575387	A	2015年 4月 29日	CN	104575387	B	2017年 2月 22日
				WO	2016119304	A1	2016年 8月 4日
				US	2016307500	A1	2016年 10月 20日
				US	9761173	B2	2017年 9月 12日
KR	20170132598	A	2017年 12月 4日	无			