

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-306105

(P2008-306105A)

(43) 公開日 平成20年12月18日(2008.12.18)

(51) Int.Cl. F I テーマコード (参考)
 HO 1 L 25/065 (2006.01) HO 1 L 25/08 Z
 HO 1 L 25/07 (2006.01)
 HO 1 L 25/18 (2006.01)

審査請求 未請求 請求項の数 10 O L (全 16 頁)

(21) 出願番号 特願2007-153945 (P2007-153945)
 (22) 出願日 平成19年6月11日 (2007.6.11)

(71) 出願人 000000295
 沖電気工業株式会社
 東京都港区西新橋三丁目16番11号
 (74) 代理人 100079119
 弁理士 藤村 元彦
 (72) 発明者 閑野 義則
 東京都港区虎ノ門1丁目7番12号 沖電
 気工業株式会社内

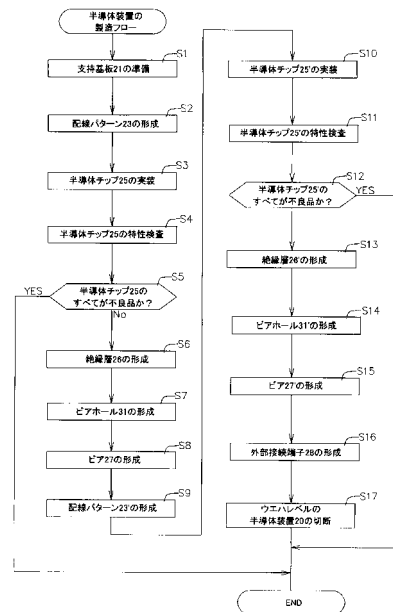
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】半導体装置の歩留まり向上及び良品半導体チップの損失の低減を図ることが出来る半導体装置の製造方法を提供することを目的としている。

【解決手段】半導体チップの積層毎に半導体チップの実装後の特性検査を行ない、良品であるとの判定が得られる限り、当該半導体チップの上に新たな半導体チップの積層を行なうこと。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

積層構造を有する半導体装置の製造方法であって、
 支持基板を準備する準備工程と、
 前記支持基板の表面上に基本配線パターンを形成する配線パターン形成工程と、
 前期基本配線パターン上に半導体チップを実装する実装工程と、
 当該実装後の半導体チップの特性を前記基本配線パターンの少なくとも 1 部を介して検査する検査工程と、
 前記検査工程において前記半導体チップが良品であると判定した場合にのみ、前記配線パターン及び前記半導体チップを覆う絶縁層を前記支持基板上に形成する絶縁層形成工程と、
 前記絶縁層を貫通して前記基本配線パターン上に達する導体層を形成する導体層形成工程と、
 前記絶縁層上に前記基本配線パターンと前記導体層を介して接続された追加配線パターンを形成する追加パターン形成工程と、
 前記追加パターン形成工程の後に、前記実装工程から前記追加パターン形成工程までを、前記検査工程における良品である旨の判定が得られる限り繰り返す繰り返し工程を含むことを特徴とする半導体装置の製造方法。

10

【請求項 2】

前記検査工程において前記半導体チップが不良品であると判定した場合に、当該不良品の半導体チップをリワークするリワーク工程を有する請求項 1 記載の半導体装置の製造方法。

20

【請求項 3】

前記絶縁層形成工程の後に、前記半導体チップ及び前記絶縁層の表面を切削する切削工程を有することを特徴とする請求項 1 又は 2 記載の半導体装置の製造方法。

【請求項 4】

当該積層された半導体チップの最上層における前記追加パターン形成工程の後に、前記半導体チップの側面に平行かつ前記半導体チップと前記導電層と分離しない位置において前記半導体装置を切断する切断工程を有することを特徴とする請求項 1 乃至 3 のいずれか 1 に記載の半導体装置の製造方法。

30

【請求項 5】

前記基本配線パターン上に実装される半導体チップが複数であって、
 前記検査工程における当該良品の半導体チップ上のみに、前記実装工程を行なうことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 6】

積層構造を有する半導体装置の製造方法であって、
 支持基板を準備する準備工程と、
 前記支持基板の端面上に半導体チップを搭載する搭載工程と、
 前記半導体チップを覆う下部絶縁層を前記支持基板上に形成する下部絶縁層形成工程と、
 前記下部絶縁層を貫通して前記半導体チップの接続パッド上に達する基本導体層を形成する導体層形成工程と、
 前記基本導体層を介して前記半導体チップと接続された基本配線パターンを形成するパターン形成工程と、
 当該実装後の半導体チップの特性を前記基本配線パターンの少なくとも 1 部を介して検査する基本検査工程と、
 前記検査工程において前記半導体チップが所定の特性を満足する場合に、前記基本配線パターンと同じ厚みの上部絶縁層を前記下部絶縁層上に形成する上部絶縁層形成工程と、
 前記上部絶縁層及び前記基本配線パターン上に、新たな半導体チップを搭載する追加搭載工程と、

40

50

当該追加搭載後の半導体チップを覆う追加下部絶縁層を前記基本配線パターン及び前記上部絶縁層上に形成する追加下部絶縁層形成工程と、

前記追加下部絶縁層を貫通して当該追加搭載後の半導体チップの接続パッド上に達する追加導体層及び前記基本配線パターンに達する接続導体層を形成する追加導体層形成工程と、

前記追加導体層及び前記接続導体層を介して当該搭載された半導体チップと接続された追加配線パターンを形成する追加パターン形成工程と、

当該追加搭載された半導体チップの特性を前記追加配線パターンの少なくとも1部を介して検査する追加検査工程と、

前記追加検査工程において前記半導体チップが所定の特性を満足する場合に、前記追加配線パターンと同じ厚みの追加上部絶縁層を前記追加下部絶縁層上に形成する追加上部絶縁層形成工程と、を含む半導体装置の製造方法。

【請求項7】

前記追加上部絶縁層形成工程の後に、前記追加搭載工程から前記追加上部絶縁層形成工程までを、前記追加検査工程における良品である旨の判定得られる限り繰り返す繰り返す工程を含むことを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】

当該積層された半導体チップの最上層における前記追加パターン形成工程の後に、前記半導体チップの側面に平行かつ前記半導体チップと前記接続導電層と分離しない位置において前記半導体装置を切断する切断工程を有することを特徴とする請求項6又は7に記載の半導体装置の製造方法。

【請求項9】

前記基本配線パターン上に搭載される半導体チップが複数であって、

前記基本検査工程における当該良品の半導体チップ上のみ、前記追加搭載工程を行なうことを特徴とする請求項6記載の半導体装置の製造方法。

【請求項10】

前記基本配線パターン上に搭載される半導体チップが複数であって、

前記基本検査工程及び前記追加検査工程における当該良品の半導体チップ上のみ、前記追加搭載工程を行なうことを特徴とする請求項7記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体チップ積層タイプの半導体装置の製造方法に関するものである。

【背景技術】

【0002】

携帯器機の高機能化や小型化に伴い、複数の半導体チップや受動素子を高密度で実装したSiP(System in Package)の要求が高くなっている。SiPのパッケージ構造には、外形が標準化された通常パッケージの中に複数の半導体チップを縦積み又は横置きにしたMCP(Multi Chip Package)タイプや、インターポーザ上に複数の半導体チップや受動素子を搭載したモジュールタイプ等の種類が知られている。

【0003】

小型・薄型を特徴とするSiP構造としてウエハレベルで半導体装置を製造するタイプがある。かかる半導体装置の代表的な構造は、支持基板上に搭載された複数の半導体チップ、半導体チップの周囲を覆う有機絶縁層、有機絶縁層上に形成される配線及び半導体チップのパッドと配線とを接続するビアを繰り返し積層及び形成しかつ隣接する層の半導体チップ同士(すなわち、上層の半導体チップと下層の半導体チップ)を電氣的に接続するビアを有する構造である。すなわち、上述する半導体装置は、多段かつ上層から下層までの半導体チップが電氣的に接続された構造である。

【0004】

また、特許文献1には、支持基板上に配線パターンを形成し、かかる配線パターンと半

10

20

30

40

50

導体チップとが bumps を介して電氣的に接続すること（すなわち、フリップチップ実装）によって、従来よりも小型化及び軽量化を可能とすることが出来る構造が開示されている。

【0005】

また、特許文献2には、チップ・オン・チップ構造を有する半導体装置のフリップチップ実装時における bumps 接続の良否判定を正確かつ短時間に実施する出来る方法が開示されている。

【特許文献1】特開2001-196525号公報

【特許文献2】特開2001-135787号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、半導体チップは、実装前のプロービングのみでは全特性を確認することが出来ず、配線パターンへの実装後に始めて当該半導体チップが不良品であることが判ることもある。従って、半導体チップの不良品混入は避けられない故、歩留まりの安定度が不十分な先端プロセスの半導体チップを使用した場合には、SiPとしての歩留まりの低下及び良品の半導体チップの損失が生じてしまう問題点があった。

【0007】

本発明は、以上の如き事情に鑑みてなされたものであり、半導体チップの積層毎に半導体チップの特性検査を行なうことで、半導体装置の歩留まり向上及び良品半導体チップの損失の低減を図ることが出来る半導体装置の製造方法を提供することを目的としている。

【課題を解決するための手段】

【0008】

上述した課題を解決するために、積層構造を有する半導体装置の製造方法であって、支持基板を準備する準備工程と、前記支持基板の端面上に基本配線パターンを形成する配線パターン形成工程と、前記基本配線パターン上に半導体チップを実装する実装工程と、当該実装後の半導体チップの特性を前記基本配線パターンの少なくとも1部を介して検査する検査工程と、前記検査工程において前記半導体チップが良品であると判定した場合にのみ、前記配線パターン及び前記半導体チップを覆う絶縁層を前記支持基板上に形成する絶縁層形成工程と、前記絶縁層を貫通して前記基本配線パターン上に達する導体層を形成する導体層形成工程と、前記絶縁層上に前記基本配線パターンと前記導体層を介して接続された追加配線パターンを形成する追加パターン形成工程と、前記追加パターン形成工程の後に、前記実装工程から前記追加パターン形成工程までを、前記検査工程における良品である旨の判定得られる限り繰り返す繰り返工程を含むことを特徴とする半導体装置の製造方法が提供される。

【0009】

前記検査工程において前記半導体チップが不良品であると判定した場合に、当該不良品の半導体チップをリワークするリワーク工程を更に有する。また、前記絶縁層形成工程の後に、前記半導体チップ及び前記絶縁層の表面を切削する切削工程を更に有する。さらに、当該積層された半導体チップの最上層における前記追加パターン形成工程の後に、前記半導体チップの側面に平行かつ前記半導体チップと前記導電層と分離しない位置において前記半導体装置を切断する切断工程を更に有する。

【0010】

前記基本配線パターン上に実装される半導体チップが複数の場合に、前記検査工程における当該良品の半導体チップ上のみ、前記実装工程を行なう。

【0011】

また、上述した課題を解決するために、積層構造を有する半導体装置の製造方法であって、支持基板を準備する準備工程と、前記支持基板の端面上に半導体チップを搭載する搭載工程と、前記半導体チップを覆う下部絶縁層を前記支持基板上に形成する下部絶縁層形成工程と、前記下部絶縁層を貫通して前記半導体チップの接続パッド上に達する基本導体

10

20

30

40

50

層を形成する導体層形成工程と、前記基本導体層を介して前記半導体チップと接続された基本配線パターンを形成するパターン形成工程と、当該実装後の半導体チップの特性を前記基本配線パターンの少なくとも1部を介して検査する基本検査工程と、前記検査工程において前記半導体チップが所定の特性を満足する場合に、前記基本配線パターンと同じ厚みの上部絶縁層を前記下部絶縁層上に形成する上部絶縁層形成工程と、前記上部絶縁層及び前記基本配線パターン上に、新たな半導体チップを搭載する追加搭載工程と、当該追加搭載後の半導体チップを覆う追加下部絶縁層を前記基本配線パターン及び前記上部絶縁層上に形成する追加下部絶縁層形成工程と、前記追加下部絶縁層を貫通して当該追加搭載後の半導体チップの接続パッド上に達する追加導体層及び前記基本配線パターンに達する接続導体層を形成する追加導体層形成工程と、前記追加導体層及び前記接続導体層を介して当該搭載された半導体チップと接続された追加配線パターンを形成する追加パターン形成工程と、当該追加搭載された半導体チップの特性を前記追加配線パターンの少なくとも1部を介して検査する追加検査工程と、前記追加検査工程において前記半導体チップが所定の特性を満足する場合に、前記追加配線パターンと同じ厚みの追加上部絶縁層を前記追加下部絶縁層上に形成する追加上部絶縁層形成工程と、を含む半導体装置の製造方法を提供する。

10

20

30

40

50

【0012】

前記追加上部絶縁層形成工程の後に、前記追加搭載工程から前記追加上部絶縁層形成工程までを、前記追加検査工程における良品である旨の判定得られる限り繰り返す繰り返す工程を更に含む。また、当該積層された半導体チップの最上層における前記追加パターン形成工程の後に、前記半導体チップの側面に平行かつ前記半導体チップと前記接続導電層と分離しない位置において前記半導体装置を切断する切断工程を更に有する。

【0013】

前記基本配線パターン上に搭載される半導体チップが複数の場合に、前記基本検査工程における当該良品の半導体チップ上のみ、前記追加搭載工程を行なう。また、前記追加検査工程における当該良品の半導体チップ上のみ、前記追加搭載工程を行なう。

【発明の効果】**【0014】**

本発明の半導体装置の製造方法においては、半導体チップの積層毎に半導体チップの特性検査を行なう故、半導体装置の歩留まり向上及び良品半導体チップの損失の低減を図ることが出来る。

【発明を実施するための形態】**【0015】**

以下、本発明の実施例について添付図面を参照しつつ詳細に説明する。

【実施例1】**【0016】**

図1は、本実施例によって製造される半導体装置の1例を表す断面図である。

【0017】

図1に示されているように本発明の半導体装置20は、支持基板21上にチップ配線層22が複数積層されている。例えば、支持基板21は、シリコン基板、有機基板若しくはセラミック基板等であっても良い。なお、チップ配線層22の積層数は図1に示された数に限られることはなく、半導体装置20の特性等に応じてかかる数量を変更することが出来る。

【0018】

チップ配線層22は、所定の回路を構成する配線パターン23、配線パターン23上にバンプ24を介して電氣的に接続された半導体チップ25、配線パターン23及び半導体チップ25を覆うように支持基板21上に形成された絶縁層26及び各チップ配線層22の配線パターン23を電氣的に接続せしめるビア27から構成されている。例えば、配線パターン23及びビア27の材料として銅を用いても良い。

【0019】

最上層に位置するチップ配線層 2 2 には、外部に接続するための外部接続パッド 2 8 が形成されている。また、かかる最上層に配線パターン 2 3 を形成し、配線パターン 2 3 の一端に配線パターン 2 3 一部として外部接続パッド 2 8 を設けるパターン構造を用いても良い。

【 0 0 2 0 】

上述する構成によって、半導体装置 2 0 は、各チップ配線層 2 2 の半導体チップ 2 5 同士がビア 2 7 によって電氣的に接続され、最上層に位置する外部接続パッド 2 8 から所望の電気信号を得ることが出来る。

【 0 0 2 1 】

次に、上述した半導体装置の製造方法の 1 例について、図 2 乃至図 4 を参照しつつ詳細に説明する。なお、図 3 及び図 4 に示された数量の半導体チップ数及び積層数に限られることはなく、製造する半導体装置の生産数量及び構造に応じてかかる数量を変更することが出来る。

10

【 0 0 2 2 】

まず、所定の大きさの支持基板 2 1 を準備する（ステップ S 1）。支持基板 2 1 の断面図を図 3（a）に示す。

【 0 0 2 3 】

次に、支持基板 2 1 の端面上に、例えば、スパッタリング法によって銅からなる金属膜を体積した後、金属膜をフォトリソグラフィ技術によって所望のパターニングを行い、配線パターン 2 3 を形成する（ステップ S 2）。配線パターン 2 3 の形成後の断面図を図 3（b）に示す。配線パターン 2 3 の具体的な形状の例については後ほど詳細に説明する。また、図 3（b）における内側に形成された 2 つの配線パターン 2 3 を接続させ、半導体チップ 2 5 を横方向に電氣的に接続させても良い。

20

【 0 0 2 4 】

次に、支持基板 2 1 上に形成された配線パターン 2 3 の上に半導体チップ 2 5 をフリップチップ接続により実装する（ステップ S 3）。かかるフリップチップ接続による実装は、半導体チップ 2 5 のパッド（図示せず）に接着された bumps 2 4 を配線パターン 2 3 上の対応する部分に熱的に押し付けることによって実装する方法である。なお、bumps 2 4 は、半導体チップ 2 5 のパッドのみに接着されるに限られず、配線パターン 2 3 にあらかじめ接着させても良い。半導体チップ 2 5 の実装後の断面図を図 3（c）に示す。

30

【 0 0 2 5 】

次に、配線パターン 2 3 を介して実装された各半導体チップ 2 5 の特性を測定する（ステップ S 4）。例えば、ステップ S 4 における測定は、測定する半導体チップ 2 5 の特性に応じて、プローブ（図示せず）を後述する所定の測定パッド（配線パターン 2 3 の一部分）に当接させて測定しても良い。また、測定項目によっては、半導体チップ 2 5 と電氣的な接続とれた測定パッドのうちのいずれか 1 つの測定パッドにプローブ当接する場合や、複数の測定パッドの各々にプローブを当接し所望の特性を測定することがある。

【 0 0 2 6 】

次に、ステップ S 4 にて測定した結果を判定し（ステップ S 5）、良品の半導体チップ 2 5 が実装されている場合にはステップ S 6 に進む。また、すべての半導体チップ 2 5 が不良品であると判定された場合には、半導体装置 2 0 の製造を終了する。例えば、測定結果の判定方法は、プローブからの測定信号を受信した制御装置（図示せず）が、あらかじめ設定された条件に基づいて判定しても良い。また、かかる判定条件は、半導体チップ 2 5 の種類に応じて変更可能としても良い。

40

【 0 0 2 7 】

次に、半導体チップ 2 5 及び配線パターン 2 3 を覆うようにして支持基板 2 1 上に絶縁層 2 6 を形成する（ステップ S 6）。例えば、絶縁層 2 6 は、エポキシ樹脂、フェノール樹脂若しくはポリイミド樹脂等の熱効果樹脂又は感光性エポキシ樹脂若しくは感光性ポリイミド樹脂等の感光性樹脂等を用いても良い。絶縁層 2 6 の形成後の断面図を図 3（d）に示す。

50

【 0 0 2 8 】

次に、絶縁層 2 6 の所定の位置において、レーザ加工技術（例えば、C O 2 レーザ又はエキシマレーザ等）又はフォトリソグラフィ技術等を用いて配線パターン 2 3 に到達するビアホール 3 1 を形成する（ステップ S 7）。ビアホール 3 1 を形成後の断面図を図 3（e）に示す。

【 0 0 2 9 】

次に、例えば、ビアホール 3 1 内に、銅等を成長させ、配線パターン 2 3 と電氣的に接続するビア 2 7 を形成する（ステップ S 8）。ビア 2 7 を形成後の断面図を図 3（f）に示す。

【 0 0 3 0 】

次に、ステップ S 2 と同様にして絶縁層 2 6 上に配線パターン 2 3'（すなわち、追加配線パターン）を形成する（ステップ S 9）。配線パターン 2 3' を形成後の断面図を図 4（a）に示す。配線パターン 2 3 と配線パターン 2 3' は異なるパターンであっても良く、同一のパターンであっても良い。

【 0 0 3 1 】

次に、ステップ S 3 と同様にして半導体チップ 2 5' を bumps 2 4' を介して配線パターン 2 3' 上にフリップチップ接続により実装する（ステップ S 10）。この場合、図 4（b）に示すように、半導体チップ 2 5' は、半導体チップ 2 5 に対し、断面的に見たときに積み重ねられた状態であり、また平面的に見たときに互いに重複するような状態で配置しても良い。また、ステップ S 5 の判定によって不良品と判断された半導体チップ 2 5 上には、半導体チップ 2 5' を実装しないこととする。従って、後述する切断によってチップ化された半導体装置 2 0 の中には機能しない不良品も含むことになる。しかしながら、不良品と判断した半導体チップ 2 5 上には新たに半導体チップ 2 5' を積層しない故、当該不良品の半導体装置 2 0 内には不良の半導体チップのみを備えることになり、良品の半導体チップ 2 5' の損失低減を図ることが出来る。なお、半導体チップ 2 5 と半導体チップ 2 5' は異なる種類の半導体チップであっても良く、同一種類の半導体チップであっても良い。

【 0 0 3 2 】

次に、ステップ S 4 と同様にして半導体チップ 2 5' の測定を行い（ステップ S 11）、その後、ステップ S 5 と同様にして半導体チップ 2 5' の良否判定を行う（ステップ S 12）。更にその後、ステップ S 6 と同様にして絶縁層 2 6' の形成（ステップ S 13）、ステップ S 7 と同様にしてビアホール 3 1' の形成（ステップ S 14）、ステップ S 8 と同様にしてビア 2 7' の形成（ステップ S 15）及びステップ S 9 と同様の方法によって外部接続端子 2 7 の形成（ステップ S 16）を順次行なう。なお、絶縁層 2 6' 形成後の断面図を図 4（c）に、ビアホール 3 1' 形成後の断面図を図 4（d）に、ビア 2 7' 形成後の断面図を図 4（e）に、外部接続端子 2 8 の形成後の断面図を図 4（f）に示す。なお、外部接続端子 2 8 は、配線パターン 2 3、2 3' と同一形状で有っても良い。

【 0 0 3 3 】

また、ステップ S 9 によって配線パターン 2 3' が形成された後に、ステップ S 10 からステップ S 16 を行なうこと（すなわち、ステップ S 3 からステップ S 9 を繰り返すこと）によって、積層構造を有する半導体装置 2 0 を形成することが出来る。さらに、ステップ S 16 において配線パターン 2 3' を形成し、ステップ S 3 からステップ S 9 を、半導体チップ 2 5 が良品であると判定される限り繰り返すことによって、チップ配線層 2 2 を 3 層以上積層することも可能である。

【 0 0 3 4 】

次に、ブレード（図示せず）等によって図 4（f）で示された破線 4 g - 4 g' に沿って（すなわち、半導体チップ 2 5、2 5' の側面に平行かつ配線パターン 2 3、2 3' を切断しない位置）切断を行ない、ウエハレベルで形成された半導体装置（すなわち、半導体装置 2 0 が複数横並びになった状態）をチップレベルに分割をする（ステップ S 17）。また、更に小型の半導体装置 2 0 を形成するために、図 4（f）で示された破線 4 h -

10

20

30

40

50

4 h' に沿って(すなわち、半導体チップ 25、25' とビア 31、31' を分離しない位置)切断を行なっても良い。具体的には、破線 4 h - 4 h' 位置は、ビア 31、31' と配線パターン 23、23' における半導体素子 25、25' が実装されていない他端との間であっても良い。

【0035】

次に、支持基板 21 及び絶縁層 26 上に形成される配線パーンの 1 例を図 5 を参照しつつ詳細に説明する。

【0036】

支持基板 21 上には、一点鎖線 5 a で囲まれる半導体チップ 25 が実装される領域(以下、実装領域と称する) 50 があらかじめ定められている。かかる実装領域 50 は、半導体チップ 25 の大きさに応じて異なる。支持基板 21 上には、実装領域 50 から実装領域 50 の外部へ繋がる配線 23 a が形成されている。配線 23 a の実装領域 50 の外側に位置する他端には測定パッド 23 b が形成される。なお、配線 23 a と測定パッド 23 b を含めて配線パターン 23 と称する。従って、半導体チップ 25 が実装領域 50 に実装されても、測定パッド 23 b は半導体チップ 25 によってその上面を覆われることがない故、測定パッド 23 b にプローブを当接して半導体チップ 25 の特性を検査することが出来る。また、測定パッド 23 b には、半田コートが施されても良い。かかる半田コートによって、プローブ当接時の電氣的接触を確実に行なうことが出来き、検査精度を向上させ歩留まり向上に繋がることを期待できる。

10

【0037】

なお、配線パターン 23 は図 5 に示すものに限られることなく、半導体チップ 25 のパッドの位置及びプローブ配置構造に応じて、測定パッド 23 b を実装領域 50 の周囲に複数列形成しても良く、また配線 23 a の長さを各々に変更しても良い。また、絶縁層 26 上に形成される配線パターン 23' も基本的には支持基板 21 上のものと同一である故、説明は省略する。

20

【0038】

以上のように、本実施例による半導体装置の製造方法によれば、半導体チップ実装後に配線パターンを介して半導体チップの特性を検査する故、半導体装置としての歩留まり向上及び良品半導体チップの損失低減を図ることが出来る。

【実施例 2】

30

【0039】

実施例 1 における半導体装置の製造方法において、半導体チップの特性検査を実施した後、不良品の半導体チップをリワークしても良い。かかる半導体装置の製造方法について図 6 を参照しつつ詳細に説明する。

【0040】

先ず、ステップ S 101 からステップ S 105 までの工程に関しては、実施例 1 の製造方法と同様である故、説明を省略する。

【0041】

次に、ステップ S 105 において、半導体チップ 25 が良品であると判定された場合には、実施例 1 のステップ S 6 と同様に絶縁層 26 の形成を行なう(ステップ S 107)。半導体チップ 25 が不良品であると判定された場合には、不良品の半導体チップ 25 のみをリワークする(ステップ S 106)。半導体チップ 25 のリワークを行なった後に、再び半導体チップ 25 の特性検査を行なう(すなわち、ステップ S 104 を再実施する)。従って、半導体チップ 25 が良品でない限り次工程に進むことはない。なお、リワーク後の半導体チップ 25 の再検査においては、リワークした半導体チップ 25 のみ実施しても良く、またすべての半導体チップ 25 (リワークした半導体チップ 25 以外も含む)について再実施しても良い。

40

【0042】

次に、ステップ S 107 からステップ S 112 までの工程に関しては、実施例 1 の製造方法と同様である故、説明を省略する。

50

【 0 0 4 3 】

ステップ S 1 1 3 において、半導体チップ 2 5 ' が良品であると判定された場合には、実施例 1 のステップ S 1 3 と同様に絶縁層 2 6 ' の形成を行なう (ステップ S 1 1 5) 。半導体チップ 2 5 ' が不良品であると判定された場合には、不良品の半導体チップ 2 5 ' のみをリワークする (ステップ S 1 1 4) 。ステップ S 1 1 4 以降の再検査工程 (すなわち、ステップ S 1 1 2 の再実施) についてはステップ S 1 0 6 からステップ S 1 0 4 に進む場合と同様である故、説明を省略する。また、ステップ S 1 1 5 からステップ S 1 1 8 までの工程についても実施例 1 の製造方法と同様である故、説明を省略する。

【 0 0 4 4 】

以上のように、本実施例による半導体装置の製造方法によれば、不良品の半導体チップをリワークし、実装される半導体チップが良品でない限り次工程に進まない故、半導体装置としての歩留まり向上及び良品半導体チップの損失低減を図ることが出来る。

10

【 実施例 3 】

【 0 0 4 5 】

実施例 1 における半導体装置の製造方法において、絶縁層を形成した後、半導体チップ及び絶縁層を切削しても良い。かかる半導体装置の製造方法について図 7 乃至図 9 を参照しつつ詳細に説明する。

【 0 0 4 6 】

ステップ S 2 0 1 からステップ S 2 0 6 までの工程に関しては、実施例 1 の製造方法と同様である故、説明を省略する。

20

【 0 0 4 7 】

絶縁層 2 6 の形成後、半導体チップ 2 5 及び絶縁層 2 6 を、例えばグラインド法を用いて機械的に切削し所定の厚みする (ステップ S 2 0 7) 。例えば、機械的な切削加工には、砥石を用いた研磨若しくはダイヤモンドバイトを用いた高速切削手法等が適応できる。切削後の断面図を図 8 (e) に示す。なお、図 8 (e) に示されているように、切削面は支持基板 2 1 に対して平行である。

【 0 0 4 8 】

次に、半導体チップ 2 5 及び絶縁層 2 6 上に絶縁層 8 1 を形成する (ステップ S 2 0 8) 。絶縁層 8 1 の形成後の断面図を図 8 (f) に示す。なお、絶縁層形成については実施例 1 のステップ S 6 と同様である故、詳細説明は省略する。

30

【 0 0 4 9 】

次に、絶縁層 2 6 及び絶縁層 8 1 を貫通して配線パターン 2 3 に到達するビアホール 8 2 を形成する (ステップ S 2 0 9) 。ビアホール 8 2 を形成後の断面図を図 8 (g) に示す。なお、ビアホール形成については実施例 1 のステップ S 7 と同様である故、詳細説明は省略する。

【 0 0 5 0 】

次に、ビアホール 8 2 内に、配線パターン 2 3 と電氣的に接続するビア 8 3 を形成する (ステップ S 2 1 0) 。ビア 8 3 を形成後の断面図を図 8 (h) に示す。なお、ビア形成については実施例 1 のステップ S 8 と同様である故、詳細説明は省略する。

【 0 0 5 1 】

次に、ステップ S 2 1 1 からステップ S 2 1 5 までの工程についても実施例 1 の製造方法と同様である故、説明を省略する。絶縁層 2 6 ' を形成後、再びステップ S 2 0 7 からステップ S 2 1 0 を繰り返すことによって、半導体チップ 2 5 ' 及び絶縁層 2 6 ' の切削 (ステップ S 2 1 6 、図 9 (d) に示す)、絶縁層 8 1 ' の形成 (ステップ S 2 1 7 、図 9 (e) に示す)、ビアホール 8 2 ' の形成 (ステップ S 2 1 8 、図 9 (f) に示す) 及びビア 8 3 ' の形成 (ステップ S 2 1 9 、図 9 (g) に示す) を行なう。

40

【 0 0 5 2 】

次に、外部接続端子 2 8 の形成を行なう (ステップ S 2 2 0) 。なお外部接続端子形成については実施例 1 のステップ S 1 6 と同様である故、詳細説明は省略する。更に、その後、実施例 1 のステップ S 1 7 と同様にして、図 9 (g) の破線 9 g - 9 g ' 又は破線 9

50

I - 9 I' に沿ってウエハレベルの半導体装置 20 を切断する (ステップ S 2 2 1)。

【0053】

以上のように、本実施例による半導体装置の製造方法によれば、実装した半導体チップ及び絶縁層を切削する故、より薄型の半導体装置の製造を行なうことが出来る。

【実施例 4】

【0054】

半導体装置の構造を、支持基板上に半導体チップを固定し、半導体チップの上方に配線パターンを設ける構造としても良い。かかる半導体装置の構造の 1 例を図 10 を参照しつつ詳細に説明する。なお、本実施例にて説明する半導体装置は、実施例 1 のおける半導体装置と構造のみが異なり、各部材及び各材料等については同様である故、かかる内容の詳細な説明については省略する。

10

【0055】

図 10 に示されているように本発明の半導体装置 100 は、支持基板 101 上に基本チップ配線層 102 及び積層された積層チップ配線層 103 から構成されている。積層チップ配線層 103 の積層数は図 10 に示された数に限られることはなく、半導体装置 100 の特性等に応じてかかる数量を変更することが出来る。

【0056】

基本チップ配線層 102 は、支持基板 101 上にパッドを上面に位置するように固定された半導体チップ 104、半導体チップ 104 とビア 105 を介して電氣的に接続された配線パターン 106、半導体チップ 104 及びビア 105 を覆うように支持基板上に形成された絶縁層 107 及び絶縁層 107 上に形成された配線パターン 106 と同じ厚みの絶縁層 108 から構成されている。

20

【0057】

積層チップ配線層 103 は、基本チップ配線層 102 又は自身よりも下層の積層チップ配線層 103 上にパッドを上面に位置するように固定された半導体チップ 109、半導体チップ 109 とビア 110 を介して電氣的に接続された配線パターン 111、配線パターン 106 と配線パターン 111 と又は配線パターン 111 同士を電氣的に接続するビア 112、半導体チップ 109 及びビア 110、112 を覆うように支持基板上に形成された絶縁層 113 及び絶縁層 113 上に形成された配線パターン 111 と同じ厚みの絶縁層 114 から構成されている。従って、半導体チップ 104 と積層される半導体チップ 109 とは、ビア 112 によって電氣的接続される。

30

【0058】

また、最上層に位置する積層チップ配線層 103 の配線パターン 111 は、その他の配線パターン 111 と形状を変更させ、容易に外部と接続できる構造にしても良い (例えば、外部接続パッド備える配線パターンとしても良い)。

【0059】

上述する構成によって、半導体装置 100 は、基本チップ配線層 102 及び各積層チップ配線層 103 の半導体チップ 104、109 同士がビア 111 によって電氣的に接続され、最上層に位置する配線パターン 111 から所望の電気信号を得ることが出来る。

【0060】

40

次に、上述した半導体装置の製造方法の 1 例について、図 11 から図 13 を参照しつつ詳細に説明する。なお、図 12 及び図 13 に示された数量の半導体チップ数及び積層数に限られることはなく、製造する半導体装置の生産数量及び構造に応じてかかる数量を変更することが出来る。

【0061】

先ず、所定の大きさの支持基板 101 を準備する (ステップ S 301)。支持基板 101 の断面図を図 12 (a) に示す。

【0062】

次に、半導体チップ 104 を自身のパッドを上面に配置する向きに支持基板 101 上に搭載する (ステップ S 302)。支持基板 101 と半導体チップ 104 とは、例えば、接

50

着剤等によって固定されても良い。半導体チップ104の搭載後の断面図を図12(b)に示す。

【0063】

次に、半導体チップ104を覆うようにして支持基板21上に絶縁層107(すなわち、下部絶縁層)を形成する(ステップS303)。絶縁層107の形成後の断面図を図12(c)に示す。なお、本実施例において形成される絶縁層は実施例1において形成される絶縁層と同様である故、その詳細な説明は省略する。

【0064】

次に、絶縁層107の所定の位置において、レーザ加工技術(例えば、CO₂レーザ又はエキシマレーザ等)又はフォトリソグラフィ技術等を用いて半導体チップ104のパッドに到達するビアホール121を形成する(ステップS304)。ビアホール121を形成後の断面図を図12(d)に示す。

10

【0065】

次に、例えば、ビアホール121内に、銅等を成長させ、半導体チップ104のパッドと電氣的に接続するビア105を形成する(ステップS305)。ビア105を形成後の断面図を図12(e)に示す。

【0066】

次に、絶縁層107及びビア105上に、例えば、スパッタリング法によって銅からなる金属膜を体積した後、金属膜をフォトリソグラフィ技術によって所望のパターニングを行い、ビア105を介して半導体チップ104と電氣的に接続された配線パターン106を形成する(ステップS306)。配線パターン106の形成後の断面図を図12(f)に示す。配線パターン106の具体的な形状については実施例1と同様である故、その説明については省略する。また、図12(f)における内側に形成された2つの配線パターン106を接続させ、半導体チップ104を横方向に電氣的に接続させても良い。

20

次に、配線パターン106を介して実装された各半導体チップ104の特性を測定する(ステップS307)。具体的な測定方法については実施例1と同様である故、その説明については省略する。

【0067】

次に、ステップS307にて測定した結果を判定し(ステップS308)、いずれかの半導体チップ104が良品であると判定された場合にはステップS308に進む。また、すべての半導体チップ104が不良品であると判定された場合には、半導体装置100の製造を終了する。具体的な判定法については実施例1と同様である故、その説明については省略する。

30

【0068】

次に、配線パターン106と同じ厚みの絶縁層108(すなわち、上部絶縁層)が形成する(ステップS309)。絶縁層108の形成後の断面図を図12(g)に示す。

【0069】

次に、ステップS302と同様にして、半導体チップ109を自身のパッドを上面に配置する向きに配線パターン106及び絶縁層108上に搭載する(ステップS310)。なお、半導体チップ109のパッドは上面に位置している故、半導体チップ109は配線パターン106と電氣的に接続されていない。半導体チップ109の搭載後の断面図を図13(a)に示す。なお、半導体チップ104に対する半導体チップ109の搭載位置については、実施例1のステップS10と同様である故、その説明については省略する。

40

【0070】

次に、ステップS303と同様にして、半導体チップ109を覆うようにして配線パターン106及び絶縁層108上に絶縁層113(すなわち、追加下部絶縁層)を形成する(ステップS311)。絶縁層113の形成後の断面図を図13(b)に示す。

【0071】

次に、絶縁層113の所定の位置において、レーザ加工技術(例えば、CO₂レーザ又はエキシマレーザ等)又はフォトリソグラフィ技術等を用いて、配線パターン106に到

50

達するビアホール 131 及び半導体チップ 109 のパッドに到達するビアホール 132 を形成する (ステップ S312)。ビアホール 131、132 を形成後の断面図を図 13 (c) に示す。

【0072】

次に、ステップ S305 と同様にして、ビアホール 131、132 内に、銅等を成長させ、配線パターン 106 と電氣的に接続するビア 112 及び半導体チップ 109 のパッドと電氣的に接続するビア 110 を形成する (ステップ S313)。ビア 110、112 を形成後の断面図を図 13 (d) に示す。

【0073】

次に、ステップ S306 と同様にして、絶縁層 113 及びビア 110、112 上に、ビア 110、112 を介して半導体チップ 104、109 と電氣的に接続された配線パターン 111 を形成する (ステップ S314)。配線パターン 111 の形成後の断面図を図 13 (e) に示す。

10

【0074】

次に、ステップ S307 からステップ S309 と同様にして、半導体チップ 109 の特性の測定 (ステップ S315)、半導体チップ 109 の特性の判定 (ステップ S316) 及び配線パターン 111 と同じ厚みの絶縁層 114 (すなわち、追加上部絶縁層) の形成 (ステップ S317) を行なう。絶縁層 114 形成後の断面図を図 13 (f) に示す。

【0075】

また、ステップ S317 によって絶縁層 114 が形成された後に、ステップ S310 からステップ S314 を繰り返し行なうことによって、積層チップ配線層 103 を 2 層以上積層することが出来る。

20

【0076】

次に、ブレード (図示せず) 等によって図 13 (f) で示された破線 13g - 13g' に沿って切断を行ない、ウエハレベルで形成された半導体装置をチップレベルに分割をする (ステップ S318)。また、更に小型の半導体装置 20 を形成するために、図 13 (f) で示された破線 13h - 13h' に沿って切断を行なっても良い。なお、切断位置については実施例 1 のステップ S17 と同様である故、その説明については省略する。

【0077】

以上のように、本実施例による半導体装置の製造方法によれば、半導体チップ実装後に配線パターンを介して半導体チップの特性を検査する故、半導体装置としての歩留まり向上及び良品半導体チップの損失低減を図ることが出来る。

30

【図面の簡単な説明】

【0078】

【図 1】本発明の実施例 1 によって製造される半導体装置の 1 例を示す断面図である。

【図 2】本発明の実施例 1 における半導体装置の製造方法を示すフローチャートである。

【図 3】本発明の実施例 1 の製造工程における半導体装置の断面図である。

【図 4】本発明の実施例 1 の製造工程における半導体装置の断面図である。

【図 5】本発明の実施例 1 における半導体装置の配線パターンを表す正面図である。

【図 6】本発明の実施例 2 における半導体装置の製造方法を示すフローチャートである。

40

【図 7】本発明の実施例 3 における半導体装置の製造方法を示すフローチャートである。

【図 8】本発明の実施例 3 の製造工程における半導体装置の断面図である。

【図 9】本発明の実施例 3 の製造工程における半導体装置の断面図である。

【図 10】本発明の実施例 4 によって製造される半導体装置の 1 例を示す断面図である。

【図 11】本発明の実施例 4 における半導体装置の製造方法を示すフローチャートである。

。

【図 12】本発明の実施例 4 の製造工程における半導体装置の断面図である。

【図 13】本発明の実施例 4 の製造工程における半導体装置の断面図である。

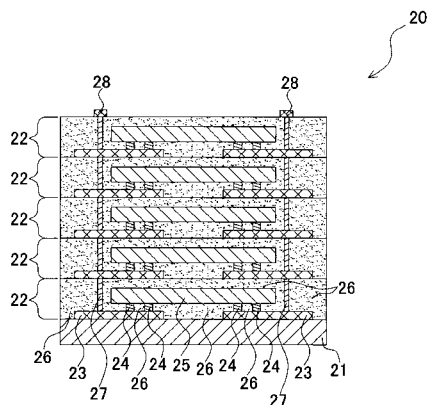
【符号の説明】

【0079】

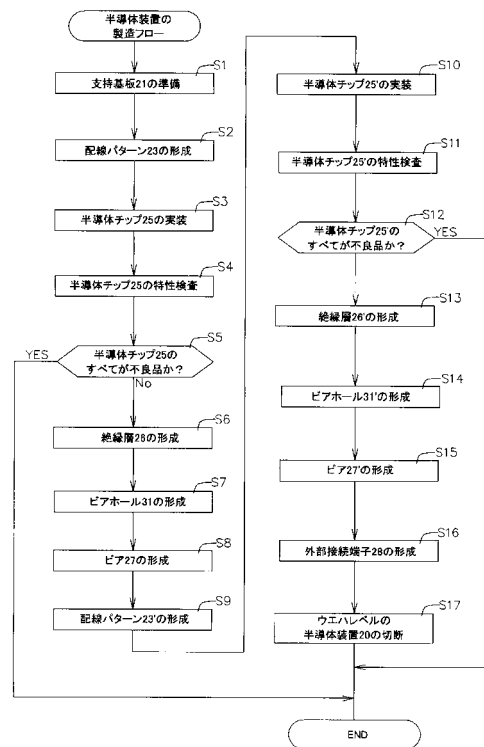
50

- 20 半導体装置
- 21 支持基板
- 23 配線パターン
- 24 バンプ
- 25 半導体チップ
- 26 絶縁層
- 27 ビア

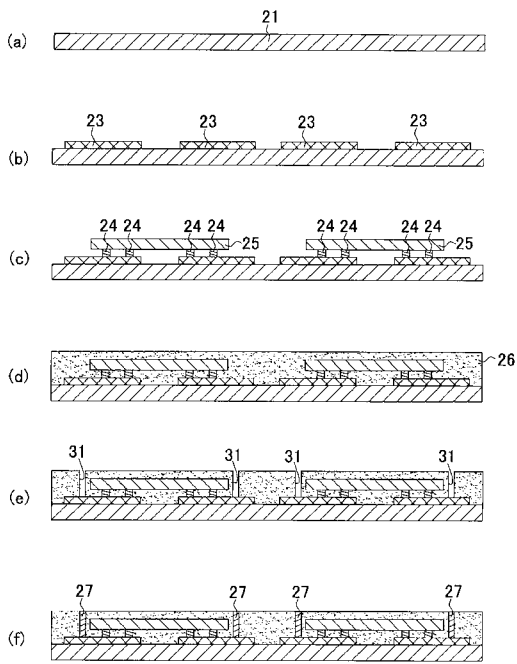
【 図 1 】



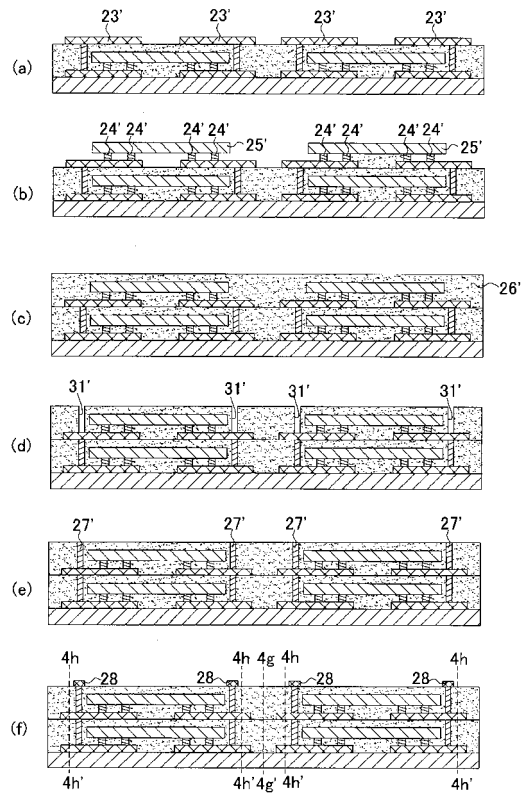
【 図 2 】



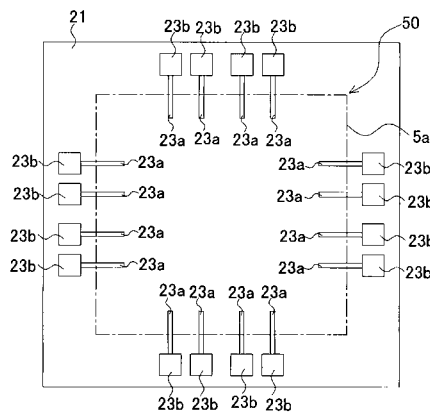
【図3】



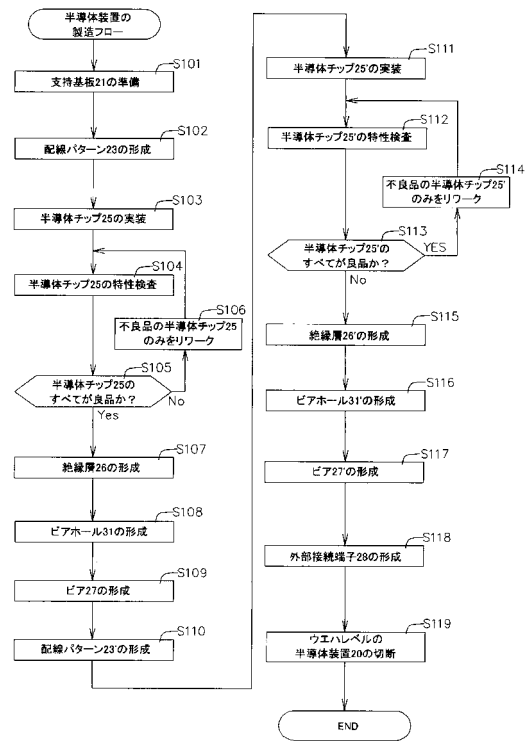
【図4】



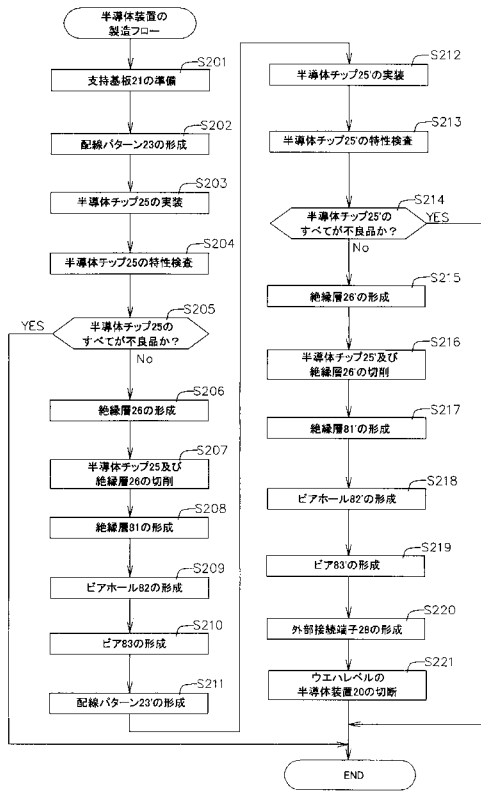
【図5】



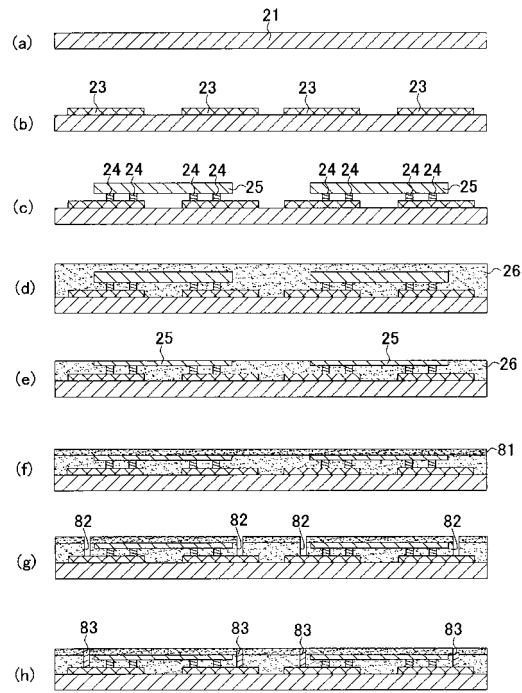
【図6】



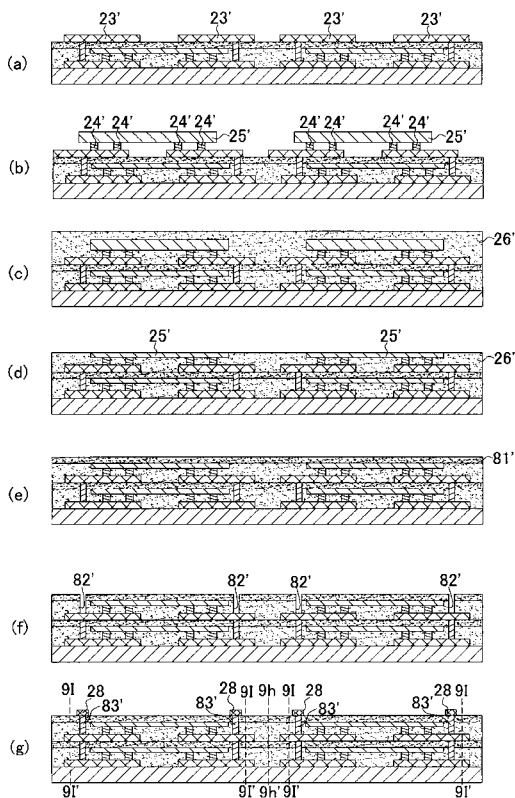
【 図 7 】



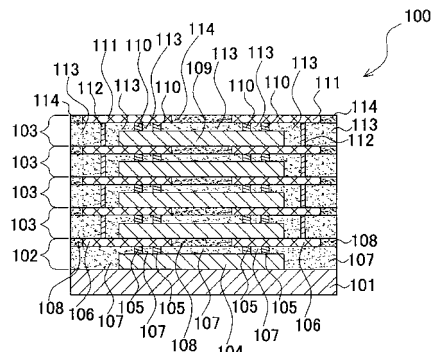
【 図 8 】



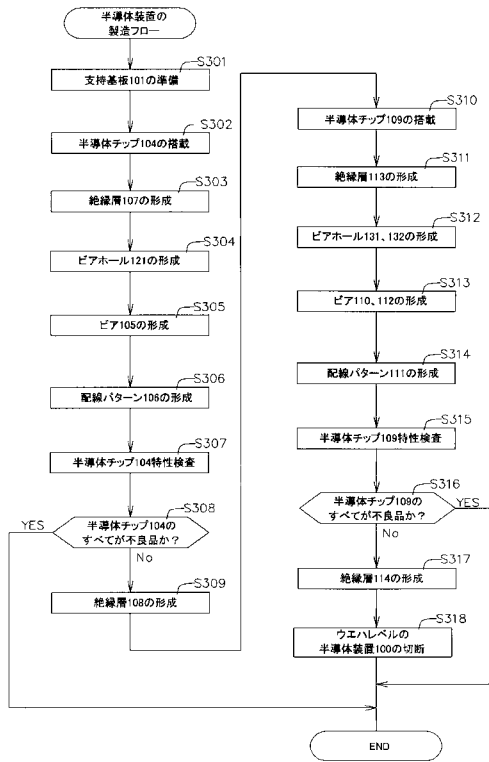
【 図 9 】



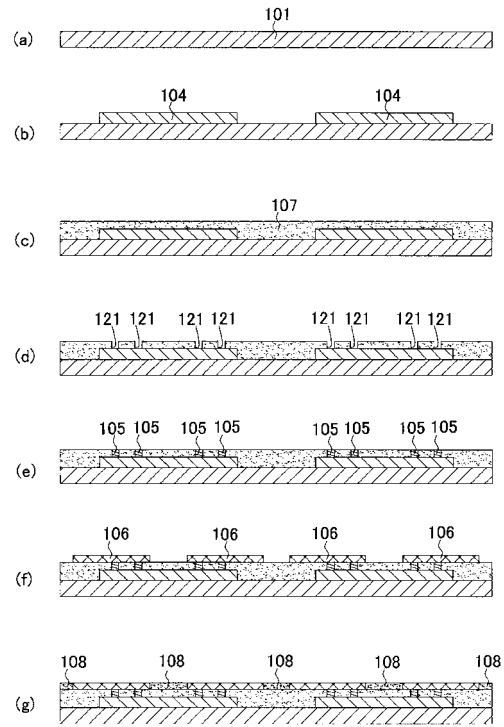
【 図 10 】



【 図 1 1 】



【 図 1 2 】



【 図 1 3 】

