

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 21/20 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년05월15일 10-0579780 2006년05월08일
---------------------------------------	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2002-0016777 2002년03월27일	(65) 공개번호 (43) 공개일자	10-2002-0077158 2002년10월11일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장 JP-P-2001-00101514 2001년03월30일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바  
일본국 도쿄도 미나토구 시바우라 1쵸메 1방 1고

(72) 발명자 에가시라가즈미  
일본국나가와현가와사키시사이와이구고무가이도시바정1번지가부시  
끼가이샤도시바마이크로일렉트로닉스센터내

(74) 대리인 김윤배  
이범일

심사관 : 여덕호

(54) 반도체장치 및 그 제조방법

요약

본 발명은, 평탄한 표면을 갖는 단결정실리콘으로 이루어진 반도체기판과, 제1소자형성영역, 제2소자형성영역, 제3소자형성영역, 제1 내지 제3소자형성영역마다 형성된 용도가 다른 반도체소자를 갖춘 반도체장치를 제공한다. 제1소자형성영역은, 반도체기판의 표면으로부터 소정의 깊이로 매립된 제1매립절연막을 갖는다. 제2소자형성영역은, 반도체기판의 표면으로부터 제1매립절연막 보다도 얇은 위치에 매립된 제2매립절연막을 갖는다. 제3소자형성영역은, 반도체기판의 표면으로부터 이 표면에 대향하는 이면까지 단결정실리콘으로 구성되어 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 제1실시예에 따른 반도체 웨이퍼를 나타낸 단면도이고, 반도체소자가 형성되는 반도체 웨이퍼의 표면의 일부분을 확대한 도면,

도 2의 (a) 및 도 2의 (b)는 도 1에 나타낸 반도체 웨이퍼의 제조방법에서의 주요한 제조공정을 나타낸 단면도이고, 도 1에 나타낸 반도체 웨이퍼의 단면도에 대응하는 단면구조를 나타낸 도면,

도 3은 제2실시예에 따른 반도체장치의 구성을 나타낸 단면도이고, 반도체소자가 형성된 반도체 웨이퍼의 표면의 일부분을 확대한 도면,

도 4 내지 도 6은 도 3에 나타난 반도체장치의 제조방법에서의 주요한 제조공정을 나타낸 단면도이고, 도 3에 나타난 반도체 웨이퍼의 단면도에 대응하는 단면구조를 나타낸 도면,

도 7은 제2실시예의 변형예에 따른 반도체장치를 나타낸 단면도이고, 반도체소자가 형성된 반도체 웨이퍼의 표면의 일부분을 확대한 도면이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 매립절연막 상에 활성층을 갖춘 반도체 웨이퍼 및, 이 반도체 웨이퍼를 이용한 반도체장치에 관한 것으로, 특히 반도체소자의 용도에 따라 활성층의 두께가 다르고, 매립절연막이 형성되어 있지 않은 벌크영역에도 반도체소자가 형성된 SOI디바이스에 관한 것이다.

최근, 급속한 정보휴대기기의 보급에 따라, 고속동작이면서 저소비전력의 반도체 디바이스의 수요가 높아지고 있다. 이와 같은 디바이스의 실현을 위해, 시스템설계나 회로설계로부터의 어프로치와 함께, 디바이스구조의 개선에 의한 어프로치가 상당히 중요하다.

기관구조가 벌크 실리콘 기관일 경우, 부하용량의 감소 및 전원전압의 감소는, 저소비전력화에 유효하지만, 그 반면 속도 성능에 현저한 저하를 초래한다. 그래서, 고속동작성 및 저소비전력성을 양립할 수 있는 SOI(Silicon On Insulator)기관에 대한 기대가 높아지고 있다. 이 양립은, 디바이스와 기관간, 또는 배선과 기관간의 기생용량을 감소함으로써 달성된다.

SOI기관은, 절연층 상에 단결정실리콘(Si)층이 형성된 기관구조(이하, SOI구조라 칭함)를 갖는다. SOI구조는, 접합용량과 기관 바이어스 효과를 감소시키기 위해, 속도성능을 열화시키는 일은 없다. 또한, 동시에 SOI구조는, 전원전압의 저전압화에 의한 저소비전력동작이 가능해진다. SOI웨이퍼의 제조에는, 접합(wafer bonding)법 또는 SIMOX(Separation by Implanted Oxygen)법이 일반적으로 이용된다. 접합법은, 산화막을 매개로 Si기관끼리를 접합하는 방법이다. SIMOX법은, Si기관에 산소이온을 주입한 후, 열처리하여 Si기관 내부에 매립산화막을 형성하는 방법이다.

SOI기관 상에 형성되는 반도체소자(SOI디바이스)는, 매립산화막 상에 배치된 단결정실리콘층에 형성된다. 이 단결정실리콘층(활성층)의 막두께는, SOI디바이스의 용도에 따라 사용이 나누어져 있다. 예컨대, 소비전력이나 고속동작을 목표로 하는 CMOS디바이스에서는 막두께가 50~100nm정도의 활성층을 이용한다. 한편, 고내압 디바이스에서는 막두께가 수  $\mu\text{m}$ 의 활성층을 이용한다.

보호다이오드는, 접속핀으로부터 침입하는 과전류를 기관을 매개로 장치 외부로 도피시켜 내부회로를 보호하는 용도를 갖는다. 이와 같은 용도를 갖는 보호다이오드에 있어서, SOI기관의 매립산화막은 무용 또는 방해된다는 것이다. 오히려, 보호다이오드에서는, 벌크 실리콘 기관의 쪽이 SOI기관 보다도 적합하다.

그러나, 상술한 SOI웨이퍼의 제조방법에 있어서는, 매립산화막은 웨이퍼 전면에 대해 동일한 조건으로 형성된다. 따라서, 매립산화막은 웨이퍼 표면으로부터 동일한 깊이로 매립되고, 활성층의 두께는 웨이퍼 전면 내에서 일정하다. 따라서, 단일의 SOI기관에 다른 용도의 SOI디바이스를 혼재(混載)하는 것은 곤란하다.

#### 발명이 이루고자 하는 기술적 과제

본 발명은 상기한 점을 감안하여 이루어진 것으로, 매립절연막 상에 활성층을 갖춘 반도체 웨이퍼 및, 이 반도체 웨이퍼를 이용한 반도체장치를 제공하는 것에 그 목적이 있다.

### 발명의 구성 및 작용

상기한 바와 같은 목적을 달성하기 위한 본 발명의 제1특징은, 평탄한 표면을 갖는 단결정실리콘으로 이루어진 반도체기판과, 제1소자형성영역, 제2소자형성영역, 제3소자형성영역을 갖춘 반도체 웨이퍼인 것이다. 제1소자형성영역은, 반도체기판의 표면으로부터 소정의 깊이로 매립된 제1매립절연막을 갖춘다. 제2소자형성영역은, 반도체기판의 표면으로부터 제1매립절연막 보다도 얇은 위치에 매립된 제2매립절연막을 갖춘다. 제3소자형성영역은, 반도체기판의 표면으로부터 이 표면에 대향하는 이면까지 단결정실리콘으로 구성되어 있다.

본 발명의 제2특징은, 평탄한 표면을 갖는 단결정실리콘으로 이루어진 반도체기판을 준비하고, 제1소자형성영역에 개구를 갖춘 제1내(耐)이온 주입막을 표면 상에 형성하고, 제1내이온 주입막을 매개로 제1소자형성영역의 소정의 깊이로 선택적으로 산소이온을 주입하고, 제2소자형성영역에 개구를 갖춘 제2내이온 주입막을 표면 상에 형성하고, 제2내이온 주입막을 매개로 제2소자형성영역의 제1소자형성영역 보다도 얇은 위치에 선택적으로 산소이온을 주입하고, 반도체기판을 가열하여 주입된 산소원자와 실리콘원자를 반응시키는 반도체 웨이퍼의 제조방법인 것이다.

본 발명의 제3특징은, 평탄한 표면을 갖는 단결정실리콘으로 이루어진 반도체기판과, 제1소자형성영역, 제2소자형성영역, 제3소자형성영역, 제1 내지 제3소자형성영역마다 형성된 용도가 다른 반도체소자를 갖춘 반도체장치인 것이다. 제1소자형성영역은, 반도체기판의 표면으로부터 소정의 깊이로 매립된 제1매립절연막을 갖춘다. 제2소자형성영역은, 반도체기판의 표면으로부터 제1매립절연막 보다도 얇은 위치에 매립된 제2매립절연막을 갖춘다. 제3소자형성영역은, 반도체기판의 표면으로부터 이 표면에 대향하는 이면까지 단결정실리콘으로 구성되어 있다.

본 발명의 제4특징은, 평탄한 표면을 갖는 반도체기판을 준비하고, 제1소자형성영역에 개구를 갖춘 제1내이온 주입막을 표면 상에 형성하고, 제1내이온 주입막을 매개로 제1소자형성영역의 소정의 깊이로 선택적으로 산소이온을 주입하고, 제2소자형성영역에 개구를 갖춘 제2내이온 주입막을 표면 상에 형성하고, 제2내이온 주입막을 매개로 제2소자형성영역의 제1소자형성영역 보다도 얇은 위치에 선택적으로 산소이온을 주입하고, 반도체기판을 가열하여 주입된 산소원자와 실리콘원자를 반응시키고, 제1 및 제2소자형성영역 및 표면으로부터 이 표면에 대향하는 이면까지 단결정실리콘으로 구성된 제3소자형성영역에 용도가 다른 반도체소자를 각각 형성하는 반도체장치의 제조방법인 것이다.

(실시예)

이하, 본 발명의 실시예를 도면을 참조하면서 상세히 설명한다.

도 1은, 제1실시예에 따른 반도체 웨이퍼를 나타낸 단면도이고, 반도체소자가 형성되는 반도체 웨이퍼의 표면의 일부분을 확대한 것이다.

도 2의 (a) 및 도 2의 (b)는, 도 1에 나타난 반도체 웨이퍼의 제조방법에서의 주요한 제조공정을 나타낸 단면도이고, 도 1에 나타난 반도체 웨이퍼의 단면도에 대응하는 단면구조를 나타낸다.

도 3은, 제2실시예에 따른 반도체장치의 구성을 나타낸 단면도이고, 반도체소자가 형성된 반도체 웨이퍼의 표면의 일부분을 확대한 것이다.

도 4 내지 도 6은, 도 3에 나타난 반도체장치의 제조방법에서의 주요한 제조공정을 나타낸 단면도이고, 도 3에 나타난 반도체 웨이퍼의 단면도에 대응하는 단면구조를 나타낸다.

도 7은, 제2실시예의 변형예에 따른 반도체장치를 나타낸 단면도이고, 반도체소자가 형성된 반도체 웨이퍼의 표면의 일부분을 확대한 것이다.

### 제1실시예

도 1에 나타난 바와 같이, 제1실시예에 따른 반도체 웨이퍼는, 평탄한 표면(4)을 갖춘 반도체기판(1)과, 복수의 매립절연막(2a, 2b), 매립절연막(2a, 2b)과 표면(4)과의 사이에 배치된 복수의 활성층(3a, 3b)을 갖춘다. 매립절연막(2a, 2b)은, 소자형성영역(5a, 5b)마다, 표면(4)으로부터 다른 깊이로 매립되어 있다. 따라서, 복수의 활성층(3a, 3b)의 두께는, 소자형성영역(5a, 5b)마다 다르다.

제1실시예에 따른 반도체 웨이퍼는, 표면(4)으로부터 표면(4)에 대향하는 이면(31)까지 단결정실리콘으로 구성된 제3소자형성영역(5c)을 갖춘다.

반도체기판(1)은 원반형상의 단결정실리콘 기판이다. 실리콘의 결정방위를 나타내기 위한 오리엔탈·플랫이 반도체기판(1)의 외주(外周)에 형성되어 있다(도시하지 않았음). 「평탄한 표면(4)」이라는 것은, 집적회로(IC)를 구성하는 반도체소자가 형성되는 반도체기판(1)의 표면을 나타낸다. 소자형성영역(5a~5c)은, 반도체기판(1) 상에 서로 절연된 반도체소자를 형성하기 위한 영역이다.

제1실시에에서 반도체 웨이퍼는, 제1매립절연막(2a)과, 제2매립절연막(2b)을 갖는다. 매립절연막(2a, 2b)은, 제1 및 제2 소자형성영역(5a, 5b)에 있어서, 표면(4)으로부터 다른 깊이로 각각 매립되어 있다.

구체적으로는, 제1매립절연막(2a)은, 제1소자형성영역(5a)에서 비교적 깊은 위치에 매립되어 있다. 제2매립절연막(2b)은, 제2소자형성영역(5b)에서 제1매립절연막(2a) 보다도 얇은 위치에 매립되어 있다. 제3소자형성영역(5c)에는 절연막은 매립되어 있지 않다. 즉, 제3소자형성영역(5c)은 벌크 실리콘영역(3c)을 형성하고 있다. 더욱이, 제1 및 제2매립절연막(2a, 2b)은, 실리콘산화(SiO<sub>2</sub>)막으로 이루어진다. 매립절연막(2a, 2b)의 막두께는 실질적으로 동일하다.

활성층(3a, 3b)은, 매립절연막(2a, 2b)의 상면으로부터 반도체기판(1)의 표면(4)까지의 단결정실리콘층이다. 활성층(3a~3c)에, 집적회로를 구성하는 반도체소자의 형성이 예정되어 있다. 물론, 벌크 실리콘영역(3c)에도 집적회로를 구성하는 반도체소자의 형성이 예정되어 있다. 각 소자형성영역(5a~5c)마다 활성층(3a, 3b) 또는 벌크 실리콘영역(3c)의 두께가 다르다. 용도가 다른 반도체소자는 그 용도에 적합한 활성층(3a, 3b) 또는 벌크 실리콘영역(3c) 내에 형성된다. 다시 말해서, 원하는 집적회로의 레이아웃 패턴에 기초하여, 각 소자형성영역에서의 활성층(3a, 3b)의 유무 및 그 두께가 결정된다. 제1실시에에서는, 매립절연막(2a, 2b), 활성층(3a, 3b) 및, 벌크 실리콘영역(3c)이 형성된 후에 있어서, 반도체소자가 형성되기 전 상태의 반도체 웨이퍼에 대해 설명을 계속한다.

제1소자형성영역(5a)에 있어서, 제1매립절연막(2a) 상에 후막활성층(3a)이 형성되어 있다. 제2소자형성영역(5b)에 있어서, 제2매립절연막(2b) 상에 박막활성층(3b)이 형성되어 있다.

다음에, 도 1에 나타낸 반도체 웨이퍼의 제조방법에 대해 도 2의 (a) 및 도 2의 (b)를 참조하여 설명한다.

(가) 우선, 실리콘단결정으로 이루어진 로드를 제조한다. 제조방법으로서, 인상(Czochralski: CZ)법, 또는 부유대(floating zone: FZ)법을 이용하면 된다. 이 때, n형 또는 p형의 도펀트를 실리콘단결정에 포함시켜도 상관없다.

(나) 다음에, 노치가공 또는 오리엔탈·플랫(OF)가공을 시행한다. 평판형상으로 슬라이스 한다. 평탄화 처리(러빙), 경면(鏡面)연마(폴리싱), 결합검사 등의 소정의 순서를 거쳐, 평탄한 표면(4)을 갖는 반도체기판(1)을 작성한다.

(다) 다음에, 도 2의 (a)에 나타낸 바와 같이, 포토리소그래피법을 이용하여, 제1소자형성영역(5a)에 개구를 갖춘 제1마스스크(7a)를 반도체기판(1)의 표면 상에 형성한다. 제1마스스크(7a)는, 후술하는 반도체기판(1)으로의 산소이온 주입에 있어서의 내이온 주입막으로서의 기능을 갖는다. 따라서, 제1마스스크(7a)는, 포토레지스트막, 비정질실리콘막, 절연막, 금속막의 어떠한 막이어도 상관없다. 후술하는 제2 및 제3마스스크에 대해서도 마찬가지이다.

그리고, 제1마스스크(7a)를 이용하여, 제1소자형성영역(5a)에 선택적으로 산소이온을 주입한다. 주입하는 깊이는 다른 영역에 비해 깊다. 예컨대, 200nm정도의 깊이로 주입할 경우, 200keV정도로 산소이온을 가속한다. 또한, 산소이온의 도즈량은  $4 \times 10^{17} \sim 1 \times 10^{18} \text{cm}^{-2}$ 정도의 범위인 것이 바람직하다. 또한, 이온 주입시의 반도체기판(1)을 400~600℃ 정도로 승온하는 것이 바람직하다. 산소이온의 도즈량 및, 반도체기판(1)의 온도를 상기 범위로 설정함으로써, 이온 주입에 의한 반도체기판(1)이 받는 손상을 감소시킬 수 있다. 주입된 산소원자(6a)는, 도 1에 나타낸 제1매립절연막(2a)과 거의 동일한 영역에 배치된다. 이온 주입후에 제1마스스크(7a)를 제거한다.

(라) 다음에, 도 2의 (b)에 나타낸 바와 같이, 제1마스스크(7a)와 동일한 방법에 의해, 제2소자형성영역(5b)에 개구를 갖춘 제2마스스크(7b)를 반도체기판(1)의 표면 상에 형성한다. 그리고, 제2마스스크(7b)를 이용하여, 제2소자형성영역(5b)에 선택적으로 산소이온을 주입한다. 주입하는 깊이는 제1소자형성영역(5a)에 비해 얇다. 예컨대, 100nm정도의 깊이로 주입할 경우, 100keV정도로 산소이온을 가속한다. 또한, 반도체기판(1)의 손상을 감소시키기 위해, 산소이온의 도즈량 및 반도체기판(1)의 온도는 상기 범위인 것이 바람직하다. 주입된 산소원자(6b)는, 도 1에 나타낸 제2매립절연막(2b)과 거의 동일한 영역에 배치된다. 이온 주입후에 제2마스스크(7b)를 제거한다.

이와 같이, 소자형성영역(5a, 5b)마다 이온 주입용의 마스크를 이용하여, 선택적으로 이온 주입을 행한다. 또한, 소자형성 영역(5a, 5b)마다 이온 주입할 경우의 이온 주입 에너지(속도)를 다르게 한다. 제3소자형성영역(5c)은, 벌크 실리콘영역이기 때문에, 산소이온 주입은 행하지 않는다.

(마) 최후에, 반도체기판(1)을 소정의 열처리로의 내부로 반입시킨다. 그리고, 1300℃ 이상의 온도로 열처리를 시행하여, 주입된 산소원자(6a, 6b)와 반도체기판(1)의 Si원자를 반응시킨다. 이 때, 열처리에서의 온도의 균일성 및 반도체기판(1)의 지지방법 등에 주의를 요한다. 반도체기판(1) 내의 온도 불균일성에 기인한 열스트레스(熱stress)에 의해 스트립이 발생하지 않도록 하기 위함이다. 이상의 공정을 거쳐, 도 1에 나타난 반도체 웨이퍼를 제조할 수 있다.

이상 설명한 바와 같이, 소자형성영역(5a, 5b)마다 매립절연막(2a, 2b)의 깊이를 변화시켜, 활성층(3a, 3b)의 두께를 다르게 한다. 그리고, 일부분의 소자형성영역(5c)에는, 매립절연막을 형성하지 않고, 벌크 실리콘영역(3c)을 형성한다. 이에 의해, 용도가 다른 반도체 디바이스를 동일한 기판 상에 혼재하는 것이 가능해진다.

더욱이, 도 1은, 반도체기판(1)의 표면(4) 내, 제1 내지 제3소자형성영역(5a~5c)만을 확대하여 나타냈다. 그러나, 도 1에 나타내고 있지 않은 반도체기판(1)의 표면(4)에 소자형성영역이 형성되어 있어도 상관없다. 도 1에 나타내고 있지 않은 소자형성영역은, 도 1에 나타난 동일한 구성을 갖고 있어도, 또는 매립절연막을 갖지 않은 벌크 실리콘영역(3c)이어도 상관없다. 즉, 제1실시예에 있어서는, 반도체기판(1)의 적어도 일부의 영역(5a, 5b)에, 깊이가 다른 매립절연막(2a, 2b)이 형성되어 있으면 좋다.

도 1에 나타내고 있지 않은 영역이 도 1과 동일한 구성을 갖는 경우, 도 2의 (a) 및 도 2의 (b)에 나타난 제1 및 제2마스크(7a, 7b)에 개구를 형성하여, 동시에 동일한 조건의 이온 주입을 행하는 것이 바람직하다.

또한, 2종류의 깊이가 다른 매립절연막(2a, 2b)이 형성된 반도체 웨이퍼를 나타냈지만, 물론 매립절연막의 깊이는 3종류 이상이어도 상관없다.

더욱이, pn접합, 절연물에 의해 소자분리를 행하는 반도체 집적회로(IC)에 있어서는, 반도체기판(1) 상에 소정의 영역(소자분리영역)을 점유한다. 매립절연막(2a, 2b)은, 이 소자분리영역 상에 형성되어 있어도 또는 형성되어 있지 않아도 상관없다.

## 제2실시예

본 발명의 제2실시예에 있어서는, 도 1에 나타난 반도체 웨이퍼를 이용한 반도체장치에 대해 설명한다. 제2실시예에 따른 반도체장치에 있어서는, 용도가 다른 반도체소자가 그 용도에 적합한 두께를 갖는 활성층(3a~3c) 내에 형성되어 있다.

도 3에 나타난 바와 같이, 반도체기판(1)의 제1소자영역(33)에는 중형(수직형) npn트랜지스터(9)가 형성되어 있다. 반도체기판(1)의 제2소자형성영역(34)에는 n형 MOS트랜지스터(10)가 형성되어 있다. 반도체기판(1)의 제3소자형성영역(32)에는, 반도체기판(1)의 표면(4)에 대향하는 이면(31)을 전류경로의 일단으로 하는 반도체소자가 형성된다. 예컨대, 파워 MOSFET, IGBT(Insulated Gate Bipolar Transistor), 또는 보호다이오드를 형성할 수 있다. 여기에서는, 반도체기판(1)의 제3소자형성영역(32)에는, 보호다이오드(8)가 형성되어 있다. 보호다이오드(8)는, 전류경로를 흐르는 과잉의 전류를 이면(31)을 매개로 외부로 도피시키는 용도를 갖는다. 보호다이오드(8)의 일례로서, ESD(Electro Static Destruction) 디바이스가 형성되어 있다.

중형 npn트랜지스터(9)는, 반도체기판(1)의 표면(4) 상에 배치된 박막형상의 p<sup>+</sup>형의 베이스영역(17)과, 베이스영역(17)의 아래쪽에 매립된 n<sup>+</sup>형의 이미터영역(35), 베이스영역(17)의 상부에 형성된 n<sup>+</sup>형의 컬렉터 매립영역(19) 및, 컬렉터 매립영역(19)의 상부에 배치된 n<sup>+</sup>형 영역(20)을 갖춘다. 컬렉터 매립영역(19)은, n<sup>+</sup>형의 인출영역(20)에 의해 반도체기판(1)의 표면에 그 전위가 인출되어 있다. 베이스영역(17)의 측면에는 베이스전극(26)이 접속되고, 이미터영역(35)의 상부에는 이미터전극(25)이 접속되어 있다. 매립 컬렉터영역(19)의 아래에, 깊은 매립절연막(11)이 매립되어 있다. 중형 npn트랜지스터(9)의 외주는, 트렌치 내에 매립된 소자분리막(28a, 28b)에 의해 둘러싸여져 있다. 소자분리막은, 비교적 깊은 트렌치로 매립된 분리막(28b)과, 비교적 얇은 트렌치로 매립된 분리막(28a)을 구비한다. 분리막(28b)의 저면은, 깊은 매립절연막(11)에 이르고 있다.

여기서, 컬렉터 매립영역(19)의 두께는 1~5 $\mu$ m정도, n<sup>+</sup>형 영역(20)의 두께는 0.7 $\mu$ m정도, 얇은 트랜치의 깊이는 0.5 $\mu$ m정도, 깊은 트랜치의 깊이는 5 $\mu$ m정도이다. 즉, 깊은 매립절연막(11)은, 5 $\mu$ m정도의 깊이로 매립되어 있다.

도 3에는, 분리막(28b)이 깊은 매립절연막(11)에 접촉하고 있는 경우를 나타냈다. 그러나, 양자의 사이에 채널 방전방지용의 확산영역이 형성되어 있어도 상관없다. 또한, 분리막(28b) 대신에 p형 영역을 형성해도 상관없다. 이 경우, p형 영역은, pn접합에 의한 소자분리를 행한다. 더욱이, 분리막(28a) 대신에 LOCOS 산화막을 형성해도 상관없다.

n형 MOS트랜지스터(10)는, 반도체기판(1)의 상부에 형성된 p형의 웰영역(21)과, 웰영역(21)의 내부에 형성된 소스영역(23) 및 드레인영역(22), 및 게이트전극(24)을 갖춘다. 게이트전극(24)은, 소스영역(23) 및 드레인영역(22)의 사이의 반도체기판(1) 상에 게이트절연막을 매개로 배치되어 있다. 웰영역(21)의 아래에, 얇은 매립절연막(12)이 매립되어 있다. 웰영역(21)의 두께는, 100nm정도이다. 즉, 얇은 매립절연막(12)은 100nm정도의 깊이로 매립되어 있다.

보호다이오드(8)가 형성되는 제3소자형성영역(32)은 벌크 실리콘영역이다. 보호다이오드(8)는, 반도체기판(1)의 상부에 배치된 제1도전형(p형)의 애노드영역(13)과, 애노드영역(13)의 아래쪽에 배치된 제2도전형(n형)의 캐소드 매립영역(15)을 갖춘다. 캐소드 매립영역(15)은, n<sup>+</sup>형의 인출영역(16)에 의해 반도체기판(1)의 표면에 그 전위가 인출되어 있다. 애노드영역(13)의 상부에는 애노드전극(14)이 접속되고, 인출영역(16)의 상부에는 캐소드전극(127)이 접속되어 있다. 반도체기판(1)의 제3소자형성영역(32)에는 캐소드 인출용의 매립영역(15)이 매립되어 있지만, 절연막은 매립되어 있지 않다. 보호다이오드(8)를 벌크 실리콘영역에 배치함으로써 높은 서지내량이 얻어진다.

보호다이오드(8)는, 내부회로에 과잉의 전류가 침입하여 내부회로를 파괴하지 않도록 보호한다. 트랜지스터의 입력신호-그라운드간 및, 전원-신호간에 보호다이오드(8)를 배치한다. 이에 의해, 내부회로에 인가되는 전압을 제로~전원전압의 범위 내로 받아들일 수 있다. 이 범위로부터 벗어나는 큰 신호가 입력된 경우, 보호다이오드(8)는, 반도체기판(1)을 매개로 과잉의 전류를 그라운드 또는 전원으로 도피시킨다. 접지된 반도체기판(1)을 매개로 과잉의 전류를 도피시킴으로써, 보호다이오드(8)의 서지내량이 증가한다.

따라서, 보호다이오드(8)는, SOI기판 상에 형성하는 것으로 융합되지 않아, 벌크 실리콘영역에 형성하는 것이 바람직하다. 왜냐하면, SOI기판의 매립절연막이 과잉의 전류의 흐름을 방해하기 때문이다.

이와 같이, 도 3에 나타낸 반도체기판(1)의 3개의 영역(32~34)에 있어서, 다른 용도의 반도체소자가 각각 형성되어 있다. 각 영역(32~34)은 거기에 형성되는 반도체소자의 용도에 적합한 기판구조를 각각 갖고 있다.

구체적으로는, 제1소자형성영역(33)에는, 고주파소자로서 종형 npn트랜지스터(9)가 형성되어 있다. 종형 npn트랜지스터(9)는, 반도체기판(1) 내부에 매립영역(19)을 갖추고 있다. 따라서, 제1소자형성영역(33)은, 깊은 매립절연막(11)이 형성된 SOI기판의 구조를 갖고 있다. 제2소자형성영역(34)에는, 평면소자인 n형 MOS트랜지스터(10)가 형성되어 있다. n형 MOS트랜지스터(10)는, 깊은 활성층을 필요로 하지 않는다. 따라서, 제2소자형성영역(34)은, 얇은 매립절연막(12)이 형성된 SOI기판의 구조를 갖고 있다. 제3소자형성영역(32)에는, 반도체기판(1)으로 과전류를 흐르게 하기 위한 보호다이오드(8)가 형성되어 있다. 따라서, 영역(32)은, 매립절연막이 형성되어 있지 않은 벌크 실리콘 기판의 구조를 갖고 있다.

다음에, 도 3에 나타낸 반도체장치는, 이하에 나타낸 바와 같이 하여 제조된다.

(가) 우선, 도 2의 (a) 및 도 2의 (b)를 참조하여 나타낸 제조방법에 의해, 도 1에 나타낸 반도체기판을 제조한다. 즉, 실리콘단결정으로 이루어진 로드를 제조한다. 슬라이스가공, 러빙처리, 폴리싱, 결함검사를 거쳐 반도체기판을 작성한다. 그리고, 도 4에 나타낸 바와 같이, 제1 및 제2소자형성영역(33, 34)에 선택적으로 산소이온을 주입한다. 1300 $^{\circ}$ C 이상의 온도로 열처리를 가한다. 제1 및 제2소자형성영역(33, 34)에 매립절연막(11, 12)이 각각 형성된다.

(나) 다음에, 도 5에 나타낸 바와 같이, 매립된 분리막(28b)이 형성되는 영역의 반도체기판(1)에 깊은 트랜치를 형성한다. 트랜치 내부에 절연물을 매립하고, 분리막(28b)을 형성한다. 제1소자형성영역(33) 및 제3소자형성영역(32)에 선택적으로 n형 불순물 이온을 주입한다. n형 불순물 이온을 활성화하여, 컬렉터 매립영역(19) 및 캐소드 매립영역(15)을 형성한다.

(다) 다음에, 도 6에 나타난 바와 같이, 매립된 분리막(28a)이 형성되는 영역의 반도체기판(1)에 얇은 트렌치를 형성한다. 트렌치 내부에 절연물을 매립하고, 분리막(28a)을 형성한다. 제1소자형성영역(33) 및 제3소자형성영역(32)에 선택적으로 n형 불순물 이온을 주입한다. n형 불순물 이온을 활성화하여, 인출영역(16, 20)을 형성한다. 제2소자형성영역(34)에 선택적으로 p형 불순물 이온을 주입한다. p형 불순물 이온을 활성화하여, 웰영역(21)을 형성한다.

(라) 다음에, 도 3에 나타난 바와 같이, 제2소자형성영역(34)에 선택적으로 n형 불순물 이온을 주입한다. n형 불순물 이온을 활성화하여, 소스영역(33) 및 드레인영역(22)을 형성한다. 제3소자형성영역(32)에 선택적으로 p형 불순물 이온을 주입한다. p형 불순물 이온을 활성화하여, 애노드영역(13)을 형성한다. 에픽택셀성장법을 이용하여, 제1소자형성영역(33)에 베이스영역(17)을 형성한다.

(마) 최후에, 이미터전극(25), 베이스전극(26), 게이트전극(24), 애노드전극(14) 및, 캐소드전극(27)을 형성한다. 구체적으로는, CVD법을 사용하여 저저항의 폴리실리콘막을 성장한다. 그리고, 포토리소그래피법 및 이방성 에칭법을 이용하여 폴리실리콘막을 선택적으로 제거한다. 더욱이, 이미터전극(25)에는, n형 불순물을 첨가한다. 이미터전극(25)으로부터 배어나오는 n형 불순물에 의해 이미터영역(35)이 형성된다.

이와 같이, 도 2에 나타난 제조방법을 이용하여, 영역마다 깊이가 다른 매립절연막(11, 12) 및 두께가 다른 활성층을 형성한다. 그리고, 활성층 또는 벌크 실리콘 기판 상에 트랜지스터를 형성함으로써, 도 3에 나타난 반도체장치를 제조할 수 있다.

이상 설명한 바와 같이, 용도가 다른 복수의 반도체소자를, 그 용도에 적합한 기판구조를 갖는 영역에 각각 형성할 수 있다. 따라서, 용도가 다른 반도체소자를 동일한 반도체기판 상에 혼재하는 것이 가능해진다.

#### 제2실시예의 변형예

도 3에 나타난 매립절연막(11, 12)은, 제1 및 제2소자형성영역(33, 34)에만 각각 형성되어 있다. 그리고, 매립절연막(11, 12)의 일부는, 인접하는 영역으로 인출하여 형성되어 있지 않다. 결국, 반도체기판(1)의 표면(4)측으로부터 보아, 매립절연막(11, 12)이 겹치는 것이 없었다. 그러나, 실제의 반도체기판 제조에 있어서는, 마스크 맞춤마크가 반도체기판 상에 존재하지 않는 경우가 있다. 이 경우, 마스크 맞춤마크가 없는 상태로, 도 2의 (a) 및 도 2의 (b)에 나타난 선택적 이온 주입을 실시하지 않으면 안된다. 그래서, 제2실시예의 변형예에 있어서는, 매립절연막(11, 12)의 적어도 일부가 중복되고 있는 반도체장치에 대해 설명한다.

도 7에 나타난 바와 같이, 제2실시예의 변형예에 따른 반도체장치는, 반도체기판(1)의 영역(32)에 형성된 횡형(측면형) pnp트랜지스터(8)와, 영역(33)에 형성된 종형 npn트랜지스터(9) 및, 영역(34)에 형성된 n형 MOS트랜지스터(10)를 갖춘다. 각 반도체소자(8~10)의 구성은, 도 3의 것과 동일하기 때문에 설명을 생략한다.

제1소자형성영역(33)에 매립된 깊은 매립절연막(11)의 일부가, 영역(34)으로 인출되어 형성되어 있다. 한편, 제2소자형성영역(34)에 매립된 얇은 매립절연막(12)의 일부가, 영역(33)으로 인출되어 형성되어 있다. 반도체기판(1)의 표면(4)측으로부터 보아, 제1소자형성영역(33)과 제2소자형성영역(34)의 경계부분에서, 깊은 매립절연막(11)과 얇은 매립절연막(12)이 서로 겹쳐진 영역(30)이 형성되어 있다.

이상 설명한 바와 같이, 인접하는 매립절연막을 그들의 일부가 반도체기판(1)의 표면측으로부터 보아 서로 중복하도록 형성한다. 이에 의해, 선택적 이온 주입공정에서 발생할 수 있는 마스크 맞춤오차에 대한 충분한 프로세스 마진을 얻을 수 있다. 매립절연막(11, 12)의 선택적 이온 주입공정에서 마스크 맞춤마크가 반도체기판(1)의 표면에 존재하지 않을 경우에 특히 실익이 있다.

상술한 바와 같은 실시예로 본 발명을 기술했지만, 상기 실시예로 본 발명을 한정하는 것이 아니라, 본 발명의 목적 및 배경을 이탈하지 않는 범위 내에서 다양하게 변형하여 실시할 수 있는 것은 물론이다.

#### **발명의 효과**

이상 설명한 바와 같이 본 발명에 의하면, 매립절연막 상에 활성층을 갖춘 반도체 웨이퍼 및, 이 반도체 웨이퍼를 이용한 반도체장치를 제공할 수 있으며, 특히 반도체소자의 용도에 따라 활성층의 두께가 다르고, 매립절연막이 형성되어 있지 않은 벌크영역에도 반도체소자가 형성된 SOI디바이스를 제공할 수 있다.

(57) 청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

평탄한 표면을 갖는 단결정실리콘으로 이루어진 반도체기판과,

상기 표면으로부터 소정의 깊이로 매립된 제1매립절연막을 갖춘 제1소자형성영역,

상기 표면으로부터 상기 제1매립절연막 보다 얇은 위치에 매립된 제2매립절연막을 갖춘 제2소자형성영역,

상기 표면으로부터 이 표면에 대향하는 이면까지 단결정실리콘으로 구성된 제3소자형성영역 및,

상기 제1 내지 제3소자형성영역 마다 형성된 용도가 다른 반도체소자를 갖는 반도체장치에 있어서,

상기 제3소자형성영역에 형성된 소자가, 상기 이면을 전류경로의 일단으로 하고, 이 전류경로를 흐르는 전류를 상기 이면을 매개로 외부로 도피시키는 보호다이오드인 것을 특징으로 하는 반도체장치.

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

제5항에 있어서, 상기 보호다이오드는,

상기 반도체기판의 상부에 배치된 제1도전형의 애노드영역과,

상기 애노드영역의 아래쪽에 배치된 캐소드 매립영역을 갖춘 것을 특징으로 하는 반도체장치.

청구항 9.

제5항에 있어서, 상기 제1소자형성영역에 형성된 소자가 바이폴라 트랜지스터이고, 상기 제2소자형성영역에 형성된 소자가 MOS형 트랜지스터인 것을 특징으로 하는 반도체장치.

### 청구항 10.

제9항에 있어서, 상기 바이폴라 트랜지스터는, 상기 표면 상에 배치된 제1도전형의 베이스영역과, 이 베이스영역의 상부에 배치된 제2도전형의 이미터영역 및, 상기 베이스영역과 상기 제1매립절연막의 사이에 배치된 제2도전형의 컬렉터 인출 매립영역을 갖추고,

상기 MOS형 트랜지스터는, 상기 표면과 상기 제2매립절연막의 사이에 배치된 제1도전형의 웰영역과, 이 웰영역의 상부에 배치된 제2도전형의 소스영역 및 드레인영역, 이 소스영역 및 드레인영역의 사이의 상기 반도체기판의 윗쪽에 배치된 게이트전극을 갖추며,

상기 보호다이오드는, 상기 반도체기판의 상부에 배치된 제1도전형의 애노드영역과, 이 애노드영역의 아래쪽에 배치된 캐소드 매립영역을 갖춘 것을 특징으로 하는 반도체장치.

### 청구항 11.

제5항에 있어서, 상기 제1 및 제2매립절연막의 일부가, 상기 표면측으로부터 보아 서로 중복되어 있는 것을 특징으로 하는 반도체장치.

### 청구항 12.

삭제

### 청구항 13.

삭제

### 청구항 14.

삭제

### 청구항 15.

삭제

### 청구항 16.

삭제

### 청구항 17.

평탄한 표면을 갖는 단결정실리콘 기판을 준비하고,

제1소자형성영역에 개구를 갖춘 제1내이온 주입막을 상기 표면 상에 형성하고,

상기 제1내이온 주입막을 매개로, 제1소자형성영역의 소정의 깊이에 선택적으로 산소이온을 주입하고,

제2소자형성영역에 개구를 갖춘 제2내이온 주입막을 상기 표면 상에 형성하고,

상기 제2내이온 주입막을 매개로, 상기 제2소자형성영역의 상기 제1소자형성영역 보다 얇은 위치에 선택적으로 산소이온을 주입하고,

상기 기판을 가열하여, 주입된 산소원자와 실리콘원자를 반응시키고,

상기 제1 및 제2소자형성영역 및, 상기 표면으로부터 이 표면에 대향하는 이면까지 단결정실리콘으로 구성된 제3소자형성영역에 용도가 다른 반도체소자를 각각 형성하는 반도체장치의 제조방법에 있어서,

상기 제3소자형성영역에 형성된 소자가, 상기 이면을 전류경로의 일단으로 하고, 이 전류경로를 흐르는 전류를 상기 이면을 매개로 외부로 도피시키는 보호다이오드인 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 18.**

제17항에 있어서, 상기 제1 및 제2내이온 주입막의 개구의 일부가, 상기 표면측으로부터 보아 서로 중복되어 있는 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 19.**

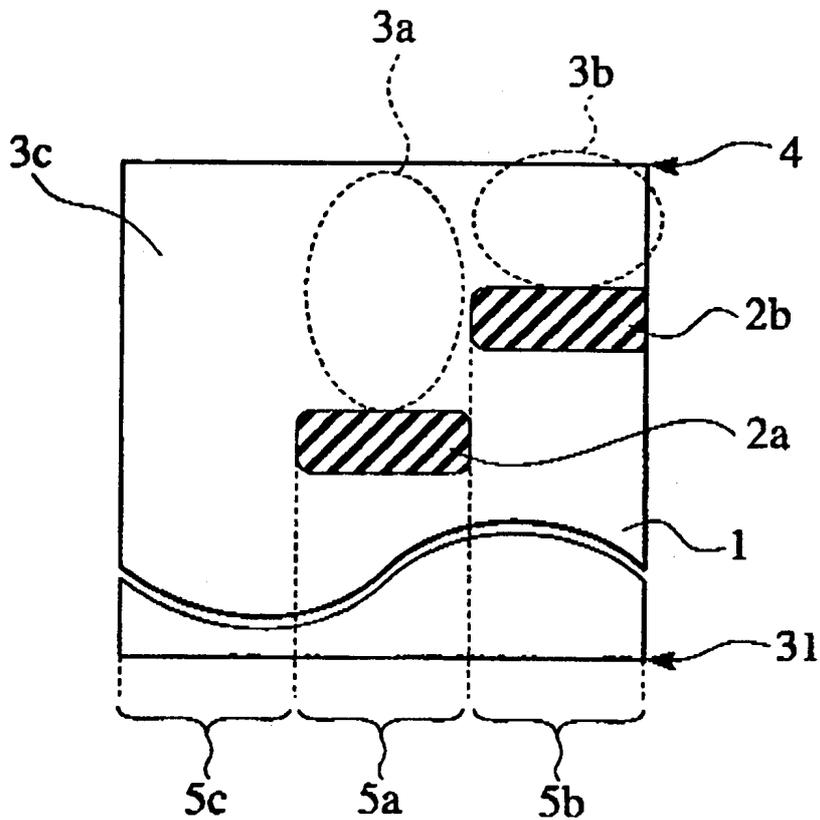
삭제

**청구항 20.**

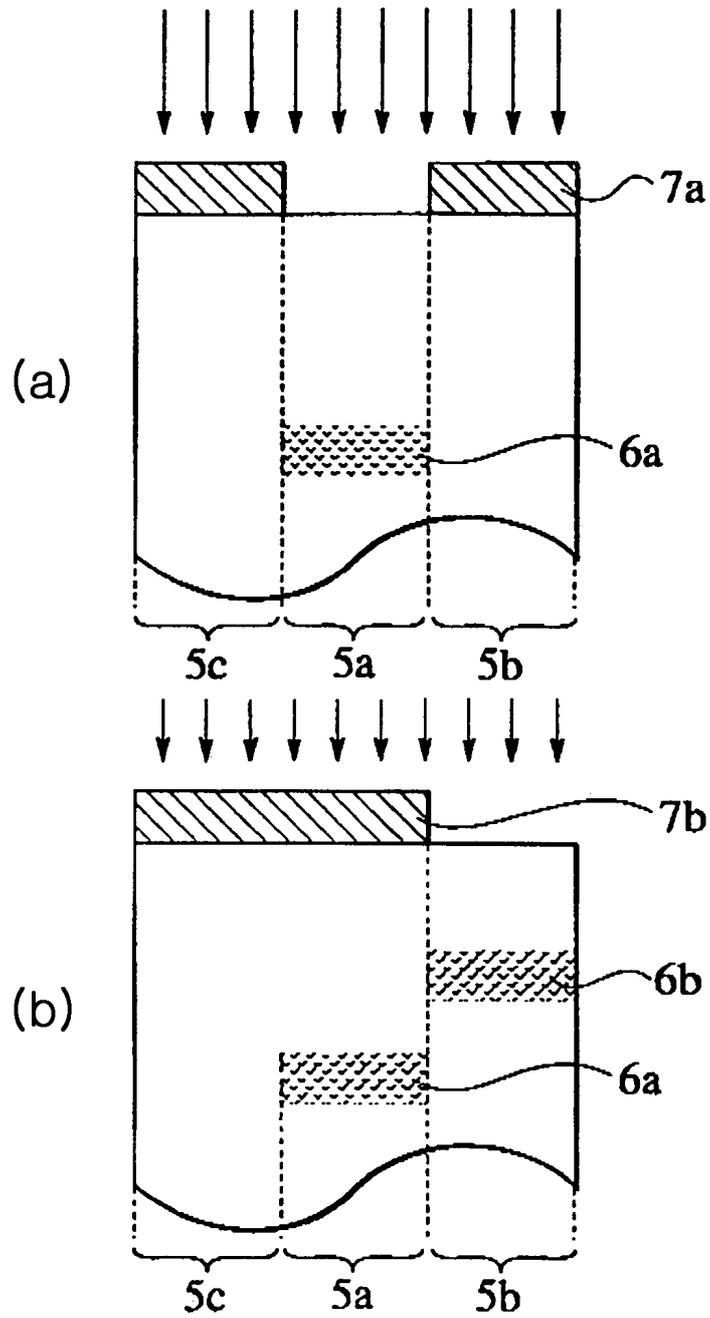
제17항에 있어서, 상기 보호다이오드의 형성에서, 상기 반도체기판의 내부에 제2도전형의 캐소드 매립영역을 형성하는 공정과, 상기 반도체기판의 상부에 제1도전형의 애노드영역을 형성하는 공정을 갖춘 것을 특징으로 하는 반도체장치의 제조방법.

도면

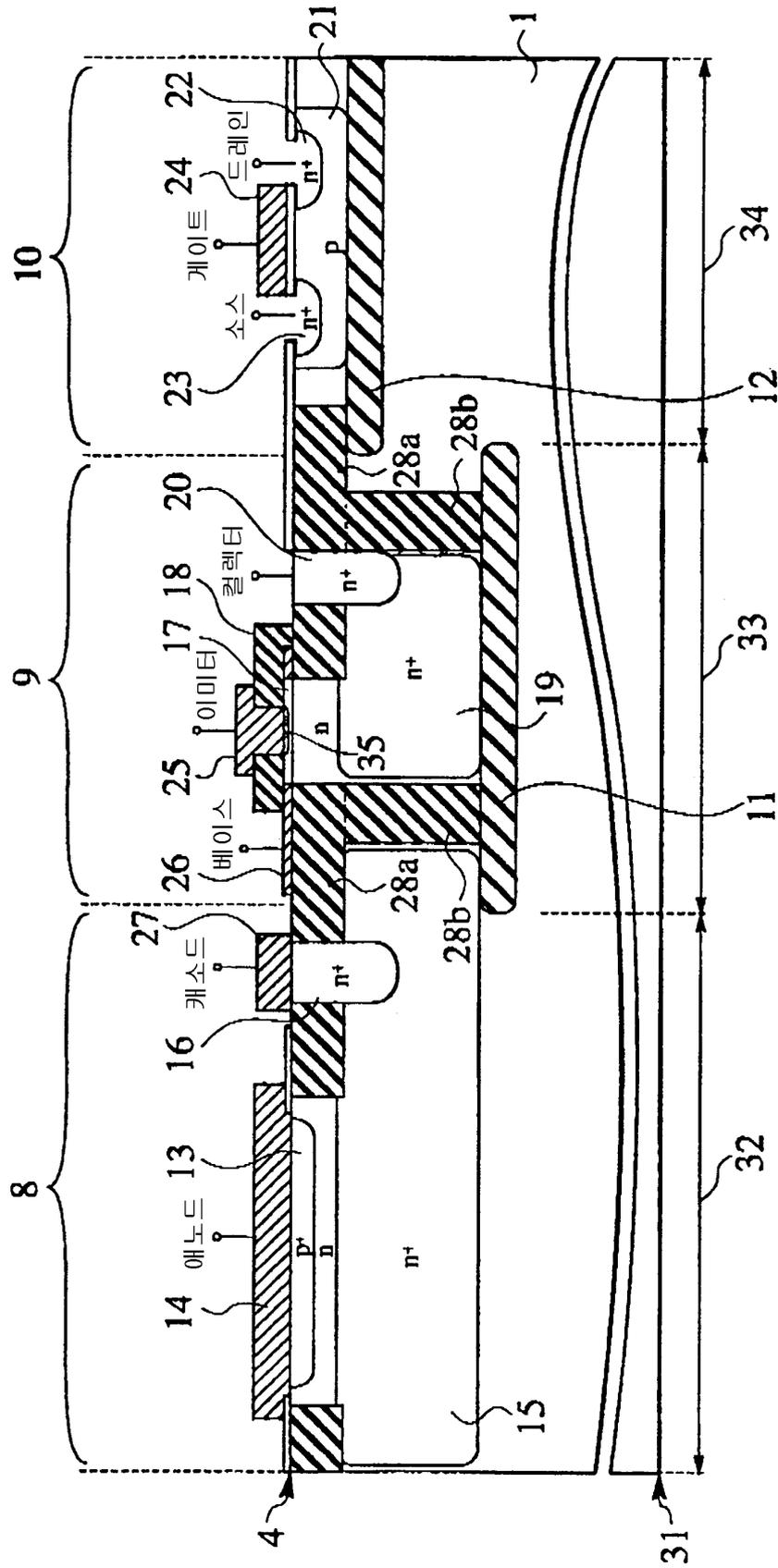
도면1



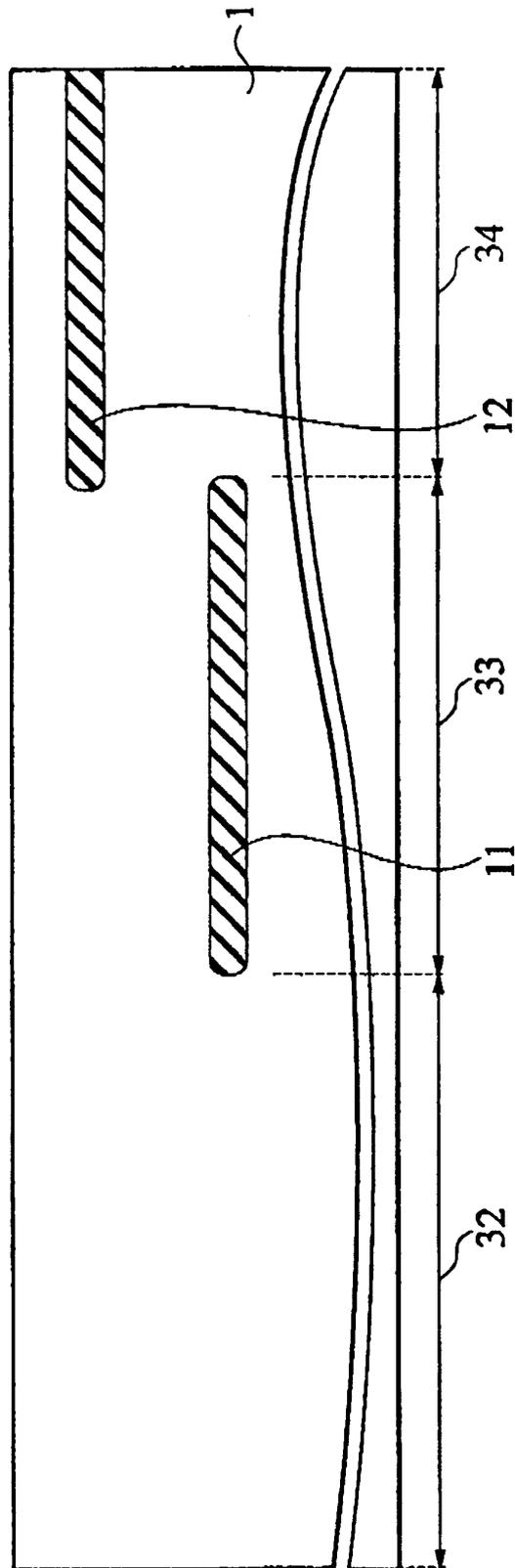
도면2



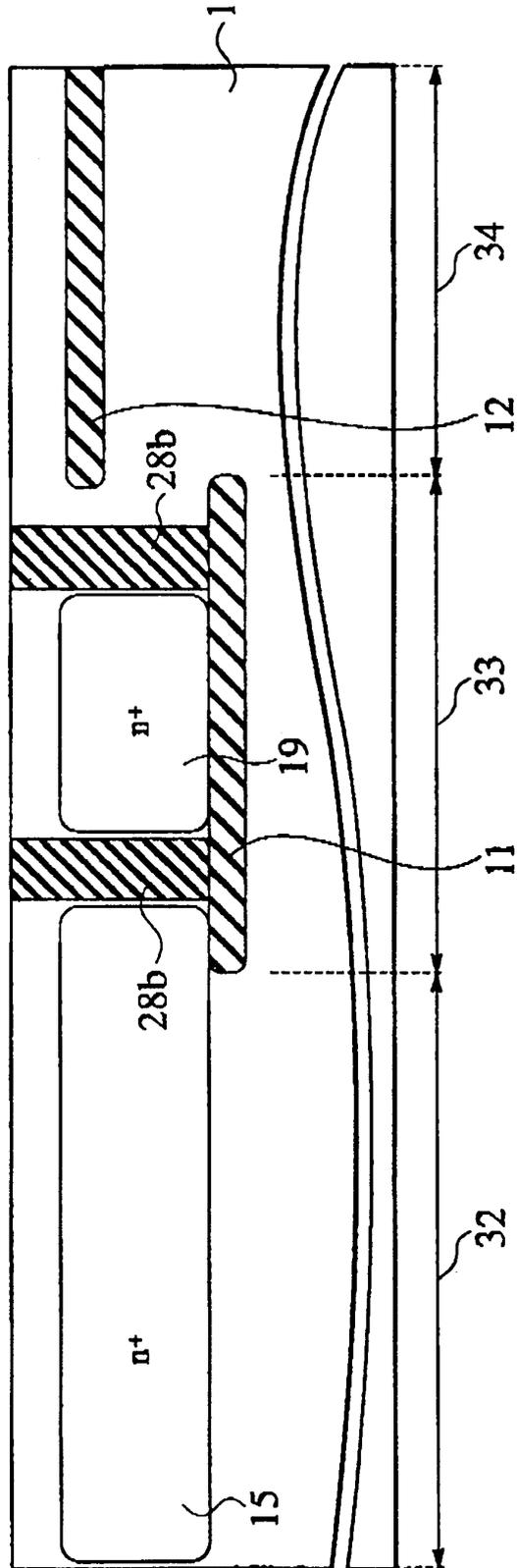
도면3



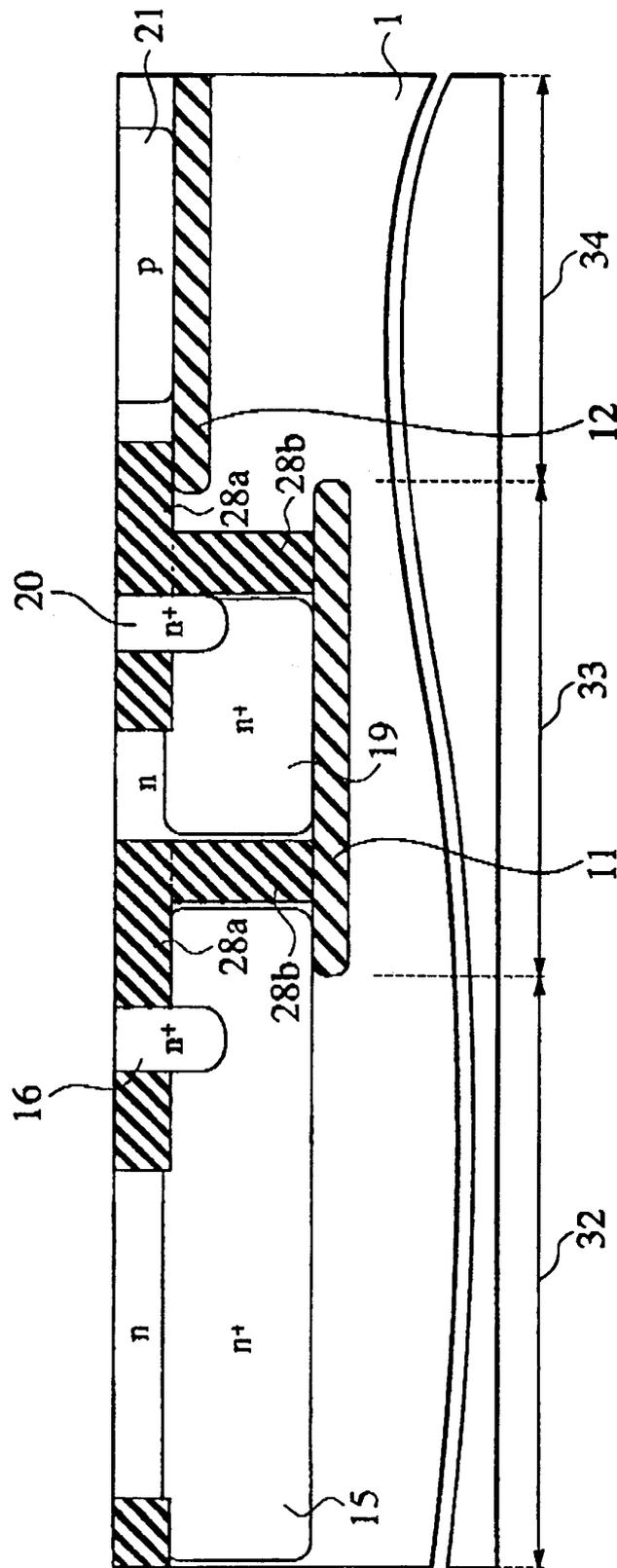
도면4



도면5



도면6



도면7

