

301048

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權
 日本 1995年5月25日 7-126405 無主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

〔產業上之利用領域〕

本發明有關於半導體裝置及其製造技術，特別是關，在底基板之主面之晶片(Pellet)裝配區域上裝配有導體晶片，上述底基板背面所配置之第1導電片係電氣接於上述半導體晶片之主面所配置之外部端子的半導體裝置及其製造技術。

〔習知技術〕

具有較高裝配密度之半導體裝置，即晶片柵陣列(Ball Grid Array簡稱BGA)構造之半導體裝置，於如日經McGraw-Hill公司發行之日經electronics〔1994年，2月28日號，第111頁～第117頁〕中有所揭示。該BGA構造之半導體裝置係如圖16(要部分斷面圖)所示般，在底基板1之主面之晶片裝配區域上裝配半導體晶片2，在與底基板1之主面對向之背側以格子狀配置多個突起電極4之構造。

上述底基板1例如由2層配線構造之印刷配線基板成。底基板1之主面之周邊區域(晶片裝配區域之周圍)配置有多個第2導電片1A。在與底基板1之主面對向背面則配置有多個第1導電片1B。第2導電片1A係由底基板1之主面上所配置配線1A₁而電氣連接於貫孔配線1C。第1導電片1B則經由底基板1之背面所置配線1B₁而電連接於貫通孔配線1C。

上述半導體晶片2係例如由單晶矽半導體基板2B

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(2)

主體所構成。半導體基板 2 B 之主面(元件形成面)上配有邏輯電路系統,記憶電路系統,或其合成電路系統另外,半導體基板 2 B 之主面上配置有多個外部端子(合導電片) 2 A。該外部端子 2 A 係形成在半導體基板 2 B 之主面上所形成配線層中之最上層配線層上。

上述半導體晶片 2 之外部端子 2 A 係經由接合導線而電連接於底基板 1 之主面上所配置之第 2 導電片 1 A 即,半導體晶片 2 之外部端子 2 A 係分別經由接合導線,第 2 導電片 1 A,配線 1 A₁,貫通孔配線 1 C,配 1 B 而電連接於第 1 導電片 1 B。

上述半導體晶片 2,接合導線 6 等係以形成於底基板 1 之主面上之樹脂封裝體 7 密封之。樹脂封裝體 7 係藉透模塑法形成。

突起電極 4 以電氣和機械式連接於上述底基板 1 之 1 導電片 1 B 之表面上,突起電極 4 例如由 Pb-Sn 合金材形成。

如此構成之 BGA 構造之半導體裝置被裝配於基板裝配面上,突起電極 4 則藉電氣及機械式連接於基板之配面上所配置之導電片。

另外,為獲得高裝配密度之半導體裝置,而以可撓基板來構成底基板之半導體裝置,於例如美國發明專利 5 1 4 8 2 6 5 號有揭示。該半導體裝置,係在可撓性板構成之底基板之主面之晶片裝配區域上將半導體晶片其主面向下裝配之,半導體晶片之主面所配置外部端子

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (3)

底基板背面所配置第 2 導電片則藉接合導線作電連接構而成。底基板之第 2 導電片係經由背面所配置配線而電接於背面所配置之第 1 導電片。突起電極則藉電氣和機械式連接於第 1 導電片之表面上。

如此構成之半導體裝置被裝配於基板之裝配面上，突起電極則藉電氣及機械式連接於基板裝配面上所配置導電片。

〔發明之概要〕

(1) B G A 構造之半導體裝置，係如圖 1 6 所般，底基板 1 之主面所配置之第 2 導電片 1 A 係經由貫孔配線 1 C 而電連接於底基板 1 之背面所配置之第 1 導片 1 B 上。貫通孔配線 1 C 係由形成於底基板 1 之貫通內之孔區域，和形成於底基板 1 之主面及背面之邊緣區所構成，貫通孔之內徑尺寸為例如 $\phi 0.3$ [m m] 左，貫通孔配線 1 C 之邊緣區域之外徑尺寸為例如 $\phi 0.1$ [m m] 左右。該貫通孔之內徑尺寸及貫通孔配線 1 C 邊緣區域之外徑尺寸係大於，第 2 導電片 1 A 和貫通孔配線 1 C 電連接用之配線 1 A₁ 之配線寬度，及第 1 導電 1 B 和貫通孔配線 1 C 電連接用之配線 1 B₁ 之配線寬。

另一方面，裝配在半導體晶片 2 上之電路系統有高體化之傾向，隨著該電路系統之高積體化，半導體晶片之外部端子 2 A 之數目和底基板 1 之第 2 導電片 1 A 之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明(4)

目將增加。亦即，隨著電路系統之高積體化，第2導電片1A和第1導電片1B電連接用之貫通孔配線1C之數目將增加。因此，相當於貫通孔配線1C之數目之部分，基板1之外形尺寸亦增加，半導體裝置變大型化，此為問題點。

(2) 於BGA構造之半導體裝置，隨著貫通孔配線1C之增加，貫通孔配線1C被配置於遠離半導體晶片2之外側之位置。因此，第2導電片1A和貫通孔配線1C之電連接用配線1A₁之長度，及第1導電片和貫通孔配線1C之電連接用配線1B₁之長度變長，電感增加，半導體裝置之動作速度降低，以為其問題。

(3) 以可撓性基板構成底基板之半導體裝置中，可撓性基板係由例如聚酯薄膜，聚酰亞胺薄膜所構成。該可撓性基板與在玻璃纖維含浸環氧樹脂，聚酰亞胺樹脂等之硬質(rigid)基板比較，楊氏係數較低較柔軟(硬質程度低)。因此，以接合導線將配置於半導體晶片之主面的外部端子和配置於底基板背面的第2導電片作電連接時，施加於第2導電片之接合重量為底基板所吸收，接合重量，超音波振動無法有效傳達至第2導電片，接合導線和第2導電片間之連接強度降低，接合導線之連接不良將發生，造成半導體裝置之電氣信賴性之降低，此為問題點。

(4) 在以可撓性基板構成底基板之半導體裝置中，與硬質基板比較，可撓性基板在主面方向之熱膨脹係數較大，而且楊氏係數低較易彎曲(剛性較小)。因此，在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(5)

基板之裝配面上裝配半導體裝置時，因裝配時之熱倒流使底基板產生彎曲，扭曲等變形，導致相對於基板之裝配面，底基板之背面之平坦度降低，半導體裝置之裝配精確度降低，此為問題點。

本發明之目的在於提供可實現半導體裝置之小型化的技術。

本發明之另一目的在於提供可實現上述半導體裝置之高速化的技術。

本發明之再另一目的在於提供可提高半導體裝置之電氣信賴性的技術。

本發明之再另一目的在於提供可提高半導體裝置之裝配精確度的技術。

本發明之再另一目的在於提供實現上述目的之半導體裝置的製造技術。

本發明之上述目的及特徵，由說明書之記載及附件圖面可瞭解。

本案發明中，針對代表性者之概要簡單說明如下。

(1) 一種半導體裝置，其係在底基板之主面之晶片裝配區域上裝配有半導體晶片，在上述半導體晶片之主面所配置外部端子上電連接有配置於上述底基板背面之第1導電片者，上述底基板係以硬質基板構成，上述底基板之第1導電片係電連接於配置在背面之第2導電片，上述半導體晶片係以主面向下而裝配在上述底基板之主面之晶片裝配區域上，上述半導體晶片之外部端子和底基板之第2

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(6)

導電片間係經由形成在底基板之開縫再藉接合線作電連接

(2) 一種半導體裝置之製造方法，該半導體裝置係在底基板之主面之晶片裝配區域上裝配有半導體晶片，在上述半導體晶片之主面所配置外部端子上電連接有配置於上述底基背面之第1導電片者，其具備有：將硬質基板構成之底基板之主面之晶片裝配區域上將半導體晶片以其主面朝下裝配之製程；及使上述半導體晶片之外部端子和底基板之第1導電片作電連接，並使上述底基板之背面所配置第2導電片通過形成在該底基板之開縫而藉接合導線作電連接之製程。

〔作用〕

依據上述手段(1)，半導體晶片之外部端子和底基板之第1導電片分別經由接合導線，第2導電片作電連接，因此可省略將第2導電片和第1導電片作電連接用之貫通孔配線。結果，可縮小相當於貫通孔配線之佔有面積(邊緣區域之面積)之部分，即可縮小底基板之外形尺寸。因而可實現半導體裝置之小型化。

又，相當於貫通孔配線之佔有面積之部分，因可使第1導電片靠近第2導電片，故可縮小將第2導電片和第1導電片作電連接用之底基板之配線長度。結果，可降低電感，實現半導體裝置之動作速度之高速化。

又，和可撓性基板比較，硬質基板之楊氏係數較高較

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明(7)

硬質，因此，藉接合導線將半導體晶片之主面所配置外部端子和底基板背面所配置第2導電片作電連接時，施加於第2導電片之接合重量被底基板吸收，接合重量，超音波振動有效傳至第2導電片。結果，可提高接合導線和第2導電片間之連接強度，可防止接合導線之連接不良，提高半導體裝置之電氣信賴性。

又，和可撓性基板比較，硬質基板之平面方向之熱膨脹係數小，楊氏係數高，不易彎曲，故將半導體裝置裝配於基板之裝配面時，可防止裝配時之熱倒流所造成之底基板變形（彎曲，扭曲等）。其結果，可確保相對於裝配基板之裝配面之底基板背面之平坦度，亦即可提高半導體裝置之裝配精確度。

依據上述手段(2)，使半導體晶片之外部端子和第1導電片分別經由接合導線，第2導電片作電連接，故可省略第2導電片和第1導電片作電連接用之貫通孔配線，即可縮小相當於該貫通孔配線之佔有面積之部分之外形尺寸，因此可縮小半導體裝置之外形尺寸。

又，將半導體晶片之外部端子和底基板之第1導電片藉由接合導線，第2導電片分別作電連接，故可省略第2導電片和第1導電片電連接用之貫通孔配線，即可縮小相當於該貫通孔配線之佔有面積之部分，即縮小第2導電片和第1導電片間之電連接配線之長度。結果，可實現高速動作之半導體裝置。

因為使用相較於可撓性基板具有較高楊氏係數之硬質

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明(8)

基板來構成底基板，故將配置於半導體晶片之主面的外部端子和配置於底基板背面的第2導電片藉接合導線作電連接時，施加於第2導電片之接合重量將不被底基板吸收，接合重量，超音波振動可有效傳至第2導電片。結果，可提高接合導線和第2導電片間之連接強度，即可製造高信賴性之半導體裝置。

另外，因為使用相較於可撓性基板具有較小之平面方向之熱膨脹係數，且楊氏係數高，不易彎曲之硬質基板來構成底基板，故將半導體裝置裝配於基板之裝配面上時，可防止裝配時熱倒流所造成底基之變形（彎曲，扭曲等）。結果，可確保相對於裝配基板之裝配面之底基板之背面之平坦度，可製造裝配精確度高的半導體裝置。

[實施例]

以下，以適用於本發明之採用BGA構造之半導體裝置之實施例來說明本發明之構成。

又，為說明實施例，於所有圖面中，具同一功能者附加同一符號，並省略重複說明。

(實施例 1)

本發明實施例1之採用BGA構造之半導體裝置之概略構成示於圖1（主面側之平面圖），圖2（沿圖1之A-A線切斷之斷面圖），圖3（圖2之重要部位之擴大斷面圖）及圖4（去掉背面側之樹脂封裝體之狀態之背面側

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

泉

五、發明說明(9)

之重要部分擴大平面圖)。

如圖 1，圖 2，圖 3 及圖 4 所示般，半導體裝置，係在底基板 1 之主面之晶片裝配區域上裝配有半導體晶片 2，在與底基板 1 之主面對向之背面側上配置有格子狀之多個突起電極 4。

上述底基板 1 係由例如印刷配線基板構成。印刷配線基板係由例如在玻璃纖維上含浸環氧樹脂，聚酰亞胺樹脂，馬來酰亞胺樹脂等之硬質基板之表面上形成配線而構成。亦即，底基板 1 係由硬質基板構成，硬質基板與聚酯膜，聚酰亞胺膜等所形成之可撓性基板相較，具有較高之楊氏係數，較硬質。另外，硬質基板與可撓性基板相較，具有較小之平面方向之熱膨脹係數，且楊氏係數高，不易彎曲。例如，在玻璃纖維上含浸環氧樹脂或聚酰亞胺樹脂而成之硬質基板具有 $16 \sim 22$ [G P a] 左右之楊氏係數， $10 \sim 20 \times 10^{-6}$ [$1 / ^\circ\text{C}$] 左右之熱膨脹係數。另外，聚酯膜或聚酰亞胺膜形成之可撓性基板具有 $2 \sim 5$ [G P a] 左右之楊氏係數， $20 \sim 25 \times 10^{-6}$ [$1 / ^\circ\text{C}$] 左右之熱膨脹係數。

上述底基板 1 之背面配置有多個第 2 導電片 1 A 和多個第 1 導電片 1 B。該第 2 導電片 1 A，第 1 導電片 1 B 之每一個係分別經由底基板 1 之背面所配置之配線 1 B₁ 作電連接。第 2 導電片 1 A，第 1 導電片 1 B，配線 1 B₁ 係分別由例如 C u 膜形成。

在上述第 1 導電片 1 B 之表面，藉由電氣或機械方法

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (10)

連接有突起電極 4。該突起電極 4 係由例如 P b - S n 系合金材所形成。

上述半導體晶片 2，係以其主面（圖 2，圖 3 中之下面）向下而裝配在底基板 1 之主面之晶片裝配區域上。亦即，半導體晶片 2 在底基板 1 之主面之晶片裝配區域上係以面向下之方式裝配。半導體晶片 2 之主面和底基板 1 之主面之晶片裝配區域之間介在有絕緣層 3。絕緣層 3 係由例如聚酰亞胺系，環氧系或矽系等低彈性樹脂所形成。

上述半導體晶片 2 形成為例如主面為矩形狀。該半導體晶片 2 係由例如單晶矽構成之半導體基板 1 B 為主體所構成。半導體基板 1 B 之主面（元件形成面）上裝配有邏輯電路系統，記憶電路系統或其合成電路系統。另外，半導體基板 1 B 之主面上配置有沿矩形狀各邊配列之多個外部端子（接合導電片）2 A。該外部端子 2 A 係形成於半導體基板 2 B 之主面上所形成配線層中之最上層配線層上。亦即，外部端子 2 A 係配置在半導體晶片 2 之主面之外周圍之每一邊上。

上述半導體晶片 2 之外部端子 2 A 和底基板 1 之第 2 導電片 1 A 係通過底基板 1 上所形成之開縫 5 而以接合導線 6 作電連接。接合導線 6 係由例如在金 (A u) 線，銅 (C u) 線，鋁 (A l) 線或金屬線之表面上被覆絕緣樹脂之被覆導線所形成。該接合導線 6 係藉熱壓及超音波振動等接合法連接。

上述底基板 1 之開縫 5，係在半導體晶片 2 之主面上

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

，沿其一邊沿著多數配列之外部端子 2 A 之配列方向形成，被配置在半導體晶片 2 之各邊。亦即，本實施例之底基板 1 配置有 4 條開縫 5。該 4 條開縫 5 之每一條係配置於半導體晶片 2 之外部端子 2 A 上。

上述底基板 1 之第 2 導電片 1 A 係配置於開縫 5 所分隔之底基板 1 之背面之兩脇之各區域上。開縫 5 所分隔之底基板 1 之背面之一區域（相對於半導體晶片 2 為內側之區域）上所配置之第 2 導電片 1 A 上係被施加例如動作電位（例如 3.3 [V] ），基準電位（例如 0 [V] ）之電源。開縫 5 所分隔之底基板 1 之背面之另一區域（相對於半導體晶片 2 為外側之區域）上所配置之第 2 導電片 1 A 上則施加有例如輸出 / 入信號，控制信號等信號。

於上述半導體晶片 2 中，外部端子 2 A 係相對於半導體晶片 2 之一邊例如各配列 100 個。其配列節距為例如 100 [μ m] 左右。該外部端子 2 A 之數目係伴隨著半導體晶片 2 所裝配之電路系統之高積體化或高速度比而增加。

於上述底基板 1 中，開縫 5 所分隔之底基板 1 之背面之一方之區域內所配置之第 2 導電片 1 A 係相對於半導體晶片 2 之一邊例如各配列 50 個，而開縫 5 所分隔之底基板 1 之背面之另一方之區域內所配置之第 2 導電片 1 A 係相對於半導體晶片 2 之一邊例如各配列 50 個。該第 2 導電片 1 A 因無法同半導體晶片 2 之外部端子 2 A 一樣地細微化，故其配列節距較外部端子 2 A 之配列節距為大，例

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

泉

五、發明說明 (12)

如設定為 200 (μm) 左右。亦即，底基板 1 之第 2 導電片 1 A 係相對於半導體晶片 2 之一邊配置成 2 列，故即使將底基板 1 之第 2 導電片 1 A 之配列節距設定成半導體晶片 2 之外部端子 2 A 之配列節距之 2 倍時，亦可使相對於半導體晶片 2 之一邊之第 2 導電片 1 A 之配列長度和半導體晶片 2 之一邊所配列之外部端子 2 A 之端子配列之長度大致相等。同時，可將底基板 1 之第 2 導電片 1 A 配置於與半導體晶片 2 之外部端子 2 A 對向之位置。

在除掉上述底基板 1 之主面之晶片裝配區域之周邊區域上以樹脂封裝體 7 覆蓋，上述接合導線 6 以樹脂封裝體 7 封裝。亦即，樹脂封裝體 7 係形成於底基板 1 之主面側及背面側。樹脂封裝體 7，為達低應力化之目的，係以添加有苯酚系硬質化劑，矽橡膠及填充劑之環氧系樹脂 7 A 形成。

與上述半導體晶片 2 之主面對向之背面係從覆蓋底基板 1 之周邊區域上之樹脂封裝體 7 露出。

上述樹脂封裝體 7，係藉由使用圖 5 (重要部分斷面圖) 所示成型金屬膜 10 之傳遞模塑法形成。成型金屬膜 10 具有由上模 10 A 和下模 10 B 所形成之模穴 11 以及連結該模穴 11 的流入閘 13，另亦具有加料室，流道等。加料室係經由流道，流入閘 13 連結於模穴 11。

上述模穴 11 係由形成上模 10 A 之凹部 11 A 和形成於下模 10 B 之凹部 11 B 構成。凹部 11 A 內經由加料室，流道，流入閘 13 而供給有樹脂 (7 A)，凹部

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (13)

1 1 B 安裝有底基板 1 。

上述凹部 1 1 B 內形成有凹部 1 2 。凹部 1 2 被配置於與安裝於凹部 1 1 B 之底基板 1 之開縫 5 對向之位置，沿著開縫 5 之延長方向形成。凹部 1 2 內配置有將半導體晶片 2 之外部端子 (2 A) 和底基板 1 之第 2 導電片 (1 A) 作電連接之接合導線 (6) 之一部分以及底基板 1 之第 2 導電片 (1 A) 。從凹部 1 1 A 經由底基板 1 之開縫 5 被供給樹脂 (7 A) 。

上述凹部 1 2 內設有通氣孔 (圖中未示) 俾防止因氣泡之捲入所導致氣孔之發生。

以下，以圖 6 ~ 圖 9 說明上述半導體裝置之製造方法。

首先，準備硬質基板構成之底基板 1 。於底基板 1 形成開縫 5 ，其背面分別配置第 2 導電片 (1 A) ，第 1 導電片 (1 B) ，配線 (1 B₁) 。

其次，如圖 6 (斷面圖) 所示般，將半導體晶片 2 裝配於上述底基板 1 之主面之晶片裝配區域上。半導體晶片 2 係介由絕緣層 3 固著於底基板 1 之主面之晶片裝配區域上。

接著，在接合台 1 4 上使上述半導體晶片 2 朝下安裝於底基板 1 。接合台 1 4 上形成有凹部 1 4 A 用以收容半導體晶片 2 。底基板 1 ，半導體晶片 2 分別在接合台 1 4 上被加熱至 2 0 0 °C 左右。

其次，如圖 7 (重要部分斷面圖) 所示般，將上述半

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明 (14)

導體晶片 2 之主面所配置之外部端子 2 A 和底基板 1 背面所配置之第 2 導電片 (1 A) 藉由接合導線 6 作電連接。接合導線 6 係經由底基板 1 之開縫 5 分別連接於半導體晶片 2 之外部端子 2 A 和底基板 1 之第 2 導電片 (1)。接合導線 6 之連接以熱壓和超音波振動同時使用之接合法進行。於此製程中，底基板 1 和可撓性基板相較，係以楊氏係數高之硬質基板構成，故加於第 2 導電片 (1 A) 之接合重量不被底基板 1 吸收，接合重量及超音波振動可有效傳至第 2 導電片 (1 A)。又，底基板 1 和可撓性基板相較，為具有較小之平面方向之熱膨脹係數，楊氏係數高，且不易彎曲之硬質基板所構成，故可降低底基板 1 之熱膨脹所導致第 2 導電片 (1 A) 之位置及半導體晶片 2 之外部端子 2 A 之位置偏移。

接著，如圖 8 (重要部分斷面圖) 所示般，將上述底基板 1 和半導體晶片 2 配置於成型金屬膜 1 0 之上模 1 0 A 和下模 1 0 B 所形成模穴 1 1 內，同時，將底基板 1 安裝於模穴 1 1 之凹部 1 1 B。接合導線 6 之一部分和底基板 1 之第 2 導電片 (1 A) 係配置於凹部 1 1 B 所形成之凹部 1 2。為提高模穴 1 1 內之樹脂 (7 A) 之流動性，成型金屬膜 1 0 事先加熱至 1 7 0 ~ 1 8 0 [°C] 左右。於此製程中，底基板 1 因成型金屬膜 1 0 之加熱而加熱至 1 7 0 ~ 1 8 0 [°C] 左右，但是，因底基板係由與可撓性基板相較，具有較小之平面方向之熱膨脹係數，且楊氏係數較高，不易彎曲之硬質基板所構成，故可防止因

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (15)

成型金屬膜之加熱所導致底基板 1 之彎曲，扭曲等變形。

接著，將樹脂片投入成型金屬膜 10 之加料室。樹脂片事先經加熱器加熱，降低粘度後投入加料室。投入加料室之樹脂片由成型金屬膜 10 供給熱，更降低粘度。

接著，藉傳遞模塑裝置之柱塞對上述樹脂片加壓，從加料室，經流道，流入閘 13 將樹脂 7A 供至模穴 11 之凹部 11A 及凹部 12 內，如圖 9（重要部分斷面圖）所示般，覆蓋底基板 1 之主面之周邊區域上，使半導體晶片 2 之背面露出，並且形成封裝接合導線 6 之樹脂封裝體 7。凹部 12 之樹脂 7A 係由凹部 11 經由底基板 1 之開縫 5 被供給。於此製程中，從凹部 11A 通過開縫 5 供至凹部 12 之樹脂 7A 係從接合導線 6 之一端側流向軸方向（即縱方向），故和樹脂流向底基板 1 之平面方向（即橫方向）之情況相較，可防止因樹脂之流動所造成接合導線 6 之變形。

接著，從上述成型金模 10 取出底基板 1，藉電氣或機械方式將突起電極 4 連接於底基板 1 背面之第 1 導電片 1B 之表面，如此即大致完成圖 1，圖 2，圖 3 及圖 4 所示半導體裝置。

之後，半導體裝置即可作為製品出廠。作為製品出廠之半導體裝置，係如圖 10（斷面圖）所示般，被裝配在基板 15 之裝配面，半導體裝置之突起電極 4 係以電氣及機械式連接於基板 15 之裝配面所配置之導電片 15A。半導體裝置之突起電極 4 和基板 15 之導電片 15A 之連

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

象

五、發明說明 (16)

接，會因突起電極 4 之材質而異，例如，可於 210 ~ 230 [°C] 左右之倒流溫度環境中進行。於此裝配製程中，底基板 1 係由與可撓性基板相較具有較小之平面方向之熱膨脹係數，且楊氏係數高，不易彎曲之硬質基板構成，故可防止因裝配時之熱倒流所導致底基板 1 之變形。

如以上說明，依據本實施例，可得以下之作用效果。

(1) 一種在底基板 1 之主面之晶片裝配區域上裝配有半導體晶片 2，在上述半導體晶片 2 之主面所配置之外部端子 2 A 上電連接有底基板 1 之背面所配置之第 1 導電片 1 B 之半導體裝置，其係以硬質基板構成上述底基板 1，使底基板 1 之第 1 導電片 1 B 電連接於背面所配置之第 2 導電片 1 A，使上述半導體晶片 2 主面朝下裝配在底基板 1 之主面之晶片裝配區域上，使上述半導體晶片 2 之外部端子 2 A 和底基板 1 之第 2 導電片 1 A，經由形成於底基板 1 之開縫 5，並藉接合導線作電連接。藉由此種構成，可使半導體晶片 2 之外部端子 2 A 和底基板 1 之導電片 1 B 分別經由接合導線 6，導電片 1 A 作電連接，故可省略作為第 2 導電片 1 A 和第 1 導電片 1 B 之電連接用之貫通孔配線。結果，可縮小相於貫通孔配線之佔有面積（邊緣區域之面積）之部分，即可縮小底基板 1 之外形尺寸，而實現半導體裝置之小型化。

又，相當於貫通孔配線之佔有面積之部分，可使第 1 導電片 1 B 靠近第 2 導電片 1 A，故可縮短使第 2 導電片 1 A 和第 1 導電片 1 B 作電連接用之底基板 1 之配線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (17)

1 B₁之長度。結果，可降低電感值，能實現半導體裝置之高速動作。

另外，和可撓性基板相較，硬質基板有較高之楊氏係數，且較硬質，故藉由接合導線 6 使半導體晶片 2 之主面所配置之外部端子 2 A 和底基板 1 之背面所配置之第 2 導電片 1 A 作電連接時，加於第 2 導電片 1 A 之接合重量不被底基板 1 吸收，接合重量，超音波振動能有效傳至第 2 導電片 1 A。結果，可提高接合導線 6 和第 2 導電片 1 A 間之連接強度，可防止接合導線 6 之連接不良，可提高半導體裝置之電氣信賴性。

又，和可撓性基板相較，硬質基板具有較小之平面方向之熱膨脹係數，楊氏係數較高，不易彎曲，將半導體裝置裝配於基板 1 5 之裝配面上時，可防止因裝配時之熱倒流所造成底基板 1 之變形（彎曲，扭曲）。結果，可確保相對於基板 1 5 之裝配面之底基板 1 之背面之平坦度，故可提高半導體裝置之裝配精確度。

又，和可撓性基板相較，硬質基板具有較小之平面方向之熱膨脹係數，楊氏係數較高，不易彎曲，因此，即使因導電片 1 B 數目之增加造成底基板 1 之外形尺寸增加，底基板 1 之彎曲亦可控制在 100 [μ m] 以內。

又，底基板 1 之彎曲可控制在 100 [μ m] 以內，故可省略為防止底基板 1 之彎曲而設的補強基板。結果，和設有補強基板之半導體裝置比較可降低半導體裝置之製造成本。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

頁

五、發明說明 (18)

又，可利用在硬質基板之背面分別配置有第 2 導電片 1 A，第 1 導電片 1 B，配線 1 B₁之單層構造之印刷配線基板來構成底基板 1，故和利用在硬質基板之主面和背面配置有 2 層構造之印刷配線基板所構成之底基板相較，可降低底基板 1 之零件成本。結果，可降低半導體裝置之製造成本。

(2) 使上述開縫 5 沿著配列在上述半導體晶片 2 之主面之多數外部端子 2 A 之配列方向形成，且配置在上述半導體晶片 2 之外部端子 2 A 上。藉由此種構成，開縫 5 被配置在半導體晶片 2 之專有面積內，故可抑制相當於開縫 5 之專有面積之底基板 1 之外形尺寸之大型化。

(3) 將上述導電片 1 A 配置在上述開縫 5 所間隔之底基板 1 之背面之兩脇之各區域。藉由此種構成，可增加半導體晶片 2 之外部端子與底基板 1 之第 2 導電片 1 A 間之電連接用之電源路徑，故可減少信號同時切換時所產生之電源雜訊，可防止半導體裝置之誤動作。

又，相對於半導體晶片 2 之外部端子 2 A 之配列節距，即使使底基板 1 之第 2 導電片 1 A 之配列節距構成較寬時，因為，可使相對於半導體晶片 2 之一邊之第 2 導電片 1 A 之導電片配列長度大致上相等於配列在半導體晶片 2 之一邊之外部端子 2 A 之端子配列之長度，故可防止第 2 導電片 1 A 之導電片配列長度造成之接合導線 6 之導線長度之增加，當藉傳遞模鑄法以封裝體 7 將接合導線 6 密封時，可防止樹脂流動所造成接合導線 6 之導線流動。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (19)

又，可將底基板 1 之第 2 導電片 1 A 配置在與半導體晶片 2 之外部端子 2 A 對向之位置，故可使接合導線 6 之長度一致，即可使半導體晶片 2 之外部端子 2 A 和底基板 1 之第 2 導電片 1 A 間之信號路徑之電感值一致。

(4) 使和上述半導體晶片 2 之主面對向之背面從覆蓋上述底基板 1 之主面之周邊區域之樹脂封裝體 7 露出。藉由此種構成，可使裝配在半導體晶片 2 上之電路系統之動作所產生之熱從半導體晶片 2 之背面向外部排出，故可提高半導體裝置之散熱效率。

又，底基板 1 之機械強度可藉由樹脂封裝體 7 之機械強度加以補強，故可防止裝配時熱倒流所造成之底基板之變形（彎曲，扭曲等）。

(5) 上述接合導線 6 以樹脂封裝體 7 封裝。藉由此種構成，可防止因外部之衝擊或接觸所造成接合導線 6 之變形，故可提高半導體裝置之電氣信賴性。

(6) 使樹脂封裝體 7 形成在底基板 1 之主面側及背面側。藉由此種構成，可防止因為溫度循環測試時或突起電極 4 之連接時所產生熱應力而導致樹脂封裝體 7 從底基板 1 剝離，故可提高半導體裝置之信賴性。

(7) 在底基板 1 之主面之晶片裝配區域上裝配有半導體晶片 2，在上述半導體晶片 2 之主面所配置之外部端子 2 A 上電連接有配置於上述底基板 1 之背面之第 1 導電片 1 B 的半導體裝置之製造方法，其具備有：在以硬質基板構成之底基板 1 之主面之晶片裝配區域上將半導體晶片

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明 (20)

2 以其主面朝下裝配之製程；和使上述半導體晶片 2 之外部端子 2 A，以電連接於上述底基板 1 之第 1 導電片 1 B 且被配置於底基板 1 之背面的第 2 導電片 1 A 經由形成在該底基板 1 之開縫 5 而以接合導線 6 作電連接之製程。藉由此，可使半導體晶片 2 之外部端子 2 A 和底基板 1 之第 1 導電片 1 B 分別介由接合導線 6，第 2 導電片 1 A 作電連接，故可省略第 2 導電片 1 A 和第 1 導電片 1 B 之電連接用之貫通孔配線 (1 C)，即可使用縮小相當於該貫通孔配線之佔有面積部分之外形尺寸的底基板 1。結果，可製造外形尺寸小之半導體裝置。

又，使半導體晶片 2 之外部端子 2 A 和底基板 1 之第 1 導電片 1 B 分別介由接合導線 6，第 2 導電片 1 A 作電連接，因此，可省掉第 2 導電片 1 A 和第 1 導電片 1 B 之電連接用之貫通孔配線 1 C，相對於該貫通孔配線之佔有面積之部分，即第 2 導電片 1 A 和第 1 導電片 1 B 間之電連接用之配線 1 B₁ 之長度為較短之底基板 1 可被使用。結果可製造高速動作之半導體裝置。

使用和可撓性基板相較具有較高楊氏係數之硬質基板來構成底基板 1，故藉由接合導線 6 使配置於半導體晶片 2 之主面的外部端子 2 A 和配置於底基板 1 之背面的第 2 導電片 1 A 作電連接時，加於第 2 導電片 1 A 之接合荷重不被底基板 1 吸收，接合荷重，超音波振動能有效傳至第 2 導電片 1 A。結果，可提高接合導線 6 和第 2 導電片 1 A 間之連接強度，故可製造高電氣信賴性的半導體裝置

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (21)

又，使用和可撓性基板相較具有較小之平面方向之熱膨脹係數且楊氏係數較高不易彎曲之硬質基板來構成底基板 1，因此，將半導體裝置裝配在基板 1 5 之裝配面上時，可防止因裝配時之熱倒流所造成底基板 1 之變形（彎曲，扭曲等）。結果，可確保相對於基板 1 5 之裝配面之底基板 1 之背面之平坦度，可製造高精確度的半導體裝置。

(8) 在藉上述接合導線 6 進行電連接製程之後，具備有以傳遞模鑄法形成用以覆蓋上述底基板 1 之主面之周邊區域上，且密封上述接合導線 6 之製程。如此則，使用和可撓性基板相較具有較小之平面方向之熱膨脹係數，且楊氏係數較高，不易彎曲之硬質基板來構成底基板 1，故可防止因成型金屬膜之加熱所造成底基板 1 之彎曲，扭曲等之變形。

又，從凹部 1 1 A 通過開縫 5 供給至凹部 1 2 之樹脂 7 A 係從接合導線 6 之一端側流向軸方向（即縱向），故和樹脂流向底基板 1 之平面方向（即橫向）之情況相較，可防止因樹脂 7 A 之流動所造成接合導線 6 之變形。

又，上述樹脂封裝體 7，如圖 1 1（斷面圖）所示般，亦可形成在除掉第 2 導電片 1 A，第 1 導電片 1 B 之各表面上之底基板 1 之背面上。此種情況下，變成為以樹脂封裝體 7 挾持底基板 1 之形狀，故可防止底基板 1 之變形。

又，上述底基板 1 亦可以多片硬質基板疊層而成之疊

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

象

五、發明說明 (22)

層構造 (圖中未示) 。此種情況下，和多片可撓性基板之疊層構造而成之底基板相較，可降低半導體裝置之製造成本。

(實施例 2)

採用本發明實施例 2 之 B G A 構造之半導體裝置之概略構成示於圖 1 2 (斷面圖) 及圖 1 3 (表示除掉背面側之樹脂封裝體之狀態的背面側的重要部分擴大平面圖) 。

如圖 1 2 及圖 1 3 所示般，半導體裝置，係在底基板 1 之主面之晶片裝配區域上介由絕緣層 3 使半導體晶片 2 以面向下之方式裝配，在底基板 1 之背面側將多個突起電極 4 配置成格子狀。

在上述半導體晶片 2 之主面之中央部配置有沿長邊配列成之多個外部端子 2 A 。該多個外部端子 2 A 之每一個，和配置於底基板 1 之背面的多個第 2 導電片 1 A 之每一個，係經由形成在底基板 1 之開縫 5 ，藉由接合導線 6 作電連接。多個第 2 導電片 1 A 之每一個係介由配線 1 B₁ 與配置於底基板 1 之背面的多個第 1 導電片 1 B 之每一個作電連接。該多個第 1 導電片 1 B 之每一個之表面上以電氣或機械式連接有突起電極 4 。亦即，半導體晶片 2 之外部端子 2 A ，係介由接合導線 6 ，第 2 導電片 1 A ，配線 1 B₁ 而電連接於第 1 導電片 1 B 。

上述底基板 1 之開縫 5 ，係沿著在半導體晶片 2 之主面之中央部沿著長邊配列之多個外部端子 2 A 之配列方向

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明 (23)

而形成。另外，開縫 5 係以其主面側之開口尺寸相較於底基板 1 之背面側之開口尺寸小之推拔形狀構成。

如上所述，依據本實施例，則可得和上述實施例 1 相同之作用效果，同時，使開縫 5 構成爲推拔形狀，則將接合導線 6 之一端連接於半導體晶片 2 之外部端子 2 A 時，可防止底基板 1 與接合導線間之接觸，故可提高接合製程中之半導體裝置之組裝之良率。

(實施例 3)

圖 1 4 所示爲採用本發明實施例 3 之 B G A 構造之半導體裝置之概略構成 (除掉背面側之樹脂封裝體之狀態之背面側之重要部分平面圖) 。

如圖 1 4 所示，半導體裝置，係在底基板 1 之主面之晶片裝配區域上介由絕緣層 (3) 使半導體晶片 2 以面朝下之方式裝配，在底基板 1 之背面側以格子狀配置多個突起電極 4 。

在上述半導體晶片 2 之主面之外周圍配置有沿其各邊配列之多個外部端子 2 A。另外，在半導體晶片 2 之主面之中央部上配置有沿其長邊或短邊配列之多個外部端子 2 A。該多個外部端子 2 A 之每一個，係經由形成在底基板 1 之開縫 5 藉由接合導線 6 而電連接於配置在底基板 1 之背面的多個第 2 導電片 1 A 之每一個。多個第 2 導電片 1 A 之每一個係介由配線 (1 B₁) 電連接於配置在底基板 1 之背面的多個第 1 導電片 1 B 之每一個。該多個第 1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (24)

導電片 1 B 之每一個之表面上以電氣或機械式連接有突起電極 4。亦即，半導體晶片 2 之外部端子 2 A 係分別介由接合導線 6，第 2 導電片 1 A，配線 1 B，而電連接於第 1 導電片 1 B 上。

上述底基板 1 之開縫 5 係配置於半導體晶片 2 之每一邊，同時，配置於半導體晶片 2 之中央部之位置。亦即，本實施例之底基板 1 係配置 5 條開縫 5。該 5 條開縫 5 之每一條係配置在半導體晶片 2 之外部端子 2 A 上。

如上所述，依本實施例，可得和上述實施例 1 相同之作用效果。另外，將開縫 5 配置在半導體晶片 2 之每一邊及半導體晶片 2 之中央部之位置，則可增加配置在半導體晶片 2 之主面上之外部端子 2 A 之數目，同時，可增加配置在底基板 1 之背面的第 2 導電片 1 A 之數目，故可增加半導體晶片 2 之外部端子 2 A 和底基板 1 之導電片 1 A 之電連接用之電源路徑，可減少輸出信號同時切換時所產生之電源雜訊。又，可增加半導體晶片 2 之外部端子 2 A 和底基板 1 之第 2 導電片 1 A 之電連接用之訊號路徑，故可縮小以外部端子 2 A 之數目所規範之半導體晶片 2 之外形尺寸。

此外，本實施例中，係以在半導體晶片 2 之中央部之位置配置 1 條開縫 5 之構成爲說明。但是，在半導體晶片 2 之中央部之位置平行或交叉地配置多條開縫 5，藉由增加開縫 5 之數目，可使底基板 1 之第 2 導電片 1 A 之數目和半導體晶片 2 之外部端子 2 A 之數目更增加。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明 (25)

(實施例 4)

採用本發明實施例 4 之 B G A 構造之半導體裝置之概略構成示於圖 1 5 (除掉背面側之樹脂封裝體之狀態之背面側之重要部分平面圖) 。

如圖 1 5 所示般，半導體裝置，係在底基板 1 之主面之晶片裝配區域上介由絕緣層 (3) 將半導體晶片 2 以面朝下之方式裝配，在底基板 1 之背面側以格子狀配置多個突起電極 4 。底基板 1 係例如以 3 層配線構造之印刷配線基板構成。

在上述半導體晶片 2 之主面之外周圍上配置有沿其各邊配列之多個外部端子 2 A 。該多個外部端子 2 A 之每一個，係經由形成在底基板 1 之開縫 5 藉接合導線 6 電連接於配置在底基板 1 之背面的多個第 2 導電片 1 A 之每一個。

上述多個第 2 導電片 1 A 之中，導電片 1 A₂ 係與電極板 8 A 形成一體。該電極板 8 A 係介由貫通孔配線 (圖中未示) 及底基板 1 之內部配線 (圖中未示) 而電連接於其他電極板 8 A 。電極板 8 A 上施加有基準電位 (例如 0 [V]) 作為電源。上述多個第 2 導電片 1 A 之中，導電片 1 A₃ 係與電極板 8 B 形成一體。該電極板 8 A 上施加有例如動作電位 (例如 3 . 3 [V]) 作為電源。

如上所述，依本實施例，將配置於底基板 1 之主面的第 2 導電片 (1 A) 和配置於背面的第 1 導電片 1 B 間作

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

頁

五、發明說明 (26)

電連接用之貫通孔配線 (1 C) 予以省掉，則可將電極板 8 A，電極板 8 B 之每一個配置於底基板 1 之背面側，故可自由設定突起電極 4 之配置，可縮短半導體晶片 2 之外部端子 2 A 和突起電極 4 間之距離。結果，可減少電感值，實現半導體裝置之高速動作。

以上，係依據實施例具體說明本發明。但是，本發明並不限定於上述實施例，只要在不脫離其主旨之範圍下可作各種變更。

[發明之效果]

將依本案所揭示發明中之代表性者所能獲得之效果說明如下。

在底基板之主面之晶片裝配面上裝配有半導體晶片，在上述半導體晶片之主面上所配置之外部端子上電連接有配置於上述底基板背面之第 1 導電片的半導體裝置之小型化可被實現。

另外，可實現上述半導體裝置之高速動作。

又，可提高上述半導體裝置之電氣信賴性。

又，可提高上述半導體裝置之裝配精確度。

[圖式之簡單說明]

圖 1：採用本發明實施例 1 之 B G A 構造之半導體裝置之主面側之平面圖。

圖 2：沿圖 1 之 A - A 線位置切斷之斷面圖。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明 (27)

圖 3 : 圖 2 之重要部分擴大斷面圖。

圖 4 : 上述半導體裝置之除掉背面側之樹脂封裝體之狀態之背面側之重要部分擴大平面圖。

圖 5 : 形成上述半導體裝置之樹脂封裝體之成型金屬膜具之重要部分斷面圖。

圖 6 : 上述半導體裝置之製造方法之說明用之斷面圖。

圖 7 : 上述半導體裝置之製造方法之說明中之重要部分之斷面圖。

圖 8 : 上述半導體裝置之製造方法之說明中之重要部分之斷面圖。

圖 9 : 上述半導體裝置之製造方法之說明中之重要部分之斷面圖。

圖 10 : 將上述半導體裝置裝配在基板上之狀態之重要部分斷面圖。

圖 11 : 上述半導體裝置之變形例之斷面圖。

圖 12 : 採用本發明實施例 2 之 B G A 構造之半導體裝置之斷面圖。

圖 13 : 上述半導體裝置之除掉背面側之樹脂封裝體之狀態之背面側之重要部分擴大斷面圖。

圖 14 : 採用本發明實施例 3 之 B G A 構造之半導體裝置之除掉背面側之樹脂封裝體之狀態之背面側之重要部分平面圖。

圖 15 : 採用本發明實施例 4 之 B G A 構造之半導體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (28)

裝置之除掉背面側之樹脂封裝體之狀態之背面側之重要部分平面圖。

圖 1 6 : 採用習知 B G A 構造之半導體裝置之重要部分斷面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱:)

半導體裝置及其製造方法

本發明之目的在於實現半導體裝置之小型化，動作速度之高速化，及提高電氣信賴性及裝配精確度。

其構成爲，在底基板1之主面之晶片(Pellet)裝配區域上裝配有半導體晶片2，在上述半導體晶片2之主面上所配置之外部端子2A上電連接有配置於上述底基板1背面之第1導電片1B的半導體裝置，其特徵爲：上述底基板1係以硬質(rigid)基板構成，將上述底基板1之第1導電片1B電連接於配置在背面之第2導電片1A，將上述半導體晶片2以其主面朝下裝配於底基板1之主面之晶片裝配區域上，使上述半導體晶片2之外部端子2A和底基板1之第2導電片1A經由形成於底基板1之開縫5藉由接合導線6作電連接。

英文發明摘要(發明之名稱:)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體裝置，其係在底基板之主面之晶片裝配區域上裝配有半導體晶片，在上述半導體晶片之主面所配置之外部端子上電連接有配置於該底基板背面之第1導電片者，其特徵為：上述底基板係以硬質（rigid）基板構成，該底基板之第1導電片係電連接於配置在背面之第2導電片，該半導體晶片係以其主面朝下裝配於該底基板之主面之晶片裝配區域上，該半導體晶片之外部端子和該底基板之第2導電片間係經由形成於該底基板之開縫（slit）藉由接合導線作電連接者。

2. 如申請專利範圍第1項之半導體裝置，其中上述開縫係沿著配列在上述半導體晶片之主面之多個外部端子之配列方向形成，且配置在上述半導體晶片之外部端子上者。

3. 如申請專利範圍第1項之半導體裝置，其中上述底基板之第2導電片係配置在上述開縫所間隔之底基板之背面之兩側面之各區域者。

4. 如申請專利範圍第3項之半導體裝置，其中上述開縫所間隔之底基板之背面之一方之區域上所配置之第2導電片上施加有電源，上述開縫所間隔之底基板之背面之另一方之區域所配置之第2導電片上施加有訊號者。

5. 如申請專利範圍第1項之半導體裝置，其中上述半導體晶片之背面係從覆蓋上述底基板之主面之周邊區域之樹脂封裝體露出者。

6. 如申請專利範圍第1項之半導體裝置，其中上述

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

六、申請專利範圍

接合導線係以樹脂封裝體密封者。

7. 如申請專利範圍第1項之半導體裝置，其中上述底基板之第1導電片之表面上係以電氣或機械式連接有突起電極者。

8. 一種半導體裝置之製造方法，其係用來製造，在底基板之主面之晶片裝配區域上裝配有半導體晶片，在上述半導體晶片之主面所配置之外部端子上電連接有配置於上述底基板背面之第1導電片的半導體裝置，其特徵為具有：在以硬質基板構成之底基板之主面之晶片裝配區域上使半導體晶片以其主面朝下而裝配之製程；及使上述半導體晶片之外部端子，和電連接於上述底基板之第1導電片且配置在上述底基板背面之第2導電片間經由形成在上述底基板之開縫藉接合導線作電連接之製程。

9. 如申請專利範圍第8項之半導體裝置之製造方法，其中另具有，於藉由接合導線作電連接之製程之後，藉由傳遞模塑法形成樹脂封裝體用以覆蓋上述底基板之主面之周邊區域上且密封上述接合導線之製程者。

(請先閱讀背面之注意事項再填寫本頁)

裝

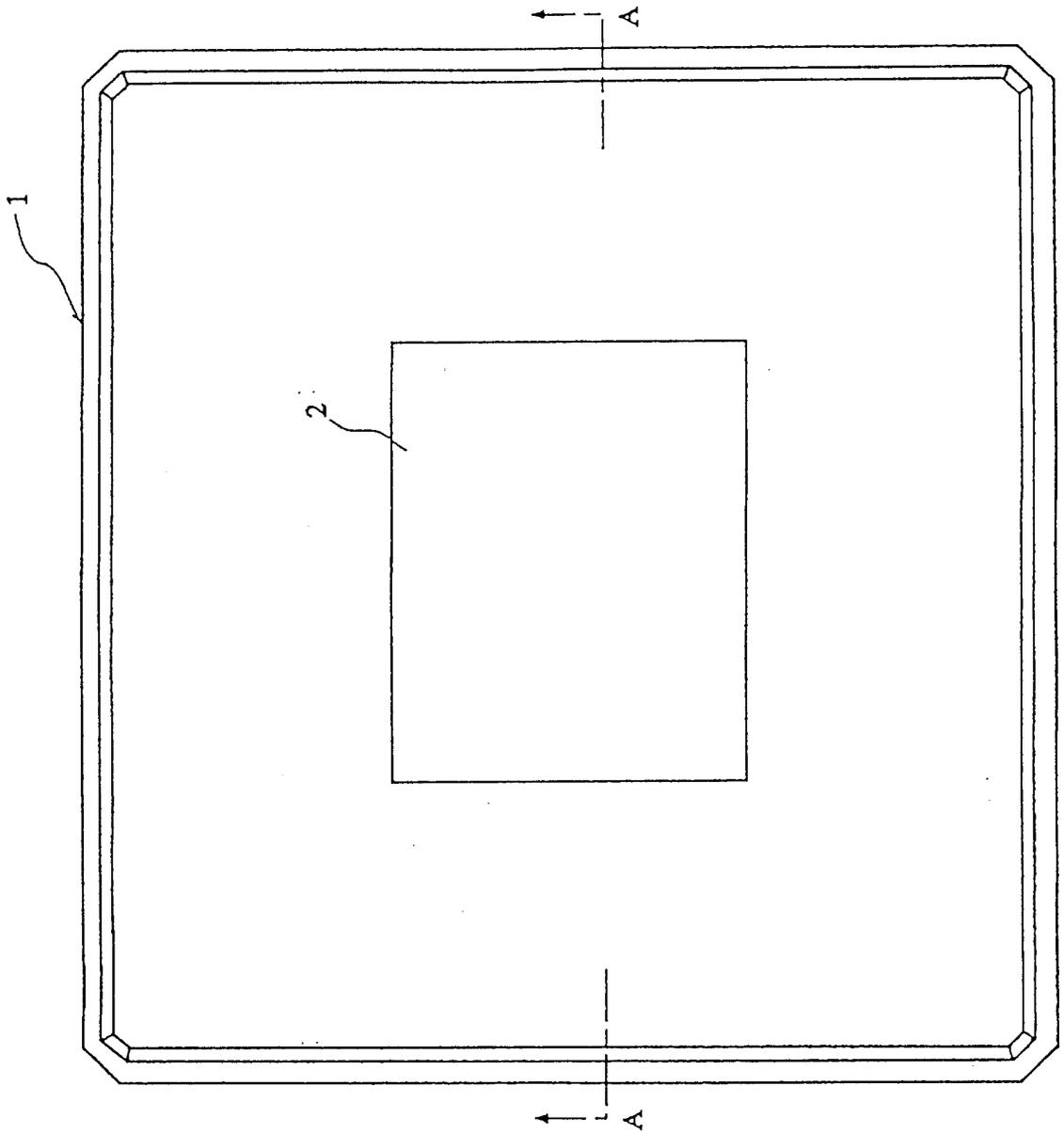
訂

線

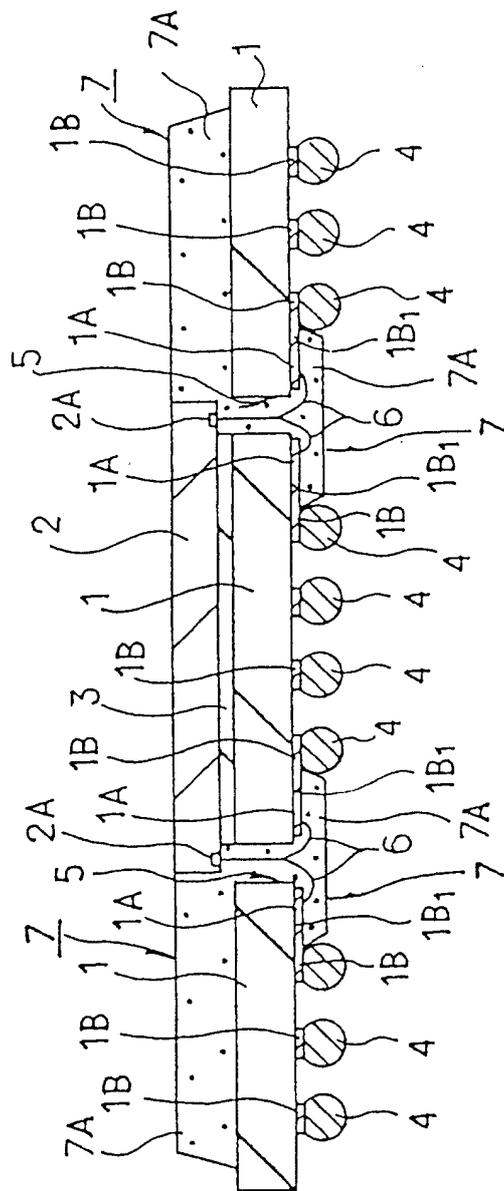
84106469

(1/16)

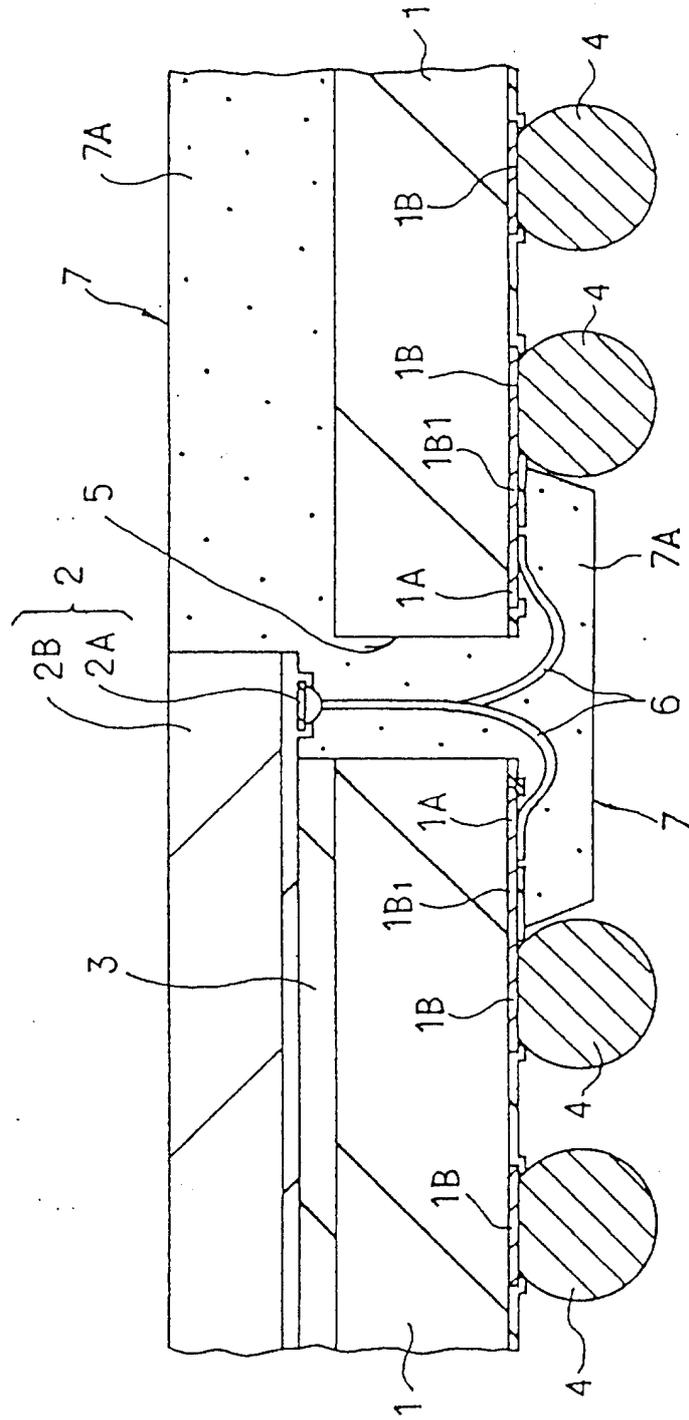
723200



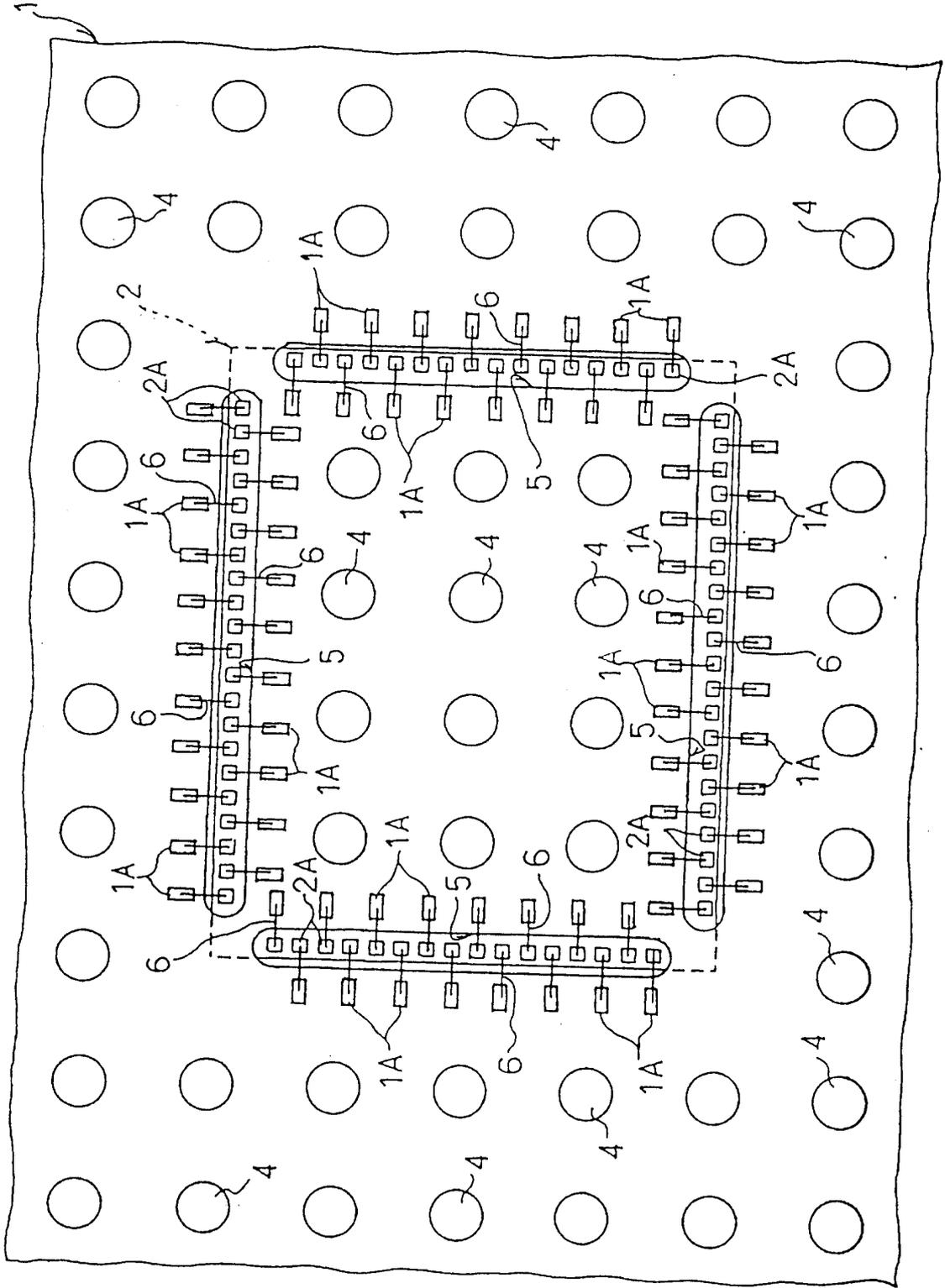
第1圖



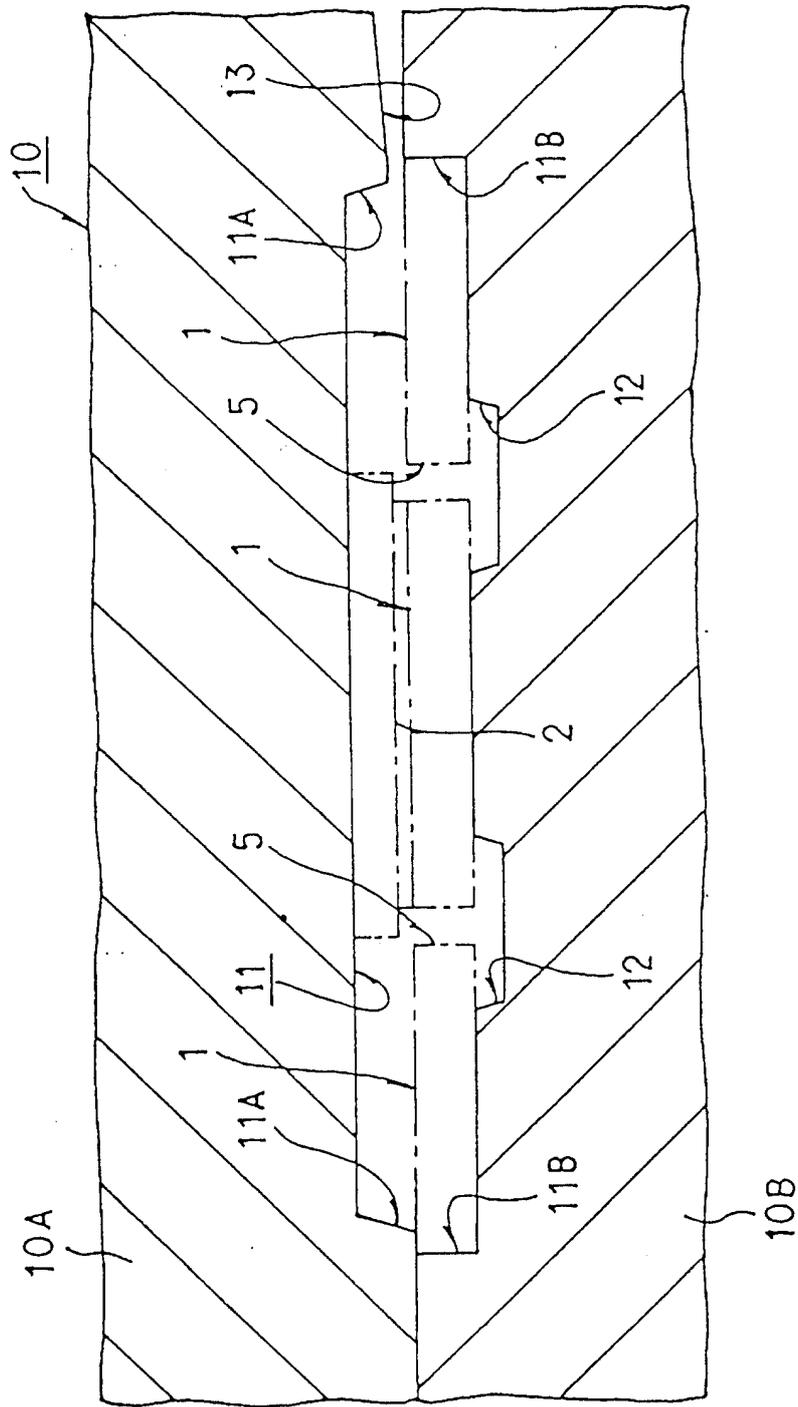
第2圖



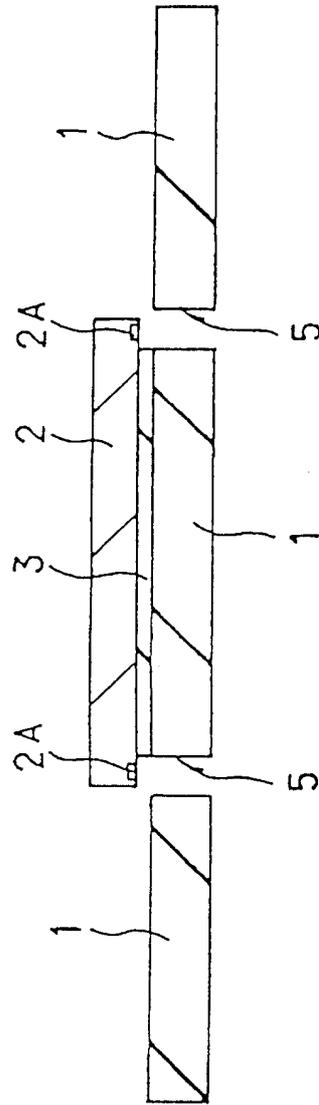
第 3 圖



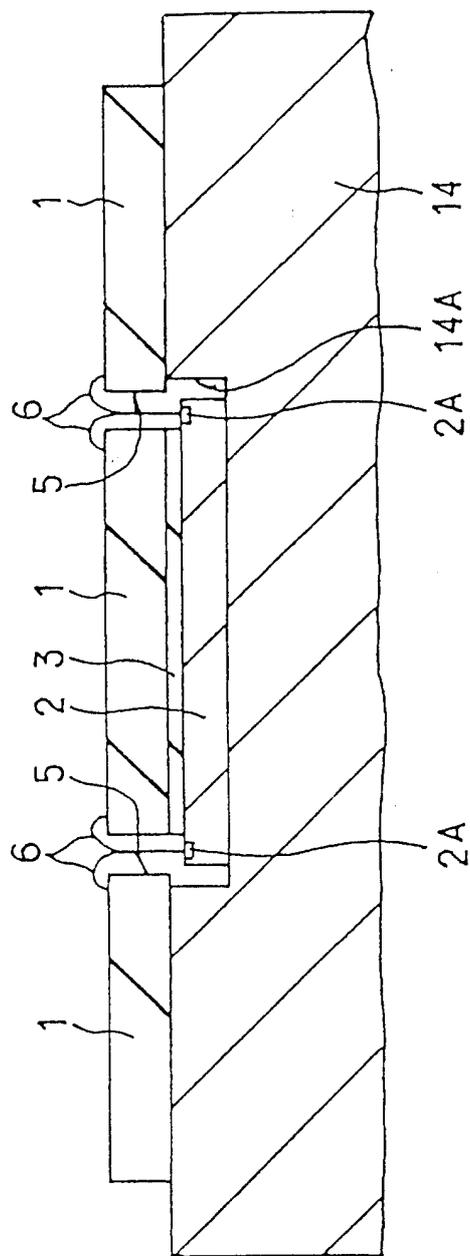
第4圖



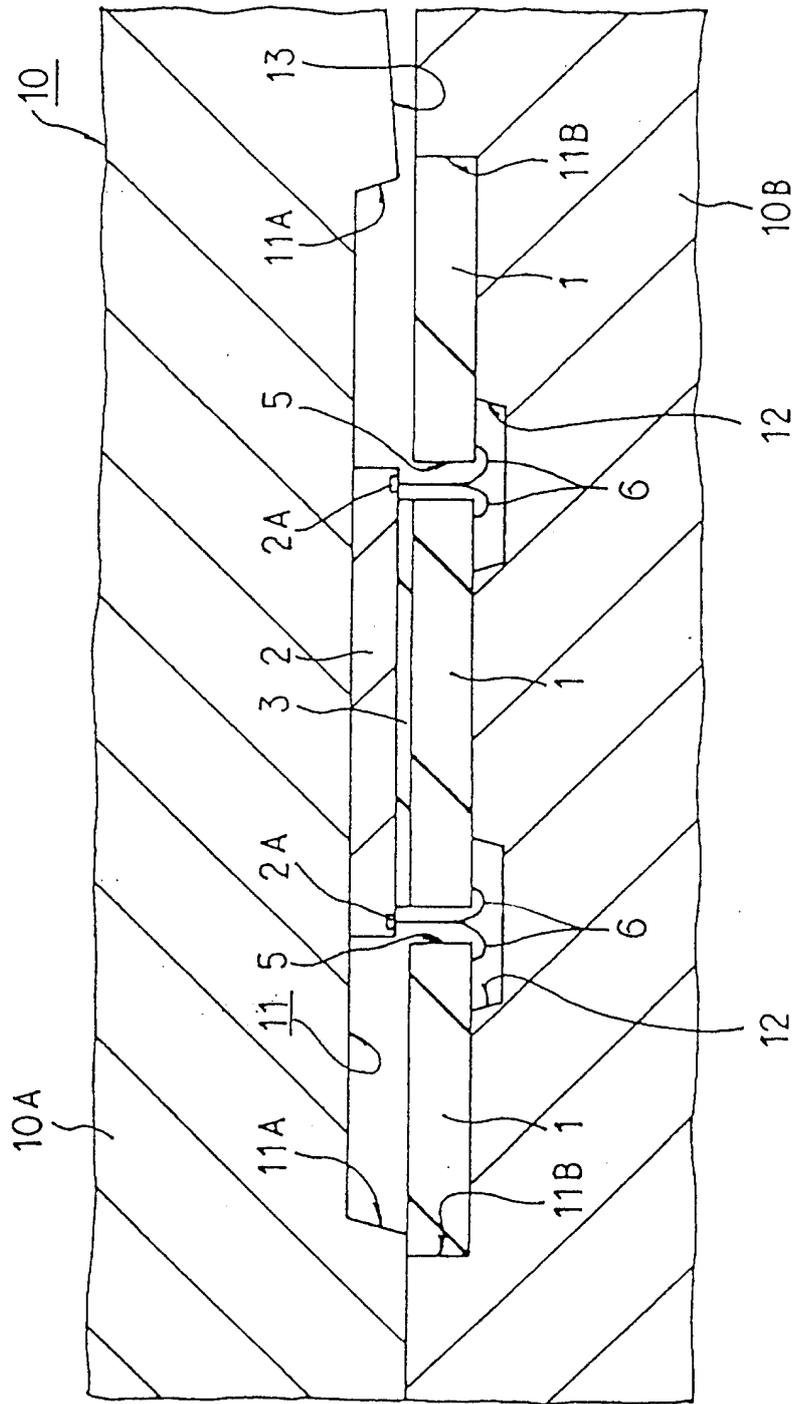
第 5 圖



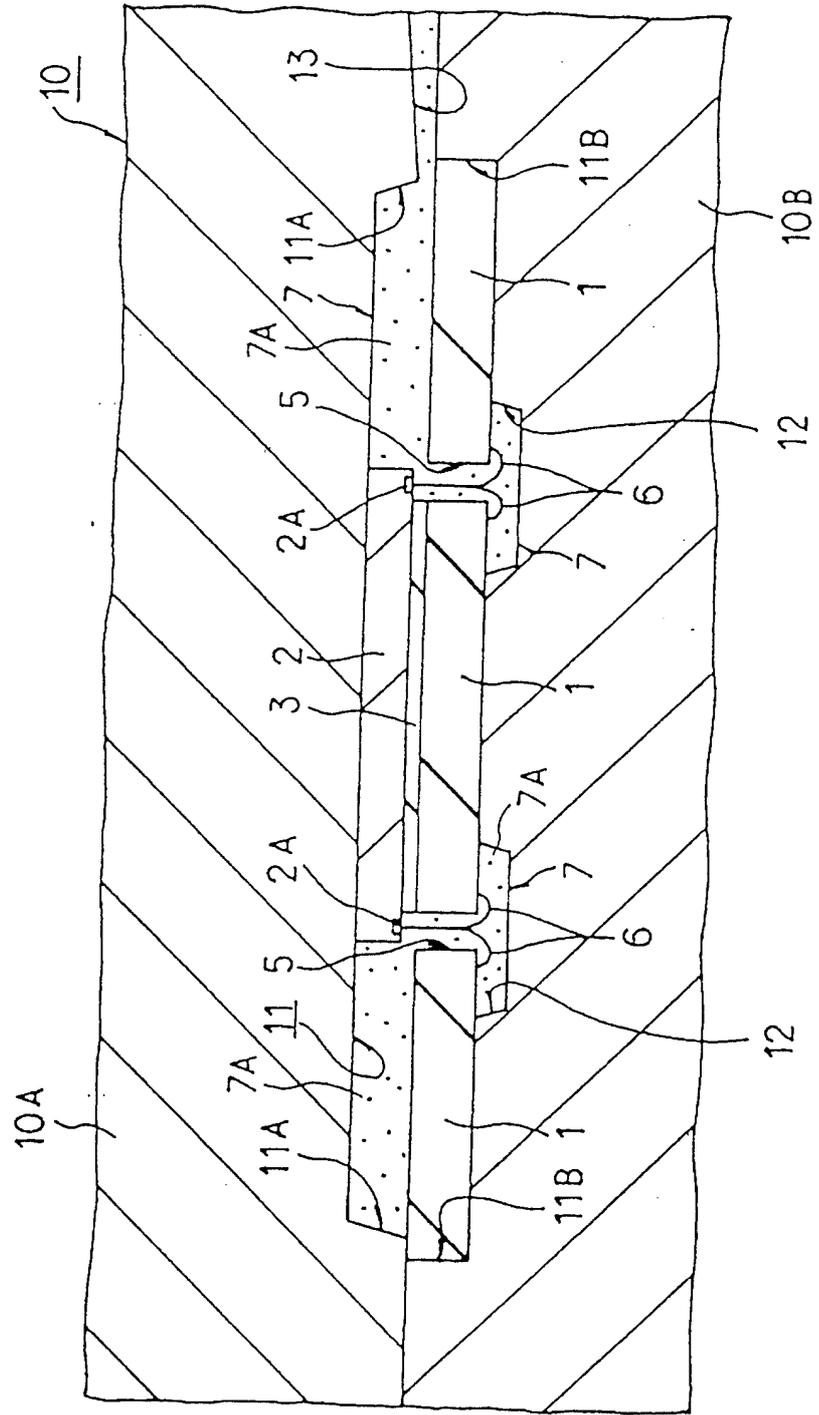
第 6 圖



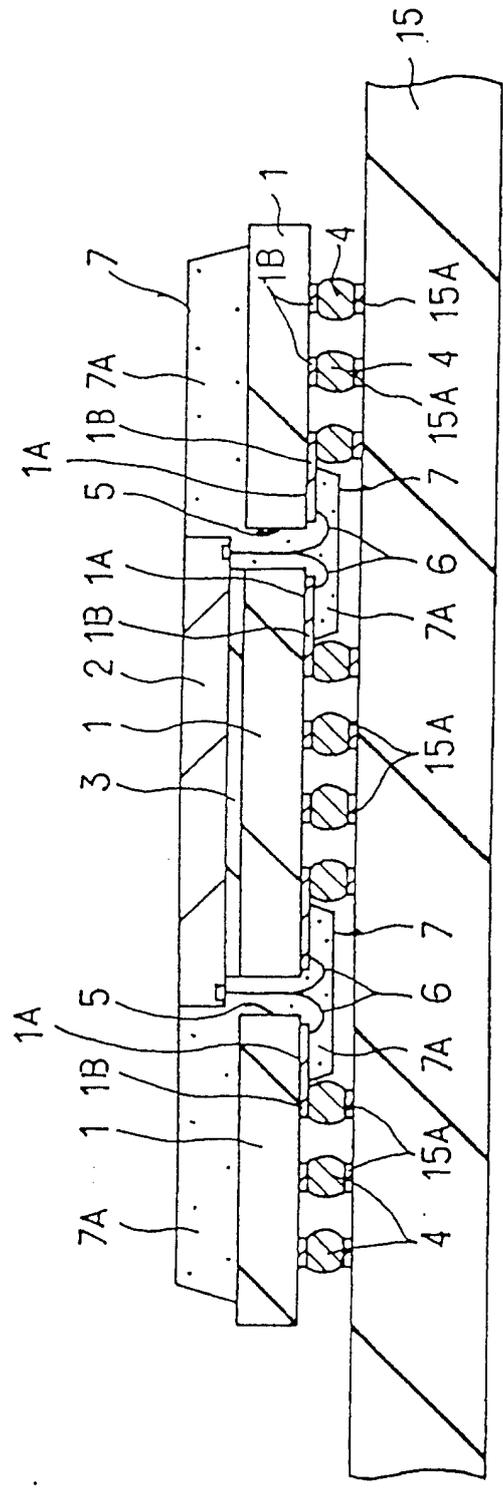
第7圖



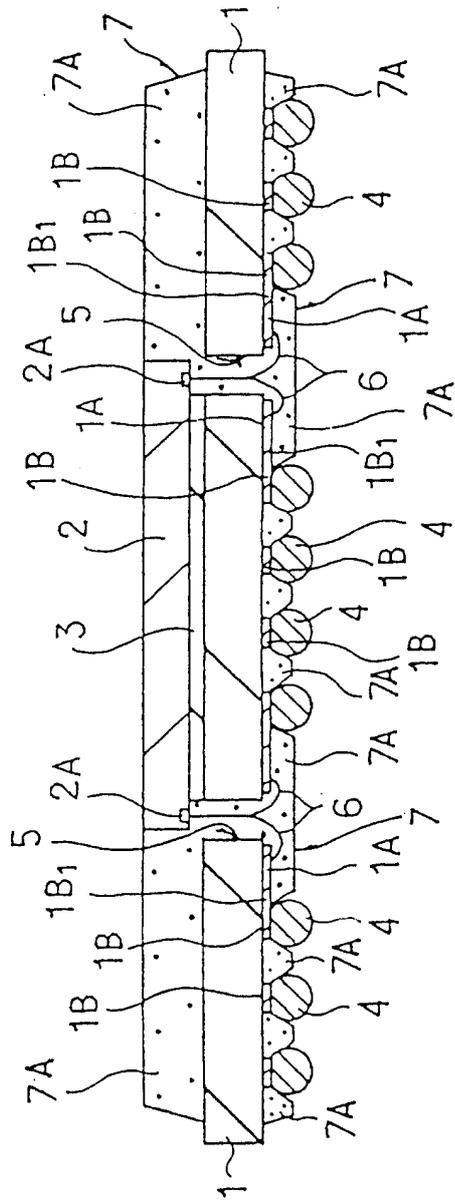
第 8 圖



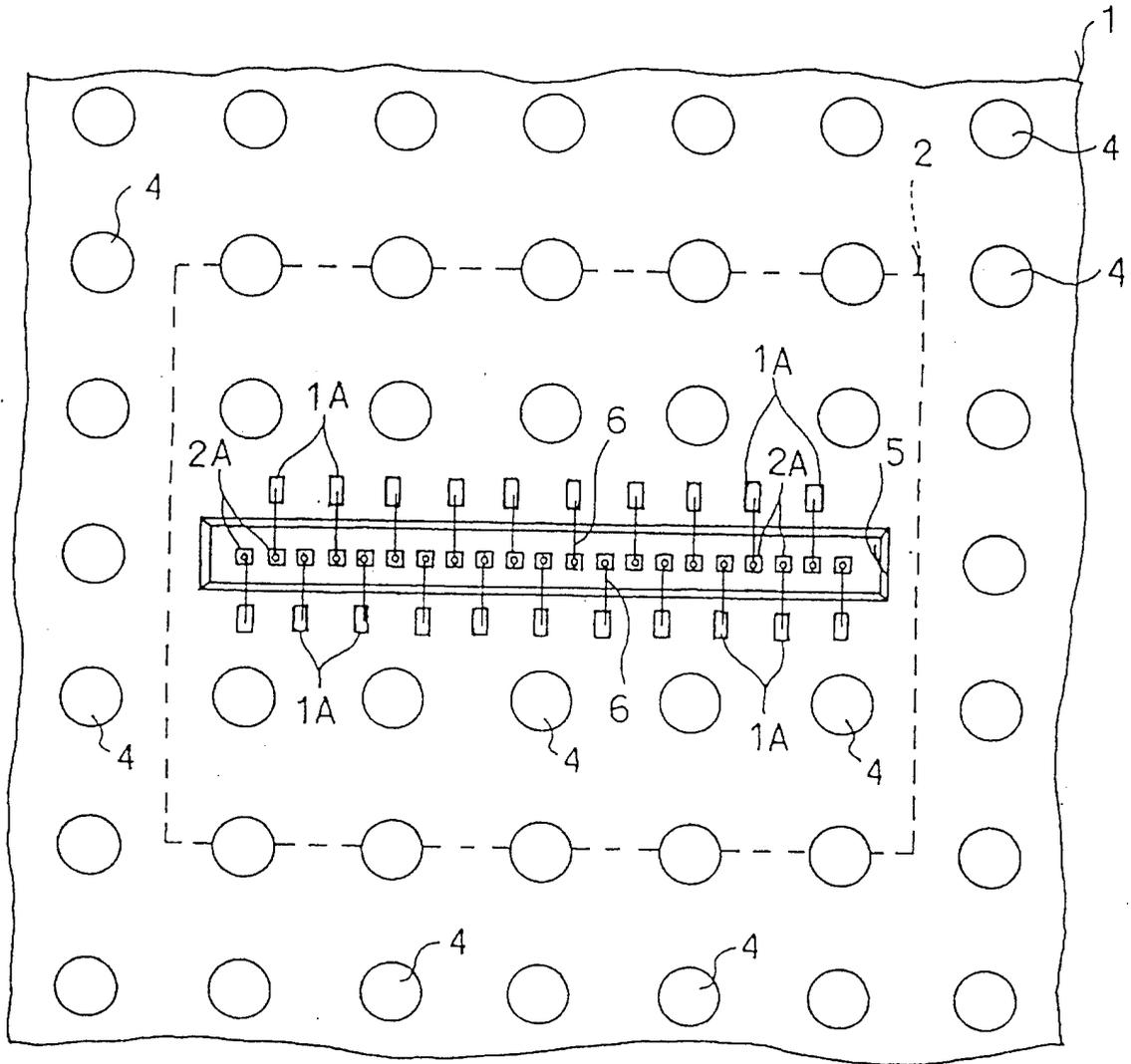
第 9 圖



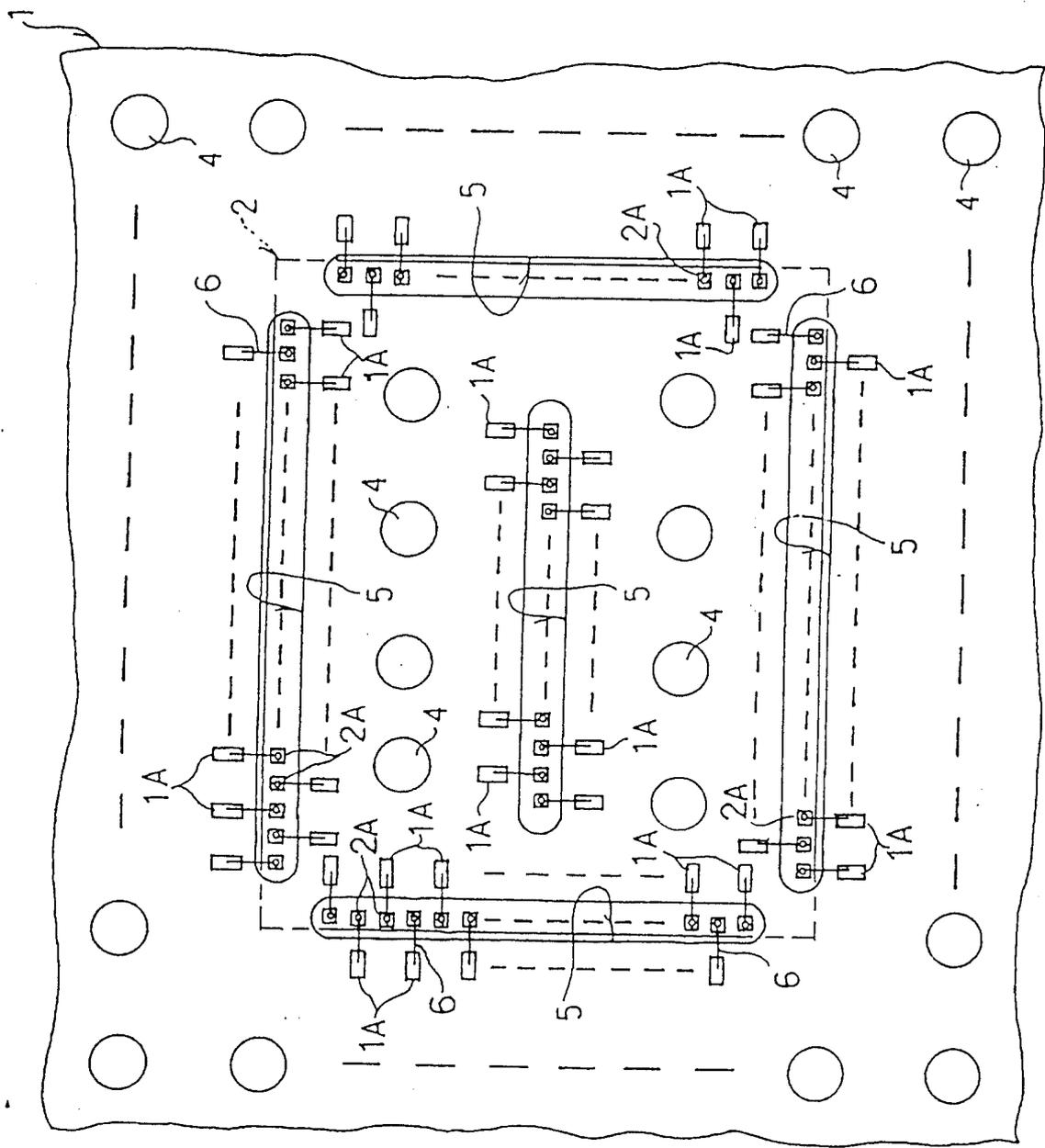
第10圖



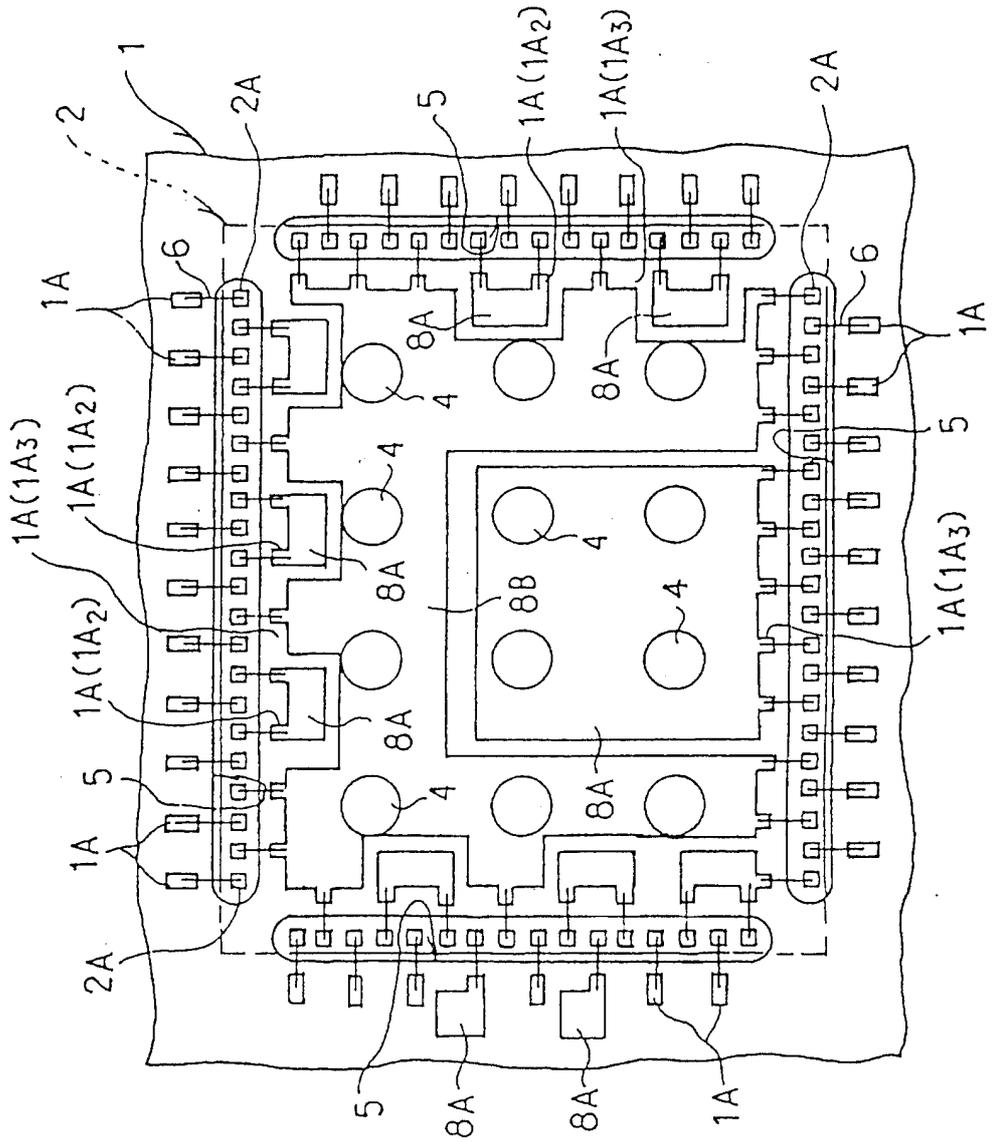
第11圖



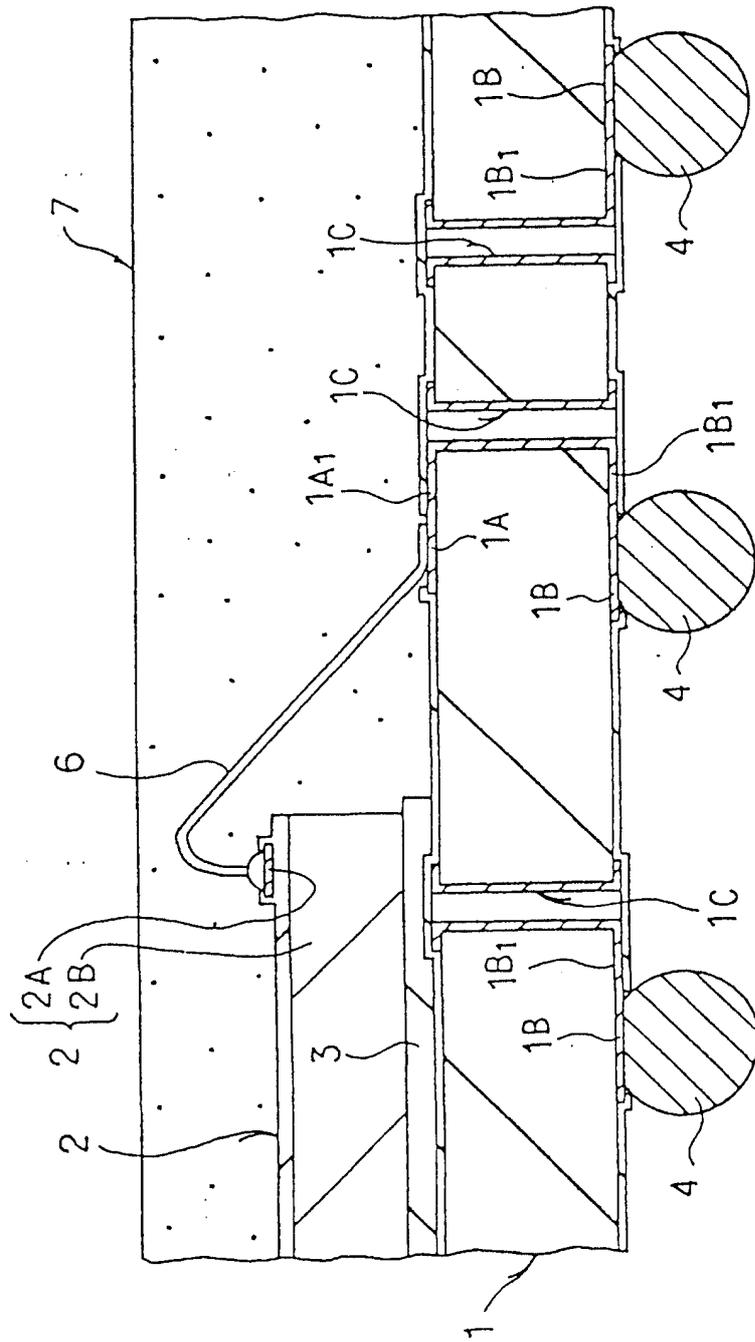
第13圖



第14圖



第15圖



第16圖

修正
補充
本85年3月1日

301048 公告本

申請日期	84年6月23日
案號	84106469
類別	Heil ²³ / ₄₈

A4
C4

~~301047~~

301048 3月

請委員明示85年3月1日所提之修正本有無變更實質內容是否准予修正。

(以下各欄由本局填註)

發 明 專 利 說 明 書 (修正本)

一、發明 名稱	中 文	半導體裝置及其製造方法
	英 文	
二、發明 創作人	姓 名	(1) 中村篤 (2) 西邦彦
	國 籍	(1) 日本 (2) 日本 (1) 日本國東京都府中市武蔵台三-二七-五二
	住、居所	(2) 日本國東京都国分寺市北町四-一三-二〇
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代 表 人 姓 名	(1) 金井務

裝 訂 線

經濟部中央標準局員工消費合作社印製