

# [12] 发明专利申请公开说明书

[21] 申请号 01144020.1

[43]公开日 2002年9月25日

[11]公开号 CN 1371175A

[22]申请日 2001.12.25 [21]申请号 01144020.1

[30]优先权

[32]2001.2.16 [33]JP [31]039299/2001

[71]申请人 富士通株式会社

地址 日本神奈川

[72]发明人 内田敏也

[74]专利代理机构 中国国际贸易促进委员会专利商标事务所

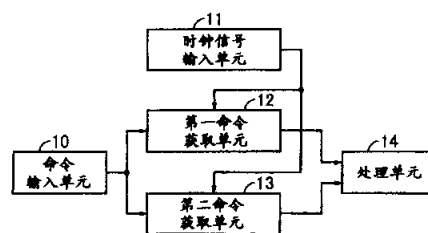
代理人 冯康宣

权利要求书4页 说明书21页 附图页数15页

[54]发明名称 带有命令获取单元的命令输入电路

[57]摘要

在一个命令输入电路中:与第一至第 m 命令相对应,提供了 m 个命令获取单元,其中 m 是一个大于 1 的整数;一个时钟信号提供单元分别向 m 个命令获取单元提供有不同相位的 n 个时钟信号,其中 n 是一个大于 1 的整数;以及一个命令输入单元接收所述第一至第 m 命令,并把该第一至第 m 命令提供给 m 个命令获取单元。m 个命令获取单元中的每个单元响应 n 个时钟信号的 m 个的边沿中与第一至第 m 命令中的一个命令相对应的那个边沿,获取第一至第 m 命令中与该命令获取单元相对应的那个命令。处理单元根据第一至第 m 命令进行处理。



ISSN 1008-4274

## 权利要求书

---

### 1.一种命令输入电路, 包含

时钟信号提供单元, 它向第一命令获取单元和第二命令获取单元提供时钟信号;

命令输入单元, 它接收第一命令和第二命令, 并把该第一命令和第二命令提供给第一命令获取单元和第二命令获取单元;

所述第一命令获取单元, 它响应所述时钟信号的第一边沿而获取所述第一命令, 其中该第一边沿是该时钟信号的上升沿和下降沿二者之一;

所述第二命令获取单元, 它响应所述时钟信号的第二边沿而获取所述第二命令, 其中该第二边沿是该时钟信号的与所述第一边沿不同的一个边沿。

### 2.一种数据处理装置, 包含:

时钟信号提供单元, 它向第一命令获取单元和第二命令获取单元提供时钟信号;

命令输入单元, 它接收第一命令和第二命令, 并把该第一命令和第二命令提供给第一命令获取单元和第二命令获取单元;

所述第一命令获取单元, 它响应所述时钟信号的第一边沿而获取所述第一命令, 这里该第一边沿是该时钟信号的上升沿和下降沿二者之一;

所述第二命令获取单元, 它响应所述时钟信号的第二边沿而获取所述第二命令, 这里该第二边沿是该时钟信号的与所述第一边沿不同的一个边沿; 以及

处理单元, 它根据所述第一命令和所述第二命令进行处理。

3.根据权利要求 2 的数据处理装置, 其中当所述处理单元接收所述第一命令时该处理单元开始所述处理。

4.根据权利要求 3 的数据处理装置, 其中当所述处理单元确定所述第二命令不正常时, 所述处理单元停止所述处理。

5.根据权利要求 3 的数据处理装置, 这里当所述处理单元接收第二命令时, 该处理单元进入与所述第二命令对应的预定处理方式。

6.根据权利要求 2 的数据处理装置, 还包含:

地址输入单元, 它接收第一地址和第二地址, 并向第一地址获取单元和第二地址获取单元提供该第一地址和第二地址,

所述第一地址获取单元, 它响应所述时钟信号的所述第一边沿而获取所述第一地址, 以及

所述第二地址获取单元, 它响应所述时钟信号的所述第二边沿而获取所述第二地址。

7.根据权利要求 2 的数据处理装置, 还包含数据输入输出单元, 该数据输入输出单元响应该时钟信号的所述上升沿和所述下降沿而接收和输出数据。

8.一种命令输入电路, 包含:

$m$  个命令获取单元, 它们分别对应于第一至第  $m$  命令, 其中  $m$  是一个大于 1 的整数;

时钟信号提供单元, 它分别向所述  $m$  个命令获取单元提供  $n$  个具有不同相位的时钟信号, 其中  $n$  是一个大于 1 的整数; 以及

命令输入单元, 它接收所述第一至第  $m$  个命令, 并把第一至第  $m$  命令提供给所述  $m$  个命令获取单元;

其中  $m$  个命令获取单元中的每个单元响应所述  $n$  个时钟信号的  $m$  个边沿中的与所述第一至第  $m$  命令中的所述那一个命令相对应的那个边沿, 获取所述第一至第  $m$  命令中的与  $m$  个命令获取单元中所述每一个单元相对应的那个命令。

9.一种数据处理装置, 包含:

$m$  个命令获取单元, 它们分别对应于第一至第  $m$  命令, 其中  $m$  是一个大于 1 的整数;

时钟信号提供单元, 它分别向所述  $m$  个命令获取单元提供  $n$  个具有不同相位的时钟信号, 其中  $n$  是一个大于 1 的整数;

命令输入单元, 它接收所述第一至第  $m$  命令, 并把第一至第  $m$  命令提供给所述  $m$  个命令获取单元; 以及

处理单元, 它根据所述第一至第  $m$  命令进行处理;

其中  $m$  个命令获取单元中的每个单元响应所述  $n$  个时钟信号的  $m$  个边沿中的与所述第一至第  $m$  命令中的所述那一个命令相对应的那个边沿，获取所述第一至第  $m$  命令中的与  $m$  个命令获取单元中所述每一个单元相对应的那个命令。

10.根据权利要求 9 的数据处理装置，其中当所述处理单元接收所述第一命令时该处理单元开始所述处理。

11.根据权利要求 10 的数据处理装置，其中当所述处理单元确定所述第二至第  $m$  命令之一不正常时该处理单元停止所述处理。

12.根据权利要求 10 的数据处理装置，其中当所述处理单元接收所述第二至第  $m$  命令之一时，该处理单元进入与所述第二至第  $m$  命令中的所述那个命令相对应的一种预定操作方式。

13.根据权利要求 9 的数据处理装置，其中所述第一命令指示无操作、读操作和写操作其中的一种操作。

当所述处理单元接收所述第一命令时，该处理单元开始所述处理，以及

当该处理单元接收所述第二至第  $m$  命令中的至少一部分时，所述处理单元根据第一命令和所述第二至第  $m$  命令中的所述至少一部分的组合，确定是否继续所述读操作和所述写操作其中之一或者进入预定的操作方式。

14.根据权利要求 9 的数据处理装置，还包含：

第一至第  $p$  地址获取单元，它们分别被设置为与第一至第  $p$  地址对应，其中  $p$  是大于 1 的整数，以及

地址输入单元，它接收所述第一至第  $p$  地址，并把该第一至第  $p$  地址提供给所述第一至第  $p$  地址获取单元。

其中所述第一至第  $p$  地址获取单元中的每个单元响应所述  $n$  个时钟信号的第一至第  $p$  边沿中的与第一至第  $p$  地址中所述那个地址相对应的那个边沿，获取所述第一至第  $p$  地址中的与所述第一至第  $p$  地址获取单元中的所述每个地址相对应的那个地址。

15.根据权利要求 9 的数据处理装置，还包含一个数据输入输出单元，

该数据输入输出单元响应  $n$  个时钟信号的  $j$  个边沿而接收或输出数据，其中  $j$  是一个大于 1 的整数。

# 说明书

## 带有命令获取单元的命令输入电路

### 技术领域

本发明涉及一种命令输入电路，它与时钟信号同步地区别接收和获取（或锁存）一系列命令。本发明还涉及包括上述命令输入电路的数据处理装置。该数据处理装置根据这一系列命令处理数据（例如处理或存储）。通常，这种命令输入电路或数据处理装置能在一半导体装置中实现。例如，本发明能在半导体存储装置中使用。

### 背景技术

图 13 显示传统的命令输入装置的一个实例。

在图 13 的命令输入电路中，输入电路 1 包括一个输入放大器 1a，它接收传递命令的信号，把这些信号与参考电压  $V_{ref}$  进行比较，进行信号整形，并输出整形后的信号。时钟缓存器电路 2 接收和整形时钟信号，调整时钟信号电平并输出整形和电平调整后的时钟信号。当从输入电路 1 向第一锁存电路 3 提供第一命令时，第一锁存电路 3 锁存和输出第一命令，当从输入电路 1 向第二锁存电路 4 提供第二命令时，第二锁存电路 4 锁存和输出第二命令。

图 14 是一时序图，说明图 13 的命令输入电路的典型操作。

当对图 13 的命令输入电路加电时，第一锁存电路 3 在时钟信号的第 0 个上升沿的时刻被复位，如图 14 中 (A) 所示，于是第一锁存电路 3 进入能接收新命令的状态。

接下来，当在图 14 中 (B) 所示时钟信号第一上升沿的时刻，传递第一命令的信号输入到输入电路 1 中，该输入电路 1 对信号整形，并把整形后的信号提供给第一锁存电路 3 和第二锁存电路 4。在此时，第一锁存电路 3 确定所提供的命令是否是第一命令，以及所提供的命令是否是正常的命令。当第一锁存电路 3 确定一个正常的命令被提供给第一

锁存电路 3 时，第一锁存电路 3 把启动信号#2 置于有效状态（“H”电平），如图 14 中的（D）所示，这里启动信号#2 从第一锁存电路 3 提供给第二锁存电路 4。

当第二锁存电路 4 检测到有效的启动信号#2 时，在时钟信号的第二上升沿时刻，第二锁存电路 4 锁存提供给第二锁存电路 4 的第二命令。然后，第二锁存电路确定所提供的命令是否是第二命令，以及所提供的命令是否是正常的。当第二锁存电路 4 确定一个正常的第二命令提供给第二锁存电路 4 时，该第二锁存电路 4 把启动信号#1 置于有效状态（“H”电平），如图 14 中的（C）所示，这里启动信号#1 从第二锁存电路 4 提供给第一锁存电路 3。

然后，当在时钟信号的第四上升沿时刻传递第一命令的信号再次输入到输入电路 1 时，第一锁存电路 3 以在时钟信号第一上升沿的时刻相同的方式接收和处理该传递第一命令的信号。

通过重复上述操作，第一和第二命令被分开并提供给后面跟随的各级。

图 15 示意性说明图 13 所示命令输入电路的操作。如图 15 中所示，通过输入电路 1 输入的每个命令被提供给第一锁存电路 3 和第二锁存电路 4 二者。当所提供的命令是第一命令时，第一锁存电路 3 锁存和输出该命令并把启动信号#2 置于有效状态（“H”电平）。另一方面，当第一锁存电路 3 提供给第二锁存电路 4 的启动信号#2 为有效时，第二锁存电路 4 锁存和输出下一个输入的命令并把启动信号#1 置于有效状态（“H”电平）。

然而，在上述命令输入电路中，当命令被输入到锁存电路时，要求第一和第二锁存电路每个都要确定提供给锁存电路的命令是否是适当的和正常的，并产生启动信号#1 或启动信号#2。就是说，每次输入一个命令时，要求第一和第二锁存电路每个都要进行判定。所以，当时钟信号频率增大时，不可能使每个锁存电路有足够的时间进行这种判定和期望命令输入电路正常地工作。

## 发明内容

本发明的一个目的是提供一种命令输入电路，即使在时钟信号频率高时它也能与时钟信号同步地分别接收一系列命令。

本发明的另一个目的是提供一种包括命令输入电路的数据处理装置，该命令输入电路即使在时钟信号频率高时也能与时钟信号同步地分别接收一系列命令。

(1) 根据本发明的第一方面，提供了一种命令输入电路，该电路包含时钟信号提供单元、命令输入单元以及第一和第二命令获取单元。时钟信号提供单元向第一和第二命令获取单元提供时钟信号。命令输入单元接收第一和第二命令，并将第一和第二命令提供给第一和第二命令获取单元。第一命令获取单元响应时钟信号的第一边沿而获取第一命令，这里的第一边沿是时钟信号的上升沿和下降沿之一。第二命令获取单元响应时钟信号的第二边沿而获取第二命令，这里的第二边沿是不同于第一边沿的一个时钟信号边沿。

(2) 根据本发明的第二方面，提供了一个数据处理装置，其包含：时钟信号提供单元；命令输入单元；第一和第二命令获取单元；以及处理单元。时钟信号提供单元向第一和第二命令获取单元提供时钟信号。命令输入单元接收第一和第二命令，并把第一和第二命令提供给第一和第二命令获取单元。第一命令获取单元响应时钟信号的第一边沿而获取第一命令，这里的第一边沿是时钟信号的上升沿和下降沿之一。第二命令获取单元响应时钟信号的第二边沿而获取第二命令，这里的第二边沿是时钟信号的不同于第一边沿的一个时钟信号边沿。处理单元根据第一和第二命令进行处理。

根据本发明的第二方面构成的数据处理装置可以有如下附加特性 (i) 至 (v) 中的一个或它们的任何组合。

(i) 当处理单元接收第一命令时，处理单元可以开始处理。

(ii) 当根据本发明的第二方面构成的数据处理装置具有上述特性 (i) 时，当处理单元确定第二命令不是正常命令时该处理单元可以停止处理。

(iii) 当根据本发明的第二方面构成的数据处理装置具有上述特性

(i) 时，当处理单元接收第二命令时该处理单元可以进入与第二命令对应的预定操作方式。

(iv) 根据本发明的第二方面构成的数据处理装置可以进一步包含：一个地址输入单元，它接收第一和第二地址，并把第一和第二地址提供给第一地址获取单元和第二地址获取单元；第一地址获取单元，它响应时钟信号的第一边沿而获取第一地址；以及第二地址获取单元，它响应时钟信号的第二边沿而获取第二地址。

(v) 根据本发明的第二方面构成的数据处理装置可以进一步包含一个数据输入和输出单元，它响应时钟信号的上升沿和下降沿而接收和输出数据。

(3) 根据本发明的第三方面，提供了一种命令输入电路，它包含  $m$  个命令获取单元，一个时钟信号提供单元和一个命令输入单元，这里  $m$  是一个大于 1 的整数。所提供的  $m$  个命令获取单元分别对应于第一至第  $m$  个命令，时钟信号提供单元分别向  $m$  个命令获取单元提供  $n$  个时钟信号，它们具有不同的相位，这里  $n$  是大于 1 的整数。命令输入单元接收第一至第  $m$  个命令，并把第一至第  $m$  个命令提供给  $m$  个命令获取单元。在该数据处理装置中， $m$  个命令获取单元中的每一个单元响应  $n$  个时钟信号的  $m$  个边沿中与第一至第  $m$  个命令中的一个命令相对应的那个边沿，获取第一至第  $m$  个命令中与该命令获取单元相对应的那个命令。

(4) 根据本发明的第四方面，提供了一个数据处理装置，它包含  $m$  个命令获取单元，一个时钟信号提供单元，一个命令输入单元和一个处理单元，这里  $m$  是一个大于 1 的整数。所提供的  $m$  个命令获取单元分别对应于第一至第  $m$  个命令。时钟信号提供单元向  $m$  个命令获取单元提供  $n$  个时钟信号，它们分别具有不同的相位，这里  $n$  是大于 1 的整数。命令输入单元接收第一至第  $m$  个命令，并把第一至第  $m$  个命令提供给  $m$  个命令获取单元。在该数据处理装置中， $m$  个命令获取单元中的每个单元响应  $n$  个时钟信号的  $m$  个边沿中与第一至第  $m$  个命令中的一个命令相对应的那个边沿，获取第一至第  $m$  个命令中与该命令获取单元相对应的那个命令。处理单元根据第一至第  $m$  个命令进行处理。

根据本发明的第四个方面构成的数据处理装置可以有如下附加特性 (vi) 至 (xi) 中的一个或它们的任何组合。

(vi) 当处理单元接收第一命令时，处理单元可以开始处理。

(vii) 当根据本发明的第四方面构成的数据处理装置具有上述特性 (vi) 时，当处理单元确定第二至第  $m$  个命令之一为不正常命令时该处理单元可以停止处理。

(viii) 当根据本发明的第四方面构成的数据处理装置具有上述特性 (vi) 时，当处理单元接收第二至第  $m$  个命令之一时该处理单元可以进入与第二至第  $m$  个命令之一对应的预定操作方式。

(ix) 第一命令可以指明无操作、读操作和写操作之一。在该数据处理装置中，当处理单元接收第一命令时处理单元开始处理。此外，当处理单元接收第二至第  $m$  个命令中的至少一部分时，根据第一命令和这第二至第  $m$  个命令中的至少一部分的组合，该处理单元可以确定是否继续进行读操作和写操作之一或者进入一个预定的操作方式。

(x) 根据本发明的第四方面构成的数据处理装置可以进一步包含第一至第  $p$  个地址获取单元和一个地址输入单元，这里  $p$  是大于 1 的整数。所提供的  $p$  个地址获取单元分别对应于第一至第  $p$  个地址。地址输入单元接收第一至第  $p$  个地址，并将这第一至第  $p$  个地址提供给第一至第  $p$  个地址获取单元。在该数据处理装置中，第一至第  $p$  个地址获取单元中的每一个单元响应  $n$  个时钟信号的  $p$  个边沿中与第一至第  $p$  个地址中的一个地址相对应的那个边沿，获取第一至第  $p$  个地址中与该地址获取单元对应的那个地址。

(xi) 根据本发明的第四方面构成的数据处理装置可以进一步包含一个数据输入和输出单元，它响应  $n$  个时钟信号中的  $j$  边沿而接收或输出数据（其中  $j$  是大于 1 的整数）。

在根据本发明的第一和第三方面构成的命令输入电路中和在根据本发明的第二和第四方面构成的数据处理装置中，可以得到一个时间容限用以增大时钟信号的频率。此外，功耗能被降低。

附图中以举例方式说明本发明的最佳实施例。从下文中结合附图所

做的描述中将能清楚地看出本发明的上述及其他目的、特点和优点。

## 附图说明

在附图中：

图 1 显示根据本发明的数据处理装置的基本结构；

图 2 显示作为本发明第一实施例的数据处理装置的结构；

图 3 是时序图，说明图 2 所示数据处理装置的操作；

图 4 示意性说明图 2 所示数据处理装置的操作；

图 5 是时序图，说明图 2 所示数据处理装置的操作；

图 6A 是时序图，说明在图 2 所示数据处理装置中的时钟信号和被锁存的命令的时序；

图 6B 是时序图，说明在传统的装置中的时钟信号和被锁存的命令的时序；

图 7 显示作为本发明第二实施例的数据处理装置的结构；

图 8 是时序图，说明图 7 所示数据处理装置的操作；

图 9 显示作为本发明第三实施例的数据处理装置的结构；

图 10 显示图 9 中的时钟缓存器电路结构的一个示例；

图 11 是时序图，说明图 10 所示数据装置的操作；

图 12 显示作为本发明第四实施例的数据处理装置的结构；

图 13 显示传统的命令输入电路的一个示例；

图 14 是时序图，说明图 13 所示命令输入电路的典型操作；以及

图 15 示意性说明图 13 所示命令输入电路的操作。

## 具体实施方式

下面将参考附图详细解释本发明的实施例。

### (1) 基本结构

图 1 显示根据本发明的数据处理装置的基本结构。图 1 的数据处理装置包含命令输入单元 10、时钟信号输入单元 11、第一命令获取单元 12、第二命令获取单元 13 以及处理单元 14。

命令输入单元接收由外部提供的命令并将接收的命令提供给第一命令获取单元 12 和第二命令获取单元 13。时钟信号输入单元 11 接收也是由外部提供的时钟信号并将该时钟信号提供给第一命令获取单元 12 和第二命令获取单元 13。

第一命令获取单元 12 与时钟信号的第一边沿同步地获取（或锁存）由命令输入单元 10 提供的第一命令，这里的第一边沿是时钟信号的上升沿或下降沿。第二命令获取单元 13 与时钟信号的第二边沿同步地获取（或锁存）由命令输入单元 10 提供的第二命令，这里的第二边沿是时钟信号的一个与第一边沿不同的边沿。

下面解释图 1 所示数据处理装置的操作。在下面的解释中，假定第一命令获取单元 12 与时钟信号的一个上升沿同步地获取第一命令，而第二命令获取单元 13 与时钟信号的一个下降沿同步地获取第二命令。

第一命令与时钟信号的一个上升沿同步地输入到命令输入单元 10 中，而第二命令与时钟信号的一个下降沿同步地输入到命令输入单元 10 中。

第一命令获取单元 12 与时钟信号的一个上升沿同步地获取由命令输入单元 10 提供的一个命令，该时钟信号是通过时钟信号输入单元 11 提供的。由于第一命令是与时钟信号的上升沿同步地输入到命令输入单元 10，所以第一命令获取单元 12 肯定能够只获取第一命令。

另一方面，第二命令获取单元 13 与时钟信号的一个下降沿同步地获取由命令输入单元 10 提供的一个命令，该时钟信号是通过时钟信号输入单元 11 提供的。由于第二命令是与时钟信号的下降沿同步地输入到命令输入单元 10，所以第二命令获取单元 13 肯定能够只获取第二命令。

由第一命令获取单元 12 和第二命令获取单元 13 获取并输出的第一和第二命令被提供给处理单元 14，它确定该第一和第二命令是否是正常的。当处理单元 14 确定该第一和第二命令是正常命令时，处理单元 14 执行该第一和第二命令。

在图 13 所示传统的命令输入电路中，要求第一锁存电路 3 和第二锁存电路 4 每个进行如下操作：锁存一个命令；确定该命令是第一命令还

是第二命令；确定该命令是否是正常的；以及产生一个启动信号。然而，如上所述，在图 1 的结构中，时钟信号的上升沿和下降沿分别与第一和第二命令相关联。所以，不要求第一命令获取单元 12 和第二命令获取单元 13 每个进行操作以确定所接收的命令是第一命令还是第二命令以及产生启动信号。这样便可能提高第一命令获取单元 12 和第二命令获取单元 13 中的处理速度。

再有，在图 1 的结构中，第一命令获取单元 12 和第二命令获取单元 13 每个只进行获取命令的操作，而由处理单元 14 进行确定所接收的命令是否正常的操作。就是说，在处理单元 14 与第一和第二命令获取单元 12 和 13 的每一个之间分担处理工作量。所以，可以提高整个数据处理装置的处理速度。

## (2) 第一实施例

图 2 显示作为本发明第一实施例的数据处理装置的结构。图 2 的数据处理装置包含时钟缓存器电路 50，命令输入块 60 和地址输入块 70。

时钟缓存器电路 50 接收一个外部时钟信号并输出两个时钟信号#1 和 #2，如下文中解释的那样。

命令输入块 60 包含输入电路 61、第一命令锁存电路 62、第二命令锁存电路 63、第一命令解码器 64 以及第二命令解码器 65。命令输入块 60 分别接收第一和第二命令，并把这第一和第二命令作为第一和第二内部命令提供给下一级中的数据处理电路（未示出）。

输入电路 61 包括输入放大器 61a，接收传递命令的命令信号，将该命令信号与一参考电压  $V_{ref}$  进行比较，进行信号整形，并输出整形后的命令信号。第一命令锁存电路 62 与时钟信号#1 同步地锁存和输出第一命令，而第二锁存电路 63 与时钟信号#2 同步地锁存和输出第二命令。

第一命令解码器 64 对第一命令锁存电路 62 提供的第一命令进行解码，产生第一内部命令，并把该第一内部命令提供给下一级中的数据处理电路。此外，第一内部命令还被提供给第二命令解码器 65 以及地址输入块 70 中的第三地址锁存电路 74。第二命令解码器 65 对第二命令锁存电路 63 提供的第二命令进行解码，并对第一命令解码器 64 提供的第一内

部命令进行解码，产生第二内部命令，并把该第二内部命令提供给下一级中的数据处理电路。此外，第二内部命令还被提供给地址输入块 70 中的第四地址锁存电路 75。

地址输入块 70 包含输入电路 71，第一地址锁存电路 72，第二地址锁存电路 73、第三地址锁存电路 74 和第四地址锁存电路 75。地址输入块 70 根据命令输入块 60 提供的第一和第二内部命令来锁存第一和第二地址，并把该第一和第二地址作为第一和第二内部地址提供给下一级中的数据处理电路。

输入电路 71 包括输入放大器 71a，它接收传递地址的地址信号，将该地址信号与一参考电压  $V_{ref}$  进行比较，进行信号整形，并输出整形后的地址信号。第一地址锁存电路 72 与时钟信号#1 同步地锁存和输出第一地址，而第二地址锁存电路 73 与时钟信号#2 同步地锁存和输出第二地址。

第三地址锁存电路 74 根据第一命令解码器 64 提供的第一内部命令来锁存由第一地址锁存电路 72 提供的第一地址，产生第一内部地址，并把该第一内部地址提供给下一级中的数据处理电路。第四地址锁存电路 75 根据第二命令解码器 65 提供的第二内部命令来锁存由第二地址锁存电路 73 提供的第二地址，产生第二内部地址，并把该第二内部地址提供给下一级中的数据处理电路。

下面参考图 3、4、5 来解释图 2 所示数据处理装置的操作。

图 3 是表示图 2 中的数据处理装置的操作的时序图。

如图 3 中所示，时钟缓存器电路 50 接收外部时钟信号 (A)，并产生时钟信号#1 和#2，这里时钟信号#1 与外部时钟信号同相位，而时钟信号#2 与外部时钟信号反相位，如图 3 中的 (C) 和 (D) 所示。

再有，第一命令与时钟信号#1 同步地被锁存，而第二命令与时钟信号#2 同步地被锁存。所以，没有必要去区分第一和第二命令，即确定所接收的命令是第一命令还是第二命令的操作可以被免去。

再有，即使当所接收的第一命令不是正常命令的时候，也没有必要在输入第二命令之前确定这后续的第二命令是否是适当的命令。所以，可以获得足够的时间容限用于锁存第二命令。

图 2 所示数据处理装置的操作示意性地示于图 4。当把图 4 所示操作与图 15 所示操作进行比较时，可以清楚地看出，第一命令锁存电路 62 和第二命令锁存电路 63 每个都不需要确定所接收的命令是第一命令还是第二命令以及产生启动信号。于是，处理速度能够提高。

图 5 是时序图，说明图 2 所示数据处理装置的详细操作。

当向图 2 的数据处理装置提供外部时钟信号（如图 5 的（A）所示）时，时钟缓存器电路 50 产生时钟信号#1（如图 5 中的（C）所示）和时钟信号#2（如图 5 中的（D）所示），并把时钟信号#1 和#2 提供给图 2 的数据处理装置的各自部分。

第一命令与外部时钟信号的上升沿同步地输入到输入电路 61 中，而第二命令是与外部时钟信号的下降沿同步地输入到输入电路 62 中，如图 5 中的（B）所示。输入电路 61 对传递第一和第二命令的命令信号整形，并把整形后的命令信号提供给第一命令锁存电路和 62 和第二命令锁存电路 63。

第一命令锁存电路 62 与时钟信号#1 的上升沿同步地锁存由输入电路 61 提供的第一命令，如图 5 中的（E）所示。第二命令锁存电路 63 与时钟信号#2 的上升沿同步地锁存由输入电路 61 提供的第二命令，如图 5 中的（F）所示。

第一命令解码器 64 对第一命令锁存电路 62 提供的第一命令解码，产生如图 5 中（G）所示第一内部命令，并向下一级中的数据处理电路输出该第一内部命令。在这一时刻，该第一内部命令还被提供给第二命令解码器 65 和第三地址锁存电路 74。

第二命令解码器 65 对第一命令解码器 64 提供的第一内部命令和第二命令锁存电路 63 提供的第二命令进行解码，并确定该第一内部命令与该第二命令的组合是否是正常的。当第二命令解码器 65 确定该第一内部命令和该第二命令的组合是正常组合的时候，第二命令解码器 65 产生一个第二内部命令，如图 5 中的（H）所示，并把该第二内部命令提供给下一级中的数据处理电路。此外，该第二内部命令还被提供给地址输入块 70 中的第四地址锁存电路 75。

另一方面，在地址输入块 70 中由第一地址锁存电路 72 与时钟信号#1 的上升沿同步地锁存第一地址，而第二地址锁存电路 73 与时钟信号#2 的上升沿同步地锁存第二地址。

然后，第三地址锁存电路 74 根据第一命令解码器 64 提供的第一内部命令来锁存第一地址，并把该第一地址作为第一内部地址提供给下一级中的数据处理电路。再有，第四地址锁存电路 75 根据第二命令解码器 65 提供的第二内部命令来锁存第二地址，并把该第二地址作为第二内部地址提供给下一级中的数据处理电路。

尽管在图 2 中没有示出，但上述数据处理电路根据命令输入块 60 提供的第一和第二内部命令进行预定的处理。当由第一命令解码器 64 向数据处理电路提供第一内部命令时，该数据处理电路开始它的操作，如图 5 中的 (I) 所示。接下来，当由第二命令解码器 65 向该数据处理电路输出第二内部命令时，该数据处理电路根据该第二内部命令适当地修改操作进程，并继续该操作。当数据处理电路确定第一命令或第二命令为不正常的命令时，数据处理电路停止其操作。当数据处理电路进行预定的处理并得到所希望的数据时，所得到的数据从数据处理电路中输出出来，如图 5 中的 (J) 所示。如果是在半导体装置中构成图 2 所示数据处理装置，则从该半导体装置中输出上述数据。

如上文中解释的那样，在本发明的第一实施例中，外部时钟信号的上升沿和下降沿分别与第一和第二命令相关联，而第一命令和第二命令分别在该外部时钟信号的上升沿和下降沿的时刻输入，所以，不需要命令锁存电路做出前述确定，而这些确定是在传统的命令输入电路中所需要的。于是，可以提高命令输入电路 60 中的处理速度。

再有，当获取了第一命令时，开始执行一个命令。所以，当提供足够的时间容限用于处理时，即使在高速操作当中该数据处理装置中也能是稳定的。

再有，由于命令的锁存与外部时钟信号的上升沿和下降沿同步，所以有可能降低功耗，如下文中参考图 6A 和 6B 解释的那样。

图 6A 是一个时序图，说明图 2 所示数据处理装置中的时钟信号和被

锁存命令的时序，而图 6B 是一个时序图，说明传统的数据处理装置中的时钟信号和被锁存命令的时序。

如图 6A 和 6B 中所示，图 2 的数据处理装置中的命令输入块 60 能实现与传统数据处理装置同样的命令锁存速率，而所用时钟信号频率为传统的命令输入电路中的时钟信号频率的一半。这就是说，图 2 的数据处理装置在命令锁存操作中能达到与传统数据处理装置相同的性能，而所用时钟信号的频率是其一半频率。于是，功耗能被降低。

尽管时钟信号是从外部向图 2 的数据处理装置提供的，但也可以有另一种方式，即可以在数据处理装置的内部产生时钟信号。

除了命令锁存操作中的上述改进之外，当在图 2 中的整个数据处理装置中把 DDR（双倍数据速率）技术用于数据输入和输出操作时，有可能进一步提高图 2 的数据处理装置的处理速度。

再有，如果把图 2 的数据处理装置是用于半导体存储器装置中，而且第一命令包括逻辑信息，根据该信息至少能识别出诸如无操作、读操作或写操作等基本操作，在这种情况下，当由数据处理装置读入该第一命令时，该数据处理装置（电路）能开始一个基本操作，如读操作或写操作。当接下来输入第二命令时，数据处理能根据第一和第二命令的组合来确定是否继续读或写操作或者进入另一种操作方式。数据处理系统能进入的操作方式是一种附加操作，如刷新操作。由于能响应第一命令而开始基本操作，如读或写操作，即使当整个命令被分成第一和第二命令而且第一和第二命令相继输入数据处理装置时，也不会发生存取丢失。此外，当整个命令被分成第一和第二命令而且第一和第二命令相继通过同一输入端口输入数据处理装置时，能减少输入端口的个数。

### （3）第二实施例

图 7 显示作为本发明第二实施例的一种数据处理装置的结构。在图 7 中，与图 2 中相同的部件有与图 2 中相同的标号，对于与图 2 中相同的部件，不予重复解释。

图 7 中的结构与图 2 的结构的不同之处在于命令块 80 那一部分。就是说，在图 7 的结构中的命令输入块 80 当中，由第一命令锁存电路 62

输出的第一命令直接提供给第二命令解码器 85，而在图 2 的结构中由第一命令解码器 64 输出的第一内部命令提供给命令输入块 60 中的第二命令解码器 65。

这样，第一命令解码器 84 对第一命令锁存电路 62 提供的第一命令进行解码，产生第一内部命令，并把该第一内部命令提供给下一级中的数据处理电路以及地址输入块 70 中的第三地址锁存电路 74。第二命令解码器 85 对第二命令锁存电路 63 提供的第二命令以及第一命令锁存电路 62 提供的第一命令进行解码，产生第二内部命令，并把该第二内部命令提供给下一级中的数据处理电路以及地址输入块 70 中的第四地址锁存电路 75。

图 2 和图 7 的结构中的其他部分是完全相同的。

下面参考图 8 来解释图 7 所示数据处理装置的操作，图 8 是说明图 7 所示数据处理装置操作的时序图。

当把外部时钟信号（如图 8 中的（A）所示）提供给图 7 的数据处理装置时，时钟缓存器电路 50 产生时钟信号#1（如图 8 中的（C）所示）和时钟信号#2（如图 8 中的（D）所示），并把时钟信号#1 和#2 提供给图 7 所示数据处理装置的各自部分。

第一命令与外部时钟信号的上升沿同步地输入到输入电路 61 中，第二命令与外部时钟信号的下降沿同步地输入到输入电路 61 中，如图 8 中的（B）所示。输入电路 61 对传递第一和第二命令的命令信号进行整形并把整形后的命令信号提供给第一命令锁存电路 62 和第二命令锁存电路 63。

第一命令锁存电路 62 与时钟信号#1 的上升沿同步地锁存由输入电路 61 提供的第一命令，如图 8 中的（E）所示。

第二命令锁存电路 63 与时钟信号#2 的上升沿同步地锁存由输入电路 61 提供的第二命令，如图 8 中的（F）所示。

第一命令解码器 84 对第一命令锁存电路 62 提供的第一命令解码，产生第一内部命令，如图 8 中的（G）所示，并把该第一内部命令输出到下一级中的数据处理电路和第三地址锁存电路 74。

第二命令解码器 85 对第一命令锁存电路 62 提供的第一命令以及第二命令锁存电路 63 提供的第二命令进行解码，并确定该第一命令和第二命令的组合是否正常。当第二命令解码器 85 确定该第一命令和第二命令的组合正常时，第二命令解码器 85 产生第二内部命令，如图 8 中的 (H) 所示，并把该第二内部命令提供给下一级中的数据处理电路以及地址输入块 70 中的第四地址锁存电路 75。

另一方面，在地址输入块 70 中，由第一地址锁存电路 72 与时钟信号 #1 的上升沿同步地锁存第一地址，由第二地址锁存电路 73 与时钟信号 #2 的上升沿同步地锁存第二地址。

然后，第三地址锁存电路 74 根据第一命令解码器 84 提供的第一内部命令来锁存第一地址，并把该第一地址作为第一内部地址输出到下一级中的数据处理电路。再有，第四地址锁存电路 75 根据第二命令解码器 85 提供的第二内部命令来锁存第二地址，并把该第二地址作为第二内部地址输入到下一级中的数据处理电路。

虽然在图 7 中未示出，但上述数据处理电路是根据命令输入块 80 提供的第一和第二命令进行预定处理的。当由第一命令解码器 84 向数据处理电路提供第一命令时，该数据处理电路开始其操作，如图 8 中的 (I) 所示。接下来，当由第二命令解码器 85 向数据处理电路提供第二内部命令时，该数据处理电路根据第二内部命令适当地修改操作进程，并继续其操作。当数据处理电路确定第一命令或第二命令不正常时，该数据处理电路停止其操作。当在下一级中的电路完成预定处理并得到所希望的数据时，由数据处理电路输出所得到的数据，如图 8 中的 (J) 所示。在图 7 的数据处理装置是在一半导体装置中形成的情况中，上述数据由该半导体装置输出。

#### (4) 第三实施例

图 9 显示作为本发明第三实施例的数据处理装置的结构。图 9 所示数据处理装置包含一个时钟缓存器电路 100、一个命令输入块 110 以及一个地址输入块 120。

时钟缓存器电路 100 接收外部时钟信号 #1 和 #2，并输出内部时钟信

号#1 至#4。图 10 显示图 9 中时钟缓存器 100 结构的一个实例。图 10 的时钟缓存器 100 包含反相器 (inverter) 100a 和 100b, NAND 电路部件 100c 至 100f, 以及反相器 100g 至 100j。

反相器 100a 接收外部时钟信号#1 并将其反相, 并将反相的外部时钟信号#1 提供给 NAND 电路部件 100d 和 100e。反相器 100b 接收外部时钟信号#2 并将其反相, 并将反相的外部时钟信号#2 提供给 NAND 电路部件 100e 和 100f。

NAND 电路部件 100c 得到和输出外部时钟信号#1 和#2 的逻辑积的反相信号。NAND 电路部件 100d 得到和输出外部时钟信号#2 和反相器 100a 输出二者的逻辑积的反相信号。NAND 电路部件 100e 得到和输出反相器 100a 和 100b 输出的逻辑积的反相信号。NAND 电路部件 100f 得到和输出外部时钟信号#1 和反相器 100b 输出二者的逻辑积的反相信号。反相器 100g 至 100j 的输出分别是 NAND 电路部件 100c 至 100f 的输出信号的反相信号。

再参考图 9, 命令输入块 110 包含输入电路 111、第一至第四命令锁存电路 112 至 115、以及第一至第四命令解码器 116 至 119。命令输入块 110 接收命令信号, 从命令信号中提取第一至第四命令, 并把第一至第四命令作为第一至第四内部命令输出。

输入电路 111 包括输入放大器 111a, 它对命令信号整形并输出整形后的命令信号。第一至第四命令锁存电路 112 至 115 分别与内部时钟信号#1 至#4 同步地从输入电路 111 输出的命令信号中提取第一至第四命令, 并分别输出该第一至第四命令。

第一命令解码器 116 对第一命令锁存电路 112 提供的第一命令进行解码。产生第一内部命令, 并把该第一内部命令提供给下一级中的数据处理电路 (未示出)。此外, 第一内部命令还被提供给第二至第四命令解码器 117 至 119, 以及地址输入块 120 中的第五地址锁存电路 126。

第二至第四命令解码器 117 至 119 分别接收第二至第四命令锁存电路 113 至 115 的输出以及第一命令解码器 116 的输出, 产生第二至第四内部命令, 并把第二至第四内部命令输出到下一级中的数据处理电路。此

外，第二至第四内部命令还被分别提供给地址输入块 120 中的第六至第八地址锁存电路 127 至 129。

地址输入块 120 包含输入电路 121、第一至第四地址锁存电路 122 至 125、以及第五至第八地址锁存电路 126 至 129。地址输入块 120 接收地址信号，从这些地址信号中提取第一至第四地址，并把第一至第四地址作为第一至第四内部地址输出到下一级中的数据处理电路。

输入电路 121 包括输入放大器 121a，它对地址信号整形并输出整形后的地址信号。第一至第四地址锁存电路 122 至 125 分别与内部时钟信号#1 至#4 同步地从整形后的地址信号中提取第一至第四地址，并分别输出第一至第四地址。第五至第八地址锁存电路 126 至 129 分别根据第一至第四内部命令对第一至第四地址进行锁存，并分别输出第一至第四地址作为第一至第四内部地址。

下面解释图 9 所示数据处理装置的操作。

首先，参考图 11 解释具有图 10 所示结构的时钟缓存器电路的操作。图 11 是说明时钟缓存器电路 100 操作的时序图。

当把相位相差 90 度的外部时钟信号#1 和#2（如图 11 中的（A）和（B）所示）提供给时钟缓存器电路 100 时，NAND 电路部件 100c 输出外部时钟信号#1 和#2 的逻辑积的反相信号，而反相器 100g 输出 NAND 电路部件 100c 的输出的再次反相信号作为内部时钟信号#1。由于内部时钟信号#1 与外部时钟信号#1 和#2 的逻辑积基本相同，所以当外部时钟信号#1 和#2 二者都为“H”时，内部时钟信号#1 变为“H”，如图 11 中的（C）所示。

类似地，由于内部时钟信号#2 与外部时钟信号#2 和外部时钟信号#1 的反相信号的逻辑积基本相同，所以当外部时钟信号#2 和外部时钟信号#1 的反相信号二者都为“H”时，内部时钟信号#2 变为“H”，如图 11 中的（D）所示。

内部时钟信号#3 与外部时钟信号#1 的反相信号和外部时钟信号#2 的反相信号二者的逻辑积基本相同。所以当外部时钟信号#1 的反相信号和外部时钟信号#2 的反相信号二者都为“H”时，内部时钟信号#3 变为“H”，

如图 11 中的 (E) 所示。

内部时钟信号#4 与外部时钟信号#1 和外部时钟信号#2 的反相信号二者的逻辑积基本相同，当外部时钟信号#1 和外部时钟信号#2 的反相信号二者都为“H”时，内部时钟信号#4 变为“H”，如图 11 中的 (F) 所示。

这样，由时钟缓存器电路 100 产生内部时钟信号#1 至#4，这里在内部时钟信号#2 的上升沿时刻内部时钟信号#1 上升，在内部时钟信号#1 的下降沿时刻内部时钟信号#2 上升，在内部时钟信号#2 的下降沿时刻内部时钟信号#3 上升，而在内部时钟信号#1 的上升沿时刻内部时钟信号#4 上升。

内部时钟信号#1 至#4 被分别提供给第一至第四命令锁存电路 112 至 115 和第一至第四地址锁存电路 122 至 125。

在命令输入块 110 中第一至第四命令锁存电路 112 至 115 接收由输入电路 111 整形的命令信号，并分别与内部时钟信号#1 至#4 的上升沿同步地锁存第一至第四命令。

第一命令解码器 116 对第一命令锁存电路 112 提供的第一命令解码，产生第一内部命令，并把该第一内部命令提供给下一级中的数据处理电路，第二至第四命令解码器 117 至 119 以及地址输入块 120 中的第五地址锁存电路 126。

第二命令解码器 117 对第一命令解码器 116 提供的第一内部命令和第二命令锁存电路 113 提供的第二命令进行解码，并确定第一内部命令和第二命令的组合是否正常。当第二命令解码器 117 确定第一内部命令和第二命令的组合为正常时，第二命令解码器 117 产生第二内部命令，并把该第二内部命令输出到下一级中的数据处理电路以及地址输入块 120 中的第六地址锁存电路 127。

第三命令解码器 118 对第一命令解码器 116 提供的第一内部命令和第三命令锁存电路 114 提供的第三命令进行解码，并确定第一内部命令与第三命令的组合是否正常。当第三命令解码器 118 确定第一内部命令和第三命令的组合为正常时，第三命令解码器 118 产生第三内部命令，并把该第三内部命令输出到下一级中的数据处理电路和地址输入块 120

中的第七地址锁存电路 128。

第四命令解码器 119 对第一命令解码器提供的第一内部命令和第四命令锁存电路 115 提供的第四命令进行解码，确定第一内部命令和第四命令的组合是否正常。当第四命令解码器 119 确定第一内部命令和第四命令的组合为正常时，第四命令解码器 119 产生第四内部命令，并把该第四内部命令输出到下一级中的数据电路和地址输入块 120 中的第八地址锁存电路 129。

地址输入块 120 中的第一至第四地址锁存电路 122 至 125 接收由输入电路 121 整形的地址信号，分别与内部时钟信号#1 至#4 同步地锁存第一至第四地址。

第五至第八地址锁存电路 126 至 129 分别根据由一第至第四命令解码器 116 至 119 提供的第一至第四内部命令锁存第一至第四地址，并把第一至第四地址作为内部第一至第四地址输出到下一级中的数据电路。

虽然在图 9 中未示出，但上述数据电路根据由命令输入块 110 提供的第一和第二内部命令进行预定的处理。当由第一命令解码器 116 向数据电路提供第一内部命令时，数据电路开始其操作。接下来，当由第二至第四命令解码器 117 至 119 分别向该数据电路提供第二至第四命令时，该数据电路根据第二至第四内部命令适当地修改操作进程并继续其操作。当数据电路确定第二至第四命令中至少有一个不正常时，该数据电路停止其操作。

如上文解释的那样，在作为本发明第三实施例的数据处理装置中，所产生的内部时钟信号#1 至#4 对应于外部时钟信号的上升沿和下降沿，而作为第三实施例的数据处理装置被安排成与内部时钟信号#1 至#4 的边沿同步地锁存命令和地址。所以，不需要命令锁存电路做出前述确定，而这些确定是在传统的命令输入电路中所需要的。于是，能提高命令输入块中的处理速度。

#### (5) 第四实施例

图 12 显示作为本发明第四实施例的数据处理装置的结构。在图 12

中，与图 9 中相同的部件有与图 9 中相同的标号，对于与图 9 中相同的部件，不予重复解释。

如图 12 中所示，作为本发明第四实施例的数据处理装置与图 9 所示数据处理装置的不同之处仅在于命令输入块 130 的一部分。

命令输入块 130 包含一个输入电路 111，第一至第四命令锁存电路 112 至 115，以及第一至第四命令解码器 136 至 139。命令输入块 130 接收命令信号，从命令信号中提取第一至第四命令，并输出第一至第四命令作为第一至第四内部命令。

输入电路 111 包括输入一个放大器 111a，对命令信号整形并输出整形后的命令信号。第一至第四命令锁存电路 112 至 115 分别与内部时钟信号#1 至#4 同步地从输入电路 111 输出的命令信号中提取第一至第四命令，并分别输出第一至第四命令。

第一命令解码器 136 对第一命令锁存电路 112 提供的第一命令进行解码，产生第一内部命令，并把该第一内部命令提供给下一级中的数据处理电路。此外，该第一内部命令还被提供给第二命令解码器 137 以及地址输入块 120 中的第五地址锁存电路 126。

第二命令解码器 137 对第一命令解码器 136 的输出以及第二命令锁存电路 113 提供的第二命令进行解码，产生第二内部命令，并把该第二内部命令提供给下一级中的数据处理电路。此外，该第二内部命令还被提供给第三命令解码器 138 以及地址输入块 120 中的第六地址锁存电路 127。

第三命令解码器 138 对第二命令解码器 137 的输出以及第三命令锁存电路 114 提供的第三命令进行解码，产生第三内部命令，并把该第三内部命令提供给下一级中的数据处理电路，此外，该第三内部命令还被提供给第四命令解码器 139 以及地址输入块 120 中的第七地址锁存电路 128。

第四命令解码器 139 对第三命令解码器 138 的输出以及第四命令锁存电路 115 提供的第四命令进行解码，产生第四内部命令，并把该第四内部命令提供给下一级中的数据处理电路。此外，该第四内部命令还被

提供给地址输入块 120 中的第八地址锁存电路 129。

图 12 所示数据处理装置中的地址输入块 120 的结构和操作都与图 9 所示数据处理装置的完全相同。

下面解释图 12 所示数据处理装置的操作，这里与本发明第三实施例相同的部件的相同操作将不予重复解释。

第一命令解码器 136 对第一命令锁存电路 112 提供的第一命令进行解码，产生第一内部命令，并把该第一内部命令提供给下一级中的数据处理电路、第二命令解码器 137 以及地址输入块 120 中的第五地址锁存电路 126。

第二命令解码器 137 对第一命令解码器 136 提供的第一内部命令和第二命令锁存电路 113 提供的第二命令进行解码，并确定第一内部命令和第二命令的组合是否正常。当第二命令解码器 137 确定该第一内部命令和该第二命令的组合为正常时，第二命令解码器 137 产生第二内部命令，并把该第二命令输出到下一级中的数据处理电路、第三命令解码器 138 以及地址输入块 120 中的第六地址锁存电路 127。

第三命令解码器 138 对第二命令解码器 137 提供的第二内部命令和第三命令锁存电路 114 提供的第三命令进行解码，并确定第二内部命令和第三命令的组合是否正常。当第三命令解码器 138 确定该第二内部命令和该第三命令的组合为正常时，第三命令解码器 138 产生第三内部命令，并把该第三内部命令输出到下一级中的数据处理电路、第四命令解码器 139 以及地址输入块 120 中的第七地址锁存电路 128。

第四命令解码器 139 对第三命令解码器 138 提供的第三内部命令和第四命令锁存电路 115 提供的第四命令进行解码，并确定第三内部命令和第四命令的组合是否正常。当第四命令解码器 139 确定该第三内部命令和该四命令的组合为正常时，第四命令解码器 139 产生第四内部命令，并把该第四内部命令输出到下一级中的数据处理电路以及地址输入块 120 中的第八地址锁存电路 129。

当由第一命令解码器 136 向安排在命令输入块 130 后面的一级中的数据处理电路提供第一内部命令时，该数据处理电路开始其操作，当由

第二至第四命令解码器 137 至 139 分别向该数据处理电路提供第二至第四内部命令时，数据处理电路根据第二至第四内部命令适当地修改操作进程并继续其操作。当数据处理电路确定第二至第四命令中至少有一个不正常时，该数据处理电路停止其操作。

如上文解释的那样，在作为本发明第四实施例的数据处理装置中，由于与第三实施例相同的原因，不需要命令锁存电路进行上述确定，而这些确定在传统的命令输入电路中是需要的。于是，能提高该命令输入块中的处理速度。

#### (6) 变化与其他事项

(i) 虽然在本发明的第三和第四实施例中是与两个外部时钟信号#1和#2的上升沿和下降沿同步地锁存命令和地址，但也可以把该数据处理装置安排成与多于两个的外部时钟信号同步地锁存命令和地址。再有，也可以把该数据处理装置安排成只与多于一个的外部进钟信号的一部分上升沿和下降沿同步地锁存命令和地址。

(ii) 上述内容只是考虑作为对本发明原理的举例说明。此外，由于本领域技术人员易于想到各种修改和变化，故不希望把本发明限制在所显示和描述的确切结构和应用，因此，所有适当的修改和等同都可被视作在所附权利要求及其等同中提出的本发明范围内。

(iii) 此外，日本专利申请 2001-039299 的全部内容以参考的方式被包含在本说明中。

图1

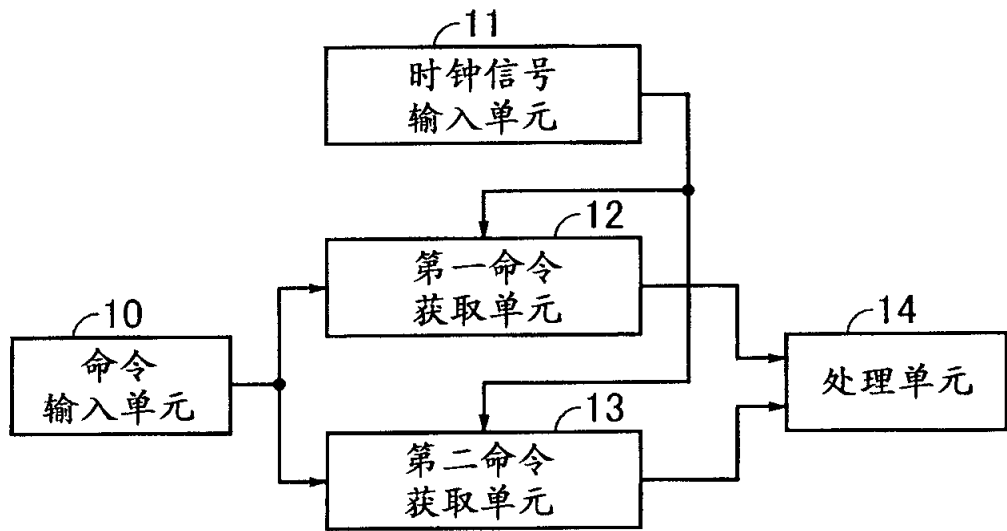


图 2

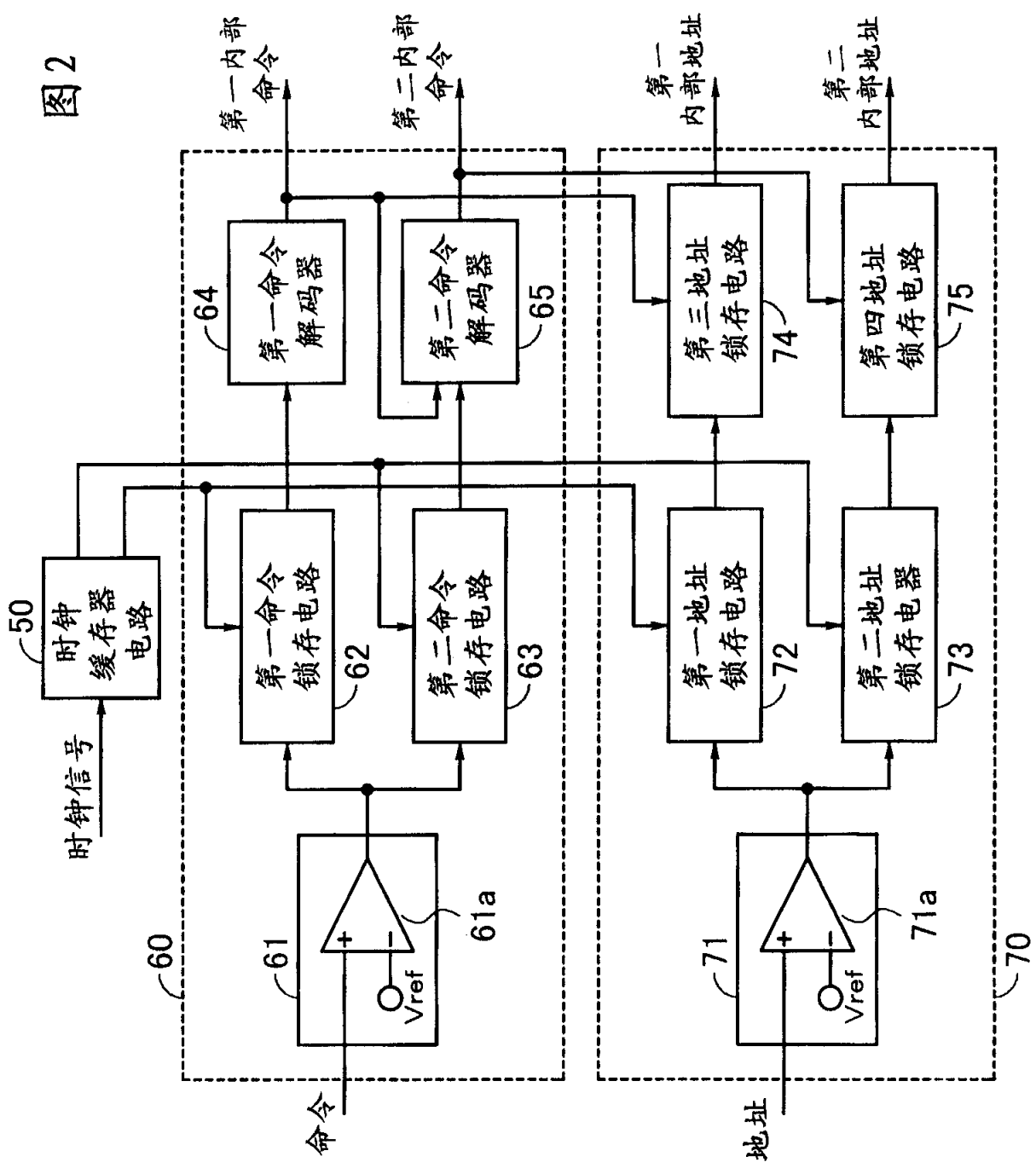
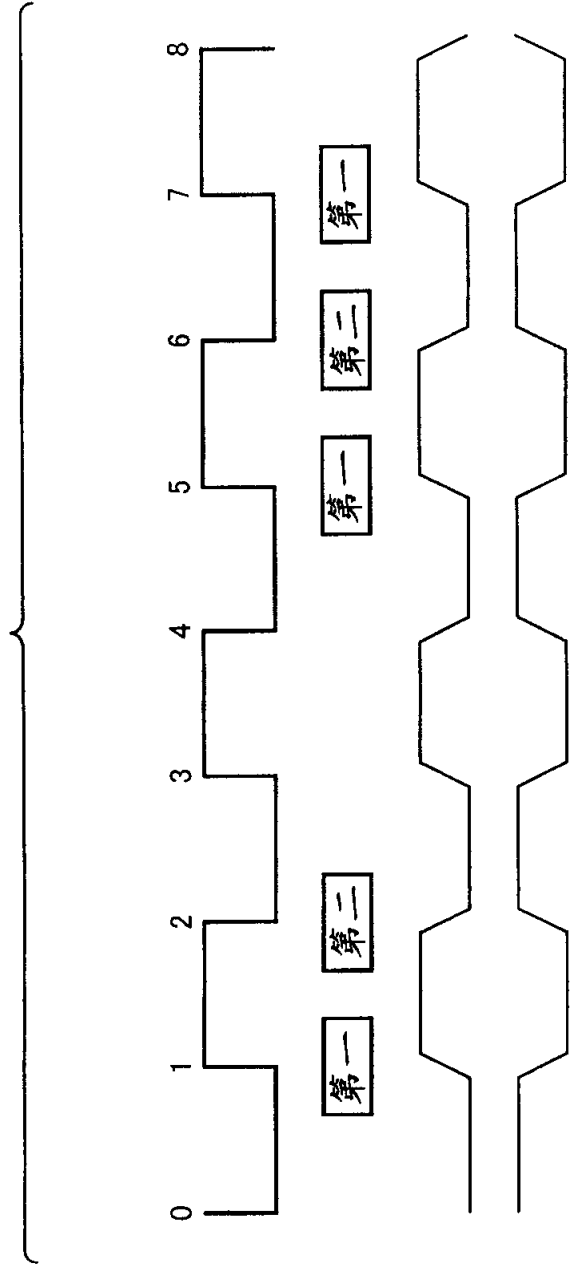


图3



(A): 时钟信号

(B): 命令

(C): 时钟信号#1

(D): 时钟信号#2

图 4

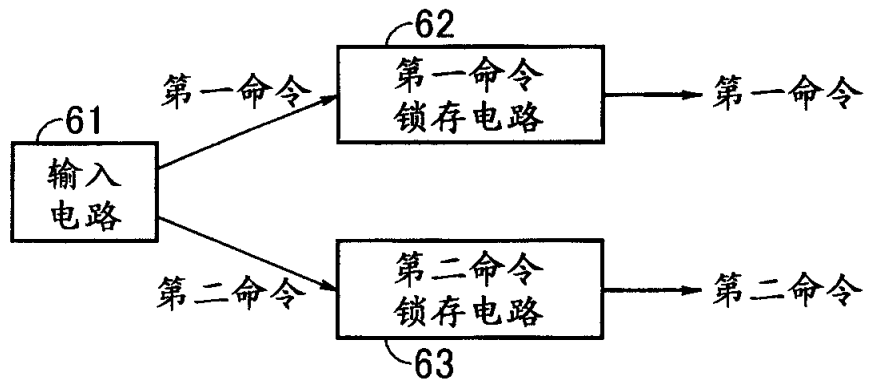


图5

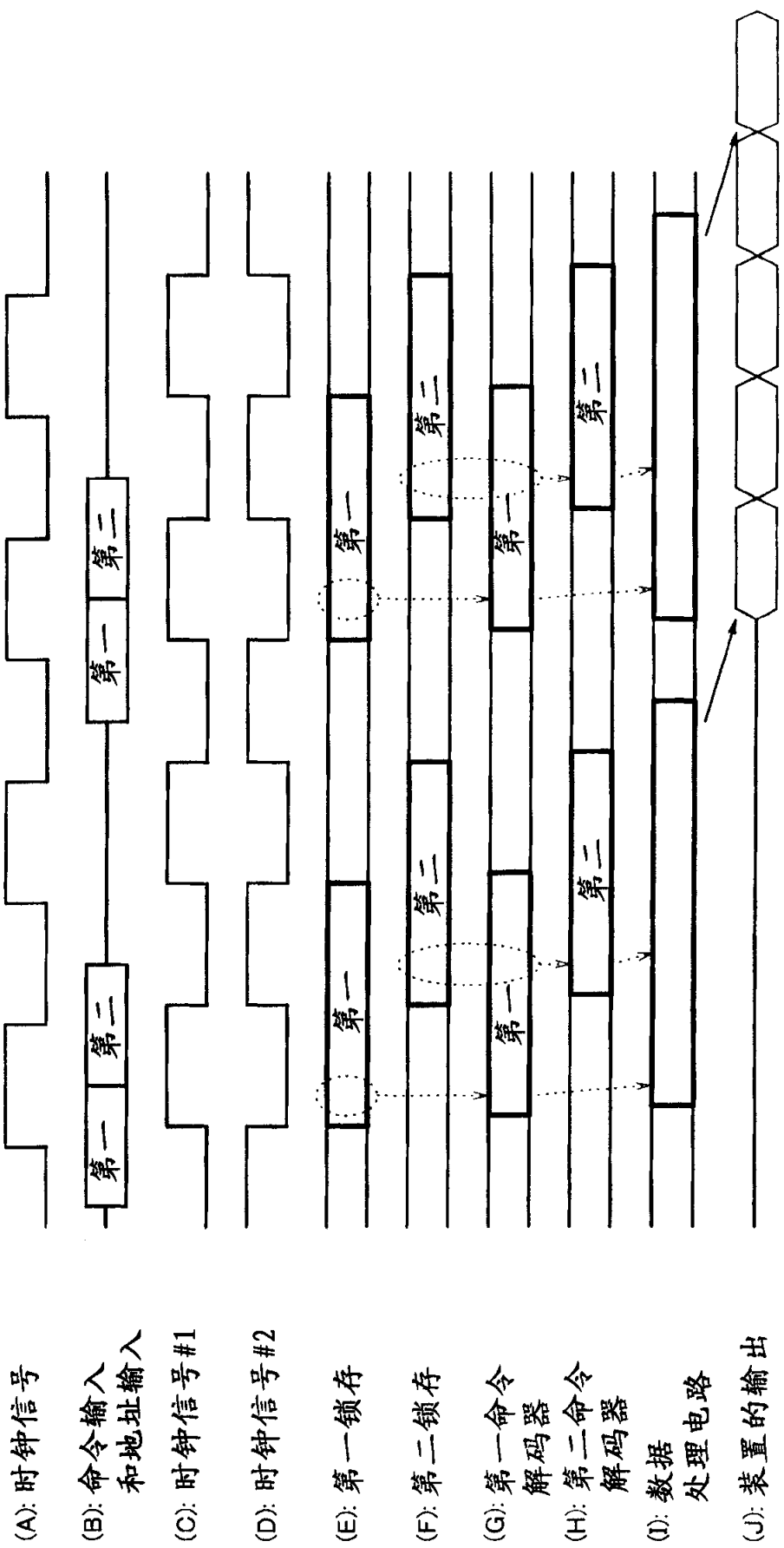
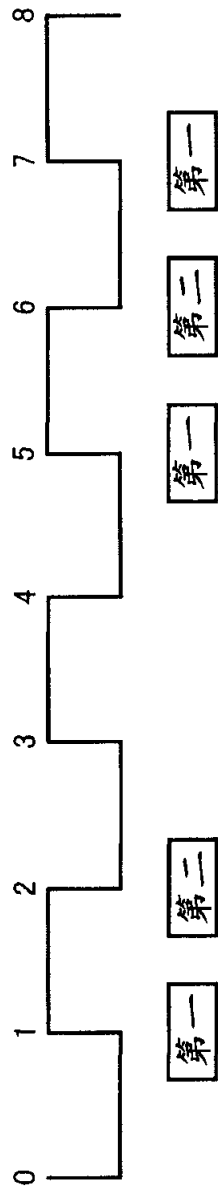


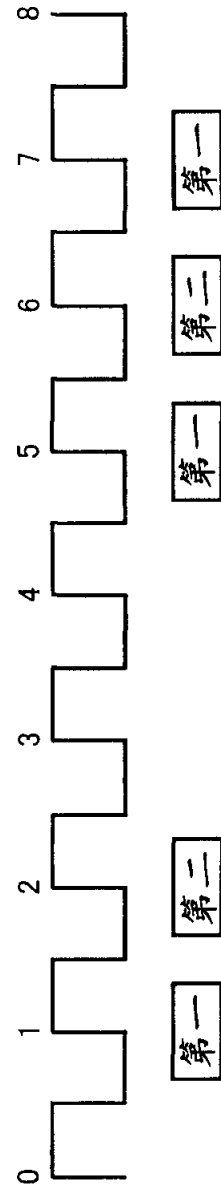
图6A



(A): 时钟信号

(B): 命令

图6B



(C): 时钟信号

(D): 命令

图7

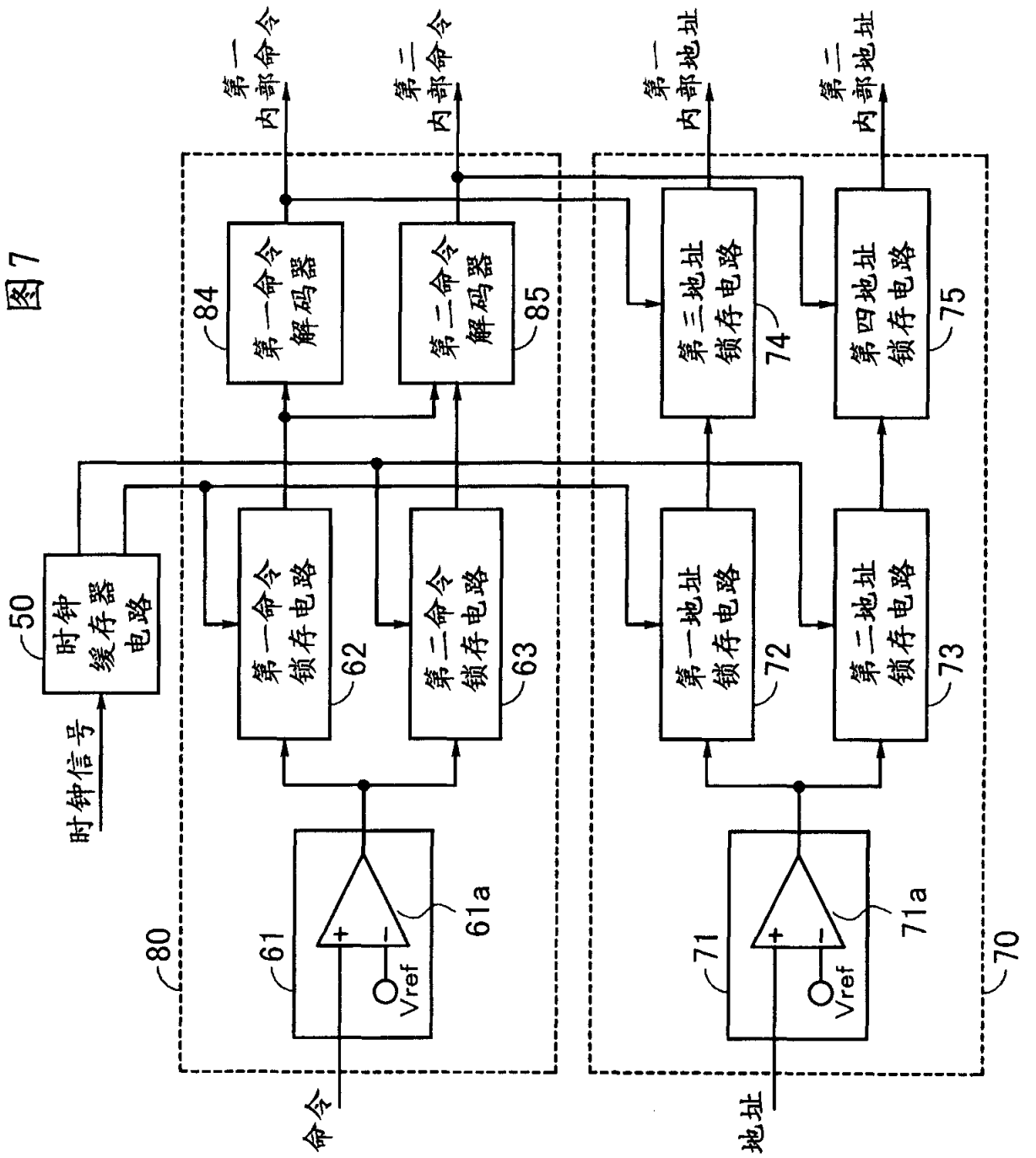


图 8

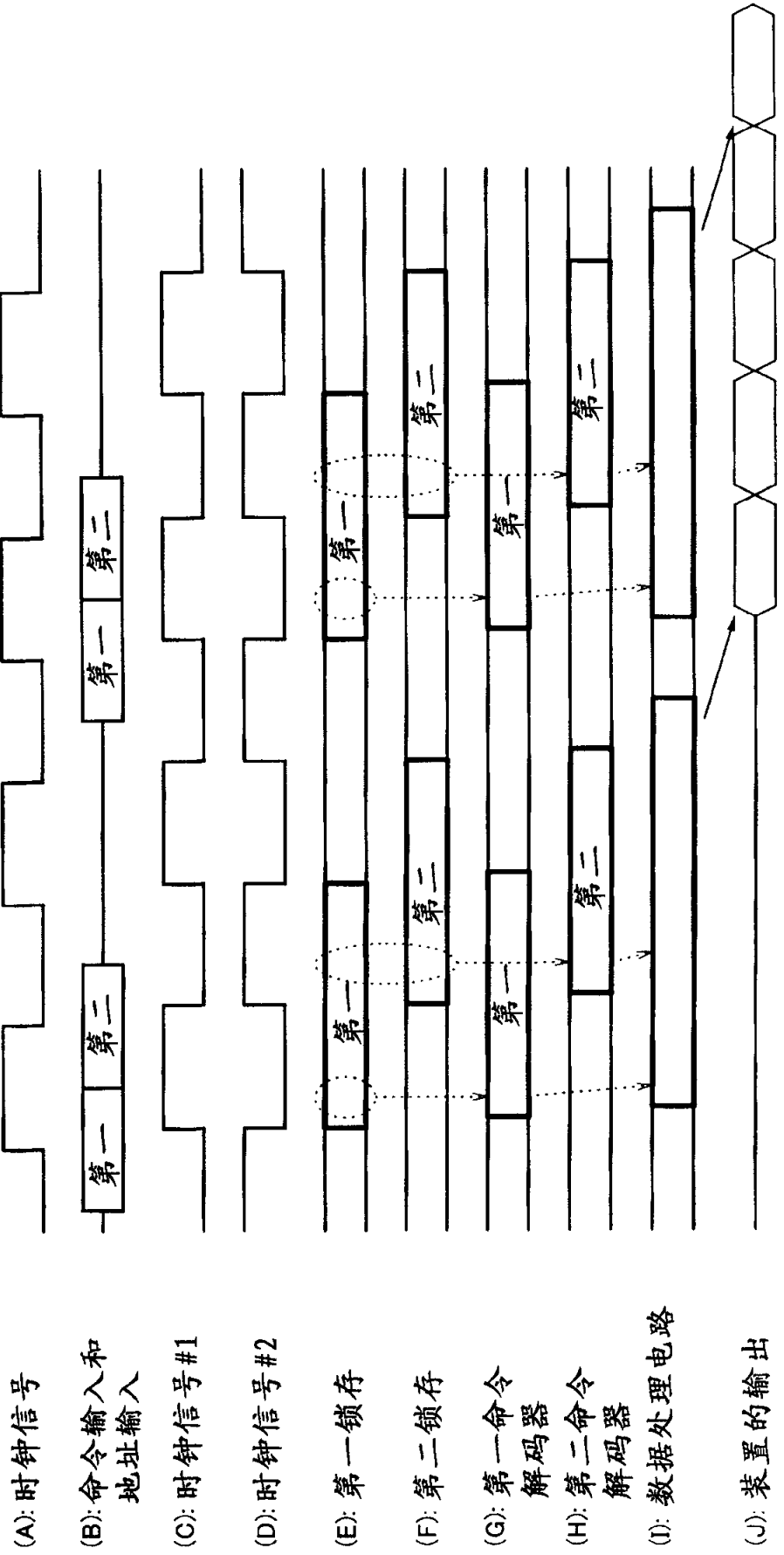


图9

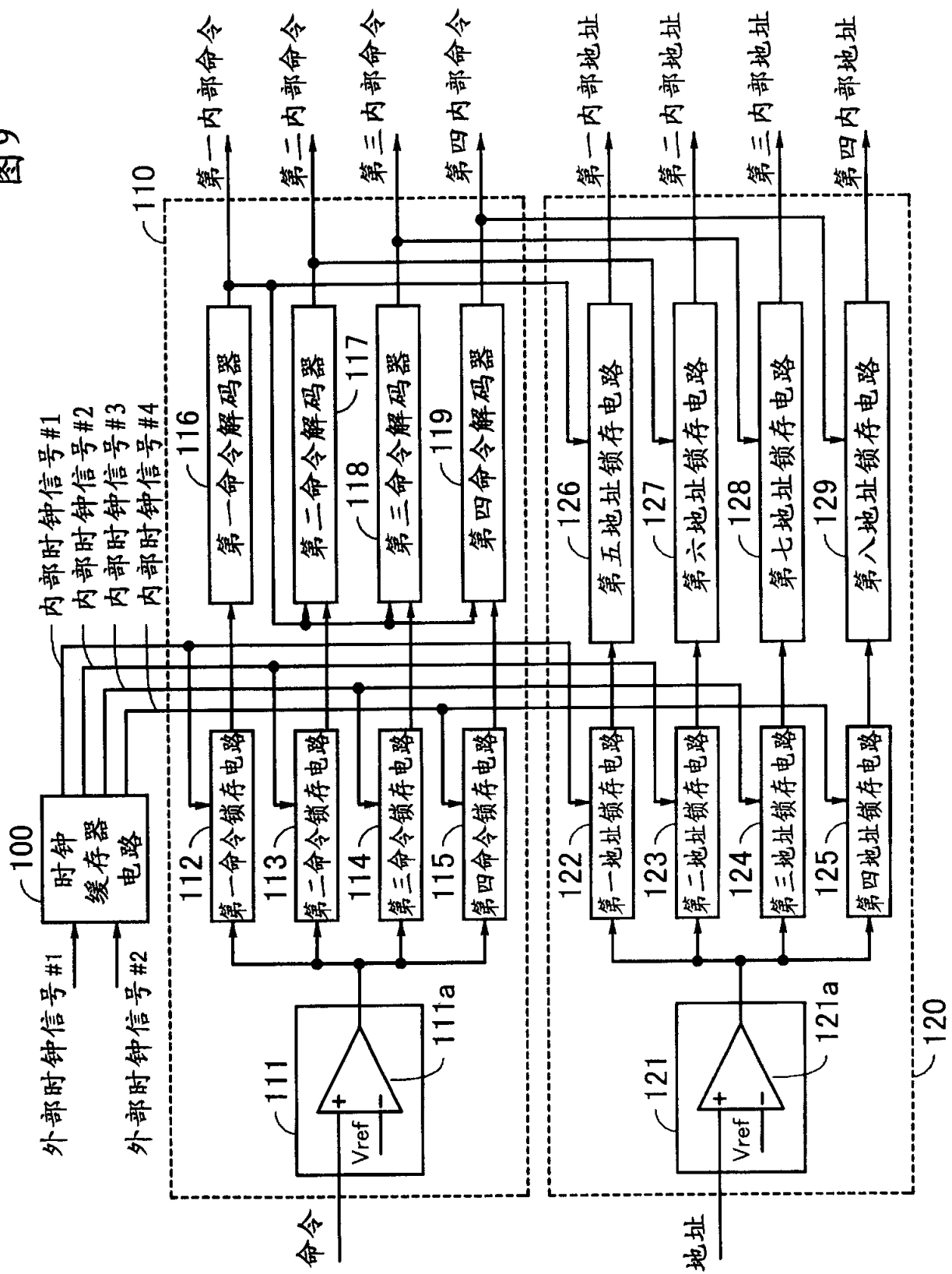


图 10

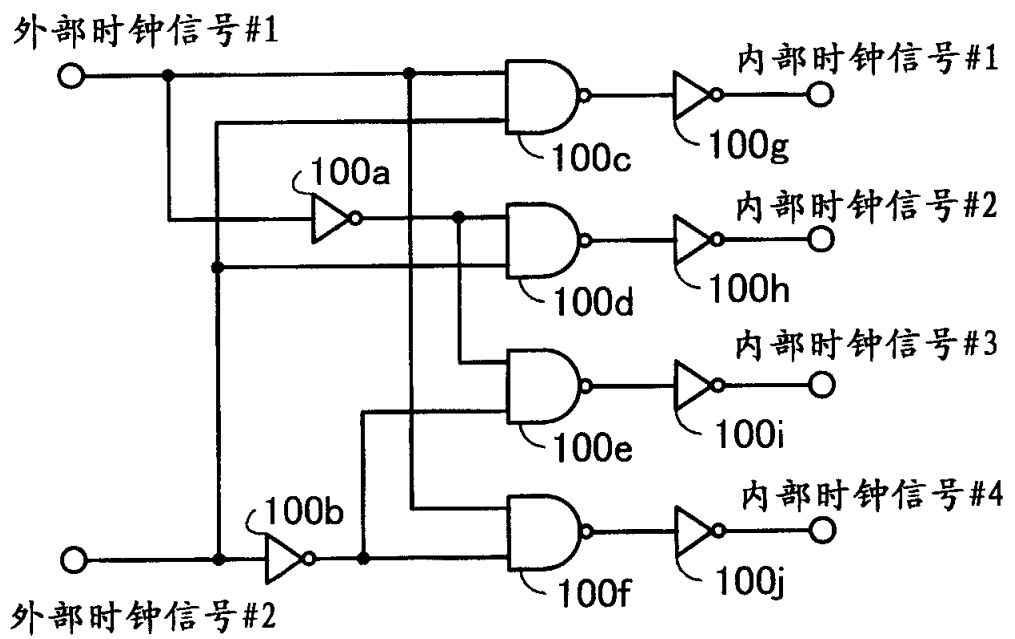
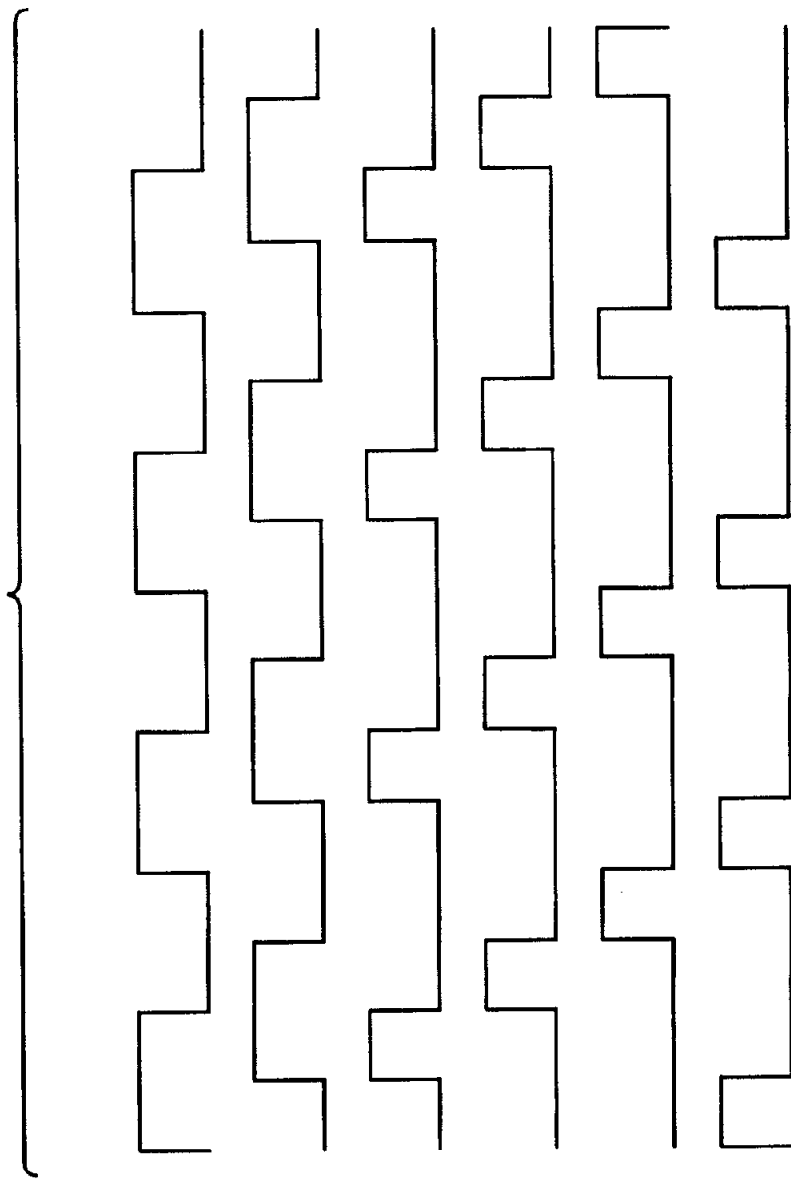


图11



(A): 外部时钟信号#1

(B): 外部时钟信号#2

(C): 内部时钟信号#1

(D): 内部时钟信号#2

(E): 内部时钟信号#3

(F): 内部时钟信号#4

图12

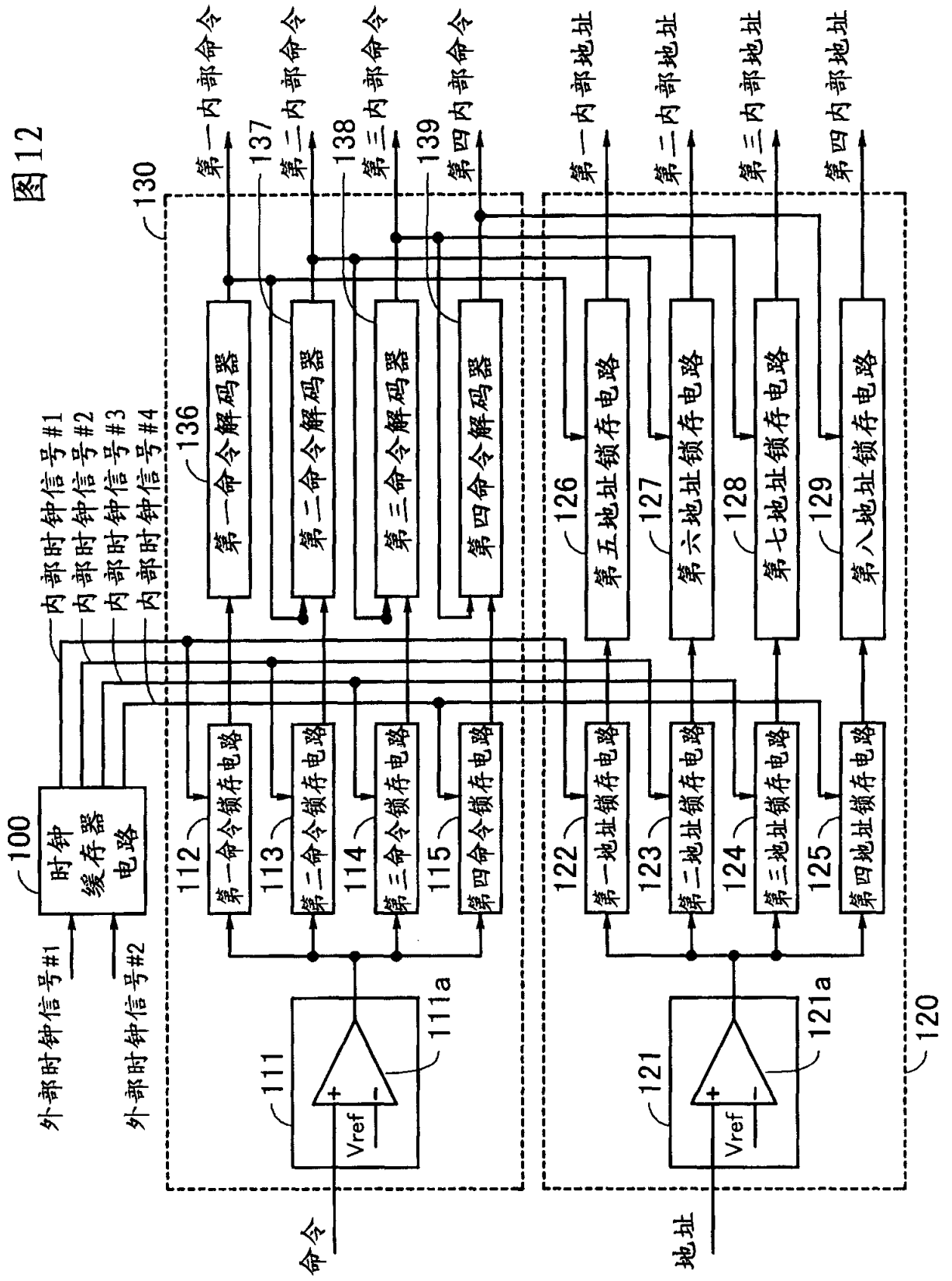


图13  
现有技术

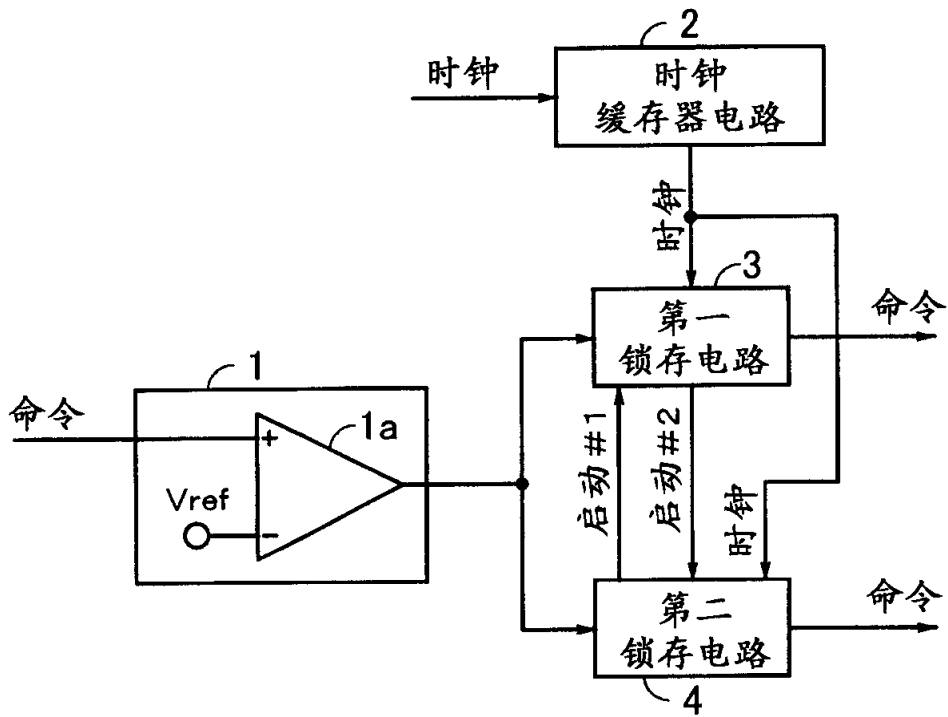
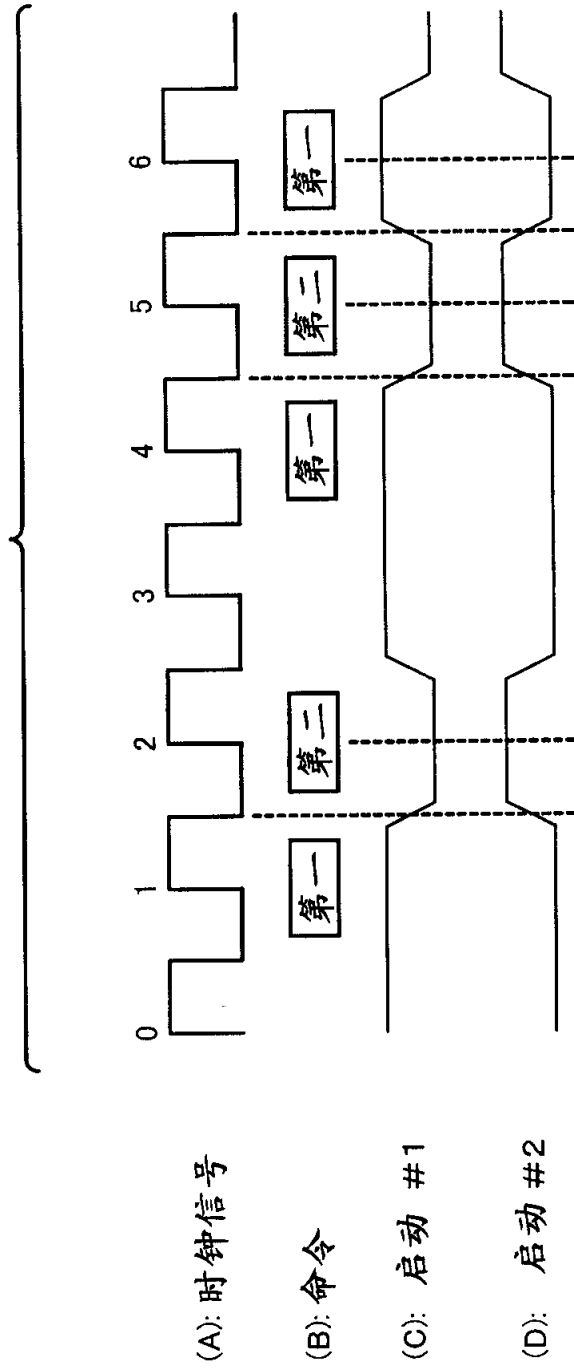


图14



现有技术

图15

现有技术

