

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2015-188071

(P2015-188071A)

(43) 公開日 平成27年10月29日 (2015. 10. 29)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 27/10 (2006.01)	H O 1 L 27/10 4 7 1	5 B O 1 5
H O 1 L 21/8247 (2006.01)	H O 1 L 27/10 3 7 1	5 F O 4 8
H O 1 L 27/115 (2006.01)	H O 1 L 27/10 4 3 4	5 F O 8 3
H O 1 L 21/8242 (2006.01)	H O 1 L 27/10 6 8 1 F	5 F 1 1 O
H O 1 L 27/108 (2006.01)	H O 1 L 27/10 6 7 1 Z	
審査請求 未請求 請求項の数 5 O L (全 52 頁) 最終頁に続く		

(21) 出願番号 特願2015-45448 (P2015-45448)
 (22) 出願日 平成27年3月9日 (2015. 3. 9)
 (31) 優先権主張番号 特願2014-51215 (P2014-51215)
 (32) 優先日 平成26年3月14日 (2014. 3. 14)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 筒井 直昭
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

F ターム (参考) 5B015 KA13 PP00
 5F048 AB01 AB03 AC01 BA14 BA16
 BA19 BA20 BB01 BB02 BB03
 BB12 BB14 BC06 BC18 BD06
 BD10 BF02 BF07 BF15 BF16
 BF19 BG12 BG13 CB01 CB03
 CB04 CB10 DA24

最終頁に続く

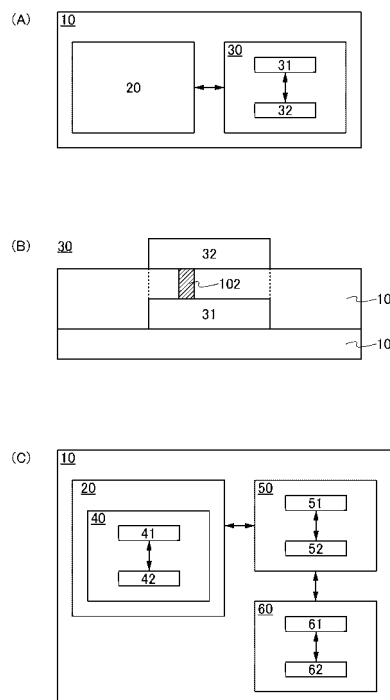
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 高速な動作およびサイズの縮小が可能な半導体装置の提供。

【解決手段】 回路 3 0 が記憶回路を有する回路 3 1 と、論理回路を有する回路 3 2 を有することにより、回路 3 0 を、データを記憶する機能および論理演算を行う機能を有する記憶装置として機能させる。回路 3 0 は、回路 3 1 に記憶されたデータに加え、回路 3 1 に記憶されたデータを入力信号とした論理演算の結果に対応するデータを出力することができる。回路 2 0 は、回路 3 0 から論理演算の結果を直接得ることができ、これにより、回路 2 0 と回路 3 0 の間で行われる信号の入出力の頻度を減らすことができる。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

セルアレイを有し、

前記セルアレイは、第 1 の回路と、絶縁層を介して前記第 1 の回路上に設けられた第 2 の回路と、を有し、

前記第 1 の回路は、記憶回路を有し、

前記第 2 の回路は、論理回路を有し、

前記論理回路は、前記記憶回路と電氣的に接続され、

前記論理回路は、前記記憶回路に記憶されたデータを入力信号として、論理演算を行う機能を有し、

10

前記第 2 の回路は、前記第 1 の回路と重なる領域を有する半導体装置。

【請求項 2】

請求項 1 において、

前記記憶回路に記憶されたデータと、前記論理演算の結果と、を中央処理装置に出力する機能を有する半導体装置。

【請求項 3】

請求項 1 又は 2 において、

前記記憶回路は、第 1 のトランジスタを有し、

前記論理回路は、第 2 のトランジスタを有し、

前記第 1 のトランジスタは、チャンネル形成領域に単結晶半導体を含み、

20

前記第 2 のトランジスタは、チャンネル形成領域に酸化物半導体を含む半導体装置。

【請求項 4】

請求項 3 において、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと電氣的に接続されている半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、

記憶回路は、S R A Mセルを有し、

前記論理回路は、A N D回路、O R回路、N A N D回路、N O R回路のいずれか、またはこれらを組み合わせた回路を有する半導体装置。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の一態様は、データの記憶および論理演算を行う機能を有する半導体装置に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関する。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。または、本発明の一態様は、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法に関する。

40

【背景技術】**【0003】**

コンピュータにおける情報処理は、制御装置および演算装置を備えた中央処理装置（C P U）によって行われる。中央処理装置は、メモリに格納されたプログラムの処理、データの入出力の制御、メモリに格納されたデータに対する論理演算などを行う。

【0004】

論理演算は、メモリに格納されたデータを読み出して中央処理装置に入力する処理、中央処理装置が備える論理回路を用いて論理演算を行う処理、論理演算の結果をメモリに書き込む処理によって行われる。このように、通常、論理回路は中央処理装置の内部に設けら

50

れ、論理演算は中央処理装置において行われる。

【 0 0 0 5 】

また、特許文献 1 には、メモリアレイと接続された論理回路を備えた集積回路の構成が開示されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 特開 2 0 1 1 - 1 5 5 2 6 4 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

10

【 0 0 0 7 】

論理演算を行う場合、中央処理装置において演算を行う動作の他、所望のデータをメモリから読み出す動作、演算結果をメモリに書き込む動作が必要となる。そのため、論理演算に要する期間が増大し、コンピュータにおける処理時間が増加する。

【 0 0 0 8 】

また、特許文献 1 に記載された集積回路においては、メモリアレイおよび論理回路が同一の基板上に形成されるため、論理回路を設けると集積回路の面積が増大する。また、コンピュータの動作速度の低下、消費電力の増加につながる。

【 0 0 0 9 】

上記の技術的背景の下、本発明の一態様は、新規な半導体装置の提供を課題の一つとする。

20

【 0 0 1 0 】

また、本発明の一態様は、高速な動作が可能な半導体装置の提供を課題の一つとする。また、本発明の一態様は、サイズの縮小が可能な半導体装置の提供を課題の一つとする。

【 0 0 1 1 】

なお、本発明の一態様は、必ずしも上記の課題の全てを解決する必要はなく、少なくとも一の課題を解決できればよい。また、上記の課題の記載は、他の課題の存在を妨げるものではない。これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

30

【 課題を解決するための手段 】

【 0 0 1 2 】

本発明の一態様にかかる半導体装置は、セルアレイを有し、セルアレイは、第 1 の回路と、絶縁層を介して第 1 の回路上に設けられた第 2 の回路と、を有し、第 1 の回路は記憶回路を有し、第 2 の回路は論理回路を有し、論理回路は記憶回路と電気的に接続され、論理回路は、記憶回路に記憶されたデータを入力信号として、論理演算を行う機能を有し、第 2 の回路は、第 1 の回路と重なる領域を有する。

【 0 0 1 3 】

さらに、本発明の一態様にかかる半導体装置は、記憶回路に記憶されたデータと、論理演算の結果と、を中央処理装置に出力する機能を有していてもよい。

40

【 0 0 1 4 】

さらに、本発明の一態様にかかる半導体装置では、記憶回路は、第 1 のトランジスタを有し、論理回路は、第 2 のトランジスタを有し、第 1 のトランジスタは、チャネル形成領域に単結晶半導体を含み、第 2 のトランジスタは、チャネル形成領域に酸化物半導体を含んでいてもよい。

【 0 0 1 5 】

さらに、本発明の一態様にかかる半導体装置では、第 1 のトランジスタのソース又はドレインの一方は、第 2 のトランジスタのゲートと電気的に接続されていてもよい。

【 0 0 1 6 】

さらに、本発明の一態様にかかる半導体装置では、記憶回路は、S R A Mセルを有し、論

50

理回路は、AND回路、OR回路、NAND回路、NOR回路のいずれか、またはこれらを組み合わせた回路を有していてもよい。

【発明の効果】

【0017】

本発明の一態様により、新規な半導体装置を提供することができる。

【0018】

また、本発明の一態様により、高速な動作が可能な半導体装置を提供することができる。
また、本発明の一態様により、サイズの縮小が可能な半導体装置を提供することができる。

【0019】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0020】

【図1】半導体装置の構成の一例を説明する図。

【図2】半導体装置の構成の一例を説明する図。

【図3】半導体装置の構成の一例を説明する図。

【図4】半導体装置の構成の一例を説明する回路図。

【図5】半導体装置の構成の一例を説明する回路図。

【図6】半導体装置の構成の一例を説明する回路図。

【図7】半導体装置の構成の一例を説明する回路図。

【図8】トランジスタの構成の一例を説明する図。

【図9】トランジスタの構成の一例を説明する図。

【図10】トランジスタの構成の一例を説明する図。

【図11】トランジスタの構成の一例を説明する図。

【図12】トランジスタの構成の一例を説明する図。

【図13】トランジスタの構成の一例を説明する図。

【図14】電子機器を説明する図。

【図15】酸化物半導体の構造の一例を説明する図。

【図16】酸化物半導体の構造の一例を説明する図。

【図17】酸化物半導体の構造の一例を説明する図。

【図18】酸化物半導体の構造の一例を説明する図。

【発明を実施するための形態】

【0021】

以下、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の実施の形態における説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0022】

また、本発明の一態様には、RF(Radio Frequency)タグ、半導体表示装置、集積回路を含むあらゆる装置が、その範疇に含まれる。また、表示装置には、液晶表示装置、有機発光素子に代表される発光素子を各画素に備えた発光装置、電子ペーパー、DMD(Digital Micromirror Device)、PDP(Plasma Display Panel)、FED(Field Emission Display)など、集積回路を回路に有している表示装置が、その範疇に含まれる。

【0023】

(実施の形態1)

本実施の形態では、本発明の一態様に係る構成の一例について説明する。

10

20

30

40

50

【 0 0 2 4 】

図 1 (A) に、本発明の一態様にかかる半導体装置 1 0 の構成の一例を示す。半導体装置 1 0 は、回路 2 0、回路 3 0 を有する。

【 0 0 2 5 】

回路 2 0 は、情報処理や他の回路の制御などを行う機能を有する回路である。回路 2 0 は、複数のトランジスタを有する集積回路によって構成することができる。また、回路 2 0 は、順序回路や組み合わせ回路などの各種の論理回路を有する構成とすることができる。回路 2 0 は、中央処理装置として用いることができる。

【 0 0 2 6 】

回路 3 0 は、回路 2 0 や入出力装置（図示せず）などから入力されたデータを記憶する機能を有する。また、回路 3 0 は、回路 3 0 に記憶されたデータを回路 2 0 や入出力装置に出力する機能を有する。回路 3 0 は、キャッシュメモリ、主記憶装置、補助記憶装置などの記憶装置として用いることができる。

10

【 0 0 2 7 】

また、回路 3 0 は、回路 3 1、回路 3 2 を有する。回路 3 1 は、データを記憶する機能を有する回路（以下、記憶回路ともいう）を有する。回路 3 1 は、複数の記憶回路を備えたセルアレイを有する構成とすることができる。回路 3 1 は、D R A M や S R A M などの揮発性メモリ、または N A N D 型フラッシュメモリなどの不揮発性メモリによって構成することができる。また、回路 3 1 は、上記セルアレイの動作を制御するための駆動回路を有していてもよい。

20

【 0 0 2 8 】

回路 3 2 は、論理演算を行う機能を有する回路（以下、論理回路ともいう）を有する。回路 3 2 は、回路 3 1 と接続されている。論理回路は、N O T 回路、A N D 回路、O R 回路、N O R 回路、N A N D 回路、X O R 回路などを有する構成とすることができるが、特に限定されない。回路 3 2 は、回路 3 1 に記憶されたデータを入力信号として論理演算を行い、論理演算の結果を回路 3 1 に出力する機能を有する。回路 3 2 において行われた演算の結果は、回路 2 0 に出力することができる。

【 0 0 2 9 】

通常、半導体装置 1 0 において論理演算を行う場合、まず、回路 2 0 から回路 3 0 に記憶されたデータへのアクセスが行われる。次に、回路 3 0 において、回路 3 1 に記憶されたデータの読み出しが行われ、当該データが回路 2 0 に出力される。次に、回路 2 0 において、回路 3 0 から入力されたデータを入力信号とした論理演算が行われる。そして、論理演算によって得られた結果が回路 3 0 に出力され、回路 3 1 に記憶される。

30

【 0 0 3 0 】

本発明の一態様においては、回路 3 0 が記憶回路を有する回路 3 1 と、論理回路を有する回路 3 2 を有する。これにより、回路 3 0 を、データを記憶する機能および論理演算を行う機能を有する記憶装置として機能させることができる。すなわち、回路 3 0 は、回路 3 1 に記憶されたデータに加え、回路 3 1 に記憶されたデータを入力信号とした論理演算の結果に対応するデータを出力することができる。よって、回路 2 0 は、回路 3 0 から論理演算の結果を直接得ることができる。そのため、回路 2 0 と回路 3 0 の間で行われる信号の入出力の頻度を減らすことができる。

40

【 0 0 3 1 】

また、回路 2 0 において論理演算を行うことなく、回路 3 1 に記憶されたデータを入力信号とした論理演算の結果を得ることができる。そのため、回路 2 0 における情報処理の時間を短縮することができる。よって、半導体装置 1 0 の動作速度を向上させることができる。

【 0 0 3 2 】

図 1 (B) に、回路 3 0 の断面構造の一例を示す。回路 3 0 は、基板 1 0 0 上の回路 3 1 と、回路 3 1 上の絶縁層 1 0 1 と、絶縁層 1 0 1 上の回路 3 2 を有する。絶縁層 1 0 1 は開口部を有し、開口部には導電層 1 0 2 が設けられている。回路 3 2 は、導電層 1 0 2 を

50

介して回路 3 1 と接続されている。

【 0 0 3 3 】

ここで、回路 3 2 は、回路 3 1 と重なる領域を有することが好ましい。また、回路 3 2 の全ての領域が、回路 3 1 と重なることが好ましい。これにより、回路 3 0 の面積の増加を抑えつつ、回路 3 0 に論理演算を行う機能を付加することができる。よって、半導体装置 1 0 のサイズの縮小を図ることができる。

【 0 0 3 4 】

なお、回路 3 1 の一部は、基板 1 0 0 の一部によって構成することができる。例えば、回路 3 1 は、チャネル形成領域が基板 1 0 0 の一部に形成されるトランジスタを有する構成とすることができる。この場合、基板 1 0 0 は単結晶半導体を有する基板とすることが好ましい。このような基板 1 0 0 としては、単結晶シリコン基板や単結晶ゲルマニウム基板などを用いることができる。

【 0 0 3 5 】

また、図 1 (B) には導電層 1 0 2 が 1 つ設けられた構成を示したが、導電層 1 0 2 の数はこれに限られない。例えば、絶縁層 1 0 1 の 2 箇所に開口部を設け、これらの開口部それぞれに導電層 1 0 2 を設けた構成とすることができる。この場合、導電層 1 0 2 の一方は回路 3 2 が有する論理回路の入力端子と接続され、導電層 1 0 2 の他方は回路 3 2 が有する論理回路の出力端子と接続された構成とすることができる。

【 0 0 3 6 】

記憶回路を有する回路 3 1 と、論理回路を有する回路 3 2 とを有する回路 3 0 の構成は、様々な記憶装置に適用することができる。一例として、図 1 (C) に、半導体装置 1 0 がキャッシュメモリ 4 0、主記憶装置 5 0、補助記憶装置 6 0 を有する構成を示す。

【 0 0 3 7 】

キャッシュメモリ 4 0 は、主記憶装置 5 0 に記憶されたデータの一部のコピーを記憶する機能を有する。キャッシュメモリ 4 0 は、回路 2 0 の内部に設けることができる。

【 0 0 3 8 】

主記憶装置 5 0 は、回路 2 0 における情報処理に用いられるデータを記憶する機能を有する。主記憶装置 5 0 は、回路 2 0 または入出力装置から入力されたデータを記憶する機能と、主記憶装置 5 0 に記憶されたデータを回路 2 0 や入出力装置に出力する機能を有する。

【 0 0 3 9 】

補助記憶装置 6 0 は、回路 2 0 における処理に用いられるデータを記憶する機能を有する。補助記憶装置 6 0 は、主記憶装置 5 0 から入力されたデータを記憶する機能と、補助記憶装置 6 0 に記憶されたデータを主記憶装置 5 0 に出力する機能を有する。

【 0 0 4 0 】

ここで、キャッシュメモリ 4 0 は、回路 4 1、回路 4 2 を有する。主記憶装置 5 0 は、回路 5 1、回路 5 2 を有する。補助記憶装置 6 0 は、回路 6 1、回路 6 2 を有する。

【 0 0 4 1 】

回路 4 1、回路 5 1、回路 6 1 は、記憶回路を有する回路である。回路 4 1、回路 5 1 は、D R A M や S R A M などの揮発性メモリによって構成することができる。回路 6 1 は、N A N D 型フラッシュメモリなどの不揮発性メモリによって構成することができる。回路 4 1、回路 5 1、回路 6 1 は、回路 3 1 と同様の構成とすることができる。

【 0 0 4 2 】

回路 4 2、回路 5 2、回路 6 2 は、回路 3 2 と同様、論理回路を有する回路である。キャッシュメモリ 4 0 は、回路 4 2 を有することにより、論理演算を行う機能を有する。主記憶装置 5 0 は、回路 5 2 を有することにより、論理演算を行う機能を有する。補助記憶装置 6 0 は、回路 6 2 を有することにより、論理演算を行う機能を有する。回路 4 2、回路 5 2、回路 6 2 は、回路 3 2 と同様の構成とすることができる。

【 0 0 4 3 】

このように、キャッシュメモリ 4 0、主記憶装置 5 0、補助記憶装置 6 0 が論理演算を行

10

20

30

40

50

う機能を有することにより、回路 20 における情報処理の時間を短縮することができる。よって、半導体装置 10 の動作速度を向上させることができる。

【0044】

なお、キャッシュメモリ 40、主記憶装置 50、補助記憶装置 60 は、図 1 (B) と同様の構成とすることができる。また、キャッシュメモリ 40、主記憶装置 50、補助記憶装置 60 のうちのいずれか 1 つ、またはいずれか 2 つが、図 1 (B) と同様の構成を有していてもよい。

【0045】

次に、回路 30 の構成の一例を、図 2 を用いて説明する。

【0046】

図 2 (A) は、図 1 (A)、(B) における回路 30 の構成の一例を示す斜視図である。回路 30 は、基板 100 上の回路 31、回路 111、回路 112、回路 113 と、回路 31、回路 111、回路 112、回路 113 上の絶縁層 101 と、絶縁層 101 上の回路 32 を有する。なお、ここでは図示しないが、回路 32 は導電層を介して回路 31 と接続されている。

【0047】

回路 31 は、複数の記憶回路 120 を有する。記憶回路 120 は、例えば、DRAM や SRAM などの揮発性メモリ、または NAND 型フラッシュメモリなどの不揮発性メモリによって構成することができる。

【0048】

回路 32 は、複数の論理回路 130 を有する。ここでは図示しないが、論理回路 130 は、記憶回路 120 と接続されている。論理回路 130 は、記憶回路 120 に記憶されたデータを入力信号として、論理演算を行う機能を有する。論理回路 130 は、例えば、NOT 回路、AND 回路、OR 回路、NOR 回路、NAND 回路、XOR 回路などを有する構成とすることができる。

【0049】

なお、回路 32 は、1 種類の論理回路 130 を有する構成としてもよいし、2 種類以上の論理回路 130 を有する構成としてもよい。また、回路 32 が有する 1 種類または 2 種類以上の論理回路 130 を組み合わせて、加算器などの他の論理回路を構成してもよい。例えば、NOT 回路と AND 回路と OR 回路を組み合わせることにより、または、XOR 回路と AND 回路を組み合わせることにより、半加算器を構成することができる。また、半加算器と OR 回路を組み合わせることにより、全加算器を構成することができる。

【0050】

ここで、基板 100 は、単結晶半導体を有する基板とすることができる。このような基板としては、単結晶シリコン基板、単結晶ゲルマニウム基板などを用いることができる。また、記憶回路 120 は、基板 100 の一部にチャネル形成領域が形成されるトランジスタにより構成することができる。すなわち、記憶回路 120 は、チャネル形成領域に単結晶半導体を有するトランジスタによって構成することができる。このようなトランジスタを用いて記憶回路を構成することにより、記憶回路 120 の動作速度を向上させることができる。

【0051】

一方、論理回路 130 は、半導体膜にチャネル形成領域が形成されるトランジスタにより構成することができる。例えば、論理回路 130 は、チャネル形成領域に非単結晶半導体を有するトランジスタによって構成することができる。非単結晶半導体としては、非晶質シリコン、微結晶シリコン、多結晶シリコンなどの非単結晶シリコンや、非晶質ゲルマニウム、微結晶ゲルマニウム、多結晶ゲルマニウムなどの非単結晶ゲルマニウムなどを用いることができる。また、論理回路 130 は、チャネル形成領域に酸化物半導体を有するトランジスタ (以下、OSTランジスタともいう) によって構成することもできる。上記のような半導体膜にチャネル形成領域が形成されるトランジスタは、絶縁層 101 上に形成することが可能であるため、論理回路 130 を絶縁層 101 上に形成することができる。

10

20

30

40

50

これにより、図 2 (A) に示すように、記憶回路 1 2 0 上に絶縁層 1 0 1 を設け、絶縁層 1 0 1 上に論理回路 1 3 0 を設けた構成とすることができる。すなわち、記憶回路 1 2 0 と論理回路 1 3 0 を積層した構成とすることができる。

【 0 0 5 2 】

ここで、酸化物半導体は、シリコン等よりもバンドギャップが広く、真性キャリア密度が低い。そのため、O S トランジスタはオフ電流が極めて小さい。従って、論理回路 1 3 0 が O S トランジスタを有する構成とすることにより、オフリークが小さく、消費電力が小さい論理回路 1 3 0 を構成することができる。

【 0 0 5 3 】

また、O S トランジスタは微細化により高速な動作が可能となる。そのため、論理回路 1 3 0 が O S トランジスタを有する構成とすることにより、論理回路 1 3 0 の動作速度を向上させることができる。この場合、論理回路の動作速度を 1 0 n s 以下、より好ましくは 5 n s 以下とすることができる。O S トランジスタのチャネル長は、1 0 0 n m 以下、好ましくは 6 0 n m 以下、より好ましくは 4 0 n m 以下、さらに好ましくは 3 0 n m 以下とすることができる。

【 0 0 5 4 】

回路 3 2 は、回路 3 1 と重なる領域を有することが好ましい。また、論理回路 1 3 0 は、複数の記憶回路 1 2 0 のいずれかと重なる領域を有することが好ましい。これにより、回路 3 0 の面積の増加を抑えつつ、回路 3 0 に論理演算を行う機能を付加することができる。なお、論理回路 1 3 0 は、回路 1 1 1、回路 1 1 2、または回路 1 1 3 と重なる領域を有するように配置することもできる。

【 0 0 5 5 】

なお、図 2 (A) においては、回路 3 1 上に論理回路 1 3 0 を有する回路 3 2 が 1 層設けられた構成としたが、これに限られず、回路 3 1 上に論理回路を有する回路が 2 層以上設けられた構成としてもよい。図 2 (B) に、回路 3 1 上に論理回路を有する回路が 2 層設けられた構成の一例を示す。

【 0 0 5 6 】

図 2 (B) における回路 3 0 は、図 2 (A) の構成に加えて、回路 3 2 上の絶縁層 1 0 3 と、絶縁層 1 0 3 上の回路 3 3 を有する。

【 0 0 5 7 】

回路 3 3 は、複数の論理回路 1 4 0 を有する。論理回路 1 4 0 は、記憶回路 1 2 0 または論理回路 1 3 0 と接続されている。論理回路 1 4 0 は、記憶回路 1 2 0 に記憶されたデータと論理回路 1 3 0 の出力信号のいずれか一方、または両方を入力信号として、論理演算を行う機能を有する。論理回路 1 4 0 は、例えば、N O T 回路、A N D 回路、O R 回路、N O R 回路、N A N D 回路、X O R 回路などを有する構成とすることができる。

【 0 0 5 8 】

なお、回路 3 3 は、1 種類の論理回路 1 4 0 を有する構成としてもよいし、2 種類以上の論理回路 1 4 0 を有する構成としてもよい。また、回路 3 3 が有する 1 種類または 2 種類以上の論理回路 1 4 0 を組み合わせて、加算器などの他の論理回路を構成してもよい。例えば、N O T 回路と A N D 回路と O R 回路を組み合わせることにより、または、X O R 回路と A N D 回路を組み合わせることにより、半加算器を構成することができる。また、半加算器と O R 回路を組み合わせることにより、全加算器を構成することができる。

【 0 0 5 9 】

また、論理回路 1 4 0 は、論理回路 1 3 0 と異なる論理演算を行うことができる回路とすることができる。これにより、回路 3 0 において行うことができる論理演算の種類を増やすことができる。また、論理回路 1 3 0 と論理回路 1 4 0 を組み合わせて、加算器などの他の論理回路を構成してもよい。例えば、上記と同様、半加算器または全加算器を構成することができる。

【 0 0 6 0 】

図 2 (A) に示す回路 1 1 1 は、複数の記憶回路 1 2 0 のうち特定の記憶回路 1 2 0 を選

10

20

30

40

50

択するための信号を供給する機能と、複数の論理回路 130 のうち特定の論理回路 130 を選択するための信号を供給する機能を有する駆動回路である。回路 112 は、記憶回路 120 へのデータの書き込み、記憶回路 120 からのデータの読み出し、論理回路 130 における論理演算によって得られたデータの読み出しを行う機能を有する駆動回路である。回路 113 は、記憶回路 120 と接続された配線に所定の電位を供給（プリチャージ）する機能を有する駆動回路である。図 2（B）に示す回路 30 においては、回路 111 はさらに、複数の論理回路 140 のうち特定の論理回路 140 を選択するための信号を供給する機能を有する。なお、回路 112 が回路 113 の機能を有する構成とし、回路 113 を省略することもできる。

【0061】

次に、回路 30 のより具体的な構成の一例を、図 3 を用いて説明する。

【0062】

図 3 に、回路 30 の構成の一例を示す。回路 30 は、回路 111、回路 112、回路 113、セルアレイ 114 を有する。また、セルアレイ 114 は、複数の記憶回路 120、複数の論理回路 130 を有する。ここでは、セルアレイ 114 に n 行 m 列（ n 、 m は自然数）の記憶回路 120 と、 i 行 m 列（ i は自然数）の論理回路 130 が設けられている例を示す。すなわち、セルアレイ 114 は、 $n \times m$ 個の記憶回路 120（記憶回路 120 [1, 1] 乃至 [n, m]）と、 $i \times m$ 個の論理回路 130（論理回路 130 [1, 1] 乃至 [i, m]）を有する。なお、セルアレイ 114 は、図 1、2 における回路 31 および回路 32 を包含した回路に相当する。

【0063】

回路 111 は、複数の配線 201（配線 201 [1] 乃至 [n]）を介して記憶回路 120 [1, 1] 乃至 [n, m] と接続され、複数の配線 203（配線 203 [1] 乃至 [i]）を介して論理回路 130 [1, 1] 乃至 [i, m] と接続されている。回路 111 は、複数の記憶回路 120 のうち特定の行の記憶回路 120 を選択するための信号を配線 201 に供給する機能と、複数の論理回路 130 のうち特定の行の論理回路 130 を選択するための信号を配線 203 に供給する機能を有する駆動回路である。

【0064】

回路 112 は、複数の配線 202（配線 202 [1] 乃至 [m]）を介して、記憶回路 120 [1, 1] 乃至 [n, m] および論理回路 130 [1, 1] 乃至 [i, m] と接続されている。回路 112 は、記憶回路 120 に書き込むデータに対応する電位を配線 202 に供給する機能と、配線 202 の電位から、記憶回路 120 に記憶されたデータ、または論理回路 130 における論理演算によって得られたデータを読み出す機能を有する駆動回路である。

【0065】

回路 113 は、複数の配線 202（配線 202 [1] 乃至 [m]）を介して、記憶回路 120 [1, 1] 乃至 [n, m] および論理回路 130 [1, 1] 乃至 [i, m] と接続されている。回路 113 は、配線 202 に所定の電位を供給（プリチャージ）する機能を有する駆動回路である。なお、回路 112 が回路 113 の機能を備えた構成とし、回路 113 を省略することもできる。

【0066】

記憶回路 120 は、回路 112 から供給されるデータを記憶する機能と、記憶回路 120 に記憶されたデータを配線 202 に出力する機能を有する。配線 202 に出力されたデータは、回路 112 によって読み出すことができる。読み出されたデータは、回路 20（図 1 参照）に出力することができる。

【0067】

記憶回路 120 は、DRAM や SRAM などの揮発性メモリ、または NAND 型フラッシュメモリなどの不揮発性メモリによって構成することができる。

【0068】

論理回路 130 は、記憶回路 120 と接続されている。そして、論理回路 130 は、記憶

10

20

30

40

50

回路 1 2 0 に記憶されたデータを入力信号として論理演算を行い、論理演算の結果を配線 2 0 2 に出力する機能を有する。ここでは、同じ列に属し、互いに隣接する 2 つの記憶回路 1 2 0 に格納されたデータを、論理回路 1 3 0 の入力信号とする例を示す。例えば、論理回路 1 3 0 [1 , 1] は、記憶回路 1 2 0 [1 , 1] に格納されたデータと記憶回路 1 2 0 [2 , 1] に格納されたデータを入力信号として論理演算を行い、論理演算の結果を配線 2 0 2 [1] に出力することができる。配線 2 0 2 に出力されたデータは、回路 1 1 2 によって読み出すことができる。読み出されたデータは、回路 2 0 (図 1 参照) に出力することができる。

【 0 0 6 9 】

論理回路 1 3 0 は、NOT 回路、AND 回路、OR 回路、NOR 回路、NAND 回路、XOR 回路などを有する構成とすることができるが、特に限定されない。

10

【 0 0 7 0 】

このように、回路 3 0 は、記憶回路 1 2 0 に記憶されたデータを出力するのみでなく、記憶回路 1 2 0 に記憶されたデータを入力信号として論理演算を行った結果を出力することもできる。

【 0 0 7 1 】

なお、論理回路 1 3 0 は、絶縁層 1 0 1 を介して記憶回路 1 2 0 上に設けられている (図 2 参照) 。また、論理回路 1 3 0 は、複数の記憶回路 1 2 0 のいずれかと重なる領域を有するように配置することができる。

20

【 0 0 7 2 】

図 4 に、記憶回路 1 2 0 および論理回路 1 3 0 の具体的な構成の一例を示す。ここでは、特に記憶回路 1 2 0 [1 , 1] 、記憶回路 1 2 0 [1 , 2] 、論理回路 1 3 0 [1 , 1] の構成について説明するが、他の記憶回路や論理回路にも同様の構成を用いることができる。

【 0 0 7 3 】

図 4 は、記憶回路 1 2 0 [1 , 1] および記憶回路 1 2 0 [1 , 2] が SRAM セルを有する構成とし、論理回路 1 3 0 [1 , 1] が NAND 回路を有する構成としたセルアレイ 1 1 4 を表す。

【 0 0 7 4 】

記憶回路 1 2 0 [1 , 1] は、トランジスタ 3 0 1 、トランジスタ 3 0 2 、回路 3 0 3 を有する。また、回路 3 0 3 は、インバータ 3 0 4 、インバータ 3 0 5 を有する。トランジスタ 3 0 1 のゲートは配線 2 0 1 [1] と接続され、トランジスタ 3 0 1 のソースまたはドレインの一方は配線 2 0 2 [1] と接続され、トランジスタ 3 0 1 のソースまたはドレインの他方はインバータ 3 0 4 の入力端子およびインバータ 3 0 5 の出力端子と接続されている。トランジスタ 3 0 2 のゲートは配線 2 0 1 [1] と接続され、トランジスタ 3 0 2 のソースまたはドレインの一方は配線 2 0 2 [1] B と接続され、トランジスタ 3 0 2 のソースまたはドレインの他方はインバータ 3 0 4 の出力端子およびインバータ 3 0 5 の入力端子と接続されている。ここで、配線 2 0 2 [1] B には、配線 2 0 2 [1] に供給される信号の反転信号が供給される。このように、記憶回路 1 2 0 [1 , 1] は SRAM セルを構成している。

30

40

【 0 0 7 5 】

記憶回路 1 2 0 [1 , 2] は、トランジスタ 3 1 1 、トランジスタ 3 1 2 、回路 3 1 3 を有する。また、回路 3 1 3 は、インバータ 3 1 4 、インバータ 3 1 5 を有する。トランジスタ 3 1 1 のゲートは配線 2 0 1 [2] と接続され、トランジスタ 3 1 1 のソースまたはドレインの一方は配線 2 0 2 [1] と接続され、トランジスタ 3 1 1 のソースまたはドレインの他方はインバータ 3 1 4 の入力端子およびインバータ 3 1 5 の出力端子と接続されている。トランジスタ 3 1 2 のゲートは配線 2 0 1 [2] と接続され、トランジスタ 3 1 2 のソースまたはドレインの一方は配線 2 0 2 [1] B と接続され、トランジスタ 3 1 2 のソースまたはドレインの他方はインバータ 3 1 4 の出力端子およびインバータ 3 1 5 の入力端子と接続されている。このように、記憶回路 1 2 0 [1 , 2] は SRAM セルを構

50

成している。

【0076】

なお、インバータ304の入力端子およびインバータ305の出力端子は、ノードAと接続されている。また、インバータ314の入力端子およびインバータ315の出力端子は、ノードBと接続されている。ノードAおよびノードBは、論理回路130[1, 1]の入力端子に相当する。

【0077】

論理回路130[1, 1]は、トランジスタ321、トランジスタ322、トランジスタ323、抵抗素子324を有する。トランジスタ321のゲートはノードAと接続され、トランジスタ321のソースまたはドレインの一方はトランジスタ323のソースまたはドレインの一方、および抵抗素子324の一方の端子と接続され、トランジスタ321のソースまたはドレインの他方はトランジスタ322のソースまたはドレインの一方と接続されている。トランジスタ322のゲートはノードBと接続され、トランジスタ322のソースまたはドレインの他方は所定の電位が供給される配線（ここでは低電位電源線）と接続されている。トランジスタ323のゲートは配線203[1]と接続され、トランジスタ323のソースまたはドレインの他方は配線202[1]と接続されている。抵抗素子324の他方の端子は、所定の電位が供給される配線（ここでは高電位電源線）と接続されている。このように、論理回路130[1, 1]は、NAND回路を構成する回路131を有する。

【0078】

なお、トランジスタ323のソースまたはドレインの他方と配線202[1]は、ノードFと接続されている。ノードFは、論理回路130[1, 1]の出力端子に相当する。また、トランジスタ321のソースまたはドレインの一方、トランジスタ323のソースまたはドレインの一方、および抵抗素子324の一方の端子と接続されたノードを、ノードCとする。

【0079】

トランジスタ301、302、311、312、321、322、323は、チャネル形成領域に単結晶半導体、または非単結晶半導体を有するトランジスタとすることができる。また、トランジスタ301、302、311、312、321、322、323は、OSトランジスタとすることができる。ここではトランジスタ301、302、311、312、321、322、323がnチャネル型である場合を示すが、これに限られず、トランジスタ301、302、311、312、321、322、323はそれぞれnチャネル型であってもpチャネル型であってもよい。

【0080】

トランジスタ301、302、311、312は、チャネル形成領域に単結晶半導体を有するトランジスタとすることができる。これにより、記憶回路120の高速動作が可能となる。なお、単結晶半導体としては、単結晶シリコンや単結晶ゲルマニウムなどを用いることができる。

【0081】

トランジスタ321、322、323は、半導体膜にチャネル形成領域が形成されるトランジスタにより構成することができる。例えば、トランジスタ321、322、323は、チャネル形成領域に非単結晶半導体を有するトランジスタによって構成することができる。

非単結晶半導体としては、非晶質シリコン、微結晶シリコン、多結晶シリコンなどの非単結晶シリコンや、非晶質ゲルマニウム、微結晶ゲルマニウム、多結晶ゲルマニウムなどの非単結晶ゲルマニウムなどを用いることができる。また、トランジスタ321、322、323は、OSトランジスタによって構成することもできる。上記のような半導体膜にチャネル形成領域が形成されるトランジスタは、絶縁層101上に形成することが可能であるため、論理回路130を絶縁層101上に形成することができる。これにより、記憶回路120上に絶縁層101を設け、絶縁層101上に論理回路130が設けた構成とする

10

20

30

40

50

ことができる。すなわち、記憶回路 120 と論理回路 130 を積層した構成とすることができる。

【0082】

ここで、OS トランジスタはオフ電流が極めて小さい。従って、トランジスタ 321、322、323 を OS トランジスタによって構成することにより、オフリークが小さく、消費電力が小さい論理回路 130 [1, 1] を構成することができる。

【0083】

また、トランジスタ 301、302、311、312 を OS トランジスタによって構成することにより、データの保持期間において、記憶回路 120 [1, 1]、記憶回路 120 [1, 2] に記憶されたデータが配線 202 [1]、配線 202 [1] B にリークすることを防止し、配線 202 [1]、配線 202 [1] B の電位の変動を抑制することができる。また、トランジスタ 323 を OS トランジスタによって構成することにより、トランジスタ 323 が非導通状態である期間において、論理回路 130 [1, 1] の出力信号が配線 202 [1] にリークすることを防止し、配線 202 [1] の電位の変動を抑制することができる。

10

【0084】

また、OS トランジスタは微細化により高速な動作が可能となる。そのため、トランジスタ 321、322、323 を OS トランジスタによって構成することにより、論理回路 130 [1, 1] の動作速度を向上させることができる。この場合、論理回路 130 [1, 1] の動作速度を 10 ns 以下、より好ましくは 5 ns 以下とすることができる。OS トランジスタのチャネル長は、100 nm 以下、好ましくは 60 nm 以下、より好ましくは 40 nm 以下、さらに好ましくは 30 nm 以下とすることができる。

20

【0085】

なお、抵抗素子 324 は、例えばトランジスタによって構成することができる。この場合、トランジスタのソースまたはドレインの一方はノード C と接続され、トランジスタのソースまたはドレインの他方は所定の電位が供給される配線と接続された構成となる。当該トランジスタは他のトランジスタと同様の材料を用いて構成することができるが、特に、OS トランジスタによって構成することが好ましい。

【0086】

次に、記憶回路 120 [1, 1]、記憶回路 120 [1, 2]、論理回路 130 [1, 1] の動作の一例を説明する。

30

【0087】

< 記憶回路への書き込み >

まず、記憶回路 120 [1, 1] および記憶回路 120 [1, 2] へのデータの書き込み動作について説明する。ここでは、記憶回路 120 [1, 1] にハイレベルのデータを書き込み、記憶回路 120 [1, 2] にローレベルのデータを書き込む場合について述べる。

【0088】

まず、配線 202 [1] の電位をハイレベル、配線 202 [1] B の電位をローレベルとする。また、配線 201 [1] の電位をハイレベルとし、トランジスタ 301 およびトランジスタ 302 を導通状態とする。これにより、インバータ 304 の入力端子およびインバータ 305 の出力端子にハイレベルの電位が供給され、インバータ 304 の出力端子およびインバータ 305 の入力端子にローレベルの電位が供給され、記憶回路 120 [1, 1] へのデータの書き込みが行われる。

40

【0089】

次に、配線 201 [1] の電位をローレベルとする。これにより、記憶回路 120 [1, 1] に書き込まれたデータが保持される。

【0090】

次に、配線 202 [1] の電位をローレベル、配線 202 [1] B の電位をハイレベルとする。また、配線 201 [2] の電位をハイレベルとし、トランジスタ 311 およびトラ

50

ンジスタ 3 1 2 を導通状態とする。これにより、インバータ 3 1 4 の入力端子およびインバータ 3 1 5 の出力端子にローレベルの電位が供給され、インバータ 3 1 4 の出力端子およびインバータ 3 1 5 の入力端子にハイレベルの電位が供給され、記憶回路 1 2 0 [1 , 2] へのデータの書き込みが行われる。

【 0 0 9 1 】

次に、配線 2 0 1 [2] の電位をローレベルとする。これにより、記憶回路 1 2 0 [1 , 2] に書き込まれたデータが保持される。

【 0 0 9 2 】

< 記憶回路からの読み出し >

次に、記憶回路 1 2 0 [1 , 1] および記憶回路 1 2 0 [1 , 2] からのデータの読み出し動作について説明する。ここでは、記憶回路 1 2 0 [1 , 1] からハイレベルのデータを読み出し、記憶回路 1 2 0 [1 , 2] からローレベルのデータを読み出す場合について述べる。

10

【 0 0 9 3 】

まず、配線 2 0 1 [1] の電位をハイレベルとし、トランジスタ 3 0 1 を導通状態とする。これにより、インバータ 3 0 4 の入力端子およびインバータ 3 0 5 の出力端子の電位が配線 2 0 2 [1] に供給される。そして、配線 2 0 2 [1] の電位を読み取ることにより、記憶回路 1 2 0 [1 , 1] に書き込まれたデータを読み出すことができる。

【 0 0 9 4 】

次に、配線 2 0 1 [2] の電位をハイレベルとし、トランジスタ 3 1 1 を導通状態とする。これにより、インバータ 3 1 4 の入力端子およびインバータ 3 1 5 の出力端子の電位が配線 2 0 2 [1] に供給される。そして、配線 2 0 2 [1] の電位を読み取ることにより、記憶回路 1 2 0 [1 , 2] に書き込まれたデータを読み出すことができる。

20

【 0 0 9 5 】

なお、上記の記憶回路からの読み出し動作中は、配線 2 0 3 [1] の電位をローレベルとし、トランジスタ 3 2 3 を非導通状態とする。これにより、論理回路 1 3 0 [1 , 1] から配線 2 0 2 [1] へのデータの出力は行われない。

【 0 0 9 6 】

< 論理回路からの読み出し >

次に、論理回路 1 3 0 [1 , 1] からのデータの読み出し動作について説明する。ここでは、論理回路 1 3 0 [1 , 1] が、記憶回路 1 2 0 [1 , 1] に書き込まれたハイレベルのデータと記憶回路 1 2 0 [1 , 2] に書き込まれたローレベルのデータを入力信号として、否定論理積の演算結果を出力する場合について述べる。

30

【 0 0 9 7 】

演算結果の出力を行うとき、配線 2 0 3 [1] の電位をハイレベルとする。これにより、トランジスタ 3 2 3 は導通状態となる。

【 0 0 9 8 】

ここで、ノード A はインバータ 3 0 4 の入力端子およびインバータ 3 0 5 の出力端子と接続されているため、ノード A の電位はハイレベルである。また、ノード B はインバータ 3 1 4 の入力端子およびインバータ 3 1 5 の出力端子と接続されているため、ノード B の電位はローレベルである。すなわち、論理回路 1 3 0 [1 , 1] には、ハイレベルのデータとローレベルのデータが入力信号として入力される。

40

【 0 0 9 9 】

また、ノード A の電位はハイレベルであるため、トランジスタ 3 2 1 は導通状態となる。また、ノード B の電位はローレベルであるため、トランジスタ 3 2 2 は非導通状態である。よって、ノード C の電位はハイレベルとなる。ここで、トランジスタ 3 2 3 は導通状態であるため、ノード C の電位（ハイレベルの電位）はトランジスタ 3 2 3 を介して配線 2 0 2 [1] に出力される。そして、配線 2 0 2 [1] の電位を読み取ることにより、論理回路 1 3 0 [1 , 1] における論理演算の結果を読み出すことができる。

【 0 1 0 0 】

50

なお、上記の論理回路からの読み出し動作中は、配線 2 0 1 [1] および配線 2 0 1 [2] の電位をローレベルとし、トランジスタ 3 0 1、3 0 2、3 1 1、3 1 2 を非導通状態とする。これにより、記憶回路 1 2 0 [1 , 1] および記憶回路 1 2 0 [1 , 2] からのデータの出力は行われない。

【 0 1 0 1 】

このように、回路 1 1 1 (図 3 参照) から配線 2 0 1 [1]、配線 2 0 1 [2]、配線 2 0 3 [1] に所定の信号を供給して、トランジスタ 3 0 1、トランジスタ 3 1 1、トランジスタ 3 2 3 の導通状態を制御することにより、記憶回路 1 2 0 [1 , 1] に記憶されたデータ、記憶回路 1 2 0 [1 , 2] に記憶されたデータ、論理回路 1 3 0 [1 , 1] の出力データのうちのデータを配線 2 0 2 [2] に出力するかを制御することができる。

10

【 0 1 0 2 】

以上の動作により、セルアレイ 1 1 4 は、記憶回路 1 2 0 に書き込まれたデータに加え、記憶回路 1 2 0 に書き込まれたデータを入力信号とした論理回路 1 3 0 の出力信号を読み出すことができる。

【 0 1 0 3 】

なお、図 4 においては、インバータ 3 0 4 の入力端子およびインバータ 3 0 5 の出力端子の電位と、インバータ 3 1 4 の入力端子およびインバータ 3 1 5 の出力端子の電位が論理回路 1 3 0 [1 , 1] の入力信号となり、配線 2 0 2 [1] の電位が論理回路 1 3 0 [1 , 1] の出力信号となる構成としたが、これに限られない。図 5 に示すように、インバータ 3 0 4 の出力端子およびインバータ 3 0 5 の入力端子の電位と、インバータ 3 1 4 の出力端子およびインバータ 3 1 5 の入力端子の電位を論理回路 1 3 0 [1 , 1] の入力信号とし、配線 2 0 2 [1] B の電位が論理回路 1 3 0 [1 , 1] の出力信号となる構成としてもよい。この場合、インバータ 3 0 4 の出力端子およびインバータ 3 0 5 の入力端子はノード A と接続され、インバータ 3 1 4 の出力端子およびインバータ 3 1 5 の入力端子はノード B と接続される。また、論理回路 1 3 0 [1 , 1] の出力端子に相当するノード F は、配線 2 0 2 [1] B と接続される。

20

【 0 1 0 4 】

以上の通り、本発明の一態様においては、回路 3 0 は記憶回路を有する回路 3 1 と、論理回路を有する回路 3 2 を有する。これにより、回路 3 0 を、データを記憶する機能および論理演算を行う機能を有する記憶装置として機能させることができる。すなわち、回路 3 0 は、回路 3 1 に記憶されたデータに加え、回路 3 1 に記憶されたデータを入力信号とした論理演算の結果に対応するデータを出力することができる。よって、回路 2 0 は、回路 3 0 から論理演算の結果を直接得ることができる。そのため、回路 2 0 と回路 3 0 の間で行われる信号の入出力の頻度を減らすことができる。

30

【 0 1 0 5 】

また、回路 2 0 において論理演算を行うことなく、回路 3 1 に記憶されたデータを入力信号とする論理演算の結果を得ることができる。そのため、回路 2 0 における情報処理の時間を短縮することができる。よって、半導体装置 1 0 の動作速度を向上させることができる。

【 0 1 0 6 】

本実施の形態は他の実施の形態の記載と適宜組み合わせることができる。

40

【 0 1 0 7 】

(実施の形態 2)

本実施の形態では、本発明の一態様に係る半導体装置の構成の一例について説明する。

【 0 1 0 8 】

図 6 (A) に、図 4、5 における回路 3 0 3 の具体的な構成の一例を示す。回路 3 0 3 は、トランジスタ 3 3 1、3 3 2 を有するインバータ 3 0 4 と、トランジスタ 3 3 3、3 3 4 を有するインバータ 3 0 5 から構成される。

【 0 1 0 9 】

トランジスタ 3 3 1 のゲートはトランジスタ 3 3 2 のゲートと接続され、トランジスタ 3

50

3 1 のソースまたはドレインの一方はトランジスタ 3 3 2 にソースまたはドレインの一方と接続され、トランジスタ 3 3 1 のソースまたはドレインの他方は所定の電位が供給される配線（ここでは高電位電源線）と接続されている。トランジスタ 3 3 2 のソースまたはドレインの他方は、所定の電位が供給される配線（ここでは低電位電源線）と接続されている。トランジスタ 3 3 1 のゲートおよびトランジスタ 3 3 2 のゲートと接続されたノード D が、インバータ 3 0 4 の入力端子に相当する。トランジスタ 3 3 1 のソースまたはドレインの一方およびトランジスタ 3 3 2 のソースまたはドレインの一方と接続されたノード E が、インバータ 3 0 4 の出力端子に相当する。

【0 1 1 0】

トランジスタ 3 3 3 のゲートはトランジスタ 3 3 4 のゲートと接続され、トランジスタ 3 3 3 のソースまたはドレインの一方はトランジスタ 3 3 4 にソースまたはドレインの一方と接続され、トランジスタ 3 3 3 のソースまたはドレインの他方は所定の電位が供給される配線（ここでは高電位電源線）と接続されている。トランジスタ 3 3 4 のソースまたはドレイン他方は、所定の電位が供給される配線（ここでは低電位電源線）と接続されている。トランジスタ 3 3 3 のゲートおよびトランジスタ 3 3 4 のゲートと接続されたノード E が、インバータ 3 0 5 の入力端子に相当する。トランジスタ 3 3 3 のソースまたはドレインの一方およびトランジスタ 3 3 4 のソースまたはドレインの一方と接続されたノード D が、インバータ 3 0 5 の出力端子に相当する。

【0 1 1 1】

ここで、トランジスタ 3 3 1、3 3 2、3 3 3、3 3 4 は、チャネル形成領域に単結晶半導体を有するトランジスタとすることができる。これにより、回路 3 0 3 の高速動作が可能となる。

【0 1 1 2】

また、OS トランジスタ以外のトランジスタは、OS トランジスタと比較して p チャネル型トランジスタの作製が容易である。よって、トランジスタ 3 3 1、3 3 3 を、チャネル形成領域に単結晶半導体を有するトランジスタとし、トランジスタ 3 3 2、3 3 4 を、OS トランジスタとすることもできる。この場合、トランジスタ 3 3 1、3 3 3 上に絶縁層 1 0 1（図 1、2 参照）を設け、絶縁層 1 0 1 上にトランジスタ 3 3 2、3 3 4 を設けることができる。また、トランジスタ 3 3 2 または 3 3 4 は、トランジスタ 3 3 1 または 3 3 3 と重なる領域を有するように配置することができる。これにより、記憶回路 1 2 0 の面積を縮小することができる。

【0 1 1 3】

なお、ここでは回路 3 0 3 の構成を示したが、図 5 における回路 3 1 3 にも同様の構成を適用することができる。

【0 1 1 4】

また、記憶回路 1 2 0 は、図 6（B）に示すように、トランジスタ 3 4 1 及び容量素子 3 4 2 によって構成することもできる。トランジスタ 3 4 1 のゲートは配線 2 0 1 と接続され、トランジスタ 3 4 1 のソースまたはドレインの一方は配線 2 0 2 と接続され、トランジスタ 3 4 1 のソースまたはドレインの他方は容量素子 3 4 2 の一方の電極と接続されている。容量素子 3 4 2 の他方の電極は、所定の電位が供給される配線と接続されている。なお、トランジスタ 3 4 1 のソースまたはドレインの他方および容量素子 3 4 2 の一方の電極に接続されたノードを、ノード G とする。このように、記憶回路 1 2 0 は D R A M セルを構成している。

【0 1 1 5】

ノード G の電位を論理回路 1 3 0 の入力信号とすることにより、論理回路 1 3 0 において記憶回路 1 2 0 に記憶されたデータの論理演算を行うことができる。

【0 1 1 6】

また、図 4、5 においては、論理回路 1 3 0 が N A N D 回路を構成する回路 1 3 1 を有する構成について説明したが、これに限られず、回路 1 3 1 を他の回路によって構成することもできる。回路 1 3 1 の他の構成例を、図 7 に示す。

10

20

30

40

50

【 0 1 1 7 】

図 7 (A) は、回路 1 3 1 を N O R 回路とする場合の構成である。回路 1 3 1 は、トランジスタ 4 1 1、トランジスタ 4 1 2、抵抗素子 4 1 3 を有する。

【 0 1 1 8 】

トランジスタ 4 1 1 のゲートはノード A と接続され、トランジスタ 4 1 1 のソースまたはドレインの一方はトランジスタ 4 1 2 のソースまたはドレインの一方および抵抗素子 4 1 3 の一方の端子と接続され、トランジスタ 4 1 1 のソースまたはドレインの他方は所定の電位が供給される配線（ここでは低電位電源線）と接続されている。トランジスタ 4 1 2 のゲートはノード B と接続され、トランジスタ 4 1 2 のソースまたはドレインの他方は所定の電位が供給される配線（ここでは低電位電源線）と接続されている。抵抗素子 4 1 3 の他方の端子は、所定の電位が供給される配線（ここでは高電位電源線）と接続されている。トランジスタ 4 1 1 のソースまたはドレインの一方、トランジスタ 4 1 2 のソースまたはドレインの一方、および抵抗素子 4 1 3 の一方の端子と接続されたノードは、トランジスタ 3 2 3（図 4 参照）を介して、ノード F と接続されている。

【 0 1 1 9 】

図 7 (B) は、回路 1 3 1 を A N D 回路とする場合の構成である。回路 1 3 1 は、トランジスタ 4 2 1、トランジスタ 4 2 2、トランジスタ 4 2 3、抵抗素子 4 2 4、抵抗素子 4 2 5 を有する。

【 0 1 2 0 】

トランジスタ 4 2 1 のゲートはノード A と接続され、トランジスタ 4 2 1 のソースまたはドレインの一方はトランジスタ 4 2 2 のソースまたはドレインの一方と接続され、トランジスタ 4 2 1 のソースまたはドレインの他方はトランジスタ 4 2 3 のゲートおよび抵抗素子 4 2 4 の一方の端子と接続されている。トランジスタ 4 2 2 のゲートはノード B と接続され、トランジスタ 4 2 2 のソースまたはドレインの他方は所定の電位が供給される配線（ここでは低電位電源線）と接続されている。トランジスタ 4 2 3 のソースまたはドレインの一方は電位が供給される配線（ここでは低電位電源線）と接続され、トランジスタ 4 2 3 のソースまたはドレインの他方は抵抗素子 4 2 5 の一方の端子と接続されている。抵抗素子 4 2 4 の他方の端子は、所定の電位が供給される配線（ここでは高電位電源線）と接続されている。抵抗素子 4 2 5 の他方の端子は、所定の電位が供給される配線（ここでは高い電位電源線）と接続されている。トランジスタ 4 2 3 のソースまたはドレインの他方および抵抗素子 4 2 5 の一方の端子と接続されたノードは、トランジスタ 3 2 3（図 4 参照）を介して、ノード F と接続されている。

【 0 1 2 1 】

図 7 (C) は、回路 1 3 1 を O R 回路とする場合の構成である。回路 1 3 1 は、トランジスタ 4 3 1、トランジスタ 4 3 2、トランジスタ 4 3 3、抵抗素子 4 3 4、抵抗素子 4 3 5 を有する。

【 0 1 2 2 】

トランジスタ 4 3 1 のゲートはノード A と接続され、トランジスタ 4 3 1 のソースまたはドレインの一方はトランジスタ 4 3 2 のソースまたはドレインの一方、トランジスタ 4 3 3 のゲート、および抵抗素子 4 3 4 の一方の端子と接続され、トランジスタ 4 3 1 のソースまたはドレインの他方は所定の電位が供給される配線（ここでは低電位電源線）と接続されている。トランジスタ 4 3 2 のゲートはノード B と接続され、トランジスタ 4 3 2 のソースまたはドレインの他方は所定の電位が供給される配線（ここでは低電位電源線）と接続されている。トランジスタ 4 3 3 のソースまたはドレインの一方は抵抗素子 4 3 5 の一方の端子と接続され、トランジスタ 4 3 3 のソースまたはドレインの他方は所定の電位が供給される配線（ここでは低電位電源線）と接続されている。抵抗素子 4 3 4 の他方の端子は、所定の電位が供給される配線（ここでは高電位電源線）と接続されている。抵抗素子 4 3 5 の他方の端子は、所定の電位が供給される配線（ここでは高電位電源線）と接続されている。トランジスタ 4 3 3 のソースまたはドレインの一方および抵抗素子 4 3 5 の一方の端子と接続されたノードは、トランジスタ 3 2 3（図 4 参照）を介して、ノード F

10

20

30

40

50

と接続されている。

【0123】

なお、抵抗素子413、424、425、434、435は、例えばトランジスタによって構成することができる。当該トランジスタは他のトランジスタと同様の材料を用いて構成することができるが、特に、OSトランジスタによって構成することが好ましい。

【0124】

以上のように、記憶回路120および論理回路130には、様々な構成の回路を適用することができる。

【0125】

本実施の形態は他の実施の形態の記載と適宜組み合わせることができる。

10

【0126】

(実施の形態3)

本実施の形態では、記憶回路または論理回路に用いることができるトランジスタの構成について説明する。

【0127】

図8に、トランジスタ520とトランジスタ530とが積層された構造を有する半導体装置の作製方法の一例を示す。ここでは、トランジスタ520がチャネル形成領域に単結晶半導体を有するトランジスタであり、トランジスタ530がOSトランジスタである場合について説明する。

【0128】

まず、半導体基板500に、素子分離用の絶縁物501とN型のウェル502を形成する(図8(A)参照)。

20

【0129】

次に、ゲート絶縁膜503とゲート電極504を形成し、また、ウェル502にP型の不純物領域505を設ける。不純物領域505上には、不純物領域505よりも導電性の高い材料(シリサイドなど)を有する層を積層してもよい。また、不純物領域505はエクステンション領域を有してもよい。

【0130】

次に、層間絶縁層506を形成する。層間絶縁層506は単層でも多層でもよい。また、層間絶縁層506は、層間絶縁層506の上に設けられる層へ酸素を供給する機能と、層間絶縁層506の下に設けられた層から層間絶縁層506の上に設けられる層への水素や水の浸入を遮断する機能と、を有する層であることが好ましい。

30

【0131】

次に、層間絶縁層506上に酸化物半導体層507を形成する(図8(B)参照)。

【0132】

次に、酸化物半導体層507を覆う導電性材料を形成する。導電性材料は、単層でも多層でもよい。そして、導電性材料を選択的にエッチングして、配線508を形成する。なお、配線508は、単層でも多層でもよい。

【0133】

次に、配線508を覆うゲート絶縁膜509を形成する。さらに、ゲート絶縁膜509上に導電性材料を堆積する。導電性材料は、単層でも多層でもよい。また、導電性材料は、導電性材料の上に設けられる層から導電性材料の下に設けられる層への水素や水の浸入を遮断する機能を有することが好ましい。そして、導電性材料を選択的にエッチングして、ゲート電極510を形成する(図8(C)参照)。

40

【0134】

次に、層間絶縁層511を堆積する。そして、層間絶縁層511にゲート電極510へ到達するコンタクトホールを形成し、層間絶縁層511、ゲート絶縁膜509、層間絶縁層506、ゲート絶縁膜503に不純物領域505へ到達するコンタクトホールを形成し、これらのコンタクトホールを導電性材料で埋め、配線512を形成する(図8(D)参照)。配線512は、コンタクトホール部分にコンタクトプラグを有する構造でもよい。配

50

線 5 1 2 は、単層でも多層でもよい。

【 0 1 3 5 】

このようにして、チャネル形成領域に単結晶半導体を有するトランジスタ 5 2 0 と、O S トランジスタであるトランジスタ 5 3 0 が積層された構成を有する半導体装置を作製することができる。

【 0 1 3 6 】

図 8 において、不純物領域 5 0 5 とゲート電極 5 1 0 は配線 5 1 2 を介して接続されている。すなわち、トランジスタ 5 2 0 のソースまたはドレインの一方とトランジスタ 5 3 0 のゲートが接続されている。このような構成は、図 4 乃至 7 に示すトランジスタに適用することができる。例えば、トランジスタ 5 2 0 は図 4 におけるトランジスタ 3 0 1、3 1 1 などに対応し、トランジスタ 5 3 0 は図 4 におけるトランジスタ 3 2 1、3 2 2 などに対応する。

10

【 0 1 3 7 】

なお、トランジスタ 5 2 0 とトランジスタ 5 3 0 の接続関係は図 8 に示すものに限られない。例えば、図 9 (A) に示すように、不純物領域 5 0 5 と配線 5 0 8 が接続された構成とすることもできる。これにより、トランジスタ 5 2 0 のソースまたはドレインの一方とトランジスタ 5 3 0 のソースまたはドレインの一方が接続された構成を得ることができる。

【 0 1 3 8 】

また、図 9 (B) に示すように、ゲート電極 5 0 4 と配線 5 0 8 が接続された構成とすることもできる。これにより、トランジスタ 5 2 0 のゲートとトランジスタ 5 3 0 のソースまたはドレインの一方が接続された構成を得ることができる。

20

【 0 1 3 9 】

また、図 9 (C) に示すように、ゲート電極 5 0 4 とゲート電極 5 1 0 が配線 5 1 2 を介して接続された構成とすることもできる。これにより、トランジスタ 5 2 0 のゲートとトランジスタ 5 3 0 のゲートが接続された構成を得ることができる。

【 0 1 4 0 】

図 8 (D) 及び図 9 に示すトランジスタの積層構造は、図 4 乃至 7 に示すトランジスタに適宜用いることができる。

【 0 1 4 1 】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

30

【 0 1 4 2 】

(実施の形態 4)

本実施の形態では、記憶回路または論理回路に用いることができるトランジスタの構成について説明する。

【 0 1 4 3 】

< 半導体装置の断面構造の例 >

図 1 0 に、トランジスタ 5 2 0、5 3 0 の構成の一例を示す。なお、図 1 0 では、O S トランジスタであるトランジスタ 5 3 0 が、単結晶のシリコン基板にチャネル形成領域を有するトランジスタ (以下、S i トランジスタともいう) であるトランジスタ 5 2 0 上に形成されている場合を例示している。なお、このように S i トランジスタと O S トランジスタが積層された構成は、回路 3 0 に適宜用いることができる。なお、本実施の形態では、図 9 (B) と同様に、トランジスタ 5 2 0 のゲートとトランジスタ 5 3 0 のソースまたはドレインの一方が接続された構成を示すが、これに限られない。トランジスタ 5 2 0 のソースまたはドレインの一方とトランジスタ 5 3 0 のゲートが接続されていてもよいし (図 8 (D) 参照)、トランジスタ 5 2 0 のソースまたはドレインの一方とトランジスタ 5 3 0 のソースまたはドレインの一方が接続されていてもよいし (図 9 (A) 参照)、トランジスタ 5 2 0 のゲートとトランジスタ 5 3 0 のゲートが接続されていてもよい (図 9 (C) 参照)。

40

【 0 1 4 4 】

50

トランジスタ５２０は、非晶質、微結晶、多結晶または単結晶である、シリコン又はゲルマニウムなどの半導体膜または半導体基板に、チャネル形成領域を有していても良い。或いは、トランジスタ５２０は、酸化物半導体膜または酸化物半導体基板に、チャネル形成領域を有していても良い。全てのトランジスタが酸化物半導体膜または酸化物半導体基板に、チャネル形成領域を有している場合、トランジスタ５３０はトランジスタ５２０上に積層されていなくとも良く、トランジスタ５３０とトランジスタ５２０とは、同一の層に形成されていても良い。

【０１４５】

シリコンの薄膜を用いてトランジスタ５２０を形成する場合、当該薄膜には、プラズマＣＶＤ（Chemical Vapor Deposition）法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンにレーザーを照射する等の処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

10

【０１４６】

トランジスタ５２０が形成される半導体基板８０１は、例えば、シリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板等を用いることができる。図１０では、単結晶シリコン基板を半導体基板８０１として用いる場合を例示している。

【０１４７】

また、トランジスタ５２０は、素子分離法により電氣的に分離されている。素子分離法として、選択酸化法（LOCOS法：Local Oxidation of Silicon法）、トレンチ分離法（STI法：Shallow Trench Isolation法）等を用いることができる。図１０では、トレンチ分離法を用いてトランジスタ５２０を電氣的に分離する場合を例示している。具体的に、図１０では、半導体基板８０１にエッチング等によりトレンチを形成した後、酸化珪素などを含む絶縁物を当該トレンチに埋め込むことで形成される素子分離領域８１０により、トランジスタ５２０を素子分離させる場合を例示している。

20

【０１４８】

トランジスタ５２０上には、絶縁膜８１１が設けられている。絶縁膜８１１には開口部が形成されている。そして、上記開口部には、トランジスタ５２０のソース又はドレインにそれぞれ電氣的に接続されている導電膜８２５及び導電膜８２６と、トランジスタ５２０のゲートに電氣的に接続されている導電膜８２７とが、形成されている。

30

【０１４９】

そして、導電膜８２５は、絶縁膜８１１上に形成された導電膜８３４に電氣的に接続されており、導電膜８２６は、絶縁膜８１１上に形成された導電膜８３５に電氣的に接続されており、導電膜８２７は、絶縁膜８１１上に形成された導電膜８３６に電氣的に接続されている。

【０１５０】

導電膜８３４乃至導電膜８３６上には、絶縁膜８１２が形成されている。絶縁膜８１２には開口部が形成されており、上記開口部に、導電膜８３６に電氣的に接続された導電膜８３７が形成されている。そして、導電膜８３７は、絶縁膜８１２上に形成された導電膜８５１に、電氣的に接続されている。

40

【０１５１】

また、導電膜８５１上には、絶縁膜８１３が形成されている。絶縁膜８１３には開口部が形成されており、上記開口部に、導電膜８５１に電氣的に接続された導電膜８５２が形成されている。そして、導電膜８５２は、絶縁膜８１３上に形成された導電膜８５３に、電氣的に接続されている。また、絶縁膜８１３上には、導電膜８４４が形成されている。

【０１５２】

導電膜８５３及び導電膜８４４上には絶縁膜８６１が形成されている。そして、図１０では、絶縁膜８６１上にトランジスタ５３０が形成されている。

【０１５３】

50

トランジスタ５３０は、絶縁膜８６１上に、酸化物半導体を含む半導体膜９０１と、半導体膜９０１上の、ソースまたはドレインとして機能する導電膜９２１及び導電膜９２２と、半導体膜９０１、導電膜９２１及び導電膜９２２上のゲート絶縁膜９６２と、ゲート絶縁膜９６２上に位置し、導電膜９２１と導電膜９２２の間において半導体膜９０１と重なっているゲート電極９３１と、を有する。なお、導電膜９２２は、絶縁膜８６１に設けられた開口部において、導電膜８５３に電氣的に接続されている。また、導電膜９２１は、絶縁膜８６１に設けられた開口部において、導電膜８４４に電氣的に接続されている。

【０１５４】

そして、トランジスタ５３０では、半導体膜９０１において、導電膜９２１に重なる領域と、ゲート電極９３１に重なる領域との間に、領域９１０が存在する。また、トランジスタ５３０では、半導体膜９０１において、導電膜９２２に重なる領域と、ゲート電極９３１に重なる領域との間に、領域９１１が存在する。領域９１０及び領域９１１に、導電膜９２１、導電膜９２２、及びゲート電極９３１をマスクとしてアルゴン、ｐ型の導電型を半導体膜９０１に付与する不純物、或いは、ｎ型の導電型を半導体膜９０１に付与する不純物を添加することで、半導体膜９０１のうちゲート電極９３１に重なる領域よりも、領域９１０及び領域９１１の抵抗率を下げるができる。

10

【０１５５】

そして、トランジスタ５３０上に、絶縁膜９６３が設けられている。

【０１５６】

なお、図１０において、トランジスタ５３０は、ゲート電極９３１を半導体膜９０１の片側において少なくとも有していれば良いが、半導体膜９０１を間に挟んで存在する一対のゲート電極を有していても良い。

20

【０１５７】

トランジスタ５３０が、半導体膜９０１を間に挟んで存在する一対のゲート電極を有している場合、一方のゲート電極には導通状態または非導通状態を制御するための信号が与えられ、他方のゲート電極には、他の信号が与えられている状態であっても良い。この場合、一対のゲート電極に、同じ高さの電位が与えられていても良いし、他方のゲート電極にのみ接地電位などの固定の電位が与えられていても良い。他方のゲート電極に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

30

【０１５８】

また、図１０では、トランジスタ５３０が、一のゲート電極９３１に対応した一のチャネル形成領域を有する、シングルゲート構造である場合を例示している。しかし、トランジスタ５３０は、電氣的に接続された複数のゲート電極を有することで、一の活性層にチャネル形成領域を複数有する、マルチゲート構造であっても良い。

【０１５９】

<トランジスタについて>

次いで、ＯＳトランジスタの構成例について説明する。

【０１６０】

図１１に、ＯＳトランジスタであるトランジスタ９０の構成を、一例として示す。図１１（Ａ）には、トランジスタ９０の上面図を示す。なお、図１１（Ａ）では、トランジスタ９０のレイアウトを明確にするために、各種の絶縁膜を省略している。また、図１１（Ａ）に示した上面図の、一点鎖線Ａ１－Ａ２における断面図を図１１（Ｂ）に示し、一点鎖線Ａ３－Ａ４における断面図を図１１（Ｃ）に示す。

40

【０１６１】

図１１に示すように、トランジスタ９０は、基板９７に形成された絶縁膜９１上において順に積層された酸化物半導体膜９２ａ及び酸化物半導体膜９２ｂと、酸化物半導体膜９２ｂに電氣的に接続され、ソース電極またはドレイン電極としての機能を有する導電膜９３及び導電膜９４と、酸化物半導体膜９２ｂ、導電膜９３及び導電膜９４上の酸化物半導体膜９２ｃと、ゲート絶縁膜としての機能を有し、なおかつ酸化物半導体膜９２ｃ上に位置する絶縁膜９５と、ゲート電極としての機能を有し、なおかつ絶縁膜９５上において酸化

50

物半導体膜 92a 乃至酸化物半導体膜 92c と重なる導電膜 96 とを有する。なお、基板 97 は、ガラス基板や半導体基板などであってもよいし、ガラス基板や半導体基板上に半導体素子が形成された素子基板であってもよい。

【0162】

また、トランジスタ 90 の、具体的な構成の別の一例を、図 12 に示す。図 12 (A) には、トランジスタ 90 の上面図を示す。なお、図 12 (A) では、トランジスタ 90 のレイアウトを明確にするために、各種の絶縁膜を省略している。また、図 12 (A) に示した上面図の、破線 A1 - A2 における断面図を図 12 (B) に示し、破線 A3 - A4 における断面図を図 12 (C) に示す。

【0163】

図 12 に示すように、トランジスタ 90 は、絶縁膜 91 上において順に積層された酸化物半導体膜 92a 乃至酸化物半導体膜 92c と、酸化物半導体膜 92c に電氣的に接続され、ソース電極またはドレイン電極としての機能を有する導電膜 93 及び導電膜 94 と、ゲート絶縁膜としての機能を有し、なおかつ酸化物半導体膜 92c、導電膜 93 及び導電膜 94 上に位置する絶縁膜 95 と、ゲート電極としての機能を有し、なおかつ絶縁膜 95 上において酸化物半導体膜 92a 乃至酸化物半導体膜 92c と重なる導電膜 96 とを有する。

【0164】

なお、図 11 及び図 12 では、積層された酸化物半導体膜 92a 乃至酸化物半導体膜 92c を用いるトランジスタ 90 の構成を例示している。トランジスタ 90 が有する酸化物半導体膜は、積層された複数の酸化物半導体膜で構成されているとは限らず、単膜の酸化物半導体膜で構成されていても良い。

【0165】

酸化物半導体膜 92a 乃至酸化物半導体膜 92c が順に積層されている半導体膜をトランジスタ 90 が有する場合、酸化物半導体膜 92a 及び酸化物半導体膜 92c は、酸化物半導体膜 92b を構成する金属元素の少なくとも 1 つを、その構成要素に含み、伝導帯下端のエネルギーが酸化物半導体膜 92b よりも 0.05 eV 以上、0.07 eV 以上、0.1 eV 以上または 0.15 eV 以上、かつ 2 eV 以下、1 eV 以下、0.5 eV 以下または 0.4 eV 以下、真空準位に近い酸化物膜である。さらに、酸化物半導体膜 92b は、少なくともインジウムを含むと、キャリア移動度が高くなるため好ましい。

【0166】

上記構成の半導体膜をトランジスタ 90 が有する場合、ゲート電極に電圧を印加することで、半導体膜に電界が加わると、半導体膜のうち、伝導帯下端のエネルギーが小さい酸化物半導体膜 92b にチャネル領域が形成される。即ち、酸化物半導体膜 92b と絶縁膜 95 との間に酸化物半導体膜 92c が設けられていることによって、絶縁膜 95 と離隔している酸化物半導体膜 92b に、チャネル領域を形成することができる。

【0167】

また、酸化物半導体膜 92c は、酸化物半導体膜 92b を構成する金属元素の少なくとも 1 つをその構成要素に含むため、酸化物半導体膜 92b と酸化物半導体膜 92c の界面では、界面散乱が起こりにくい。従って、当該界面においてキャリアの動きが阻害されにくいため、トランジスタ 90 の電界効果移動度が高くなる。

【0168】

また、酸化物半導体膜 92b と酸化物半導体膜 92a の界面に界面準位が形成されると、界面近傍の領域にもチャネル領域が形成されるために、トランジスタ 90 の閾値電圧が変動してしまう。しかし、酸化物半導体膜 92a は、酸化物半導体膜 92b を構成する金属元素の少なくとも 1 つをその構成要素に含むため、酸化物半導体膜 92b と酸化物半導体膜 92a の界面には、界面準位が形成されにくい。よって、上記構成により、トランジスタ 90 の閾値電圧等の電氣的特性のばらつきを、低減することができる。

【0169】

また、酸化物半導体膜間に不純物が存在することによって、各膜の界面にキャリアの流れ

10

20

30

40

50

を阻害する界面準位が形成されることがないように、複数の酸化物半導体膜を積層させることが望ましい。積層された酸化物半導体膜の膜間に不純物が存在していると、酸化物半導体膜間における伝導帯下端のエネルギーの連続性が失われ、界面近傍において、キャリアがトラップされるか、あるいは再結合により消滅してしまうからである。膜間における不純物を低減させることで、主成分である一の金属を少なくとも共に有する複数の酸化物半導体膜を、単に積層させるよりも、連続接合（ここでは特に伝導帯下端のエネルギーが各膜の間で連続的に変化するU字型の井戸構造を有している状態）が形成されやすくなる。

【0170】

連続接合を形成するためには、ロードロック室を備えたマルチチャンバー方式の成膜装置（スパッタリング装置）を用いて各膜を大気に触れさせることなく連続して積層することが必要となる。スパッタリング装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて高真空排気（ 5×10^{-7} Pa乃至 1×10^{-4} Pa程度まで）することが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせることで排気系からチャンバー内に気体が逆流しないようにしておくことが好ましい。

10

【0171】

高純度の真性な酸化物半導体を得るためには、各チャンバー内を高真空排気するのみならず、スパッタリングに用いるガスの高純度化も重要である。上記ガスとして用いる酸素ガスやアルゴンガスの露点を、 -40 以下、好ましくは -80 以下、より好ましくは -100 以下とし、使用するガスの高純度化を図ることで、酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。具体的に、酸化物半導体膜92bがIn-M-Zn酸化物（Mは、Ga、Y、Zr、La、Ce、またはNd）の場合、酸化物半導体膜92bを成膜するために用いるターゲットにおいて、金属元素の原子数比をIn:M:Zn= $x_1:y_1:z_1$ とすると、 x_1/y_1 は、 $1/3$ 以上6以下、さらには1以上6以下であって、 z_1/y_1 は、 $1/3$ 以上6以下、さらには1以上6以下であることが好ましい。なお、 z_1/y_1 を1以上6以下とすることで、酸化物半導体膜92bとしてCAAC-OS（C-Axis Aligned Crystalline Oxide Semiconductor）膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、In:M:Zn=1:1:1、In:M:Zn=3:1:2等がある。なお、CAAC-OSについての詳細は後述する。

20

30

【0172】

具体的に、酸化物半導体膜92a、酸化物半導体膜92cがIn-M-Zn酸化物（Mは、Ga、Y、Zr、La、Ce、またはNd）の場合、酸化物半導体膜92a、酸化物半導体膜92cを成膜するために用いるターゲットにおいて、金属元素の原子数比をIn:M:Zn= $x_2:y_2:z_2$ とすると、 $x_2/y_2 < x_1/y_1$ であって、 z_2/y_2 は、 $1/3$ 以上6以下、さらには1以上6以下であることが好ましい。なお、 z_2/y_2 を1以上6以下とすることで、酸化物半導体膜92a、酸化物半導体膜92cとしてCAAC-OS膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、In:M:Zn=1:3:2、In:M:Zn=1:3:4、In:M:Zn=1:3:6、In:M:Zn=1:3:8等がある。

40

【0173】

なお、酸化物半導体膜92a及び酸化物半導体膜92cの厚さは、3nm以上100nm以下、好ましくは3nm以上50nm以下とする。また、酸化物半導体膜92bの厚さは、3nm以上200nm以下、好ましくは3nm以上100nm以下であり、さらに好ましくは3nm以上50nm以下である。

【0174】

3層構造の半導体膜において、酸化物半導体膜92a乃至酸化物半導体膜92cは、非晶質及び結晶質の両方の形態を取りうる。ただし、チャネル領域が形成される酸化物半導体膜92bが結晶質であることにより、トランジスタ90に安定した電気的特性を付与することができるため、酸化物半導体膜92bは結晶質であることが好ましい。

50

【0175】

なお、チャネル形成領域とは、トランジスタ90の半導体膜のうち、ゲート電極と重なり、かつソース電極とドレイン電極に挟まれる領域を意味する。また、チャネル領域とは、チャネル形成領域において、電流が主として流れる領域をいう。

【0176】

例えば、酸化物半導体膜92a及び酸化物半導体膜92cとして、スパッタリング法により形成したIn-Ga-Zn酸化物膜を用いる場合、酸化物半導体膜92a及び酸化物半導体膜92cの成膜には、In-Ga-Zn酸化物(In:Ga:Zn=1:3:2[原子数比])であるターゲットを用いることができる。成膜条件は、例えば、成膜ガスとしてアルゴンガスを30sccm、酸素ガスを15sccm用い、圧力0.4Paとし、基板温度を200とし、DC電力0.5kWとすればよい。

10

【0177】

また、酸化物半導体膜92bをCAAC-OS膜とする場合、酸化物半導体膜92bの成膜には、In-Ga-Zn酸化物(In:Ga:Zn=1:1:1[原子数比])を含む多結晶ターゲットを用いることが好ましい。成膜条件は、例えば、成膜ガスとしてアルゴンガスを30sccm、酸素ガスを15sccm用い、圧力を0.4Paとし、基板の温度300とし、DC電力0.5kWとすることができる。また、酸化物半導体膜92bをCAAC-OS膜とする場合、酸化物半導体膜92bの成膜には、In-Ga-Zn酸化物(In:Ga:Zn=2:1:3[原子数比])をターゲットに用いてもよい。このようなターゲットを用いて成膜されたCAAC-OS膜は、一定の範囲におけるCAAC-OSの回折パターンが観測される領域の割合(CAAC化率ともいう)を高くすることができるので、当該CAAC-OS膜にチャネル形成領域を有するトランジスタの周波数特性(f特)を高めることができる。

20

【0178】

なお、酸化物半導体膜92a乃至92cは、スパッタリング法により形成することができる。

【0179】

なお、電子供与体(ドナー)となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体(purified Oxide Semiconductor)は、キャリア発生源が少ないため、i型(真性半導体)又はi型に限りなく近くすることができる。そのため、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタは、オフ電流が著しく小さく、信頼性が高い。そして、当該酸化物半導体膜にチャネル形成領域が形成されるトランジスタは、閾値電圧がプラスとなる電気的特性(ノーマリーオフ特性ともいう。)になりやすい。

30

【0180】

具体的に、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタのオフ電流が小さいことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧(ドレイン電圧)が1Vから10Vの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{A}$ 以下という特性を得ることができる。この場合、トランジスタのチャネル幅で規格化したオフ電流は、 $100 \text{ zA} / \mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、高純度化された酸化物半導体膜を上記トランジスタのチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が3Vの場合に、数十yA/ μm という、さらに小さいオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく小さい。

40

【0181】

50

なお、半導体膜として酸化物半導体膜を用いる場合、酸化物半導体としては、少なくともインジウム (In) あるいは亜鉛 (Zn) を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム (Ga) を有することが好ましい。また、スタビライザーとしてスズ (Sn) を有することが好ましい。また、スタビライザーとしてハフニウム (Hf) を有することが好ましい。また、スタビライザーとしてアルミニウム (Al) を有することが好ましい。また、スタビライザーとしてジルコニウム (Zr) を含むことが好ましい。

【0182】

酸化物半導体の中でも In - Ga - Zn 酸化物、In - Sn - Zn 酸化物などは、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、スパッタリング法や湿式法により電気的特性の優れたトランジスタを作製することが可能であり、量産性に優れるといった利点がある。また、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、上記 In - Ga - Zn 酸化物は、ガラス基板上に、電気的特性の優れたトランジスタを作製することが可能である。また、大型基板を用いることが可能である。

10

【0183】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種または複数種を含んでいてもよい。

20

【0184】

例えば、酸化物半導体として、酸化インジウム、酸化ガリウム、酸化スズ、酸化亜鉛、In - Zn 酸化物、Sn - Zn 酸化物、Al - Zn 酸化物、Zn - Mg 酸化物、Sn - Mg 酸化物、In - Mg 酸化物、In - Ga 酸化物、In - Ga - Zn 酸化物 (IGZOとも表記する)、In - Al - Zn 酸化物、In - Sn - Zn 酸化物、Sn - Ga - Zn 酸化物、Al - Ga - Zn 酸化物、Sn - Al - Zn 酸化物、In - Hf - Zn 酸化物、In - La - Zn 酸化物、In - Pr - Zn 酸化物、In - Nd - Zn 酸化物、In - Ce - Zn 酸化物、In - Sm - Zn 酸化物、In - Eu - Zn 酸化物、In - Gd - Zn 酸化物、In - Tb - Zn 酸化物、In - Dy - Zn 酸化物、In - Ho - Zn 酸化物、In - Er - Zn 酸化物、In - Tm - Zn 酸化物、In - Yb - Zn 酸化物、In - Lu - Zn 酸化物、In - Sn - Ga - Zn 酸化物、In - Hf - Ga - Zn 酸化物、In - Al - Ga - Zn 酸化物、In - Sn - Al - Zn 酸化物、In - Sn - Hf - Zn 酸化物、In - Hf - Al - Zn 酸化物を用いることができる。

30

【0185】

なお、例えば、In - Ga - Zn 酸化物とは、In と Ga と Zn を含む酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素を含んでいてもよい。In - Ga - Zn 酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高い。

【0186】

例えば、In - Sn - Zn 酸化物では比較的容易に高い移動度が得られる。しかしながら、In - Ga - Zn 酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

40

【0187】

また、トランジスタ 90 において、ソース電極及びドレイン電極に用いられる導電性材料によっては、ソース電極及びドレイン電極中の金属が、酸化物半導体膜から酸素を引き抜くことがある。この場合、酸化物半導体膜のうち、ソース電極及びドレイン電極に接する領域に酸素欠損が形成され、酸化物半導体膜中に含まれる水素が該酸素欠損に入ることにより、該領域は n 型化される。n 型化された領域は、ソース領域またはドレイン領域として機能するため、酸化物半導体膜とソース電極及びドレイン電極との間におけるコンタクト抵抗を下げるができる。よって、n 型化された領域が形成されることで、トランジ

50

スタ 90 の移動度及びオン電流を高めることができ、それにより、トランジスタ 90 を用いた半導体装置の高速動作を実現することができる。

【0188】

なお、ソース電極及びドレイン電極中の金属による酸素の引き抜きは、ソース電極及びドレイン電極をスパッタリング法などにより形成する際に起こりうるし、ソース電極及びドレイン電極を形成した後に行われる加熱処理によっても起こりうる。また、n 型化される領域は、酸素と結合し易い導電性材料をソース電極及びドレイン電極に用いることで、より形成されやすくなる。上記導電性材料としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wなどが挙げられる。

【0189】

複数の積層された酸化物半導体膜を有する半導体膜をトランジスタ 90 に用いる場合、n 型化される領域は、チャネル領域となる酸化物半導体膜 92b にまで達していることが、トランジスタ 90 の移動度及びオン電流を高め、半導体装置の高速動作を実現する上で好ましい。

【0190】

絶縁膜 91 は、加熱により酸素を酸化物半導体膜 92a 乃至酸化物半導体膜 92c に供給する機能を有する絶縁膜であることが望ましい。また、絶縁膜 91 は、欠陥が少ないことが好ましく、代表的には、ESR 測定により得られる、シリコンのダングリングボンドに由来する $g = 2.001$ を持つスピンの密度が $1 \times 10^{18} \text{ spins/cm}^3$ 以下であることが好ましい。

【0191】

絶縁膜 91 は、加熱により酸素を酸化物半導体膜 92a 乃至酸化物半導体膜 92c に供給する機能を有するため、酸化物であることが望ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化珪素、酸化窒化珪素、窒化酸化珪素、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどを用いることができる。絶縁膜 91 は、プラズマ CVD 法またはスパッタリング法等により、形成することができる。

【0192】

なお、本明細書中において、酸化窒化物は、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物は、その組成として、酸素よりも窒素の含有量が多い材料を指す。

【0193】

なお、図 11 及び図 12 に示すトランジスタ 90 は、チャネル領域が形成される酸化物半導体膜 92b の端部のうち、導電膜 93 及び導電膜 94 とは重ならない端部、言い換えると、導電膜 93 及び導電膜 94 が位置する領域とは異なる領域に位置する端部と、導電膜 96 とが、重なる構成を有する。酸化物半導体膜 92b の端部は、当該端部を形成するためのエッチングでプラズマに曝されるときに、エッチングガスから生じた塩素ラジカル、フッ素ラジカル等が、酸化物半導体を構成する金属元素と結合しやすい。よって、酸化物半導体膜の端部では、当該金属元素と結合していた酸素が脱離しやすい状態にあるため、酸素欠損が形成され、n 型化しやすい。しかし、図 11 及び図 12 に示すトランジスタ 90 では、導電膜 93 及び導電膜 94 とは重ならない酸化物半導体膜 92b の端部と、導電膜 96 とが重なるため、導電膜 96 の電位を制御することにより、当該端部にかかる電界を制御することができる。よって、酸化物半導体膜 92b の端部を介して導電膜 93 と導電膜 94 の間に流れる電流を、導電膜 96 に与える電位によって制御することができる。このようなトランジスタ 90 の構造を、surrounded channel (s-channel) 構造とよぶ。

【0194】

具体的に、s-channel 構造の場合、トランジスタ 90 がオフとなるような電位を導電膜 96 に与えたときは、当該端部を介して導電膜 93 と導電膜 94 の間に流れるオフ電流を小さく抑えることができる。そのため、トランジスタ 90 では、大きなオン電流を

10

20

30

40

50

得るためにチャネル長を短くし、その結果、酸化物半導体膜 92b の端部における導電膜 93 と導電膜 94 の間の長さが短くなっても、トランジスタ 90 のオフ電流を小さく抑えることができる。よって、トランジスタ 90 は、チャネル長を短くすることで、オンのときには大きいオン電流を得ることができ、オフのときにはオフ電流を小さく抑えることができる。

【0195】

また、具体的に、s-channel 構造の場合、トランジスタ 90 がオンとなるような電位を導電膜 96 に与えたときは、当該端部を介して導電膜 93 と導電膜 94 の間に流れる電流を大きくすることができる。当該電流は、トランジスタ 90 の電界効果移動度とオン電流の増大に寄与する。そして、酸化物半導体膜 92b の端部と、導電膜 96 とが重なることで、酸化物半導体膜 92b においてキャリアの流れる領域が、絶縁膜 95 に近い酸化物半導体膜 92b の界面近傍のみでなく、酸化物半導体膜 92b の広い範囲においてキャリアが流れるため、トランジスタ 90 におけるキャリアの移動量が増加する。この結果、トランジスタ 90 のオン電流が大きくなる共に、電界効果移動度が高くなり、代表的には電界効果移動度が $10 \text{ cm}^2 / \text{V} \cdot \text{s}$ 以上、さらには $20 \text{ cm}^2 / \text{V} \cdot \text{s}$ 以上となる。なお、ここでの電界効果移動度は、酸化物半導体膜の物性値としての移動度の近似値ではなく、トランジスタの飽和領域における電流駆動力の指標であり、見かけ上の電界効果移動度である。

【0196】

< 酸化物半導体膜の構造 >

以下では、酸化物半導体膜の構造について説明する。なお、以下の説明において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。また、本明細書において、結晶が三方晶または菱面体晶である場合、その結晶を六方晶系として表す。

【0197】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、CAAC-OS 膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。

【0198】

[CAAC-OS 膜]

まずは、CAAC-OS 膜について説明する。

【0199】

CAAC-OS 膜は、c 軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

【0200】

透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって、CAAC-OS 膜の明視野像および回折パターンの複合解析像 (高分解能 TEM 像ともいう。) を観察することで複数の結晶部を確認することができる。一方、高分解能 TEM 像によっても明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、CAAC-OS 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0201】

試料面と概略平行な方向から、CAAC-OS 膜の断面の高分解能 TEM 像を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS 膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、CAAC-OS 膜の被形成面または上面と平行に配列する。

【0202】

一方、試料面と概略垂直な方向から、CAAC-OS 膜の平面の高分解能 TEM 像を観察すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認

できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0203】

図15(A)は、CAAC-OS膜の断面の高分解能TEM像である。また、図15(B)は、図15(A)をさらに拡大した断面の高分解能TEM像であり、理解を容易にするために原子配列を強調表示している。

【0204】

図15(C)は、図15(A)のA-O-A'間において、丸で囲んだ領域(直径約4nm)の局所的なフーリエ変換像である。図15(C)より、各領域においてc軸配向性が確認できる。また、A-O間とO-A'間とでは、c軸の向きが異なるため、異なるグレインであることが示唆される。また、A-O間では、c軸の角度が 14.3° 、 16.6° 、 26.4° のように少しずつ連続的に変化していることがわかる。同様に、O-A'間では、c軸の角度が -18.3° 、 -17.6° 、 -15.9° と少しずつ連続的に変化していることがわかる。

10

【0205】

なお、CAAC-OS膜に対し、電子回折を行うと、配向性を示すスポット(輝点)が観測される。例えば、CAAC-OS膜の上面に対し、例えば1nm以上30nm以下の電子線を用いる電子回折(ナノビーム電子回折ともいう。)を行うと、スポットが観測される(図16(A)参照。)

【0206】

断面の高分解能TEM像および平面の高分解能TEM像より、CAAC-OS膜の結晶部は配向性を有していることがわかる。

20

【0207】

なお、CAAC-OS膜に含まれるほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。従って、CAAC-OS膜に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。ただし、CAAC-OS膜に含まれる複数の結晶部が連結することで、一つの大きな結晶領域を形成する場合がある。例えば、平面の高分解能TEM像において、 2500nm^2 以上、 $5\mu\text{m}^2$ 以上または $1000\mu\text{m}^2$ 以上となる結晶領域が観察される場合がある。

【0208】

CAAC-OS膜に対し、X線回折(XRD: X-Ray Diffraction)装置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角(2 θ)が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の(009)面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

30

【0209】

一方、CAAC-OS膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、2 θ が 56° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の(110)面に帰属される。 InGaZnO_4 の単結晶酸化物半導体膜であれば、2 θ を 56° 近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行うと、(110)面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC-OS膜の場合は、2 θ を 56° 近傍に固定してスキャンした場合でも、明瞭なピークが現れない。

40

【0210】

以上のことから、CAAC-OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面の高分解能TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

【0211】

なお、結晶部は、CAAC-OS膜を成膜した際、または加熱処理などの結晶化処理を行

50

った際に形成される。上述したように、結晶のc軸は、CAAC-OS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【0212】

また、CAAC-OS膜中において、c軸配向した結晶部の分布が均一でなくてもよい。例えば、CAAC-OS膜の結晶部が、CAAC-OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりもc軸配向した結晶部の割合が高くなることがある。また、不純物の添加されたCAAC-OS膜は、不純物が添加された領域が変質し、部分的にc軸配向した結晶部の割合の異なる領域が形成されることもある。

10

【0213】

なお、InGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

【0214】

CAAC-OS膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

20

【0215】

また、CAAC-OS膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

30

【0216】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

40

【0217】

また、CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0218】

[多結晶酸化物半導体膜]

次に、多結晶酸化物半導体膜について説明する。

【0219】

多結晶酸化物半導体膜は、高分解能TEM像において結晶粒を確認することができる。多

50

結晶酸化物半導体膜に含まれる結晶粒は、例えば、高分解能TEM像で、2 nm以上300 nm以下、3 nm以上100 nm以下または5 nm以上50 nm以下の粒径であることが多い。また、多結晶酸化物半導体膜は、高分解能TEM像で、結晶粒界を確認できる場合がある。

【0220】

多結晶酸化物半導体膜は、複数の結晶粒を有し、当該複数の結晶粒間において結晶の方位が異なっている場合がある。また、多結晶酸化物半導体膜に対し、XRD装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有する多結晶酸化物半導体膜のout-of-plane法による解析では、2θが31°近傍のピーク、2θが36°近傍のピーク、またはそのほかのピークが現れる場合がある。

10

【0221】

多結晶酸化物半導体膜は、高い結晶性を有するため、高い電子移動度を有する場合がある。従って、多結晶酸化物半導体膜を用いたトランジスタは、高い電界効果移動度を有する。ただし、多結晶酸化物半導体膜は、結晶粒界に不純物が偏析する場合がある。また、多結晶酸化物半導体膜の結晶粒界は欠陥準位となる。多結晶酸化物半導体膜は、結晶粒界がキャリアトラップやキャリア発生源となる場合があるため、多結晶酸化物半導体膜を用いたトランジスタは、CAAC-OS膜を用いたトランジスタと比べて、電気特性の変動が大きく、信頼性の低いトランジスタとなる場合がある。

【0222】

[微結晶酸化物半導体膜]

次に、微結晶酸化物半導体膜について説明する。

20

【0223】

微結晶酸化物半導体膜は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体膜に含まれる結晶部は、1 nm以上100 nm以下、または1 nm以上10 nm以下の大きさであることが多い。特に、1 nm以上10 nm以下、または1 nm以上3 nm以下の微結晶であるナノ結晶(nc:nanocrystal)を有する酸化物半導体膜を、nc-OS(nanocrystalline Oxide Semiconductor)膜と呼ぶ。また、nc-OS膜は、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。

30

【0224】

nc-OS膜は、微小な領域(例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域)において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。従って、nc-OS膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-OS膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS膜に対し、結晶部よりも大きいプローブ径(例えば50 nm以上)の電子線を用いる電子回折(制限視野電子回折ともいう。)を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OS膜に対しナノビーム電子回折を行うと、円を描くように(リング状に)輝度の高い領域が観測される場合がある。また、nc-OS膜に対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある(図16(B)参照。)

40

【0225】

nc-OS膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nc-OS膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。

50

【0226】

従って、nc-OS膜は、CAAC-OS膜と比べて、キャリア密度が高くなる場合がある。キャリア密度が高い酸化物半導体膜は、電子移動度が高くなる場合がある。従って、nc-OS膜を用いたトランジスタは、高い電界効果移動度を有する場合がある。また、nc-OS膜は、CAAC-OS膜と比べて、欠陥準位密度が高いため、キャリアトラップが多くなる場合がある。従って、nc-OS膜を用いたトランジスタは、CAAC-OS膜を用いたトランジスタと比べて、電気特性の変動が大きく、信頼性の低いトランジスタとなる。ただし、nc-OS膜は、比較的不純物が多く含まれていても形成することができるため、CAAC-OS膜よりも形成が容易となり、用途によっては好適に用いることができる場合がある。そのため、nc-OS膜を用いたトランジスタを有する半導体装置は、生産性高く作製することができる場合がある。

10

【0227】

[非晶質酸化物半導体膜]

次に、非晶質酸化物半導体膜について説明する。

【0228】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体膜である。石英のような無定形状態を有する酸化物半導体膜が一例である。

【0229】

非晶質酸化物半導体膜は、高分解能TEM像において結晶部を確認することができない。

【0230】

非晶質酸化物半導体膜に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体膜に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体膜に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンが観測される。

20

【0231】

非晶質酸化物半導体膜は、水素などの不純物を高い濃度で含む酸化物半導体膜である。また、非晶質酸化物半導体膜は、欠陥準位密度の高い酸化物半導体膜である。

【0232】

不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜は、キャリアトラップやキャリア発生源が多い酸化物半導体膜である。

30

【0233】

従って、非晶質酸化物半導体膜は、nc-OS膜と比べて、さらにキャリア密度が高くなる場合がある。そのため、非晶質酸化物半導体膜を用いたトランジスタは、ノーマリーオンの電気特性になりやすい。従って、ノーマリーオンの電気特性が求められるトランジスタに好適に用いることができる場合がある。非晶質酸化物半導体膜は、欠陥準位密度が高いため、キャリアトラップが多くなる場合がある。従って、非晶質酸化物半導体膜を用いたトランジスタは、CAAC-OS膜やnc-OS膜を用いたトランジスタと比べて、電気特性の変動が大きく、信頼性の低いトランジスタとなる。

【0234】

[単結晶酸化物半導体膜]

次に、単結晶酸化物半導体膜について説明する。

【0235】

単結晶酸化物半導体膜は、不純物濃度が低く、欠陥準位密度が低い（酸素欠損が少ない）酸化物半導体膜である。そのため、キャリア密度を低くすることができる。従って、単結晶酸化物半導体膜を用いたトランジスタは、ノーマリーオンの電気特性になることが少ない。また、単結晶酸化物半導体膜は、不純物濃度が低く、欠陥準位密度が低いため、キャリアトラップが少なくなる場合がある。従って、単結晶酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。

40

【0236】

50

なお、酸化物半導体膜は、欠陥が少ないと密度が高くなる。また、酸化物半導体膜は、結晶性が高いと密度が高くなる。また、酸化物半導体膜は、水素などの不純物濃度が低いと密度が高くなる。単結晶酸化物半導体膜は、C A A C - O S 膜よりも密度が高い。また、C A A C - O S 膜は、微結晶酸化物半導体膜よりも密度が高い。また、多結晶酸化物半導体膜は、微結晶酸化物半導体膜よりも密度が高い。また、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも密度が高い。

【0237】

なお、酸化物半導体膜は、n c - O S 膜と非晶質酸化物半導体膜との間の物性を示す構造を有する場合がある。そのような構造を有する酸化物半導体膜を、特に非晶質ライク酸化物半導体 (a m o r p h o u s - l i k e O S : a m o r p h o u s - l i k e O x i d e S e m i c o n d u c t o r) 膜と呼ぶ。

10

【0238】

a m o r p h o u s - l i k e O S 膜は、高分解能 T E M 像において鬆 (ボイドともいう。) が観察される場合がある。また、高分解能 T E M 像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。a m o r p h o u s - l i k e O S 膜は、T E M による観察程度の微量な電子照射によって、結晶化が起こり、結晶部の成長が見られる場合がある。一方、良質な n c - O S 膜であれば、T E M による観察程度の微量な電子照射による結晶化はほとんど見られない。

【0239】

なお、a m o r p h o u s - l i k e O S 膜および n c - O S 膜の結晶部の大きさの計測は、高分解能 T E M 像を用いて行うことができる。例えば、 InGaZnO_4 の結晶は層状構造を有し、In - O 層の間に、Ga - Zn - O 層を 2 層有する。 InGaZnO_4 の結晶の単位格子は、In - O 層を 3 層有し、また Ga - Zn - O 層を 6 層有する、計 9 層が c 軸方向に層状に重なった構造を有する。よって、これらの近接する層同士の間隔は、(0 0 9) 面の格子面間隔 (d 値ともいう。) と同程度であり、結晶構造解析からその値は 0 . 2 9 n m と求められている。そのため、高分解能 T E M 像における格子縞に着目し、格子縞の間隔が 0 . 2 8 n m 以上 0 . 3 0 n m 以下である箇所においては、それぞれの格子縞が InGaZnO_4 の結晶の a - b 面に対応すると見なした。その格子縞の観察される領域における最大長を、a m o r p h o u s - l i k e O S 膜および n c - O S 膜の結晶部の大きさとする。なお、結晶部の大きさは、0 . 8 n m 以上のものを選択的に評価する。

20

30

【0240】

図 1 7 は、高分解能 T E M 像により、a m o r p h o u s - l i k e O S 膜および n c - O S 膜の結晶部 (2 0 箇所から 4 0 箇所) の平均の大きさの変化を調査した例である。図 1 7 より、a m o r p h o u s - l i k e O S 膜は、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、T E M による観察初期においては 1 . 2 n m 程度の大きさだった結晶部が、累積照射量が $4 . 2 \times 10^8 \text{ e}^- / \text{nm}^2$ においては 2 . 6 n m 程度の大きさまで成長していることがわかる。一方、良質な n c - O S 膜は、電子照射開始時から電子の累積照射量が $4 . 2 \times 10^8 \text{ e}^- / \text{nm}^2$ になるまでの範囲で、電子の累積照射量によらず結晶部の大きさに変化が見られないことがわかる。

40

【0241】

また、図 1 7 に示す、a m o r p h o u s - l i k e O S 膜および n c - O S 膜の結晶部の大きさの変化を線形近似して、電子の累積照射量 $0 \text{ e}^- / \text{nm}^2$ まで外挿すると、結晶部の平均の大きさが正の値をとることがわかる。そのため、a m o r p h o u s - l i k e O S 膜および n c - O S 膜の結晶部が、T E M による観察前から存在していることがわかる。

【0242】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、C A A C - O S 膜のうち、二種以上を有する積層膜であってもよい。

【0243】

50

酸化物半導体膜が複数の構造を有する場合、ナノビーム電子回折を用いることで構造解析が可能となる場合がある。

【0244】

図16(C)に、電子銃室2010と、電子銃室2010の下の光学系2012と、光学系2012の下を試料室2014と、試料室2014の下の光学系2016と、光学系2016の下を観察室2020と、観察室2020に設置されたカメラ2018と、観察室2020の下フィルム室2022と、を有する透過電子回折測定装置を示す。カメラ2018は、観察室2020内部に向けて設置される。なお、フィルム室2022を有さなくても構わない。

【0245】

また、図16(D)に、図16(C)で示した透過電子回折測定装置内部の構造を示す。透過電子回折測定装置内部では、電子銃室2010に設置された電子銃から放出された電子が、光学系2012を介して試料室2014に配置された物質2028に照射される。物質2028を通過した電子は、光学系2016を介して観察室2020内部に設置された蛍光板2032に入射する。蛍光板2032では、入射した電子の強度に応じたパターンが現れることで透過電子回折パターンを測定することができる。

【0246】

カメラ2018は、蛍光板2032を向いて設置されており、蛍光板2032に現れたパターンを撮影することが可能である。カメラ2018のレンズの中央、および蛍光板2032の中央を通る直線と、蛍光板2032の上面と、の為す角度は、例えば、15°以上80°以下、30°以上75°以下、または45°以上70°以下とする。該角度が小さいほど、カメラ2018で撮影される透過電子回折パターンは歪みが大きくなる。ただし、あらかじめ該角度がわかっているならば、得られた透過電子回折パターンの歪みを補正することも可能である。なお、カメラ2018をフィルム室2022に設置しても構わない場合がある。例えば、カメラ2018をフィルム室2022に、電子2024の入射方向と対向するように設置してもよい。この場合、蛍光板2032の裏面から歪みの少ない透過電子回折パターンを撮影することができる。

【0247】

試料室2014には、試料である物質2028を固定するためのホルダが設置されている。ホルダは、物質2028を通過する電子を透過するような構造をしている。ホルダは、例えば、物質2028をX軸、Y軸、Z軸などに移動させる機能を有していてもよい。ホルダの移動機能は、例えば、1nm以上10nm以下、5nm以上50nm以下、10nm以上100nm以下、50nm以上500nm以下、100nm以上1μm以下などの範囲で移動させる精度を有すればよい。これらの範囲は、物質2028の構造によって最適な範囲を設定すればよい。

【0248】

次に、上述した透過電子回折測定装置を用いて、物質の透過電子回折パターンを測定する方法について説明する。

【0249】

例えば、図16(D)に示すように物質におけるナノビームである電子2024の照射位置を変化させる(スキャンする)ことで、物質の構造が変化していく様子を確認することができる。このとき、物質2028がCAAC-OS膜であれば、図16(A)に示したような回折パターンが観測される。または、物質2028がnc-OS膜であれば、図16(B)に示したような回折パターンが観測される。

【0250】

ところで、物質2028がCAAC-OS膜であったとしても、部分的にnc-OS膜など同様の回折パターンが観測される場合がある。したがって、CAAC-OS膜の良否は、一定の範囲におけるCAAC-OS膜の回折パターンが観測される領域の割合(CAAC化率ともいう。)で表すことができる場合がある。例えば、良質なCAAC-OS膜であれば、CAAC化率は、50%以上、好ましくは80%以上、さらに好ましくは90

10

20

30

40

50

%以上、より好ましくは95%以上となる。なお、CAAC-O膜と異なる回折パターンが観測される領域の割合を非CAAC化率と表記する。

【0251】

一例として、成膜直後(as-sputteredと表記。)、または酸素を含む雰囲気における450 加熱処理後のCAAC-O膜を有する各試料の上面に対し、スキャンしながら透過電子回折パターンを取得した。ここでは、5nm/秒の速度で60秒間スキャンしながら回折パターンを観測し、観測された回折パターンを0.5秒ごとに静止画に変換することで、CAAC化率を導出した。なお、電子線としては、プローブ径が1nmのナノビーム電子線を用いた。なお、同様の測定は6試料に対して行った。そしてCAAC化率の算出には、6試料における平均値を用いた。

10

【0252】

各試料におけるCAAC化率を図18(A)に示す。成膜直後のCAAC-O膜のCAAC化率は75.7%(非CAAC化率は24.3%)であった。また、450 加熱処理後のCAAC-O膜のCAAC化率は85.3%(非CAAC化率は14.7%)であった。成膜直後と比べて、450 加熱処理後のCAAC化率が高いことがわかる。即ち、高い温度(例えば400 以上)における加熱処理によって、非CAAC化率が低くなる(CAAC化率が高くなる)ことがわかる。また、500 未満の加熱処理においても高いCAAC化率を有するCAAC-O膜が得られることがわかる。

【0253】

ここで、CAAC-O膜と異なる回折パターンのほとんどはnc-O膜と同様の回折パターンであった。また、測定領域において非晶質酸化物半導体膜は、確認することができなかった。したがって、加熱処理によって、nc-O膜と同様の構造を有する領域が、隣接する領域の構造の影響を受けて再配列し、CAAC化していることが示唆される。

20

【0254】

図18(B)および図18(C)は、成膜直後および450 加熱処理後のCAAC-O膜の平面の高分解能TEM像である。図18(B)と図18(C)とを比較することにより、450 加熱処理後のCAAC-O膜は、膜質がより均質であることがわかる。即ち、高い温度における加熱処理によって、CAAC-O膜の膜質が向上することがわかる。

【0255】

このような測定方法を用いれば、複数の構造を有する酸化物半導体膜の構造解析が可能となる場合がある。

30

【0256】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することができる。

【0257】

(実施の形態5)

本実施の形態では、図10とは異なる構造を有する半導体装置の構造の一例について説明する。

【0258】

図13に、半導体装置の断面構造を、一例として示す。なお、破線A1-A2で示す領域では、トランジスタ520及びトランジスタ530のチャンネル長方向における構造を示しており、破線A3-A4で示す領域では、トランジスタ520及びトランジスタ530のチャンネル幅方向における構造を示している。ただし、本発明の一態様では、トランジスタ520のチャンネル長方向とトランジスタ530のチャンネル長方向とが、必ずしも一致していなくともよい。

40

【0259】

なお、チャンネル長方向とは、ソース(ソース領域またはソース電極)とドレイン(ドレイン領域またはドレイン電極)間において、キャリアが移動する方向を意味し、チャンネル幅方向は、基板と水平な面内において、チャンネル長方向に対して垂直の方向を意味する。

【0260】

50

なお、図 13 では、OS トランジスタであるトランジスタ 530 が、Si トランジスタであるトランジスタ 520 上に形成されている場合を例示している。なお、このように Si トランジスタと OS トランジスタが積層された構成は、回路 30 に適宜用いることができる。なお、本実施の形態では、図 9 (B) と同様に、トランジスタ 520 のゲートとトランジスタ 530 のソースまたはドレインの一方が接続された構成を示すが、これに限られない。トランジスタ 520 のソースまたはドレインの一方とトランジスタ 530 のゲートが接続されていてもよいし (図 8 (D) 参照)、トランジスタ 520 のソースまたはドレインの一方とトランジスタ 530 のソースまたはドレインの一方が接続されていてもよいし (図 9 (A) 参照)、トランジスタ 520 のゲートとトランジスタ 530 のゲートが接続されていてもよい (図 9 (C) 参照)。

10

【0261】

トランジスタ 520 は、非晶質、微結晶、多結晶または単結晶である、シリコン又はゲルマニウムなどの半導体膜または半導体基板に、チャネル形成領域を有していても良い。或いは、トランジスタ 520 は、酸化物半導体膜または酸化物半導体基板に、チャネル形成領域を有していても良い。全てのトランジスタが酸化物半導体膜または酸化物半導体基板に、チャネル形成領域を有している場合、トランジスタ 530 はトランジスタ 520 上に積層されていなくとも良く、トランジスタ 530 とトランジスタ 520 とは、同一の層に形成されていても良い。

【0262】

シリコンの薄膜を用いてトランジスタ 520 を形成する場合、当該薄膜には、プラズマ CVD 法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーの照射などの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

20

【0263】

トランジスタ 520 が形成される基板 1000 は、例えば、シリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板等を用いることができる。図 13 では、単結晶シリコン基板を基板 1000 として用いる場合を例示している。

【0264】

また、トランジスタ 520 は、素子分離法により電氣的に分離されている。素子分離法として、トレンチ分離法等を用いることができる。図 13 では、トレンチ分離法を用いてトランジスタ 520 を電氣的に分離する場合を例示している。具体的に、図 13 では、エッチング等により基板 1000 に形成されたトレンチに、酸化珪素などが含まれる絶縁物を埋め込んだ後、当該絶縁物をエッチング等により部分的に除去することで形成される素子分離領域 1001 により、トランジスタ 520 を素子分離させる場合を例示している。

30

【0265】

また、トレンチ以外の領域に存在する基板 1000 の凸部には、トランジスタ 520 の不純物領域 1002 及び不純物領域 1003 と、不純物領域 1002 及び不純物領域 1003 に挟まれたチャネル形成領域 1004 とが設けられている。さらに、トランジスタ 520 は、チャネル形成領域 1004 を覆う絶縁膜 1005 と、絶縁膜 1005 を間に挟んでチャネル形成領域 1004 と重なるゲート電極 1006 とを有する。

40

【0266】

トランジスタ 520 では、チャネル形成領域 1004 における凸部の側部及び上部と、ゲート電極 1006 とが絶縁膜 1005 を間に挟んで重なることで、チャネル形成領域 1004 の側部と上部を含めた広い範囲においてキャリアが流れる。そのため、トランジスタ 520 の基板上における専有面積を小さく抑えつつ、トランジスタ 520 におけるキャリアの移動量を増加させることができる。その結果、トランジスタ 520 は、オン電流が大きくなると共に、電界効果移動度が高められる。特に、チャネル形成領域 1004 における凸部のチャネル幅方向の長さ (チャネル幅) を W 、チャネル形成領域 1004 における凸部の膜厚を T とすると、チャネル幅 W に対する膜厚 T の比に相当するアスペクト比が高

50

い場合、キャリアが流れる範囲はより広くなるため、トランジスタ 520 のオン電流をより大きくすることができ、電界効果移動度もより高められる。

【0267】

なお、バルクの半導体基板を用いたトランジスタ 520 の場合、アスペクト比は 0.5 以上であることが望ましく、1 以上であることがより望ましい。

【0268】

トランジスタ 520 上には、絶縁膜 1011 が設けられている。絶縁膜 1011 には開口部が形成されている。そして、上記開口部には、不純物領域 1002、不純物領域 1003 にそれぞれ電氣的に接続されている導電膜 1012、導電膜 1013 と、ゲート電極 1006 に電氣的に接続されている導電膜 1014 とが、形成されている。

10

【0269】

そして、導電膜 1012 は、絶縁膜 1011 上に形成された導電膜 1016 に電氣的に接続されており、導電膜 1013 は、絶縁膜 1011 上に形成された導電膜 1017 に電氣的に接続されており、導電膜 1014 は、絶縁膜 1011 上に形成された導電膜 1018 に電氣的に接続されている。

【0270】

導電膜 1016 乃至導電膜 1018 上には、絶縁膜 1020 が設けられている。そして、絶縁膜 1020 上には、酸素、水素、水の拡散を防ぐブロッキング効果を有する絶縁膜 1021 が設けられている。絶縁膜 1021 は、密度が高くて緻密である程、また未結合手が少なく化学的に安定である程、より高いブロッキング効果を示す。酸素、水素、水の拡散を防ぐブロッキング効果を示す絶縁膜 1021 として、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等を用いることができる。水素、水の拡散を防ぐブロッキング効果を示す絶縁膜 1021 として、例えば、窒化シリコン、窒化酸化シリコン等を用いることができる。

20

【0271】

絶縁膜 1021 上には絶縁膜 1022 が設けられており、絶縁膜 1022 上には、トランジスタ 530 が設けられている。

【0272】

トランジスタ 530 は、絶縁膜 1022 上に、酸化物半導体を含む半導体膜 1030 と、半導体膜 1030 に電氣的に接続された、ソース電極またはドレイン電極として機能する導電膜 1032 及び導電膜 1033 と、半導体膜 1030 を覆っているゲート絶縁膜 1031 と、ゲート絶縁膜 1031 を間に挟んで半導体膜 1030 と重なるゲート電極 1034 と、を有する。なお、絶縁膜 1020 乃至絶縁膜 1022 には開口部が設けられており、導電膜 1033 は、上記開口部において導電膜 1018 に接続されている。

30

【0273】

なお、図 13 において、トランジスタ 530 は、ゲート電極 1034 を半導体膜 1030 の片側において少なくとも有していれば良いが、絶縁膜 1022 を間に挟んで半導体膜 1030 と重なるゲート電極を、さらに有していても良い。

【0274】

トランジスタ 530 が、一对のゲート電極を有している場合、一方のゲート電極には導通状態または非導通状態を制御するための信号が与えられ、他方のゲート電極には、他の信号が与えられている状態であっても良い。この場合、一对のゲート電極に、同じ高さの電位が与えられていても良いし、他方のゲート電極にのみ接地電位などの固定の電位が与えられていても良い。他方のゲート電極に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

40

【0275】

また、図 13 では、トランジスタ 530 が、一のゲート電極 1034 に対応した一のチャネル形成領域を有する、シングルゲート構造である場合を例示している。しかし、トランジスタ 530 は、電氣的に接続された複数のゲート電極を有することで、一の活性層にチ

50

ャネル形成領域を複数有する、マルチゲート構造であっても良い。

【0276】

また、図13に示すように、トランジスタ530は、半導体膜1030が、絶縁膜1022上において順に積層された酸化物半導体膜1030a乃至酸化物半導体膜1030cを有する場合を例示している。ただし、本発明の一態様では、トランジスタ530が有する半導体膜1030が、単膜の金属酸化物膜で構成されていても良い。

【0277】

なお、本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【0278】

(実施の形態6)

10

他の実施の形態で開示された、導電膜、半導体膜、絶縁膜など様々な膜はスパッタ法やプラズマCVD法により形成することができるが、他の方法、例えば、熱CVD法により形成してもよい。熱CVD法の例としてMOCVD(Metal Organic Chemical Vapor Deposition)法やALD(Atomic Layer Deposition)法を使っても良い。

【0279】

熱CVD法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

【0280】

20

熱CVD法は、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

【0281】

また、ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ(高速バルブとも呼ぶ)を切り替えて2種類以上の原料ガスを順番にチャンバーに供給する。例えば、複数種の原料ガスが混ざらないように第1の原料ガスと同時またはその後不活性ガス(アルゴン、或いは窒素など)などを導入し、第2の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の層を成膜し、後から導入される第2の原料ガスと反応して、第2の層が第1の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

30

【0282】

MOCVD法やALD法などの熱CVD法は、これまでに記載した実施形態に開示された導電膜、半導体膜、絶縁膜など様々な膜を形成することができ、例えば、In-Ga-Zn-O膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、及びジメチル亜鉛を用いる。なお、トリメチルインジウムの化学式は、 $\text{In}(\text{CH}_3)_3$ である。また、トリメチルガリウムの化学式は、 $\text{Ga}(\text{CH}_3)_3$ である。また、ジメチル亜鉛の化学式は、 $\text{Zn}(\text{CH}_3)_2$ である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム(化学式 $\text{Ga}(\text{C}_2\text{H}_5)_3$)を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛(化学式 $\text{Zn}(\text{C}_2\text{H}_5)_2$)を用いることもできる。

40

【0283】

例えば、ALDを利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体(ハフニウムアルコキシドや、テトラキスジメチルア

50

ミドハフニウム (TDMAH) などのハフニウムアミド) を気化させた原料ガスと、酸化剤としてオゾン (O_3) の2種類のガスを用いる。なお、テトラキスジメチルアミドハフニウムの化学式は $Hf[N(CH_3)_2]_4$ である。また、他の材料液としては、テトラキス (エチルメチルアミド) ハフニウムなどがある。

【0284】

例えば、ALDを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体化合物を含む液体 (トリメチルアルミニウム (TMA) など) を気化させた原料ガスと、酸化剤として H_2O の2種類のガスを用いる。なお、トリメチルアルミニウムの化学式は $Al(CH_3)_3$ である。また、他の材料液としては、トリス (ジメチルアミド) アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス (2, 2, 6, 6 - テトラメチル - 3, 5 - ヘプタンジオナート) などがある。

10

【0285】

例えば、ALDを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、吸着物に含まれる塩素を除去し、酸化性ガス (O_2 、一酸化二窒素) のラジカルを供給して吸着物と反応させる。

【0286】

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、 WF_6 ガスと H_2 ガスを同時に導入してタングステン膜を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

20

【0287】

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えば $In-Ga-Zn-O$ 膜を成膜する場合には、 $In(CH_3)_3$ ガスと O_3 ガスを順次繰り返し導入して $In-O$ 層を形成し、その後、 $Ga(CH_3)_3$ ガスと O_3 ガスを同時に導入して GaO 層を形成し、更にその後 $Zn(CH_3)_2$ ガスと O_3 ガスを同時に導入して ZnO 層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜて $In-Ga-O$ 層や $In-Zn-O$ 層、 $Ga-Zn-O$ 層などの混合化合物層を形成しても良い。なお、 O_3 ガスに変えて Ar 等の不活性ガスでバブリングして得られた H_2O ガスを用いても良いが、 H を含まない O_3 ガスを用いる方が好ましい。また、 $In(CH_3)_3$ ガスにかえて、 $In(C_2H_5)_3$ ガスを用いても良い。また、 $Ga(CH_3)_3$ ガスにかえて、 $Ga(C_2H_5)_3$ ガスを用いても良い。また、 $Zn(CH_3)_2$ ガスを用いても良い。

30

【0288】

なお、本実施の形態は、他の実施の形態と適宜組み合わせ実施することができる。

【0289】

(実施の形態7)

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置 (代表的には DVD: Digital Versatile Disc 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置) に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ (ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置 (カーオーディオ、デジタルオーディオプレーヤー等)、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機 (ATM)、自動販売機、医療機器などが挙げられる。これら電子機器の具体例を図14に示す。

40

【0290】

図14(A) は携帯型ゲーム機であり、筐体5001、筐体5002、表示部5003、表示部5004、マイクロホン5005、スピーカー5006、操作キー5007、スタイラス5008等を有する。本発明の一態様にかかる半導体装置は、携帯型ゲーム機の各

50

種集積回路に用いることができる。なお、図 1 4 (A) に示す携帯型ゲーム機は、2 つの表示部 5 0 0 3 と表示部 5 0 0 4 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【 0 2 9 1 】

図 1 4 (B) は携帯情報端末であり、第 1 筐体 5 6 0 1、第 2 筐体 5 6 0 2、第 1 表示部 5 6 0 3、第 2 表示部 5 6 0 4、接続部 5 6 0 5、操作キー 5 6 0 6 等を有する。本発明の一態様にかかる半導体装置は、携帯情報端末の各種集積回路に用いることができる。第 1 表示部 5 6 0 3 は第 1 筐体 5 6 0 1 に設けられており、第 2 表示部 5 6 0 4 は第 2 筐体 5 6 0 2 に設けられている。そして、第 1 筐体 5 6 0 1 と第 2 筐体 5 6 0 2 とは、接続部 5 6 0 5 により接続されており、第 1 筐体 5 6 0 1 と第 2 筐体 5 6 0 2 の間の角度は、接続部 5 6 0 5 により変更が可能である。第 1 表示部 5 6 0 3 における映像を、接続部 5 6 0 5 における第 1 筐体 5 6 0 1 と第 2 筐体 5 6 0 2 との間の角度に従って、切り替える構成としても良い。また、第 1 表示部 5 6 0 3 及び第 2 表示部 5 6 0 4 の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

10

【 0 2 9 2 】

図 1 4 (C) はノート型パーソナルコンピュータであり、筐体 5 4 0 1、表示部 5 4 0 2、キーボード 5 4 0 3、ポインティングデバイス 5 4 0 4 等を有する。本発明の一態様にかかる半導体装置は、ノート型パーソナルコンピュータの各種集積回路に用いることができる。

20

【 0 2 9 3 】

図 1 4 (D) は電気冷凍冷蔵庫であり、筐体 5 3 0 1、冷蔵室用扉 5 3 0 2、冷凍室用扉 5 3 0 3 等を有する。本発明の一態様にかかる半導体装置は、電気冷凍冷蔵庫の各種集積回路に用いることができる。

【 0 2 9 4 】

図 1 4 (E) はビデオカメラであり、第 1 筐体 5 8 0 1、第 2 筐体 5 8 0 2、表示部 5 8 0 3、操作キー 5 8 0 4、レンズ 5 8 0 5、接続部 5 8 0 6 等を有する。本発明の一態様にかかる半導体装置は、ビデオカメラの各種集積回路に用いることができる。操作キー 5 8 0 4 及びレンズ 5 8 0 5 は第 1 筐体 5 8 0 1 に設けられており、表示部 5 8 0 3 は第 2 筐体 5 8 0 2 に設けられている。そして、第 1 筐体 5 8 0 1 と第 2 筐体 5 8 0 2 とは、接続部 5 8 0 6 により接続されており、第 1 筐体 5 8 0 1 と第 2 筐体 5 8 0 2 の間の角度は、接続部 5 8 0 6 により変更が可能である。表示部 5 8 0 3 における映像を、接続部 5 8 0 6 における第 1 筐体 5 8 0 1 と第 2 筐体 5 8 0 2 との間の角度に従って切り替える構成としても良い。

30

【 0 2 9 5 】

図 1 4 (F) は普通自動車であり、車体 5 1 0 1、車輪 5 1 0 2、ダッシュボード 5 1 0 3、ライト 5 1 0 4 等を有する。本発明の一態様にかかる半導体装置は、普通自動車の各種集積回路に用いることができる。

40

【 0 2 9 6 】

(明細書等の記載について)

本明細書等の記載に関して、以下に説明する。

【 0 2 9 7 】

本明細書等において、X と Y とが接続されている、と明示的に記載する場合は、X と Y とが電氣的に接続されている場合と、X と Y とが機能的に接続されている場合と、X と Y とが直接接続されている場合とを含むものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【 0 2 9 8 】

50

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0299】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。

10

【0300】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

20

【0301】

なお、XとYとが電氣的に接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

【0302】

また、トランジスタのソースとは、活性層として機能する半導体膜の一部であるソース領域、或いは上記半導体膜に接続されたソース電極を意味する。同様に、トランジスタのドレインとは、上記半導体膜の一部であるドレイン領域、或いは上記半導体膜に接続されたドレイン電極を意味する。また、ゲートはゲート電極を意味する。

30

【0303】

トランジスタが有するソースとドレインは、トランジスタの導電型及び各端子に与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、nチャネル型トランジスタでは、低い電位が与えられる端子がソースと呼ばれ、高い電位が与えられる端子がドレインと呼ばれる。また、pチャネル型トランジスタでは、低い電位が与えられる端子がドレインと呼ばれ、高い電位が与えられる端子がソースと呼ばれる。本明細書では、便宜上、ソースとドレインとが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソースとドレインの呼び方が入れ替わる。

40

【0304】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【符号の説明】

50

【 0 3 0 5 】

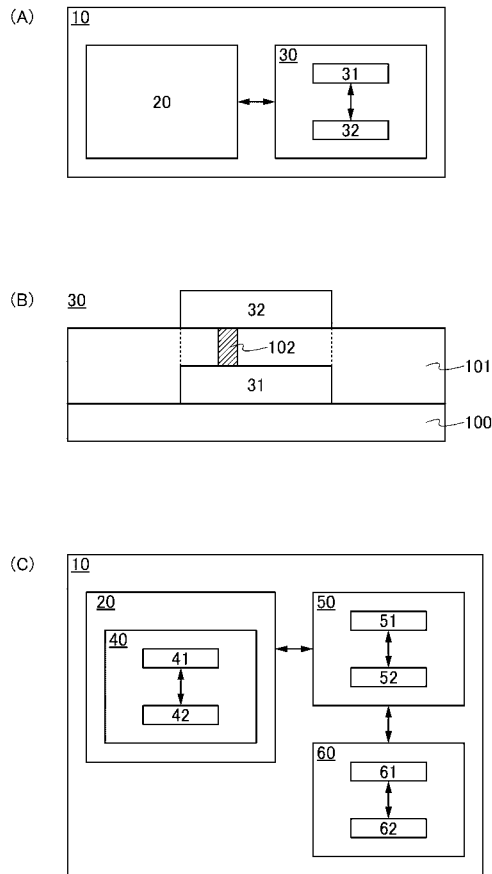
1 0	半 導 体 装 置	
2 0	回 路	
3 0	回 路	
3 1	回 路	
3 2	回 路	
3 3	回 路	
4 0	キャ ッ シ ュ メ モ リ	
4 1	回 路	
4 2	回 路	10
5 0	主 記 憶 装 置	
5 1	回 路	
5 2	回 路	
6 0	補 助 記 憶 装 置	
6 1	回 路	
6 2	回 路	
9 0	ト ラ ン ジ ス タ	
9 1	絶 縁 膜	
9 2 a	酸 化 物 半 導 体 膜	
9 2 b	酸 化 物 半 導 体 膜	20
9 2 c	酸 化 物 半 導 体 膜	
9 3	導 電 膜	
9 4	導 電 膜	
9 5	絶 縁 膜	
9 6	導 電 膜	
9 7	基 板	
1 0 0	基 板	
1 0 1	絶 縁 層	
1 0 2	導 電 層	
1 0 3	絶 縁 層	30
1 1 1	回 路	
1 1 2	回 路	
1 1 3	回 路	
1 1 4	セ ル ア レ イ	
1 2 0	記 憶 回 路	
1 3 0	論 理 回 路	
1 3 1	回 路	
1 4 0	論 理 回 路	
2 0 1	配 線	
2 0 2	配 線	40
2 0 3	配 線	
3 0 1	ト ラ ン ジ ス タ	
3 0 2	ト ラ ン ジ ス タ	
3 0 3	回 路	
3 0 4	イ ン バ ー タ	
3 0 5	イ ン バ ー タ	
3 1 1	ト ラ ン ジ ス タ	
3 1 2	ト ラ ン ジ ス タ	
3 1 3	回 路	
3 1 4	イ ン バ ー タ	50

3 1 5	インバータ	
3 2 1	トランジスタ	
3 2 2	トランジスタ	
3 2 3	トランジスタ	
3 2 4	抵抗素子	
3 3 1	トランジスタ	
3 3 2	トランジスタ	
3 3 3	トランジスタ	
3 3 4	トランジスタ	
3 4 1	トランジスタ	10
3 4 2	容量素子	
4 1 1	トランジスタ	
4 1 2	トランジスタ	
4 1 3	抵抗素子	
4 2 1	トランジスタ	
4 2 2	トランジスタ	
4 2 3	トランジスタ	
4 2 4	抵抗素子	
4 2 5	抵抗素子	
4 3 1	トランジスタ	20
4 3 2	トランジスタ	
4 3 3	トランジスタ	
4 3 4	抵抗素子	
4 3 5	抵抗素子	
5 0 0	半導体基板	
5 0 1	絶縁物	
5 0 2	ウェル	
5 0 3	ゲート絶縁膜	
5 0 4	ゲート電極	
5 0 5	不純物領域	30
5 0 6	層間絶縁層	
5 0 7	酸化物半導体層	
5 0 8	配線	
5 0 9	ゲート絶縁膜	
5 1 0	ゲート電極	
5 1 1	層間絶縁層	
5 1 2	配線	
5 2 0	トランジスタ	
5 3 0	トランジスタ	
8 0 1	半導体基板	40
8 1 0	素子分離領域	
8 1 1	絶縁膜	
8 1 2	絶縁膜	
8 1 3	絶縁膜	
8 2 5	導電膜	
8 2 6	導電膜	
8 2 7	導電膜	
8 3 4	導電膜	
8 3 5	導電膜	
8 3 6	導電膜	50

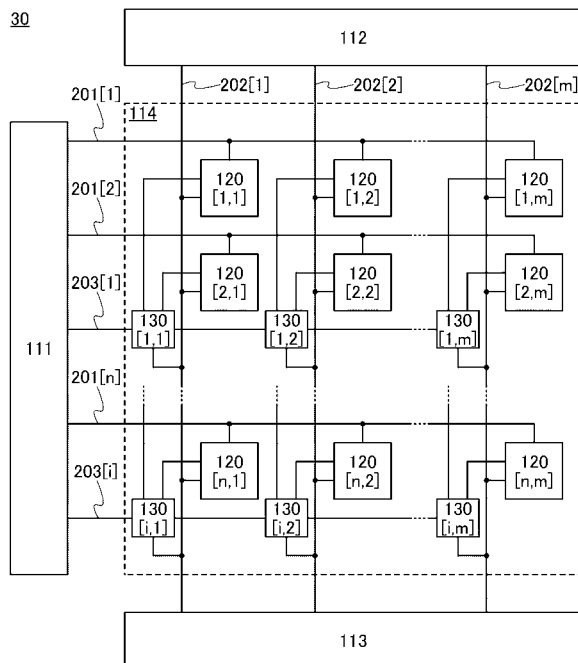
8 3 7	導電膜	
8 4 4	導電膜	
8 5 1	導電膜	
8 5 2	導電膜	
8 5 3	導電膜	
8 6 1	絶縁膜	
9 0 1	半導体膜	
9 1 0	領域	
9 1 1	領域	
9 2 1	導電膜	10
9 2 2	導電膜	
9 3 1	ゲート電極	
9 6 2	ゲート絶縁膜	
9 6 3	絶縁膜	
1 0 0 0	基板	
1 0 0 1	素子分離領域	
1 0 0 2	不純物領域	
1 0 0 3	不純物領域	
1 0 0 4	チャネル形成領域	
1 0 0 5	絶縁膜	20
1 0 0 6	ゲート電極	
1 0 1 1	絶縁膜	
1 0 1 2	導電膜	
1 0 1 3	導電膜	
1 0 1 4	導電膜	
1 0 1 6	導電膜	
1 0 1 7	導電膜	
1 0 1 8	導電膜	
1 0 2 0	絶縁膜	
1 0 2 1	絶縁膜	30
1 0 2 2	絶縁膜	
1 0 3 0	半導体膜	
1 0 3 0 a	酸化物半導体膜	
1 0 3 0 b	酸化物半導体膜	
1 0 3 0 c	酸化物半導体膜	
1 0 3 1	ゲート絶縁膜	
1 0 3 2	導電膜	
1 0 3 3	導電膜	
1 0 3 4	ゲート電極	
2 0 1 0	電子銃室	40
2 0 1 2	光学系	
2 0 1 4	試料室	
2 0 1 6	光学系	
2 0 1 8	カメラ	
2 0 2 0	観察室	
2 0 2 2	フィルム室	
2 0 2 4	電子	
2 0 2 8	物質	
2 0 3 2	蛍光板	
5 0 0 1	筐体	50

5 0 0 2	筐体	
5 0 0 3	表示部	
5 0 0 4	表示部	
5 0 0 5	マイクロホン	
5 0 0 6	スピーカー	
5 0 0 7	操作キー	
5 0 0 8	スタイラス	
5 1 0 1	車体	
5 1 0 2	車輪	
5 1 0 3	ダッシュボード	10
5 1 0 4	ライト	
5 3 0 1	筐体	
5 3 0 2	冷蔵室用扉	
5 3 0 3	冷凍室用扉	
5 4 0 1	筐体	
5 4 0 2	表示部	
5 4 0 3	キーボード	
5 4 0 4	ポインティングデバイス	
5 6 0 1	筐体	
5 6 0 2	筐体	20
5 6 0 3	表示部	
5 6 0 4	表示部	
5 6 0 5	接続部	
5 6 0 6	操作キー	
5 8 0 1	筐体	
5 8 0 2	筐体	
5 8 0 3	表示部	
5 8 0 4	操作キー	
5 8 0 5	レンズ	
5 8 0 6	接続部	30

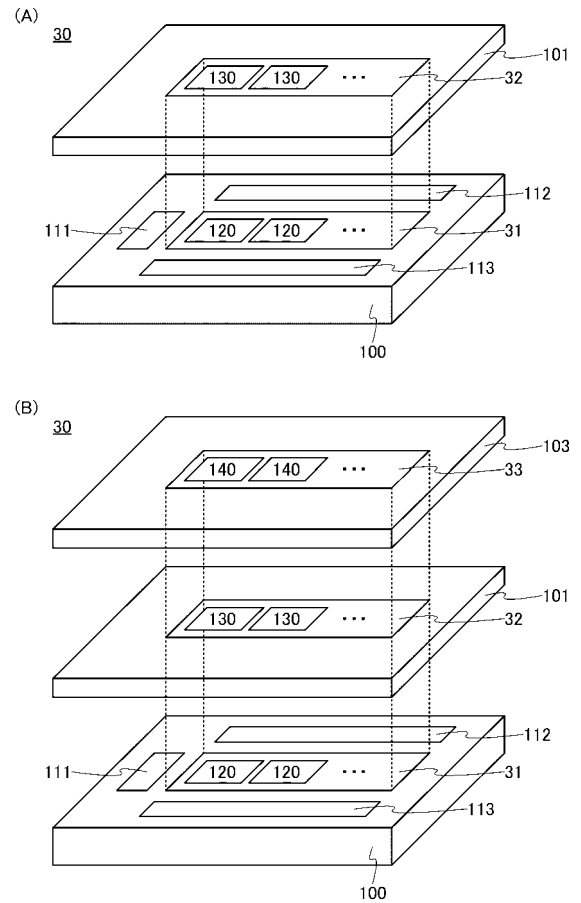
【 図 1 】



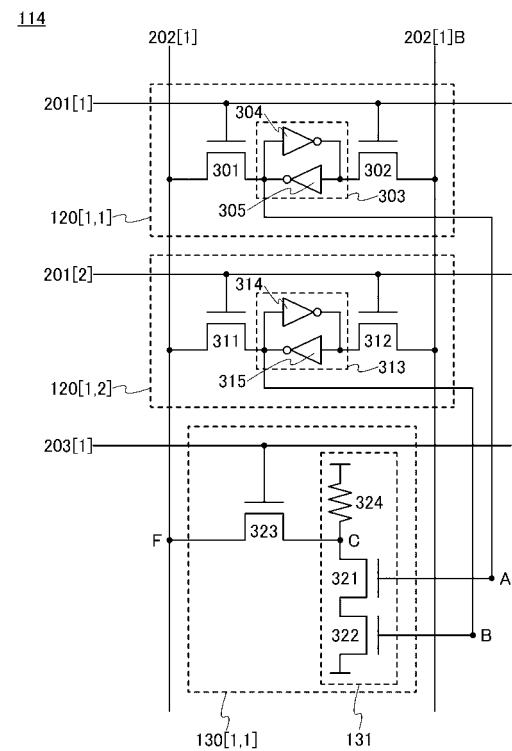
【 図 3 】



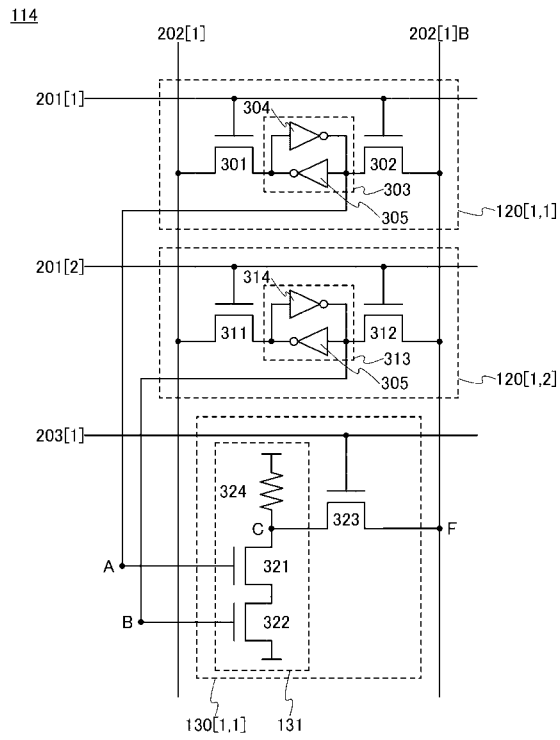
【 図 2 】



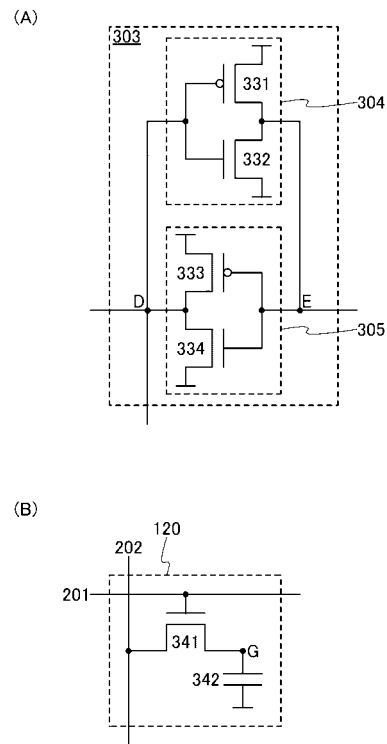
【 図 4 】



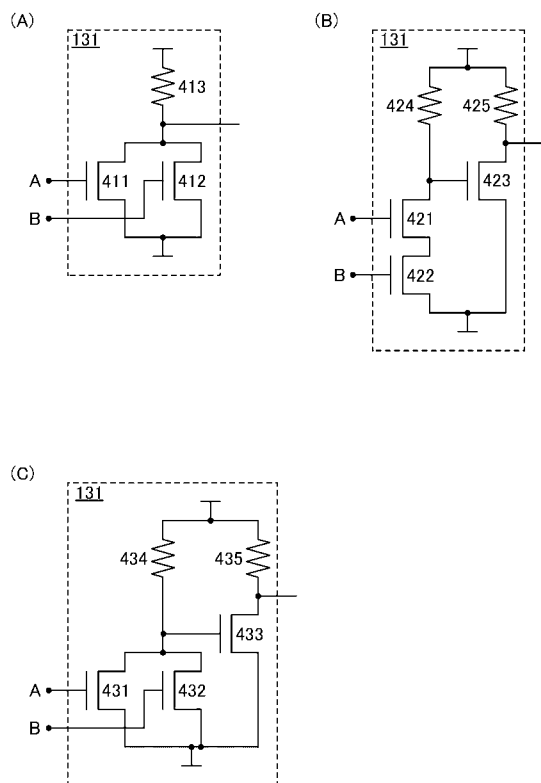
【図 5】



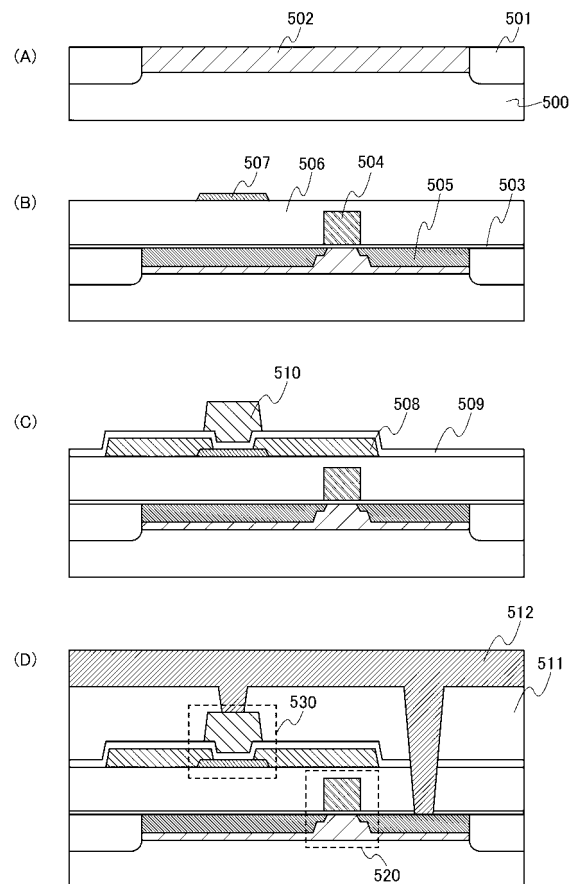
【図 6】



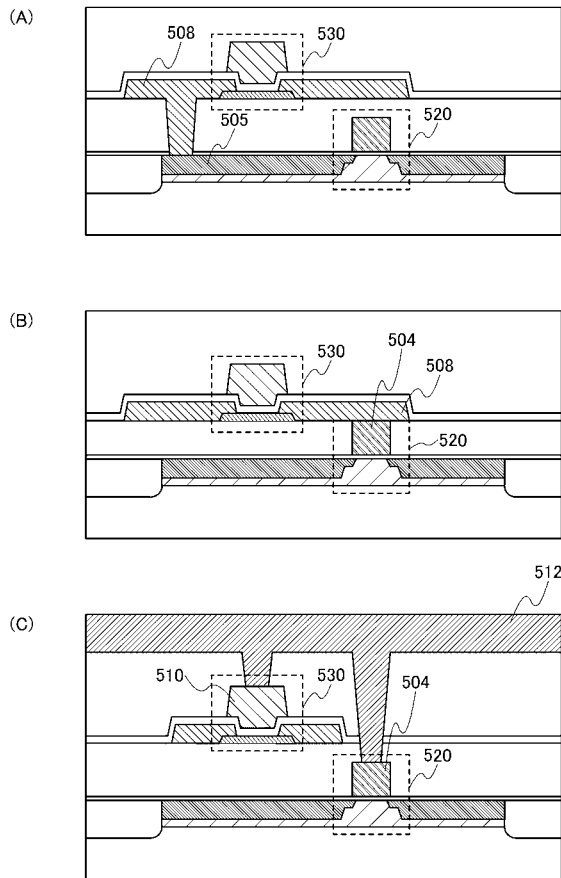
【図 7】



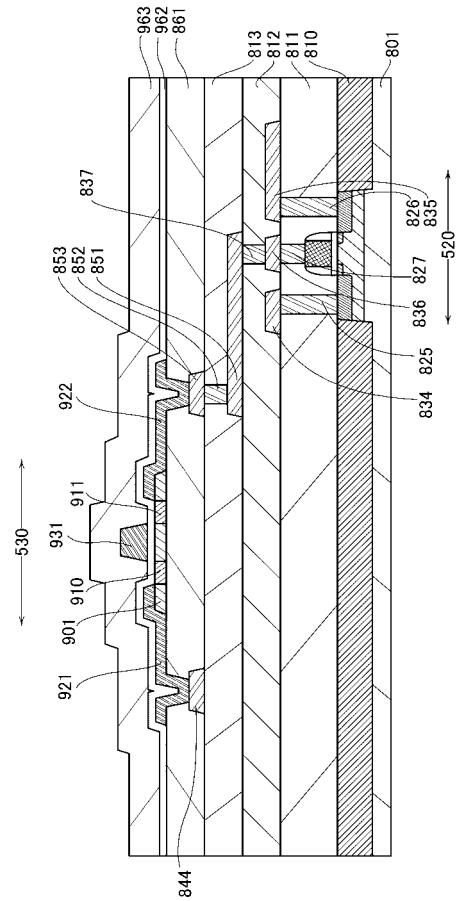
【図 8】



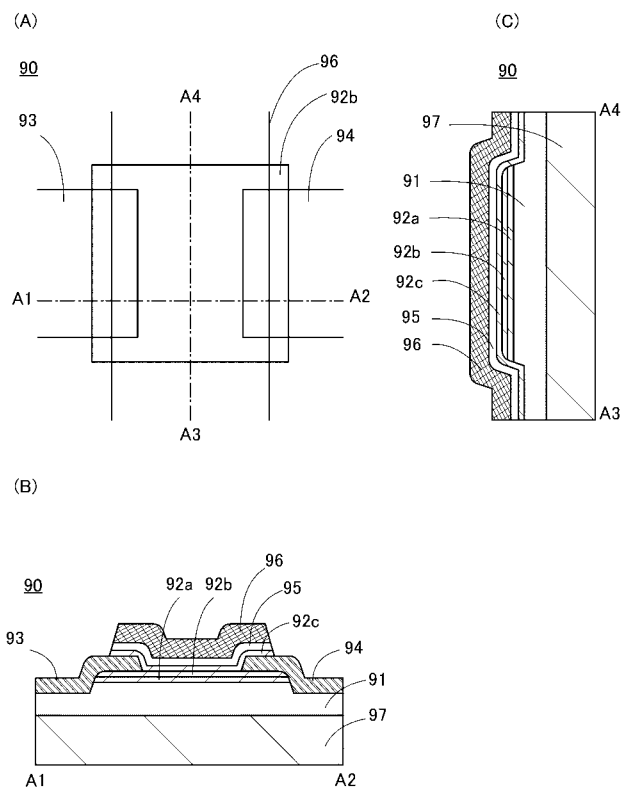
【図 9】



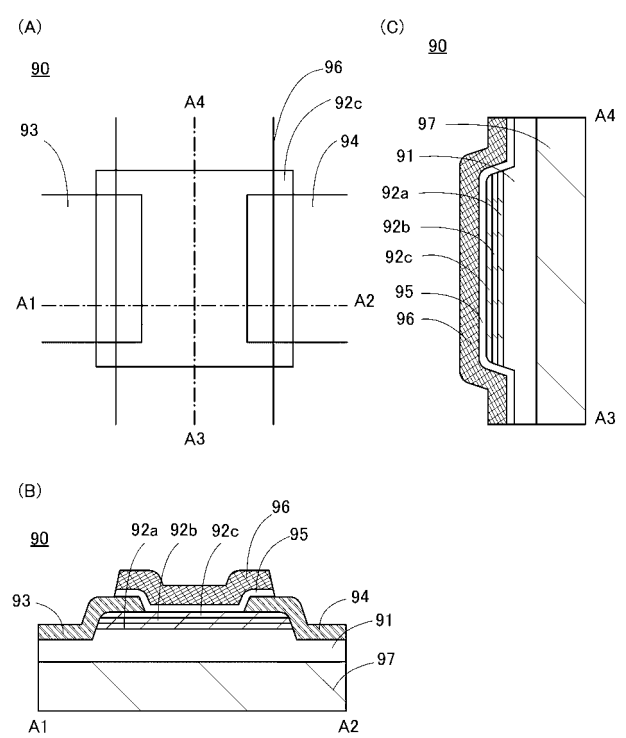
【図 10】



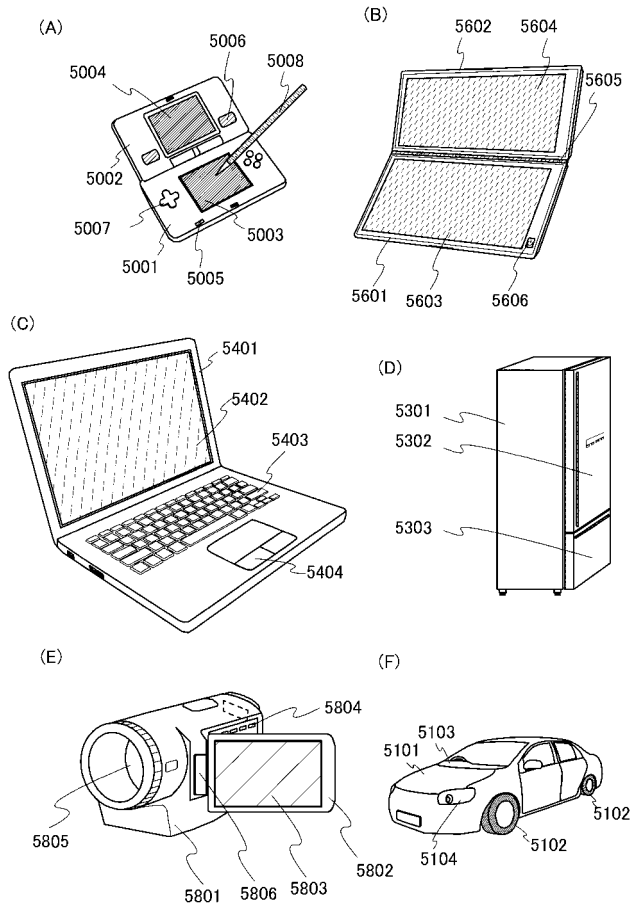
【図 11】



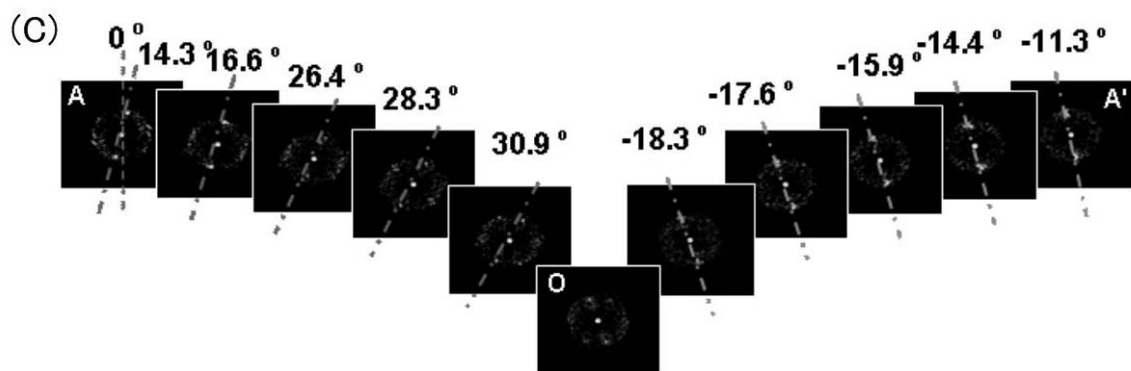
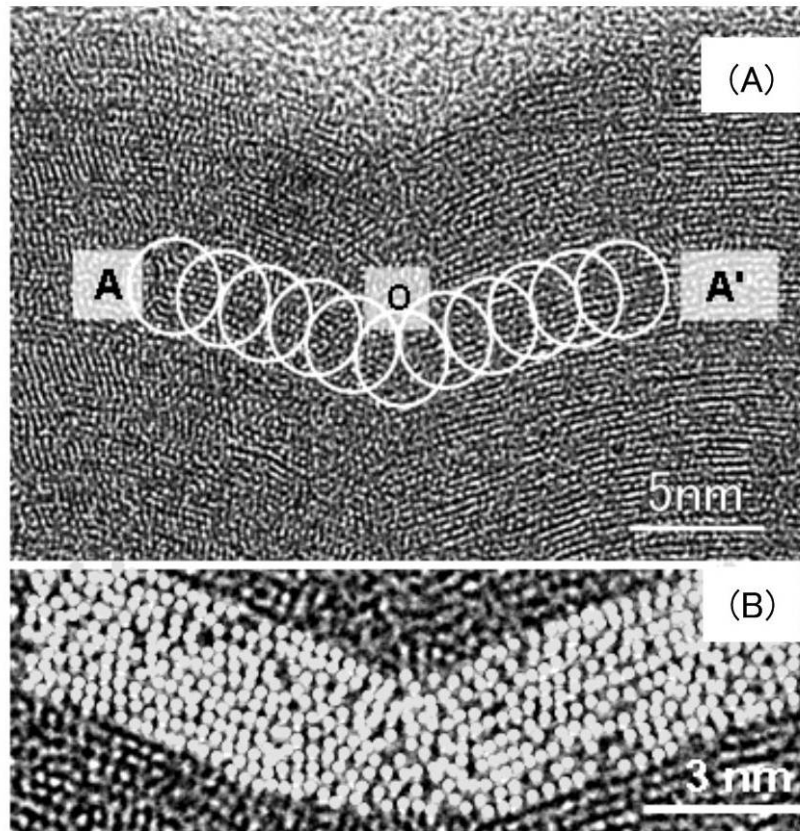
【図 12】



【 図 1 4 】

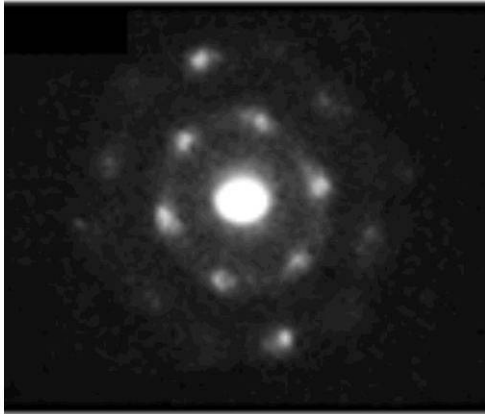


【 図 1 5 】



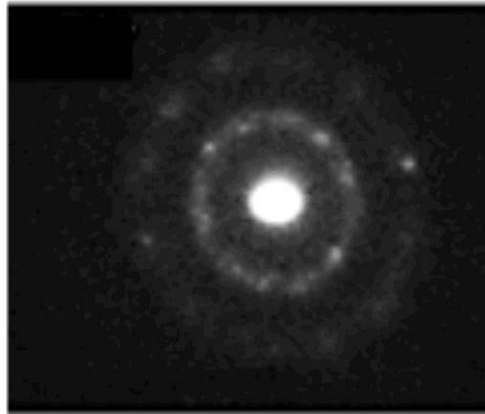
【図 16】

(A)



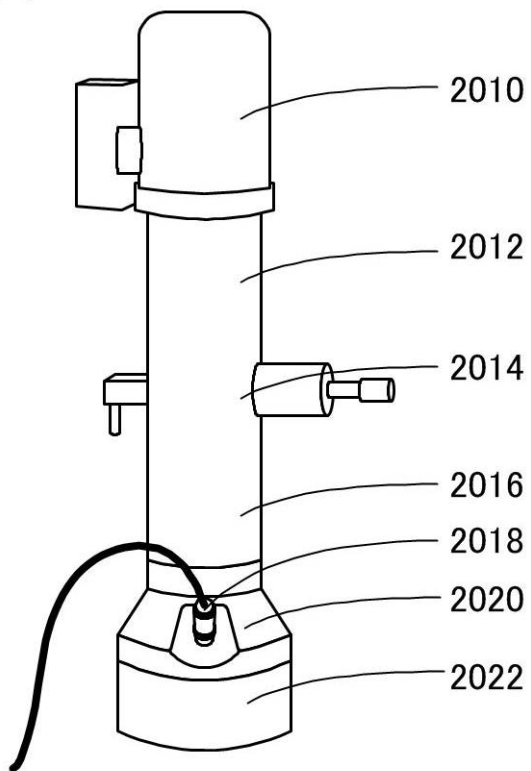
CAAC-OS

(B)

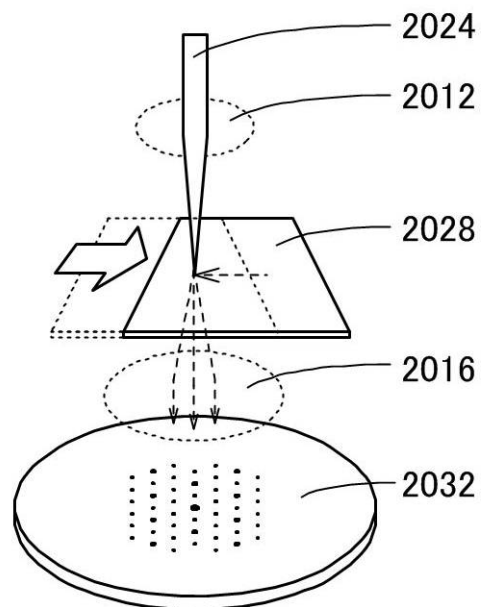


nc-OS

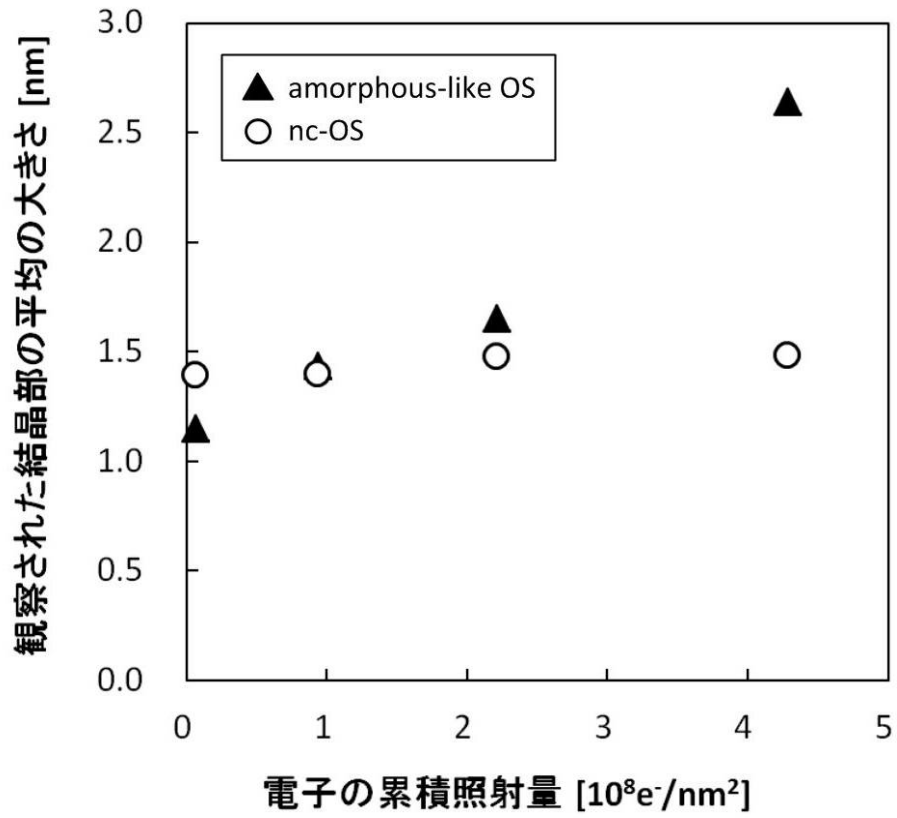
(C)



(D)

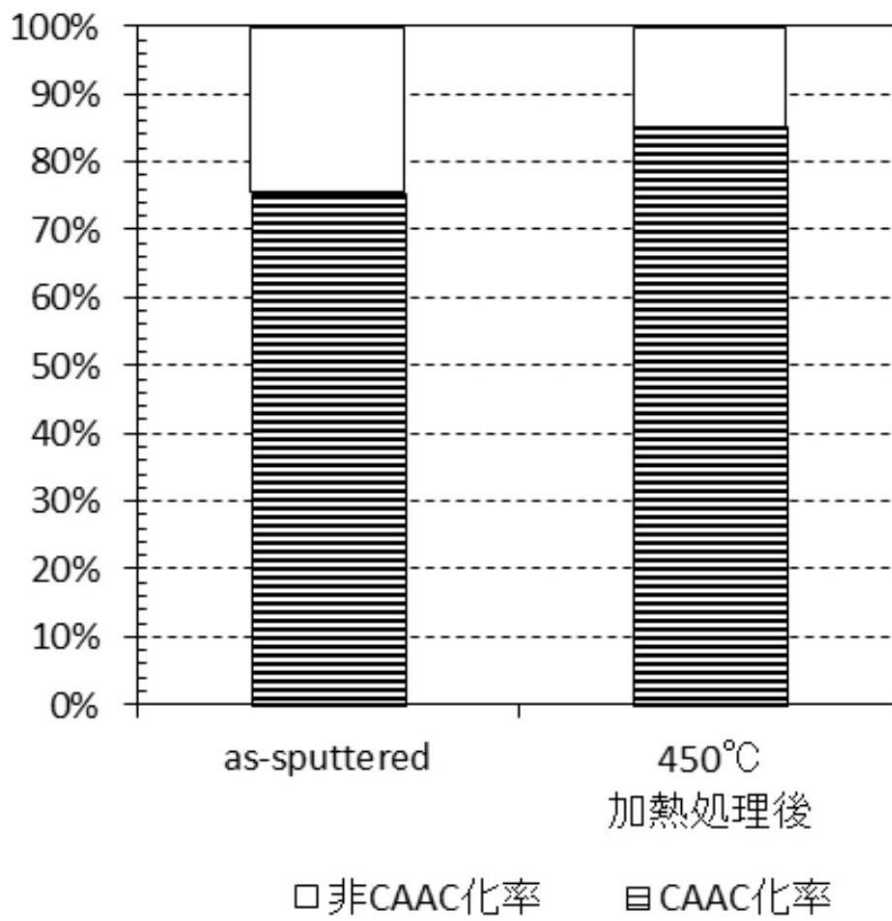


【図 17】

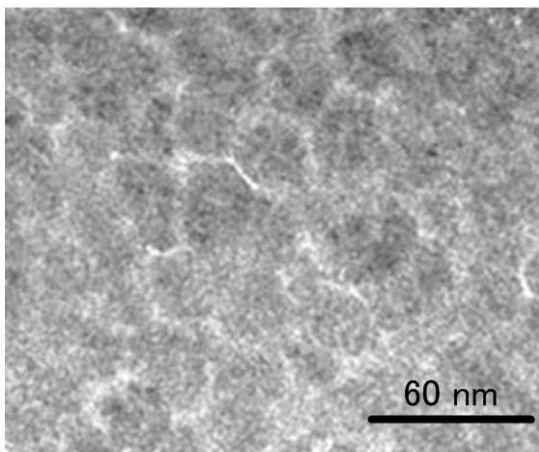


【図 18】

(A)

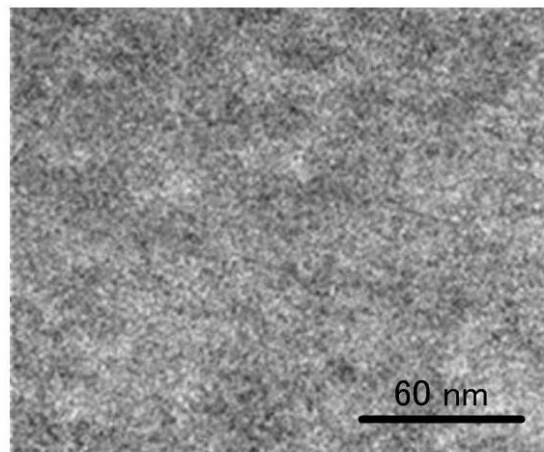


(B)



as-sputtered

(C)



450°C 加熱処理後

フロントページの続き

(51)Int.Cl.	F I			テーマコード (参考)		
H 0 1 L 29/786 (2006.01)	H 0 1 L	29/78	6 1 3 B			
H 0 1 L 27/08 (2006.01)	H 0 1 L	29/78	6 1 8 B			
H 0 1 L 21/8234 (2006.01)	H 0 1 L	27/08	3 3 1 E			
H 0 1 L 27/088 (2006.01)	H 0 1 L	27/08	1 0 2 E			
G 1 1 C 11/41 (2006.01)	G 1 1 C	11/40	Z			

F ターム(参考)	5F083	AD02	AD03	AD10	BS02	BS05	BS14	BS17	EP76	GA01	GA06
		GA10	GA25	GA27	HA01	HA10	JA56	JA60	LA00	LA11	LA25
		MA06	MA15	MA16	MA19	NA01	PR03	PR21	PR22	ZA04	ZA12
			ZA13								
	5F110	AA01	AA09	BB07	CC01	CC02	DD01	DD02	DD05	DD11	DD12
		DD13	DD15	DD17	EE14	EE27	EE30	EE38	GG01	GG12	GG13
		GG14	GG15	GG16	GG17	GG19	GG22	GG25	GG28	GG29	GG35
		GG43	GG45	HJ01	HK02	HK03	HK04	HK21	HM17	HM19	NN02
		NN03	NN74	NN78	PP03	QQ09	QQ11				