

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-168096
(P2012-168096A)

(43) 公開日 平成24年9月6日(2012.9.6)

(51) Int.Cl.	F I	テーマコード (参考)
G O 1 D 3/028 (2006.01)	G O 1 D 3/04 F	2 F 0 7 5
G O 1 P 15/00 (2006.01)	G O 1 P 15/00 A	
B 6 O R 16/033 (2006.01)	B 6 O R 16/02 6 7 O P	

審査請求 未請求 請求項の数 24 O L (全 35 頁)

(21) 出願番号 特願2011-30772 (P2011-30772)
(22) 出願日 平成23年2月16日 (2011.2.16)

(71) 出願人 000004260
株式会社デンソー
愛知県刈谷市昭和町1丁目1番地
(74) 代理人 110001128
特許業務法人ゆうあい特許事務所
(72) 発明者 酒井 利恭
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
(72) 発明者 神谷 政裕
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
Fターム(参考) 2F075 EE18

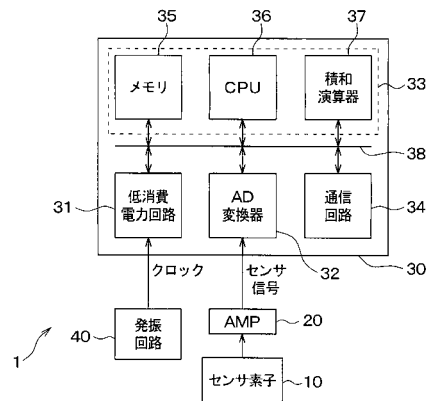
(54) 【発明の名称】 物理量センサ

(57) 【要約】

【課題】自動車用加速度センサ1の電力消費を低減する。

【解決手段】加速度検出用のセンサ素子10の出力信号を電圧増幅する増幅回路20と、増幅回路20の出力信号を一定期間毎にサンプリングするAD変換器32とを備え、演算器33は、AD変換器32から出力されるサンプリング値をフィルタ処理するためのフィルタ演算を繰り返し実施し、AD変換器32から出力されるサンプリング値に基づいてサンプリング値が規定値以上であると判定したときには、長い周期でフィルタ演算を繰り返し実施し、サンプリング値が規定値未満であるときには、短い周期でフィルタ演算を繰り返し実施する。このためフィルタ演算の回数を減らすことができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

被検出対象の物理量を検出するセンサ素子（10）と、
 前記センサ素子の出力信号を一定期間毎にサンプリングする A/D 変換器（32）と、
 前記 A/D 変換器から出力されるサンプリング値をフィルタ処理するためのフィルタ演算を繰り返し実施する演算手段（S250）と、
 前記 A/D 変換器から出力されるサンプリング値が規定値以上であるか否かを判定する判定手段（S210）と、を備え、
 前記サンプリング値が規定値未満であると前記判定手段が判定したときには、前記演算手段が長い周期で前記フィルタ演算を繰り返し実施し、前記サンプリング値が規定値以上であると前記判定手段が判定したときには、前記演算手段が短い周期で前記フィルタ演算を繰り返し実施することを特徴とする物理量センサ。

10

【請求項 2】

前記 A/D 変換器から出力されるサンプリング値が前記規定値よりも大きな状態から小さい状態に移行する下降期間内に今回の前記サンプリングのタイミングが入っているか否かを判定する下降期間判定手段（S230）を備え、

前記今回のサンプリングのタイミングが前記下降期間に入っていると前記下降期間判定手段が判定したときには、前記演算手段が短い周期で前記フィルタ演算を繰り返し実施し、

前記今回のサンプリングのタイミングが前記下降期間を終えていると前記下降期間判定手段が判定したときには、前記演算手段が長い周期で前記フィルタ演算を繰り返し実施することを特徴とする請求項 1 に記載の物理量センサ。

20

【請求項 3】

前記 A/D 変換器が前記サンプリングを実施する毎に、前記サンプリング値が規定値以上であるか否かを前記判定手段が判定するようになっており、

前記下降期間判定手段（S230）は、前記サンプリング値が規定値以上であると前記判定手段が判定した後に前記サンプリング値が規定値未満であると前記判定手段が判定した回数が所定回数未満であるか否かを判定することにより、前記今回の前記サンプリングのタイミングが前記下降期間内に入っているか否かを判定することを特徴とする請求項 2 に記載の物理量センサ。

30

【請求項 4】

n 回目の前記フィルタ演算の演算結果を Y_n とし、前記 n 回目の前記フィルタ演算に先だって演算される $(n-1)$ 回目の前記フィルタ演算の演算結果を Y_{n-1} とし、前記 $n-1$ 回目の前記フィルタ演算に先だって演算される $(n-S)$ 回目の前記フィルタ演算の演算結果を Y_{n-S} とし、

前記サンプリング値を X とし、前記 X に掛けるための係数を A_0 とし、前記 Y_{n-1} に掛けるための係数を B_0 とし、 Y_{n-S} に掛けるための係数を B_S としたとき、

前記演算手段は、 $A_0 \cdot X$ 、 $B_0 \cdot Y_{n-1}$ 、および $B_S \cdot Y_{n-S}$ を用いて前記 Y_n を演算するものであり、

前記 A/D 変換器から出力されるサンプリング値が前記規定値よりも小さな状態から大きな状態に移行する上昇期間内に今回の前記サンプリングのタイミングが入っているか否かを判定する上昇期間判定手段（S310）を備え、

40

前記今回のサンプリングのタイミングが前記上昇期間に入っていると前記上昇期間判定手段が判定したときには、前記演算手段は、前記 Y_{n-S} を前記 Y_{n-1} と同一値にして前記 Y_n を演算することを特徴とする請求項 1 ないし 3 のいずれか 1 つに記載の物理量センサ。

【請求項 5】

前記 A/D 変換器が前記サンプリングを実施する毎に、前記サンプリング値が規定値以上であるか否かを前記判定手段が判定するようになっており、

前記上昇期間判定手段（S310）は、前記今回のサンプリング値が規定値以上である

50

と前記判定手段が判定することに先だつて、前記判定手段が前記サンプリング値が規定値未満であると判定した場合には、前記今回の前記サンプリングのタイミングが前記上昇期間内に入っているとし、

前記上昇期間判定手段 (S 3 1 0) は、前記今回のサンプリング値が規定値以上であると前記判定手段が判定することに先だつて、前記判定手段が前記サンプリング値が規定値以上であると判定した場合には、前記今回の前記サンプリングのタイミングが前記下降期間を終えているとすることを特徴とする請求項 4 に記載の物理量センサ。

【請求項 6】

被検出対象の物理量を検出するセンサ素子 (1 0) と、

前記センサ素子の出力信号を一定期間毎にサンプリングする A D 変換器 (3 2) と、

前記 A D 変換器から出力されるサンプリング値をフィルタ処理するフィルタ演算を繰り返し実施する演算手段 (S 2 5 0) と、

前記 A D 変換器から今回出力されるサンプリング値と前記 A D 変換器から前回出力されたサンプリング値との差分が規定値以上であるか否かを判定する判定手段 (S 2 1 0) と、を備え、

前記差分が規定値未満であると前記判定手段が判定したときには、前記演算手段が長い周期で前記フィルタ演算を繰り返し実施し、前記差分が規定値以上であると前記判定手段が判定したときには、前記演算手段が短い周期で前記フィルタ演算を繰り返し実施することを特徴とする物理量センサ。

【請求項 7】

前記 A D 変換器から出力されるサンプリング値に基づいて、前記差分が前記規定値よりも大きな状態から小さい状態に移行する下降期間内に今回の前記サンプリングのタイミングが入っているか否かを判定する下降期間判定手段 (S 2 3 0) を備え、

前記今回のサンプリングのタイミングが前記下降期間に入っていると前記下降期間判定手段が判定したときには、前記演算手段が短い周期で前記フィルタ演算を繰り返し実施し、

前記今回のサンプリングのタイミングが前記下降期間を終えていると前記下降期間判定手段が判定したときには、前記演算手段が長い周期で前記フィルタ演算を繰り返し実施することを特徴とする請求項 6 に記載の物理量センサ。

【請求項 8】

前記 A D 変換器が前記センサ素子の出力信号をサンプリングする毎に、前記差分が規定値以上であるか否かを前記判定手段が判定するようになっており、

前記下降期間判定手段 (S 2 3 0) は、前記差分が規定値以上であると前記判定手段が判定した後に前記差分が規定値未満であると前記判定手段が判定した回数が所定回数未満であるか否かを判定することにより、前記今回の前記サンプリングのタイミングが前記下降期間内に入っているか否かを判定することを特徴とする請求項 7 に記載の物理量センサ。

【請求項 9】

n 回目の前記フィルタ演算の演算結果を Y_n とし、前記 n 回目の前記フィルタ演算に先だつて演算される (n - 1) 回目の前記フィルタ演算の演算結果を Y_{n-1} とし、前記 n - 1 回目の前記フィルタ演算に先だつて演算される (n - S) 回目の前記フィルタ演算の演算結果を Y_{n-S} とし、

前記サンプリング値を X とし、前記 X に掛けるための係数を A_0 とし、前記 Y_{n-1} に掛けるための係数を B_0 とし、 Y_{n-S} に掛けるための係数を B_S としたとき、

前記演算手段は、 $A_0 \cdot X$ 、 $B_0 \cdot Y_{n-1}$ 、および $B_S \cdot Y_{n-S}$ を用いて前記 Y_n を演算するものであり、

前記差分が前記規定値よりも小さな状態から大きな状態に移行する上昇期間内に今回の前記サンプリングのタイミングが入っているか否かを判定する上昇期間判定手段 (S 3 1 0) を備え、

前記今回のサンプリングのタイミングが前記上昇期間に入っていると前記上昇期間判定

10

20

30

40

50

手段が判定したときには、前記演算手段は、前記 $Y_n - S$ を前記 $Y_n - 1$ と同一値にして前記 Y_n を演算することを特徴とする請求項 6 ないし 8 のいずれか 1 つに記載の物理量センサ。

【請求項 10】

前記 AD 変換器が前記サンプリングを実施する毎に、前記差分が規定値以上であるか否かを前記判定手段が判定するようになっており、

前記上昇期間判定手段 (S310) は、前記差分が規定値以上であると前記判定手段が判定することに先だつて、前記判定手段が前記差分が規定値未満であると判定した場合には、前記今回の前記サンプリングのタイミングが前記上昇期間内に入っていると、

前記上昇期間判定手段 (S310) は、前記今回の前記差分が規定値以上であると前記判定手段が判定することに先だつて、前記判定手段が前記差分が規定値以上であると判定した場合には、前記今回の前記サンプリングのタイミングが前記下降期間を終えているとすることを特徴とする請求項 9 に記載の物理量センサ。

10

【請求項 11】

前記 AD 変換器 (32) が前記サンプリングを実施する毎に前記演算手段が前記フィルタ演算を実施することにより、前記演算手段が短い周期で前記フィルタ演算を実施するようになっており、

前記 AD 変換器 (32) が複数回、前記サンプリングを実施する毎に前記演算手段が 1 回の前記フィルタ演算を実施することにより、前記演算手段が長い周期で前記フィルタ演算を実施することを特徴とする請求項 1 ないし 10 のいずれか 1 つに記載の物理量センサ。

20

【請求項 12】

n 回目の前記フィルタ演算の演算結果を Y_n とし、前記 n 回目の前記フィルタ演算に先だつて演算される $(n - d)$ 回目の前記フィルタ演算の演算結果を $Y_{n - d}$ とし、

前記サンプリング値を X とし、前記 X に掛けるための係数を A_0 とし、 $Y_{n - d}$ に掛けるための係数を B としたとき、

前記演算手段は、 $A_0 \cdot X$ 、および $B \cdot Y_{n - d}$ を用いて前記 Y_n を演算するものであり、

前記演算手段が長い周期で前記フィルタ演算を実施するときと、前記演算手段が短い周期で前記フィルタ演算を実施するときとは、前記フィルタ演算のフィルタ特性が同一になるように前記演算手段が前記フィルタ演算で用いる前記係数としての A_0 および B を切り替えるようになっており、前記請求項 1 ないし 3、6 ないし 8 のいずれか 1 つに記載の物理量センサ。

30

【請求項 13】

被検出対象の物理量を検出するセンサ素子 (10) と、

前記センサ素子の出力信号を一定期間毎にサンプリングする AD 変換器 (32) と、

第 1 のクロックとこの第 1 のクロックよりも低い周波数を有する第 2 のクロックとのうちいずれか一方のクロックを出力するクロック発生手段 (31b) と、

前記 AD 変換器から出力されるサンプリング値が規定値以上であるか否かを判定する比較手段 (33a) と、

40

前記クロック発生手段から出力されるクロックを動作クロックとして動作し、かつ前記 AD 変換器から出力されるサンプリング値をフィルタ処理するためのフィルタ演算を繰り返し実施する CPU (36) と、を備え、

前記比較手段 (33a) が前記サンプリング値が規定値以上であると判定したときに、前記比較手段は、前記クロック発生手段から前記 CPU に与えるクロックの周波数を前記第 1 のクロックの周波数に設定するようになっており、

前記比較手段 (33a) が前記サンプリング値が規定値未満であると判定したときには、前記比較手段は、前記サンプリング値が規定値未満であると判定した旨を示す判定結果信号を前記 CPU に出力して、前記 CPU が前記クロック発生手段から前記 CPU 自体に与えるクロックの周波数を前記第 2 のクロックの周波数に設定するようになっており、

50

を特徴とする物理量センサ。

【請求項 14】

前記 CPU は、前記 AD 変換器から出力されるサンプリング値が前記規定値よりも大きい状態から小さい状態に移行する下降期間内に今回の前記サンプリングのタイミングが入っているか否かを判定するものであり、

前記今回のサンプリングのタイミングが前記下降期間に入っていると前記 CPU が判定したときには、前記クロック発生手段から前記 CPU に与えられるクロックの周波数を前記第 1 のクロックの周波数に維持するようになっており、

前記今回のサンプリングのタイミングが前記下降期間を終えていると前記 CPU が判定したときには、前記 CPU が前記クロック発生手段から前記 CPU 自体に与えるクロックの周波数を前記第 2 のクロックの周波数に設定するようになっており、

10

【請求項 15】

前記 AD 変換器が前記サンプリングを実施する毎に、前記サンプリング値が規定値以上であるか否かを前記比較手段が判定するようになっており、

前記 CPU は、前記サンプリング値が規定値以上であると前記比較手段が判定した後に前記サンプリング値が規定値よりも小さいと前記比較手段が判定した回数が所定回数未満であるか否かを判定することにより、前記今回の前記サンプリングのタイミングが前記下降期間内に入っているか否かを判定することを特徴とする請求項 14 に記載の物理量センサ。

20

【請求項 16】

n 回目の前記フィルタ演算の演算結果を Y_n とし、前記 n 回目の前記フィルタ演算に先だって演算される $(n - 1)$ 回目の前記フィルタ演算の演算結果を $Y_{n - 1}$ とし、前記 $n - 1$ 回目の前記フィルタ演算に先だって演算される $(n - S)$ 回目の前記フィルタ演算の演算結果を $Y_{n - S}$ とし、

前記サンプリング値を X とし、前記 X に掛けるための係数を A_0 とし、前記 $Y_{n - 1}$ に掛けるための係数を B_0 とし、 $Y_{n - S}$ に掛けるための係数を B_S としたとき、

前記 CPU は、 $A_0 \cdot X$ 、 $B_0 \cdot Y_{n - 1}$ 、および $B_S \cdot Y_{n - S}$ を用いて前記 Y_n を演算するものであり、

前記 CPU は、前記 AD 変換器から出力されるサンプリング値が前記規定値よりも小さい状態から大きい状態に移行する上昇期間内に今回の前記サンプリングのタイミングが入っているか否かを判定するものであり、

30

前記今回のサンプリングのタイミングが前記上昇期間に入っていると前記 CPU が判定したときには、前記 CPU は、前記 $Y_{n - S}$ を前記 $Y_{n - 1}$ と同一値にして前記 Y_n を演算することを特徴とする請求項 13 ないし 15 のいずれか 1 つに記載の物理量センサ。

【請求項 17】

前記 AD 変換器が前記サンプリングを実施する毎に、前記サンプリング値が規定値以上であるか否かを前記比較手段が判定するようになっており、

前記 CPU は、前記今回のサンプリング値が規定値以上であると判定することに先だって、前記サンプリング値が規定値未満であると判定した場合には、前記今回の前記サンプリングのタイミングが前記上昇期間内に入っているとし、

40

前記 CPU は、前記今回のサンプリング値が規定値以上であると判定することに先だって、前記サンプリング値が規定値以上であると判定した場合には、前記今回の前記サンプリングのタイミングが前記上昇期間を終えているとすることを特徴とする請求項 16 に記載の物理量センサ。

【請求項 18】

被検出対象の物理量を検出するセンサ素子 (10) と、

前記センサ素子の出力信号を一定期間毎にサンプリングする AD 変換器 (32) と、

第 1 のクロックとこの第 1 のクロックよりも低い周波数を有する第 2 のクロックとのうちいずれか一方のクロックを出力するクロック発生手段 (31b) と、

50

前記 A D 変換器から今回出力されるサンプリング値と前記 A D 変換器から前回出力されたサンプリング値との差分が規定値以上であるか否かを判定する比較手段 (3 3 a) と、

前記クロック発生手段から出力されるクロックを動作クロックとして動作し、かつ前記 A D 変換器から出力されるサンプリング値をフィルタ処理するためのフィルタ演算を繰り返し実施する C P U (3 6) とを備え、

前記比較手段が前記差分が規定値以上であると判定したときに、前記比較手段は、前記クロック発生手段から前記 C P U に与えるクロックの周波数を前記第 1 のクロックの周波数に設定するようになっており、

前記差分が規定値未満であると前記比較手段が判定したときには、前記比較手段は、前記差分が規定値未満であると判定した旨を示す判定結果信号を前記 C P U に出力して、前記 C P U が前記クロック発生手段から前記 C P U 自体に与えるクロックの周波数を前記第 2 のクロックの周波数に設定するようになっていることを特徴とする物理量センサ。

10

【請求項 1 9】

前記 C P U は、前記 A D 変換器から出力されるサンプリング値に基づいて、前記差分が前記規定値よりも大きい状態から小さい状態に移行する下降期間内に今回の前記サンプリングのタイミングが入っているか否かを判定するものであり、

前記今回のサンプリングのタイミングが前記下降期間に入っていると前記 C P U が判定したときには、前記クロック発生手段から前記 C P U に与えるクロックの周波数が前記第 1 のクロックの周波数に維持されるようになっており、

前記今回のサンプリングのタイミングが前記下降期間を終えていると前記下降期間判定手段が判定したときには、前記 C P U が前記クロック発生手段から前記 C P U 自体に与えるクロックの周波数を前記第 2 のクロックの周波数に設定するようになっていることを特徴とする請求項 1 8 に記載の物理量センサ。

20

【請求項 2 0】

前記 A D 変換器が前記サンプリングを実施する毎に、前記差分と規定値とを前記比較手段が判定するようになっており、

前記 C P U は、前記差分が規定値以上であると前記比較手段が判定した後に前記差分が規定値未満であると前記比較手段が判定した回数が所定回数未満であるか否かを判定することにより、前記差分が前記規定値よりも大きな状態から小さい状態に移行する下降期間内に今回の前記サンプリングのタイミングが入っているか否かを判定するようになっていることを特徴とする請求項 1 9 に記載の物理量センサ。

30

【請求項 2 1】

n 回目の前記フィルタ演算の演算結果を Y_n とし、前記 n 回目の前記フィルタ演算に先だって演算される (n - 1) 回目の前記フィルタ演算の演算結果を Y_{n-1} とし、前記 n - 1 回目の前記フィルタ演算に先だって演算される (n - S) 回目の前記フィルタ演算の演算結果を Y_{n-S} とし、

前記サンプリング値を X とし、前記 X に掛けるための係数を A_0 とし、前記 Y_{n-1} に掛けるための係数を B_0 とし、 Y_{n-S} に掛けるための係数を B_S としたとき、

前記 C P U は、 $A_0 \cdot X$ 、 $B_0 \cdot Y_{n-1}$ 、および $B_S \cdot Y_{n-S}$ を用いて前記 Y_n を演算するものであり、

40

前記 C P U は、前記差分が前記規定値よりも小さい状態から大きい状態に移行する上昇期間内に今回の前記サンプリングのタイミングが入っているか否かを判定するものであり、

前記今回のサンプリングのタイミングが前記上昇期間に入っていると前記 C P U が判定したときには、前記 C P U は、前記 Y_{n-S} を前記 Y_{n-1} と同一値にして前記 Y_n を演算することを特徴とする請求項 1 8 ないし 2 0 のいずれか 1 つに記載の物理量センサ。

【請求項 2 2】

前記 A D 変換器が前記サンプリングを実施する毎に、前記差分が規定値以上であるか否かを前記比較手段が判定するようになっており、

前記 C P U は、前記差分が規定値以上であると判定することに先だって、前記差分が規

50

定値未満であると判定した場合には、前記今回の前記サンプリングのタイミングが前記上昇期間内に入っているとし、

前記CPUは、前記今回の前記差分が規定値以上であると判定することに先だって、前記差分が規定値以上であると判定した場合には、前記今回の前記サンプリングのタイミングが前記上昇期間を終えているとすることを特徴とする請求項21に記載の物理量センサ。

【請求項23】

n回目の前記フィルタ演算の演算結果を Y_n とし、前記n回目の前記フィルタ演算に先だって演算される $(n-d)$ 回目の前記フィルタ演算の演算結果を Y_{n-d} とし、

前記サンプリング値を X とし、前記 X に掛けるための係数を A_0 とし、 Y_{n-d} に掛けるための係数を B としたとき、

前記CPUは、 $A_0 \cdot X$ 、および $B \cdot Y_{n-d}$ を用いて前記 Y_n を演算するものであり、

前記クロック発生手段から前記CPUに与えられるクロックの周波数が前記第1のクロックの周波数に設定されているときと、前記クロック発生手段から前記CPUに与えられるクロックの周波数が前記第2のクロックの周波数に設定されているときとで、前記フィルタ演算のフィルタ特性が同一になるように前記CPUが前記フィルタ演算で用いる係数としての A_0 および B を切り替えるようになっていることを特徴とする請求項13ないし15、18ないし20のうちいずれか1つに記載の物理量センサ。

【請求項24】

前記クロック発生手段によって前記CPUの動作クロックの周波数が前記第2のクロックの周波数に設定されているときには、前記CPUが1回の前記フィルタ演算を複数に分散化して実施することを特徴とする請求項13ないし123のいずれか1つに記載の物理量センサ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物理量センサに関するものである。

【背景技術】

【0002】

従来、物理量センサにおいて、1つの加速度センサ素子の出力を、互いに異なる周波数帯域の信号成分を通過させる第1、第2のフィルタのそれぞれに通過させて、第1のフィルタの出力をエアバックシステムに出力し、第2のフィルタの出力をABSの制御システムに出力するようにしたものがある（例えば、特許文献1参照）。

【0003】

センサ装置において、検出素子と、この検出素子の出力信号を処理するセンサ回路部とを備え、センサ回路部のフィルタ特性をセンサ装置自体の設置場所や用途に合わせるために、外部から入力される要求信号に応じてセンサ回路部のフィルタ特性を調整するようにしたものがある（例えば、特許文献2参照）。

【0004】

また、センサシステムにおいて、センサと制御用マイクロコンピュータとの電源を間欠的にオンして消費電力を低減するようにしたものがある（例えば、特許文献3参照）。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開平10-282136号公報

【特許文献2】特開2009-63471号公報

【特許文献3】特開2009-184368号公報

【発明の概要】

【発明が解決しようとする課題】

10

20

30

40

50

【 0 0 0 6 】

本発明者等は、上述の3つの特許文献1、2、3を参考にして、センサ素子の出力をデジタル信号に変換してこの変換したデジタル信号に対してデジタルフィルタ演算するシステムについて検討した。例えば、短い時間間隔でデジタルフィルタ演算を繰り返し実施するには、デジタルフィルタ演算の実施に際して高速な演算をする必要があり、多大な電力を必要とする。

【 0 0 0 7 】

本発明は上記点に鑑みて、センサ素子の出力に対してデジタルフィルタ演算を実施する物理量センサにおいて、電力消費を低減することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 8 】

上記目的を達成するため、請求項1に記載の発明では、サンプリング値が規定値未満であると判定手段が判定したときには、演算手段が長い周期でフィルタ演算を繰り返し実施し、サンプリング値が規定値以上であると判定手段が判定したときには、演算手段が短い周期でフィルタ演算を繰り返し実施することを特徴とする。

【 0 0 0 9 】

請求項1に記載の発明によれば、サンプリング値が規定値未満であると判定手段が判定したときには、演算手段が長い周期でフィルタ演算を繰り返し実施するので、演算手段の演算量を減らすことができる。このため、演算手段が演算する際に必要な消費電力を減らすことができる。したがって、センサ素子の出力に対してデジタルフィルタ演算を実施する物理量センサにおいて、電力消費を低減することができる。

【 0 0 1 0 】

請求項2に記載の発明では、今回のサンプリングのタイミングが下降期間に入っていると下降期間判定手段が判定したときには、演算手段が短い周期でフィルタ演算を繰り返し実施し、

今回のサンプリングのタイミングが下降期間を終えていると下降期間判定手段が判定したときには、演算手段が長い周期でフィルタ演算を繰り返し実施することを特徴とする。

【 0 0 1 1 】

例えば、今回のサンプリングのタイミングが下降期間内に入っているときに、演算手段が長い周期でフィルタ演算する場合には、周期の変更がフィルタ演算におけるフィルタ特性に大きく影響して演算結果が変動する。

【 0 0 1 2 】

これに対して、請求項2に記載の発明では、今回のサンプリングのタイミングが下降期間に入っているときには、演算手段が短い周期でフィルタ演算を実施するので、周期の変更がフィルタ演算におけるフィルタ特性に影響を及ぼすことはない。このため、下降期間における演算結果として、従来と同等の演算結果を求めることができる。

【 0 0 1 3 】

請求項3に記載の発明では、今回のサンプリングのタイミングが上昇期間に入っていると上昇期間判定手段が判定したときには、演算手段は、 $Y_n - S$ を Y_{n-1} と同一値にして Y_n を演算することを特徴とする。

【 0 0 1 4 】

例えば、今回のサンプリングのタイミングが上昇期間内に入っているときに、演算手段がフィルタ演算する際に、 $Y_n - S$ がフィルタ演算におけるフィルタ特性に大きく影響して演算結果が変動する。

【 0 0 1 5 】

これに対して、請求項4に記載の発明では、今回のサンプリングのタイミングが上昇期間に入っているときには、 $Y_n - S$ を Y_{n-1} と同一値にして Y_n を演算するので、 $Y_n - S$ がフィルタ演算におけるフィルタ特性に影響を及ぼすことはない。このため、上昇期間における演算結果として、従来と同等の演算結果を求めることができる。

【 0 0 1 6 】

10

20

30

40

50

請求項 5 に記載の発明では、上昇期間判定手段 (S 3 1 0) は、今回のサンプリング値が規定値以上であると判定手段が判定することに先だって、判定手段がサンプリング値が規定値未満であると判定した場合には、今回のサンプリングのタイミングが上昇期間内に入っていると、

上昇期間判定手段 (S 3 1 0) は、今回のサンプリング値が規定値以上であると判定手段が判定することに先だって、判定手段がサンプリング値が規定値以上であると判定した場合には、今回のサンプリングのタイミングが下降期間を終えているとすることを特徴とする。

【 0 0 1 7 】

さらに、請求項 6 に記載の発明では、差分が規定値未満であると判定手段が判定したときには、演算手段が長い周期でフィルタ演算を繰り返し実施し、差分が規定値以上であると判定手段が判定したときには、演算手段が短い周期でフィルタ演算を繰り返し実施することを特徴とする。

10

【 0 0 1 8 】

請求項 6 に記載の発明によれば、今回のサンプリング値と前回のサンプリング値との差分が規定値未満であると判定手段が判定したときには、演算手段が長い周期でフィルタ演算を繰り返し実施するので、演算手段の演算量を減らすことができる。このため、演算手段が演算する際に必要な消費電力を減らすことができる。したがって、請求項 1 に記載の発明と同様、センサ素子の出力に対してデジタルフィルタ演算を実施する物理量センサにおいて、電力消費を低減することができる。

20

【 0 0 1 9 】

請求項 7 に記載の発明では、今回のサンプリングのタイミングが下降期間に入っていると下降期間判定手段が判定したときには、演算手段が短い周期でフィルタ演算を繰り返し実施し、

今回のサンプリングのタイミングが下降期間を終えていると下降期間判定手段が判定したときには、演算手段が長い周期でフィルタ演算を繰り返し実施することを特徴とする。

【 0 0 2 0 】

これにより、上述の請求項 2 に記載の発明と同様の効果が得られる。

【 0 0 2 1 】

請求項 8 に記載の発明では、下降期間判定手段 (S 2 3 0) は、差分が規定値以上であると判定手段が判定した後に差分が規定値未満であると判定手段が判定した回数が所定回数未満であるか否かを判定することにより、今回のサンプリングのタイミングが下降期間内に入っているか否かを判定することを特徴とする。

30

【 0 0 2 2 】

請求項 9 に記載の発明では、今回のサンプリングのタイミングが上昇期間に入っていると上昇期間判定手段が判定したときには、演算手段は、 $Y_n - S$ を $Y_n - 1$ と同一値にして Y_n を演算することを特徴とする。

【 0 0 2 3 】

これにより、上述の請求項 4 に記載の発明と同様の効果が得られる。

【 0 0 2 4 】

請求項 1 0 に記載の発明では、上昇期間判定手段 (S 3 1 0) は、差分が規定値以上であると判定手段が判定することに先だって、判定手段が差分が規定値未満であると判定した場合には、今回のサンプリングのタイミングが上昇期間内に入っていると、

40

上昇期間判定手段 (S 3 1 0) は、今回の差分が規定値以上であると判定手段が判定することに先だって、判定手段が差分が規定値以上であると判定した場合には、今回のサンプリングのタイミングが下降期間を終えているとすることを特徴とする。

【 0 0 2 5 】

請求項 1 1 に記載の発明では、A/D変換器 (3 2) が複数回、サンプリングを実施する毎に演算手段が 1 回のフィルタ演算を実施することにより、演算手段が長い周期でフィルタ演算を実施することを特徴とする。

50

【0026】

請求項12に記載の発明では、演算手段が長い周期でフィルタ演算を実施するときと、演算手段が短い周期でフィルタ演算を実施するときとは、フィルタ演算のフィルタ特性が同一になるように演算手段がフィルタ演算で用いる係数としてのA0およびBを切り替えるようになっていることを特徴とする。

【0027】

請求項12に記載の発明によれば、演算手段が短い周期でフィルタ演算を実施する場合には、演算手段が長い周期でフィルタ演算を実施する場合と同様、従来と同等のフィルタ特性を示す演算結果を求めることができる。

【0028】

請求項13に記載の発明では、比較手段(33a)がサンプリング値が規定値以上であると判定したときに、比較手段は、クロック発生手段からCPUに与えるクロックの周波数を第1のクロックの周波数に設定するようになっており、

比較手段(33a)がサンプリング値が規定値未満であると判定したときには、比較手段は、サンプリング値が規定値未満であると判定した旨を示す判定結果信号をCPUに出力して、CPUがクロック発生手段からCPU自体に与えるクロックの周波数を第2のクロックの周波数に設定するようになっていることを特徴とする。

【0029】

請求項13に記載の発明によれば、比較手段がサンプリング値が規定値以上であると判定したときには、CPUの動作クロックの周波数が第1のクロックの周波数に設定される。一方、比較手段がサンプリング値が規定値未満であると判定したときにはCPUの動作クロックの周波数が第2のクロックの周波数(<第1のクロックの周波数)に設定される。このため、サンプリング値が規定値以上であるか否かの判定に関わらず、CPUの動作クロックの周波数が第1のクロックの周波数に設定される場合に比べて、CPUで消費される電力を減らすことができる。このため、請求項1と同様の効果が得られる。

【0030】

請求項14に記載の発明では、今回のサンプリングのタイミングが下降期間に入っているとCPUが判定したときには、クロック発生手段からCPUに与えられるクロックの周波数を第1のクロックの周波数に維持するようになっており、

今回のサンプリングのタイミングが下降期間を終えているとCPUが判定したときには、CPUがクロック発生手段からCPU自体に与えるクロックの周波数を第2のクロックの周波数に設定するようになっていることを特徴とする。

【0031】

例えば、今回のサンプリングのタイミングが下降期間内に入っているときに、CPUの動作クロックの周波数が第2のクロックの周波数に設定される場合には、動作クロックの周波数の変更がフィルタ演算におけるフィルタ特性に大きく影響して演算結果が変動する。

【0032】

これに対して、請求項14に記載の発明では、今回のサンプリングのタイミングが下降期間に入っているときには、CPUの動作クロックの周波数が第1のクロックの周波数に維持するので、動作クロックの周波数の変更がフィルタ演算におけるフィルタ特性に影響を及ぼすことはない。このため、下降期間における演算結果として、従来と同等の演算結果を求めることができる。

【0033】

請求項15に記載の発明では、AD変換器がサンプリングを実施する毎に、サンプリング値が規定値以上であるか否かを比較手段が判定するようになっており、

CPUは、サンプリング値が規定値以上であると比較手段が判定した後にサンプリング値が規定値よりも小さいと比較手段が判定した回数が所定回数未満であるか否かを判定することにより、今回のサンプリングのタイミングが下降期間内に入っているか否かを判定することを特徴とする。

10

20

30

40

50

【 0 0 3 4 】

請求項 1 6 に記載の発明では、今回のサンプリングのタイミングが上昇期間に入っていると CPU が判定したときには、CPU は、 $Y_n - S$ を $Y_n - 1$ と同一値にして Y_n を演算することを特徴とする。

【 0 0 3 5 】

例えば、今回のサンプリングのタイミングが上昇期間内に入っているときに、CPU がフィルタ演算する際に、 $Y_n - S$ がフィルタ演算におけるフィルタ特性に大きく影響して演算結果が変動する。

【 0 0 3 6 】

これに対して、請求項 1 6 に記載の発明では、今回のサンプリングのタイミングが上昇期間に入っているときには、 $Y_n - S$ を $Y_n - 1$ と同一値にして Y_n を演算するので、 $Y_n - S$ がフィルタ演算におけるフィルタ特性に影響を及ぼすことはない。このため、上昇期間における演算結果として、従来と同等の演算結果を求めることができる。

10

【 0 0 3 7 】

請求項 1 7 に記載の発明では、CPU は、今回のサンプリング値が規定値以上であると判定することに先だて、サンプリング値が規定値未満であると判定した場合には、今回のサンプリングのタイミングが上昇期間内に入っていると、

CPU は、今回のサンプリング値が規定値以上であると判定することに先だて、サンプリング値が規定値以上であると判定した場合には、今回のサンプリングのタイミングが上昇期間を終えているとすることを特徴とする。

20

【 0 0 3 8 】

請求項 1 8 に記載の発明では、比較手段が差分が規定値以上であると判定したときに、比較手段は、クロック発生手段から CPU に与えるクロックの周波数を第 1 のクロックの周波数に設定するようになっており、

差分が規定値未満であると比較手段が判定したときには、比較手段は、差分が規定値未満であると判定した旨を示す判定結果信号を CPU に出力して、CPU がクロック発生手段から CPU 自体に与えるクロックの周波数を第 2 のクロックの周波数に設定するようになっていたことを特徴とする。

【 0 0 3 9 】

請求項 1 8 に記載の発明によれば、比較手段が差分が規定値以上であると判定したときには、CPU の動作クロックの周波数が第 1 のクロックの周波数に設定される。一方、比較手段が差分が規定値未満であると判定したときには CPU の動作クロックの周波数が第 2 のクロックの周波数 (< 第 1 のクロックの周波数) に設定される。このため、差分が規定値以上であるか否かの判定に関わらず、CPU の動作クロックの周波数が第 1 のクロックの周波数に設定される場合に比べて、CPU で消費される電力を減らすことができる。このため、請求項 1 3 と同様の効果が得られる。

30

【 0 0 4 0 】

請求項 1 9 に記載の発明では、今回のサンプリングのタイミングが下降期間を終えていると下降期間判定手段が判定したときには、CPU がクロック発生手段から CPU 自体に与えるクロックの周波数を第 2 のクロックの周波数に設定するようになっていたことを特徴とする。これにより、上述の請求項 1 4 に記載の発明と同様の効果が得られる。

40

【 0 0 4 1 】

請求項 2 0 に記載の発明では、CPU は、差分が規定値以上であると比較手段が判定した後差分が規定値未満であると比較手段が判定した回数が所定回数未満であるか否かを判定することにより、差分が規定値よりも大きな状態から小さい状態に移行する下降期間内に今回のサンプリングのタイミングが入っているか否かを判定するようになっていたことを特徴とする。

【 0 0 4 2 】

請求項 2 1 に記載の発明では、今回のサンプリングのタイミングが上昇期間に入っていると CPU が判定したときには、CPU は、 $Y_n - S$ を $Y_n - 1$ と同一値にして Y_n を演

50

算することを特徴とする。

【0043】

これにより、上述の請求項16に記載の発明と同様の効果が得られる。

【0044】

請求項22に記載の発明では、CPUは、差分が規定値以上であると判定することに先だつて、差分が規定値未満であると判定した場合には、今回のサンプリングのタイミングが上昇期間内に入っていると、

CPUは、今回の差分が規定値以上であると判定することに先だつて、差分が規定値以上であると判定した場合には、今回のサンプリングのタイミングが上昇期間を終えているとすることを特徴とする。

10

【0045】

請求項23に記載の発明では、クロック発生手段からCPUに与えられるクロックの周波数が第1のクロックの周波数に設定されているときと、クロック発生手段からCPUに与えられるクロックの周波数が第2のクロックの周波数に設定されているときとで、フィルタ演算のフィルタ特性が同一になるようにCPUがフィルタ演算で用いる係数としてのA0およびBを切り替えるようになっていることを特徴とする。

【0046】

請求項23に記載の発明では、CPUが第1のクロックを動作クロックとして動作する場合には、CPUが第2のクロックを動作クロックとして動作する場合と同様、従来と同等のフィルタ特性を示す演算結果を求めることができる。

20

【0047】

請求項24に記載の発明では、クロック発生手段によってCPUの動作クロックの周波数が第2のクロックの周波数に設定されているときには、CPUが1回のフィルタ演算を複数に分散化して実施することを特徴とする。

【0048】

なお、この欄および特許請求の範囲に記載した各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【図面の簡単な説明】

【0049】

【図1】本発明の第1実施形態における自動車用加速度センサの回路構成を示す図である。

30

【図2】図1の自動車用加速度センサの作動を説明するための図である。

【図3】図1のCPUのメイン演算処理を示すフローチャートである。

【図4】図1のCPUのAD割込み処理を示すフローチャートである。

【図5】図1のCPUの通信割込み処理を示すフローチャートである。

【図6】従来のAD変換器のサンプリングタイミングとCPUによるデジタルフィルタ演算の実行タイミングとの関係を示す図である。

【図7】図1のAD変換器のサンプリングタイミングとCPUによるデジタルフィルタ演算の実行タイミングとの関係を示す図である。

【図8】図10の演算器の処理状態を示す図である。

40

【図9】従来の演算器の処理状態を示す図である。

【図10】本発明の第2実施形態における自動車用加速度センサの回路構成を示す図である。

【図11】図10のCPUのメイン演算処理を示すフローチャートである。

【図12】図10CPUのAD割込み処理を示すフローチャートである。

【図13】図10の演算器の処理状態を示す図である。

【発明を実施するための形態】

【0050】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、説明の簡略化を図るべく、図中、同

50

一符号を付してある。

【0051】

(第1実施形態)

図1に本発明に係る自動車用加速度センサ1の電気回路構成を示す。自動車用加速度センサ1は、センサ素子10、増幅回路20、制御装置30、および発振回路40から構成されている。

【0052】

センサ素子10は、被検出対象としての自動車の加速度(物理量)を検出するセンサエレメントである。増幅回路20はセンサ素子10の出力信号を電圧増幅するアンプである。制御装置30は、増幅回路20の出力信号をデジタル信号に変換するとともに、この変換されたデジタル信号に対するフィルタ処理するためのデジタルフィルタ演算(以下、単に、フィルタ演算という)を実施する回路である。フィルタ処理は、デジタル信号をフィルタリング(すなわち、濾過)して濾過信号を求める処理である。

【0053】

具体的には、制御装置30は、低消費電力回路31、AD変換器32、演算器33、および通信回路34から構成されている。

【0054】

低消費電力回路31は、発振回路40からのクロックを第1の分周比で分周してこの分周したクロックを第1のクロックとしてAD変換器31に出力する。低消費電力回路31は、発振回路40からのクロックを第2の分周比で分周してこの分周したクロックを第2のクロックとして演算器33のCPU36に出力する。

【0055】

ここで、クロックとは、一定の周波数を有する信号のことである。第1のクロックは、AD変換器31の動作クロックとして用いられる。第2のクロックは演算器33の動作クロックとして用いられる。なお、第1、第2のクロックとしては、互いに異なる周波数に設定されている。

【0056】

AD変換器32は、低消費電力回路31からのクロックに基づいて動作し、増幅回路20の出力信号を繰り返しサンプリングしてサンプリング値を出力する。演算器33は、低消費電力回路31からのクロックに基づいて動作し、AD変換器32からのサンプリング値に対するフィルタ処理を行うためのフィルタ演算を実施するデジタルフィルタ回路である。具体的には、演算器33は、メモリ35、CPU36、および積和演算器37から構成されている。

【0057】

CPU36は、後述するように、AD変換器32からのサンプリング値(AD変換データ)に対してフィルタ処理を実行する。本実施形態のCPU36は、命令実行の必要の無い場合に、CPU36自体の実行を停止するスリープ機能(或いは、ストップ機能)を有し、外部からの割り込み(後述するAD変換器32からのAD変換完了信号、或いは電子制御装置からの演算結果要求信号の受信)にて動作を再開させるウェイクアップ機能を有する。

【0058】

積和演算器37は、CPU36によるコンピュータプログラムの実行に伴って、CPU36からの指令に応じて、フィルタ処理のための積算、加算、引き算などの各種の演算を実施する。

【0059】

メモリ35は、ROM、RAMから構成されて、CPU36のコンピュータプログラムを記憶するとともに、積和演算器36が演算する際に必要な演算結果を格納するバッファ(以下、演算結果バッファという)を構成する。なお、演算結果バッファの詳細については後述する。

【0060】

10

20

30

40

50

通信回路 3 4 は、ホストとしての電子制御装置（図示省略）との間で通信する。図中の符号 3 8 は、低消費電力回路 3 1、A/D変換器 3 2、演算器 3 3、および通信回路 3 4 のうちいずれか 2 つの装置の間を接続するバスである。

【0061】

次に、本実施形態の自動車用加速度センサ 1 の作動の説明に先立って、メモリ 3 5 の演算結果バッファについて説明する。

【0062】

本実施形態のメモリ 3 5 には、演算結果バッファとして第 1、第 2、第 3 の演算結果バッファが用意されている。第 1 の演算結果バッファは、 Y_{n-1} の値を格納するためのバッファである。 Y_{n-1} は、後述するように、 $(n-1)$ 回目のフィルタ演算において後述する数式 1 で算出される演算結果である。第 2 の演算結果バッファは、 Y_{n-2} の値を格納するためのバッファである。 Y_{n-2} は、後述するように、 $(n-2)$ 回目のフィルタ演算において数式 1 で算出される演算結果である。第 3 の演算結果バッファは、 Y_{n-3} の値を格納するためのバッファである。 Y_{n-3} は、後述するように、 $(n-3)$ 回目のフィルタ演算において数式 1 で算出された演算結果である。

10

【0063】

なお、以下、第 1 ~ 第 3 の演算結果バッファを明確に区別するために、便宜上、第 1 の演算結果バッファを Y_{n-1} 用演算結果バッファとし、第 2 の演算結果バッファを Y_{n-2} 用演算結果バッファとし、第 3 の演算結果バッファを Y_{n-3} 用演算結果バッファとする。

20

【0064】

次に、本実施形態の自動車用加速度センサ 1 の作動について図 2 ~ 図 5 を参照して説明する。図 2 は自動車用加速度センサ 1 の作動の概略を示す図である。

【0065】

センサ素子 1 0 は自動車の加速度（すなわち、アナログ物理量）を示す出力信号を出力する。増幅回路 2 0 はセンサ素子 1 0 の出力信号を電圧増幅する。次に、A/D変換器（図中 A/D と記す）3 2 は、増幅回路 2 0 の出力信号（すなわち、アナログ信号）を一定期間毎にサンプリングしてこのサンプリング毎にサンプリング値を出力する。A/D変換器 3 2 は、サンプリングが完了する毎に、A/D完了信号を演算器 3 3 の CPU 3 6 に出力する。このことにより、A/D変換器 3 2 が CPU 3 6 に対してアナログ/デジタル変換の完了を通知することになる。

30

【0066】

CPU 3 6 は、積和演算器 3 7 とともに、後述するように、A/D変換器 3 2 からのサンプリング値に対するフィルタ処理のためのフィルタ演算を繰り返し実施する。その後、通信回路 3 4 は、ホストとしての電子制御装置（図示省略）からの演算結果要求信号に対応して演算結果（デジタル信号）を電子制御装置に出力する。

【0067】

以下、演算器 3 3 の CPU 3 6 によるメイン演算処理の詳細について図 3 を参照して説明する。図 3 はメイン演算処理の全体を示すフローチャートである。メイン演算処理の実行は、例えば演算器 3 3 に対する電源オン時にて、開始される。

40

【0068】

まず、ステップ S 1 0 0 において、A/D変換器 3 2 を初期化し、次のステップ S 1 1 0 において通信回路 3 4 を初期化する。次のステップ S 1 2 0 において、 Y_{n-1} 用演算結果バッファ、 Y_{n-2} 用演算結果バッファ、および Y_{n-3} 用演算結果バッファをそれぞれ初期化する。

【0069】

次のステップ S 1 3 0 において、演算カウンタのカウント値 K として -2 を設定する。演算カウンタのカウント値 K は、後述する上昇期間や下降期間の判定処理（図 4 中のステップ 3 1 0、S 2 3 0）などのために用いられるパラメータである。

【0070】

50

次のステップ S 1 4 0 において、A D 変換器 3 2 からの割り込みを許可する。次のステップ S 1 5 0 において、通信回路 3 4 からの割り込みを許可する。

【 0 0 7 1 】

その後、スリープ（ステップ S 1 6 0）とウェイクアップ（ステップ S 1 7 0）とを交互に実施する。スリープは、C P U 3 6 が作動を停止している状態である。スリープは、C P U 3 6 によって実行すべき命令がなくなると、行われるものである。

【 0 0 7 2 】

ここで、C P U 3 6 は、スリープに移行する際に、低消費電力回路 3 1 にクロック停止信号を出力する。これに伴い、低消費電力回路 3 1 は、C P U 3 6 からのクロック停止信号を受けると、C P U 3 6 に対する C P U クロックの出力を停止する。このことにより、C P U 3 6 がスリープになる。

10

【 0 0 7 3 】

一方、ウェイクアップは、A D 変換器 3 2 および通信回路 3 4 のうちいずれか一方からの割り込みが行われたときに、行われる。具体的には、C P U 3 6 は、A D 変換器 3 2 からの A D 完了信号を受けたときに A D 変換器 3 2 からの割り込みを受けたとしてウェイクアップを行う。通信回路 3 4 は、電子制御装置からの演算結果要求信号を受信すると、この受信した演算結果要求信号を C P U 3 6 に送信する。C P U 3 6 は、通信回路 3 4 からの演算結果要求信号を受けたときに通信回路 3 4 からの割り込みを受けたとしてウェイクアップを行う。

【 0 0 7 4 】

20

ここで、A D 変換器 3 2 からの A D 完了信号、および通信回路 3 4 からの演算結果要求信号は、低消費電力回路 3 1 に対しても送信される。このため、A D 完了信号、および演算結果要求信号のうちいずれか一方の信号を低消費電力回路 3 1 が受けると、低消費電力回路 3 1 は C P U 3 6 に対するクロックの出力を開始することになる。

【 0 0 7 5 】

C P U 3 6 は、A D 完了信号、および演算結果要求信号のうちいずれか一方の信号を受けると、ウェイクアップして、A D 割り込み処理や通信割り込み処理を開始することになる。

【 0 0 7 6 】

本実施形態の A D 割り込み処理では、通常演算と間引き演算とのうちいずれか一方でフィルタ演算の演算結果を求める。通常演算とは、A D 変換器 3 2 から割り込みを受ける毎にフィルタ演算を実施するものであり、間引き演算とは、通常演算を実施する周期に比べて長い周期でフィルタ演算を実施するものである。本実施形態の間引き演算の周期は、通常演算の周期の 4 倍の時間が設定されている。

30

【 0 0 7 7 】

以下、A D 割り込み処理の概略について説明する。図 4 は A D 割り込み処理を示すフローチャートである。A D 割り込み処理の実行は、上述のように、A D 変換器 3 2 から割り込みを受ける毎に、開始される。

【 0 0 7 8 】

まず、ステップ S 2 0 0 において、A D 変換器 3 2 から出力されるサンプリング値 X（すなわち、センサ素子 1 0 の出力値）を取得して、次のステップ S 2 1 0（判定手段）において、サンプリング値 X が規定値以上か否かを判定する。本実施形態では、規定値は、車両が走行時か或いは衝突時かを判定するために設定されている加速度である。

40

【 0 0 7 9 】

サンプリング値 X が規定値未満であるときには、ステップ S 2 1 0 において N O と判定して、次のステップ S 2 2 0 に進んで、演算カウンタのカウント値 K を 1 つインクリメントする。

【 0 0 8 0 】

ここで、本実施形態では、サンプリング値 X が規定値未満である場合には、原則的には、長い周期でフィルタ演算を行う間引き演算により演算結果を求めるものの、サンプリン

50

グ値 X が規定値より大きい状態から小さい状態に変化する下降期間において、間引き演算によりフィルタ演算を行う場合には、フィルタ演算の周期の変更が、フィルタ演算のフィルタ特性に影響し過ぎる。このため、フィルタ演算の演算結果が変動して、本来得べき演算結果（すなわち、従来と同等の演算結果）から離れる。

【 0 0 8 1 】

そこで、次のステップ S 2 3 0（下降期間判定手段）において、今回のサンプリングのタイミングが上述の下降期間内に入っているか否かを判定するために、演算カウンタのカウント値 K が零以下であるか否かを判定する。

【 0 0 8 2 】

例えば、(m - 3) 回目の A D 割り込み処理のステップ S 2 1 0 で Y E S 判定した後に、(m - 2) 回目の A D 割り込み処理、(m - 1) 回目の A D 割り込み処理、および m 回目の A D 割り込み処理のそれぞれのステップ S 2 1 0 で N O 判定した場合には、演算カウンタのカウント値 $K > 0$ となる。m は整数であって A D 割り込み処理の実行回数を示す。

10

【 0 0 8 3 】

つまり、ステップ S 2 1 0 で Y E S と判定した後にステップ S 2 1 0 で N O と判定する判定回数が 3 回以上になると、演算カウンタのカウント値 $K > 0$ となる。このため、上述の下降期間を終了として、ステップ S 2 3 0 で Y E S と判定する。

【 0 0 8 4 】

一方、ステップ S 2 1 0 で Y E S と判定した後にステップ S 2 1 0 で N O と判定する判定回数が 3 回未満であるときには、演算カウンタのカウント値 $K = 0$ となり、m 回目のサンプリングのタイミングが上述の下降期間内に入っていると、ステップ S 2 3 0 で Y E S と判定する。このことにより、フィルタ演算の演算結果が安定する安定期間まで待つことになる。

20

【 0 0 8 5 】

このように判定するステップ S 2 3 0 において、演算カウンタのカウント値 K が零以下であるとして ($K = 0$)、Y E S と判定した場合には、今回のサンプリングのタイミングが上述の下降期間内に入っていると。この場合、次のステップ S 2 4 0 において、次の数式 1 で用いる係数 (A_0 、 B_0 、 B_1 、 B_2) を通常演算用の係数に設定する。

【 0 0 8 6 】

30

$$Y_n = A_0 \cdot X + B_0 \cdot Y_{n-1} + B_1 \cdot Y_{n-2} + B_2 \cdot Y_{n-3} \cdot \cdot \cdot \cdot (\text{数式 1})$$

ここで、n はであってフィルタ演算の処理の実行回数を示す。A は X に掛けるための係数であり、 B_0 は Y_{n-1} に掛けるための係数であり、 B_1 は Y_{n-2} に掛けるための係数であり、 B_2 は Y_{n-3} に掛けるための係数である。なお、 B_0 、 B_1 、および B_2 は、特許請求の範囲に記載の B に相当する。 B_1 、および B_2 は、特許請求の範囲に記載の B_S に相当し、 Y_{n-2} 、 Y_{n-3} は、特許請求の範囲に記載の Y_{n-S} に相当する。

【 0 0 8 7 】

次に、ステップ S 2 5 0（演算手段）において、積和演算器 3 7 によって、数式 1 を用いたフィルタ演算処理を実施させる。

40

【 0 0 8 8 】

すなわち、A D 変換器 3 2 のサンプリングの実施毎に上記ステップ 2 0 0 で取得されるサンプリング値を数式 1 中 X に代入する。当該サンプリング値としては、A D 割り込み処理の実行毎に新たに取得される値が用いられる。そして、 Y_{n-1} 用演算結果バッファの記憶値を数式 1 中の Y_{n-1} に代入し、 Y_{n-2} 用演算結果バッファの記憶値を数式 1 中の Y_{n-2} に代入し、 Y_{n-3} 用演算結果バッファの記憶値を数式 1 中の Y_{n-3} に代入して Y_n を求めることになる。 Y_n は n 回目のフィルタ演算の処理における演算結果である。

【 0 0 8 9 】

ここで、上述の数式 1 は、例えばバンドパスフィルタを構成するためのものであって、

50

増幅回路 20 の出力信号（すなわち、センサ素子 10 の出力信号）のうち所定の周波数帯の信号成分を濾過信号として抽出するために用いられる。

【0090】

次のステップ S 260 では、 Y_{n-1} 用演算結果バッファの記憶値、 Y_{n-2} 用演算結果バッファの記憶値、および Y_{n-3} 用演算結果バッファの記憶値を更新する。

【0091】

具体的には、 Y_{n-1} 用演算結果バッファには、 $(n-1)$ 回目のフィルタ演算の演算結果 Y_n に代えて、 n 回目のフィルタ演算の演算結果 Y_n を記憶させる。

Y_{n-2} 用演算結果バッファには、 $(n-1)$ 回目のフィルタ演算で用いた演算結果 Y_{n-1} に代えて、 n 回目のフィルタ演算で用いた演算結果 Y_{n-1} を記憶させる。 Y_{n-3} 用演算結果バッファに、 $(n-1)$ 回目のフィルタ演算で用いた Y_{n-2} に代えて、 n 回目のフィルタ演算で用いた Y_{n-2} を記憶させる。

10

【0092】

ここで、上記ステップ S 250 で算出した演算結果 Y_n のビット数は、電子制御装置と通信回路 34 との間の通信で用いられる通信データのビット数に比べて大きい。そこで、ステップ S 270 では、上記ステップ S 250 で算出した演算結果 Y_n を所定ビット数のデータに変換して Y を求める。 Y を構成するデータの個数は、 Y_n を構成するデータの個数に比べて小さい。その後、AD 割り込み処理を終了する。

【0093】

また、上述のステップ S 230 において、演算カウンタのカウント値 K が零より大きいときには（演算カウンタのカウント値 $K > 0$ ）、今回のサンプリングのタイミングが上記下降期間を終えているとして、NO と判定する。これに伴い、以下のように間引き演算を実施することになる。

20

【0094】

次のステップ S 280 において、演算カウンタのカウント値 K が 4 以上であるか否かを判定する。このことにより、間引き演算においてフィルタ演算（演算結果 y_n の演算）を実施すべきか否かを判定することになる。

【0095】

ここで、演算カウンタのカウント値 K が 4 未満であるときには（演算カウンタのカウント値 $K < 4$ ）、フィルタ演算を実施するべきではないとして、ステップ S 280 で NO と判定して、AD 割り込み処理を終了する。このことにより、AD 変換器 32 から割り込み信号を受けても、ステップ S 250 のフィルタ演算を実行せずに、AD 割り込み処理を終了して、直ちにスリープになる。

30

【0096】

また、演算カウンタのカウント値 K が 4 以上であるときには（演算カウンタのカウント値 $K \geq 4$ ）、フィルタ演算を実施するべきであるとして、ステップ S 280 で YES と判定する。これに伴い、ステップ S 290 で演算カウンタのカウント値 K を零にセットして、次のステップ S 300 に移行して、上記数式 1 で用いる係数を間引き演算用の係数とする。

【0097】

ここで、間引き演算用の係数および通常演算用の係数は、同一特性のフィルタを数式 1 で構成するように設定されている。例えば、数式 1 によりバンドパスフィルタを構成する場合には、間引き演算および通常演算は、フィルタ演算の周期が互いに異なるものの、同一周波数帯域の濾過信号を抽出するように間引き演算用の係数および通常演算用の係数が設定されている。

40

【0098】

次に、ステップ S 250 において、上述の如く、ステップ S 200 で取得されたサンプリング値 X 、 Y_{n-1} 用演算結果バッファの記憶値、 Y_{n-2} 用演算結果バッファの記憶値、および Y_{n-3} 用演算結果バッファの記憶値を数式 1 に代入して Y_n を算出する。

【0099】

50

このように演算カウンタのカウント値 K が 4 以上になる毎に、ステップ $S 3 0 0$ 、 $S 2 5 0$ により、間引き演算用の係数を用いてフィルタ演算を実施する。

【0100】

次に、ステップ $S 2 6 0$ において、上述の如く、 Y_{n-1} 用演算結果バッファの記憶値、 Y_{n-2} 用演算結果バッファの記憶値、および Y_{n-3} 用演算結果バッファの記憶値を更新する。その後、ステップ $S 2 7 0$ で Y_n を Y に変換した後、 A/D 割り込み処理を終了する。

【0101】

また、上記ステップ $S 2 1 0$ において、サンプリング値 X が規定値以上であるときには (サンプリング値 X 規定値)、 YES と判定する。

10

【0102】

次に、次のステップ $S 3 1 0$ (上昇期間判定手段) において、サンプリング値 X が規定値よりも小さい状態から大きい状態に変化する上昇期間内に今回のサンプリングのタイミングが入っているか否かを判定するために、演算カウンタのカウント値 K が零以上であるか否かを判定する。

【0103】

例えば、 m 回目の A/D 割り込み処理においてステップ $S 2 1 0$ で YES と判定するに先だって、 $m-1$ 回目の A/D 割り込み処理においてステップ $S 2 1 0$ で NO と判定したときには、演算カウンタのカウント値 $K = 0$ となり、ステップ $S 3 1 0$ において YES と判定する。

20

【0104】

つまり、今回のサンプリングのタイミング (すなわち、 m 回目のサンプリングのタイミング) が上昇期間内に入っていると判定する。

【0105】

m 回目の A/D 割り込み処理にてステップ $S 2 1 0$ で YES と判定するに先だって、 $m-1$ 回目の A/D 割り込み処理にてステップ $S 2 1 0$ で YES と判定したときには、演算カウンタのカウント値 $K < 0$ となり、ステップ $S 3 1 0$ において NO と判定する。

【0106】

つまり、今回のサンプリングのタイミング (すなわち、 m 回目のサンプリングのタイミング) が上昇期間を終了していると判定する。

30

【0107】

このように判定するステップ $S 3 1 0$ において、 YES と判定すると、次のステップ $S 3 2 0$ において、 Y_{n-2} 用演算結果バッファおよび Y_{n-3} 用演算結果バッファのそれぞれに対して、 Y_{n-1} 用演算結果バッファの記憶値を格納する。

【0108】

その後、ステップ $S 3 3 0$ で演算カウンタのカウント値 K に零を設定して、次のステップ $S 2 4 0$ で、数式 1 で用いる係数を通常演算用の係数とする。

【0109】

次のステップ $S 2 5 0$ において、上述の如く、上記ステップ $S 2 0 0$ で取得したサンプリング値を数式 1 中 X に代入し、 Y_{n-1} 用演算結果バッファの記憶値を数式 1 中の Y_{n-1} に代入し、 Y_{n-2} 用演算結果バッファの記憶値を数式 1 中の Y_{n-2} に代入し、 Y_{n-3} 用演算結果バッファの記憶値を数式 1 中の Y_{n-3} に代入して Y_n を求めることになる。

40

【0110】

ここで、 Y_{n-2} 用演算結果バッファおよび Y_{n-3} 用演算結果バッファのそれぞれに、 Y_{n-1} 用演算結果バッファの記憶値を格納している。このため、今回のステップ $S 2 5 0$ において、 Y_{n-2} および Y_{n-3} をそれぞれ Y_{n-1} と同一値にして Y_n を求めることになる。

【0111】

その後、次のステップ $S 2 6 0$ において、 Y_{n-3} 用演算結果バッファの記憶値、 Y_n

50

- 2用演算結果バッファの記憶値、および Y_{n-1} 用演算結果バッファの記憶値をそれぞれ更新し、ステップS270では、 Y_n を Y に変換する。

【0112】

次に、通信割り込み処理の詳細について図5説明する。図5は通信割り込み処理の詳細を示すフローチャートである。通信割り込み処理の実行は、上述のように、通信回路34から割り込みを受ける毎に、開始される。

【0113】

まず、ステップS500において、通信回路34を制御して電子制御装置に Y を送信させる。この送信される Y として、通信回路34から割り込み信号の受信タイミングに対して最も近いタイミングで算出される Y が用いられる。

10

【0114】

次に、本実施形態のAD割り込み処理の具体例について図6、図7を参照して説明する。図6は従来のAD変換器32のサンプリングのタイミングとCPU36によるフィルタ演算の実行タイミングとの関係を示す図である。図7は本実施形態のAD変換器32のサンプリングのタイミングとCPU36によるフィルタ演算の実行タイミングとの関係を示す図である。

【0115】

従来の自動車用加速度センサ1では、図6に示すように、AD変換器32が増幅回路20の出力信号をサンプリングする毎にCPU36がサンプリング値 X に対するフィルタ演算（これは、図4のステップS250に相当する）を実行することになる。

20

【0116】

これに対して、本実施形態の自動車用加速度センサ1では、CPU36がフィルタ演算を実施する周期を図7に示すように変化させる。以下、増幅回路20の出力信号（図7中の実線）が規定値（図7中の鎖線）よりも小さい状態から、大きくなり、その後増幅回路20の出力信号の大きさが規定値よりも小さくなる例について説明する。

【0117】

まず、AD変換器32が m （ $3 \leq m$ は整数）回目のサンプリングを実施し、ステップS210でNOと判定して、ステップS220で演算カウンタのカウント値 K を1つインクリメントする。これに伴い、演算カウンタのカウント値 $K \geq 4$ となる場合には、ステップS230でNOと判定する。その後、ステップS300、S250により間引き演算用の係数を用いてフィルタ演算を実行する。

30

【0118】

その後、AD変換器32が $(m+1)$ 回目～ $(m+3)$ 回目のサンプリングをそれぞれ実施したときには、ステップS210でNOと判定し、ステップS220で演算カウンタのカウント値 K を1つインクリメントする。そして、演算カウンタのカウント値 $K < 4$ としてステップS280でNOと判定し、フィルタ演算を実行せずに、終了する。

【0119】

次に、AD変換器32が $(m+4)$ 回目のサンプリングを実施し、ステップS210でNOと判定した場合には、ステップS220で演算カウンタのカウント値 K を1つインクリメントして演算カウンタのカウント値 $K \geq 4$ になる。このため、ステップS280でYESと判定し、その後、ステップS300、S250により間引き演算用の係数を用いてフィルタ演算を実行する。

40

【0120】

このように、AD変換器32のサンプリング値が規定値未満であり、かつ演算カウンタのカウント値 $K > 0$ の場合には、演算カウンタのカウント値 K が4以上になる毎に、ステップS300、S250により間引き演算用の係数を用いてフィルタ演算を実行する。

【0121】

次に、AD変換器32が $(m+5)$ 回目のサンプリングを実施し、ステップS210でNOと判定した場合には、 m 回目のサンプリングの場合と同様に、フィルタ演算を実行せずに、終了する。

50

【 0 1 2 2 】

その後、増幅回路 20 の出力信号の大きさが規定値より大きくなり、A D 変換器 3 2 が (m + 6) 回目のサンプリングを実施すると、ステップ S 2 1 0 で Y E S と判定する。この場合、ステップ S 3 1 0 において、演算カウンタのカウント値 K が零以上となり、(m + 6) 回目のサンプリングのタイミングが上述の上昇期間内に入っているとして、次のステップ S 3 2 0 において、Y n - 2 用演算結果バッファおよび Y n - 3 用演算結果バッファのそれぞれに対して、Y n - 1 用演算結果バッファの記憶値を記憶させる。この場合、ステップ S 2 4 0、S 2 5 0 により、数式 1 において Y n - 2 および Y n - 3 をそれぞれ Y n - 1 と同一値に設定して、通常演算用の係数を用いたフィルタ演算を実行する。

【 0 1 2 3 】

次に、A D 変換器 3 2 が (m + 7) 回目のサンプリングを実施し、ステップ S 2 1 0 で Y E S と判定すると、ステップ S 3 1 0 において、演算カウンタのカウント値 K が零未満であるとして N O と判定する。すなわち、(m + 6) 回目のサンプリングのタイミングが上述の上昇期間内から外れたと判定する。次いで、ステップ S 2 4 0、S 2 5 0 により通常演算用の係数を用いてフィルタ演算を実行する。このとき、数式 1 において Y n - 2 および Y n - 3 をそのまま用いてフィルタ演算を実行する。

【 0 1 2 4 】

その後、A D 変換器 3 2 により (m + 8) 回目のサンプリング、および (m + 9) 回目のサンプリングを実施した場合に、ステップ S 2 1 0 で Y E S と判定する。この場合、ステップ S 2 4 0、S 2 5 0 により通常演算用の係数を用いてフィルタ演算を実行する。

【 0 1 2 5 】

その後、増幅回路 20 の出力信号の大きさが規定値より小さくなり、A D 変換器 3 2 が (m + 1 0) 回目のサンプリングを実施すると、ステップ S 2 1 0 で N O と判定する。その後、ステップ S 2 2 0 で演算カウンタのカウント値 K を 1 つインクリメントし、演算カウンタのカウント値 K = 0 として、ステップ S 2 3 0 で Y E S と判定する。この場合、(m + 1 0) 回目のサンプリングのタイミングが上述の下降期間に入っていると判定する。次いで、ステップ S 2 4 0、S 2 5 0 により通常演算用の係数を用いてフィルタ演算を実行する。

【 0 1 2 6 】

次に、A D 変換器 3 2 が (m + 1 1) 回目のサンプリングを実施した場合も、上記 (m + 1 0) 回目のサンプリングの場合と同様に、ステップ S 2 2 0 のインクリメント処理をしても、演算カウンタのカウント値 K = 0 となる。このため、(m + 1 1) 回目のサンプリングのタイミングが上述の下降期間に入っていると判定する。次いで、ステップ S 2 4 0、S 2 5 0 により通常演算用の係数を用いてフィルタ演算を実行する。

【 0 1 2 7 】

次に、A D 変換器 3 2 が (m + 1 2) 回目のサンプリングを実施し、ステップ S 2 1 0 で N O と判定すると、ステップ S 2 2 0 のインクリメント処理を経て、演算カウンタのカウント値 K > 0 となる。このため、(m + 1 2) 回目のサンプリングのタイミングが上述の下降期間を終了したとして、ステップ S 2 3 0 で Y E S と判定する。その後、ステップ S 2 8 0 で N O と判定して、フィルタ演算を実行せずに、終了する。

【 0 1 2 8 】

このように C P U 3 6 が A D 変換器 3 2 から A D 割り込みを受ける毎に A D 割り込み処理を実施して、フィルタ演算処理を行う。このとき、C P U 3 6 が A D 割り込み処理を実施中に通信回路 3 4 から通信割り込みを受けると (図中 T a 参照)、A D 割り込みを処理の終了後 (図中 T b 参照) に通信割り込み処理を行う。ここで、A D 割り込み処理および通信割り込み処理を除いた期間では、C P U 3 6 がスリープになる。

【 0 1 2 9 】

また、サンプリング値 X が規定値未満で、かつ演算カウンタのカウント値が零より小さいときに、図 8 (b) に示すように、C P U 3 6 が間引き演算を実施する。

10

20

30

40

50

【0130】

すなわち、A D変換器32からA D割り込みを受ける毎にA D割り込み処理を実施するものの、フィルタ演算の回数を間引いて、A D割り込み処理を4回実施する毎に1回のフィルタ演算を行う。図8(b)に示す例では、通信割り込みがA D割り込みを処理に対してオフセットしたタイミングで行われた例を示し、A D割り込みを処理および通信割り込み処理を除いた期間ではCPU36がスリープになっている。

【0131】

これに対して、従来の自動車用加速度センサ1の場合には、図9に示すように、CPU36がA D変換器32からA D割り込みを受ける毎にA D割り込み処理を実施してフィルタ演算処理を行う。このとき、A D割り込みを処理および通信割り込み処理を除いた期間は、ウェイトモードになっている。

10

【0132】

以上説明した本実施形態によれば、自動車の加速度を検出するセンサ素子10と、センサ素子10の出力信号を電圧増幅する増幅回路20と、増幅回路20の出力信号を一定期間毎にサンプリングするA D変換器32とを備え、演算器33は、A D変換器32から出力されるサンプリング値に対してフィルタ処理を行うためのフィルタ演算を繰り返し実施し、A D変換器32から出力されるサンプリング値が規定値以上であると判定したときには、短い周期でフィルタ演算を繰り返し実施し、サンプリング値が規定値未満であるときには、長い周期でフィルタ演算を繰り返し実施することを特徴としている。

【0133】

このため、本実施形態によれば、サンプリング値が規定値未満であるか否かに関わらず、A D変換器32がサンプリングを実行する毎に、フィルタ演算を実施する場合に比べて、フィルタ演算の回数を減らすことができる。このため、CPU36の演算量を減らすことができる。したがって、CPU36、ひいては演算器33の電力消費を低減することができる。

20

【0134】

本実施形態では、通常演算を実施するときには、通常演算用係数を用いて数式1を用いてフィルタ演算を実施する。間引き演算を実施するときには、間引き演算用係数を用いて数式1を用いてフィルタ演算を実施する。

【0135】

ここで、間引き演算のフィルタ特性と通常演算のフィルタ特性とが互いに同一になるように通常演算用係数および間引き演算用係数が設定されている。このため、間引き演算および通常演算は、フィルタ演算を実施する周期が互いに異なるものの、従来と同等のフィルタ演算の演算結果 Y_n を求めることができる。

30

【0136】

本実施形態では、演算カウンタのカウント値 $K=0$ であるとき、今回のサンプリングのタイミングが増幅回路20の出力信号の大きさが規定値よりも大きい状態から規定値よりも小さい状態に変化する下降期間内に入っているとして、サンプリング値 X が規定値であるにも関わらず、フィルタ演算として通常演算を実施する。

【0137】

ここで、仮に、今回のサンプリングのタイミングが下降期間内に入っているときに、フィルタ演算として間引き演算を実施した場合には、フィルタ演算を実施する周期を長くする(すなわち、フィルタ演算を間引く)ことに伴って演算結果 Y_n の変動が生じて、本来得べき従来と同等の演算結果からずれてしまう。

40

【0138】

そこで、本実施形態では、上述の如く、今回のサンプリングのタイミングが下降期間内に入っているとしてステップS230でYESと判定したときには、フィルタ演算としての通常演算を実施して、フィルタ演算を実施する周期を長くすることに伴って演算結果 Y_n の変動が生じることを抑制することができるので、従来と同等の演算結果 Y_n を求めることができる。

50

【 0 1 3 9 】

すなわち、ステップ S 2 3 0 で Y E S と判定した場合には演算結果 Y_n が安定するまでの安定期間を設け、この期間の間は、通常演算を実施し、安定期間が終了したら間引き演算に移行する。これにより、センサ素子 1 0 からの出力信号の大きさが、制御として監視外の値である間は、演算量を低減し、その余った時間、演算器 3 3 を停止させることで、消費電力を低減することができる。

【 0 1 4 0 】

本実施形態では、ステップ S 3 1 0 において、今回のサンプリングのタイミングが上昇期間内に入っているとして Y E S と判定する。これに伴い、 Y_{n-3} および Y_{n-2} をそれぞれ Y_{n-1} と同一値に設定して数式 1 の演算結果 Y_n を求める。

10

【 0 1 4 1 】

このため、今回のサンプリングのタイミングが上昇期間内に入っているときに、増幅回路 2 0 の出力信号の大きさが規定値よりも小さい状態であるときの演算結果 (Y_{n-3} 、 Y_{n-2}) がフィルタ特性に影響を与えることを抑制することができるので、従来と同等の演算結果 Y_n を求めることができる。

【 0 1 4 2 】

但し、車両衝突時には、上昇期間の終了後に、加速度が急激に変化する。そして、上昇期間の終了後に加速度が急激に変化する期間のフィルタ特性に、 Y_{n-3} および Y_{n-2} が影響を与えることはない。このため、ステップ S 3 2 0 の処理を用いなくて、本実施形態を実施してもよい。

20

【 0 1 4 3 】

次に、本実施形態の自動車用加速度センサ 1 の具体的な数値例について説明する。

【 0 1 4 4 】

例えば、自動車停車時には加速度が発生しなく、自動車が走行時には加速度が数 G 以下でゆっくり変化する。車両衝突時では 2 0 G 以上の加速度が発生し加速度が急激に変化する。このため、A/D変換器 3 2 としては 2 0 K H z 程度の周期でサンプリングを実施する。増幅回路 2 0 の出力信号 (すなわち、センサ素子 1 0 の出力) の変化の大小 (すなわち、ゆっくり変化するのか、或いは急激な変化であるか) を判定するための規定値としては、数 G 相当の値を用いる。このことは、車両が低速で走行しているときには、演算器 3 3 は、上述のように、長い周期でフィルタ演算を繰り返し実施する。このため、演算量を減らすことができる。例えば、車両が低速で走行しているときには、車両衝突などの高速計算を実施せずに 1 / 1 0 に演算量を減らすことが可能であるため、C P U 3 6 の消費電力を約 1 / 1 0 まで低減することができる。

30

(第2実施形態)

上述の第1実施形態では、サンプリング値 X が規定値未満であるときには、フィルタ演算を長い周期で実施する例について説明したが、これに代えて、本第2実施形態では、サンプリング値 X が規定値未満であるときには、C P U 3 6 の動作クロックの周波数を低くする例について説明する。

【 0 1 4 5 】

図 1 0 に本実施形態の自動車用加速度センサ 1 の電気回路構成を示す。本実施形態の自動車用加速度センサ 1 は、センサ素子 1 0、増幅回路 2 0、制御装置 3 0 A、および発振回路 4 0 から構成されている。

40

【 0 1 4 6 】

本実施形態の自動車用加速度センサ 1 のうち制御装置 3 0 A 以外の他の構成 (1 0、2 0、4 0) は、図 1 の自動車用加速度センサ 1 の回路構成と同様である。そこで、他の構成 (1 0、2 0、4 0) の説明を省略し、以下、制御装置 3 0 A について説明する。

【 0 1 4 7 】

本実施形態の制御装置 3 0 A は、分周器 3 1 a、クロック切替器 3 1 b、A/D変換器 3 2、演算器 3 3、比較器 3 3 a、および通信回路 3 4 から構成されている。

【 0 1 4 8 】

50

制御装置 30 A は、図 1 において、低消費電力回路に代えて、分周器 31 a、クロック切替器 31 b、および比較器 33 a を備える構成となっている。そこで、A D 変換器 32、演算器 33、および通信回路 34 の説明を簡素化し、分周器 31 a、クロック切替器 31 b、および比較器 33 a について説明する。

【0149】

分周器 31 a は、発振器 40 から出力されるクロックを異なる三つの分周比で分周して、A D 変換クロック、および第 1、第 2 の C P U クロックを出力する。

【0150】

第 1、第 2 の C P U クロックは、クロック切替器 31 b に出力されるもので、後述するように演算器 33 の C P U 36 の動作クロックとして用いられる。

10

【0151】

ここで、第 1 の C P U クロックの周波数を f_{cpu} とすると、第 2 の C P U クロックの周波数は $(f_{cpu} / 4)$ となる。つまり、第 1 の C P U クロックの周波数は、第 2 の C P U クロックの周波数に比べて高く設定されている。A D 変換クロックは、A D 変換器 32 の動作クロックとして用いられる。A D 変換クロックの周波数 f_{ad} は、第 1 の C P U クロックの周波数 (f_{cpu}) および第 2 の C P U クロックの周波数 $(f_{cpu} / 4)$ に対して異なる周波数に設定されている。

【0152】

比較器 33 a は、A D 変換器 32 から出力されるサンプリング値 X (すなわち、A D 変換データ) が C P U 36 により設定される基準データよりも大きいか否かを判定する。本実施形態の基準データとしては、上述の第 1 実施形態で用いた規定値と同一の値を示すデータが用いられる。

20

【0153】

クロック切替器 31 b は、後述するように、A D 変換器 32 或いは C P U 33 の出力信号に応じて、第 1、第 2 の C P U クロックのうちいずれか一方の C P U クロックを C P U 36 に出力する。

【0154】

次に、本実施形態の自動車用加速度センサ 1 の作動について図 11 ~ 図 13 を参照して説明する。

【0155】

本実施形態のセンサ素子 10、増幅回路 20、A D 変換器 32、および演算器 33 のそれぞれの作動は、上記第 1 の実施形態と実質的に同様である。本実施形態の演算器 33 の C P U 36 が上記第 1 の実施形態と異なる作動を行う。そこで、以下、自動車用加速度センサ 1 のうち、C P U 36、および分周器 31 a、クロック切替器 31 b、および比較器 33 a 以外の回路構成 (10、20、32、33) については、説明を簡素化し、C P U 36、および分周器 31 a、クロック切替器 31 b、および比較器 33 a について説明する。

30

【0156】

まず、電源オン時にて、発振器 40 がクロックの出力を開始する。分周器 31 a は、発振器 40 からのクロックを分周した A D 変換クロックを A D 変換器 32 に出力するとともに、発振器 40 からのクロックを分周した第 1、第 2 の C P U クロックをクロック切替器 31 b に出力する。そして、クロック切替器 31 b は、第 1 の C P U クロックを C P U 36 に出力する。これに伴い、C P U 36 は、第 1 の C P U クロックを動作クロックとして動作を開始することになる。すなわち、C P U 36 は、第 1 の C P U クロックを動作クロックとして動作する状態で、メイン演算処理を実行することになる。

40

【0157】

図 11 は、図 3 に代えて用いられる C P U 36 のメイン演算処理の全体を示すフローチャートである。

【0158】

図 11 のフローチャートは、図 3 のフローチャート中のステップ S 130 とステップ S

50

140との間にステップS135を追加して構成されたものである。ステップS135は、CPU36が基準データを比較器33aに対して設定するステップである。

【0159】

まず、CPU36は、ステップS100におけるAD変換器32の初期化処理、ステップS110における通信回路34の初期化処理、ステップS120における演算結果バッファの初期化処理をそれぞれ実行して、その後のステップS135にて比較器33aに対して基準データを設定する。基準データとしては、上述の如く、上記第1実施形態で用いた規定値を示すデータが用いられている。CPU36は、次にステップS130における演算カウンタのカウント値Kの設定処理と、ステップS140におけるAD変換器32からの割り込みを許可処理とを実行する。その後、CPU36は、上述の第1実施形態と同様に、スリープ（ステップS160）とウェイクアップ（ステップS170）とを交互に実施する。

10

【0160】

AD変換器32は、上記ステップS100におけるAD変換器32の初期化処理に伴ってリセットされる。このため、AD変換器32は、分周器31aからのAD変換クロックを動作クロックとしてサンプリング動作を開始する。

【0161】

したがって、上記ステップS100の処理に伴って、AD変換器32は、サンプリングを繰り返し実施するとともに、このサンプリング毎にサンプリング値をCPU36および比較器33aに出力する。これに加えて、AD変換器32は、1回のサンプリングを終了する毎にAD完了信号を割り込み信号としてCPU36に出力する。

20

【0162】

比較器33aは、AD変換器32によりサンプリングが実施される毎に、AD変換器32から出力されるサンプリング値（すなわち、AD変換データ）が規定値以上であるか否かを判定するとともに、その判定結果を示す判定結果信号をCPU36に出力する。一方、CPU36は、AD変換器32からのAD完了信号（すなわち、AD割り込み）を受ける毎に、上述の判定結果信号を用いたAD割り込み処理を実行する。

【0163】

これに加えて、比較器33aは、AD変換器32から出力されるサンプリング値（すなわち、AD変換データ）が規定値以上であると判定する毎に、比較器33aは、クロック切替器31bからCPU36に与えられるクロックの周波数を高速化する。

30

【0164】

すなわち、比較器33aは、AD変換器32から出力されるサンプリング値が規定値以上であると判定する毎に、クロック切替器31bからCPU36に与えられるクロックの周波数を第1のCPUクロックの周波数に設定する。このため、比較器33aは、サンプリング値が規定値以上であると判定する毎に、CPU36は、第1のCPUクロックの周波数（ f_{cpu} ）を動作クロックの周波数として動作を開始することになる。

【0165】

一方、サンプリング値が規定値未満であると比較器33aが判定したときには、後述するように、図12中のステップS400において、CPU36は、比較器33aから出力される判定結果信号に応じて、クロック切替器31bからCPU36に与えられるクロックの周波数を第2のCPUクロックの周波数（ $f_{cpu}/4$ ）に設定する。

40

【0166】

以下、本実施形態のCPU36によるAD割り込み処理の擬略について説明する。図12は、図4に代えて用いられるフローチャートであって、AD割り込み処理を示している。AD割り込み処理の実行は、上述のように、AD変換器32からAD完了信号を受ける毎に、開始される。ここで、クロック切替器31bによって、CPU36の動作周波数の初期値が第1のCPUクロックの周波数に設定されている。

【0167】

まず、ステップS200において、AD変換器32からのサンプリング値Xを取得して

50

、次のステップ S 2 1 0 a において、比較器 3 3 a からの判定結果信号に基づいて比較器 3 3 a による判定結果を確認する。

【 0 1 6 8 】

ここで、A D 変換器 3 2 から出力されるサンプリング値 X (すなわち、A D 変換データ) が規定値以上であると比較器 3 3 a が判定したことを確認し、ステップ S 3 1 0 で演算カウンタのカウント値 K = 0 として Y E S と判定したときには、上述の第 1 実施形態と同様、ステップ S 3 1 0 の演算カウンタのカウント値 K の判定処理と、ステップ S 3 2 0 の演算結果バッファの設定処理と、ステップ S 2 4 0 の通常演算用係数の設定処理と、ステップ S 2 5 0 のフィルタ演算処理と、ステップ S 2 6 0 の演算結果バッファの更新処理と、ステップ S 2 7 0 の Y_n / Y のデータ変換処理とをそれぞれ実行する。

10

【 0 1 6 9 】

また、A D 変換器 3 2 から出力されるサンプリング値 X (すなわち、A D 変換データ) が規定値未満であるとき、ステップ S 2 2 0 に移行して演算カウンタのインクリメント処理を実行後に、ステップ S 2 3 0 に進んで、演算カウンタのカウント値 K が零以下であるか否かを判定する。

【 0 1 7 0 】

演算カウンタのカウント値 K が零以下であるときには、今回のサンプリングのタイミングが下降期間内に入っているとして、ステップ S 2 3 0 において Y E S と判定する。この場合には、クロック切替器 3 1 b から C P U 3 6 に出力されるクロックの周波数が第 1 の C P U クロックの周波数に維持される。そして、次のステップ S 2 4 0、S 2 5 0 において、上述の第 1 実施形態と同様、数式 1 の係수에通常演算用の係数を設定して数式 1 の Y_n を算出する。

20

【 0 1 7 1 】

一方、上述のステップ S 2 3 0 において、演算カウンタのカウント値 K が零より大きいときには、今回のサンプリングのタイミングが下降期間内から外れているとして N O と判定する。そして、次のステップ S 4 0 0 に移行して、クロック切替器 3 1 b から C P U 3 6 自体に出力される C P U クロックの周波数を低速化する。

【 0 1 7 2 】

具体的には、C P U 3 6 が低速化信号をクロック切替器 3 1 b に出力する。このため、クロック切替器 3 1 b は、C P U 3 6 から低速化信号を受けると、C P U 3 6 に与えるクロックの周波数を第 2 の C P U クロックの周波数に設定する。このため、C P U 3 6 自体が第 2 の C P U クロックの周波数 ($f_{cpu} / 4$) を動作周波数とする動作を開始することになる。

30

【 0 1 7 3 】

次に、ステップ S 4 1 0 において、上述の数式 1 で用いる係数を間引き演算用の係数に設定する。

【 0 1 7 4 】

ここで、間引き演算で用いられる C P U クロックの周波数と通常演算で用いられる C P U クロックの周波数とは、互いに異なるものの、同一特性のフィルタを構成するように間引き演算用係数と通常演算用係数とが設定されている。

40

【 0 1 7 5 】

その後、ステップ S 4 2 0 において、演算カウンタのカウント値 K が 1、2、3、及び 4 以上の値のうち、いずれの値であるかを判定する。この判定結果に応じて次の (1)、(2)、(3)、(4) のいずれかの 1 つの処理を選択して実行する。

【 0 1 7 6 】

(1) 演算カウンタのカウント値 K が 1 であるときには (カウント値 K = 1)、ステップ S 4 3 0 (図中フィルタ演算 1 と記す) において、数式 1 の第 1 項である $A_0 \cdot X$ を演算してこの演算結果を Y_n とする。その後、ステップ S 2 7 0 に進む。X は今回のサンプリング値である。

【 0 1 7 7 】

50

(2) 演算カウンタのカウント値 K が 2 であるときには (カウント値 $K = 2$)、ステップ $S 4 4 0$ (図中フィルタ演算 2 と記す) に移行する。このステップ $S 4 4 0$ で、今回のステップ $S 4 4 0$ に先だって実行したステップ $S 4 3 0$ の演算結果を Y_n とし、 Y_{n-1} 用演算結果バッファの記憶値を Y_{n-1} として、 $(Y_n + B_0 \cdot Y_{n-1})$ を演算する。 $(B_0 \cdot Y_{n-1})$ は上述の数式 1 の第 2 項である。そして、 $(Y_n + B_0 \cdot Y_{n-1})$ の演算結果を Y_n として、次のステップ $S 2 7 0$ に進む。

【 0 1 7 8 】

(3) 演算カウンタのカウント値 K が 3 であるときには (カウント値 $K = 3$)、ステップ $S 4 5 0$ (図中フィルタ演算 3 と記す) において、今回のステップ $S 4 5 0$ に先だって実行したステップ $S 4 4 0$ の演算結果を Y_n とし、 Y_{n-2} 用演算結果バッファの記憶値を Y_{n-2} として、 $(Y_n + B_1 \cdot Y_{n-2})$ を演算する。 $(B_1 \cdot Y_{n-2})$ は上述の数式 1 の第 3 項である。そして、 $(Y_n + B_1 \cdot Y_{n-2})$ の演算結果を Y_n とし、次のステップ $S 2 7 0$ に進む。

10

【 0 1 7 9 】

(4) 演算カウンタのカウント値 K が 4 以上であるときには (カウント値 $K = 4$)、ステップ $S 4 6 0$ (図中フィルタ演算 4 と記す) において、今回のステップ $S 4 6 0$ に先だって実行したステップ $S 4 5 0$ の演算結果を Y_n とし、 Y_{n-3} 用演算結果バッファの記憶値を Y_{n-3} として、 $(Y_n + B_2 \cdot Y_{n-3})$ を演算する。 $(B_2 \cdot Y_{n-3})$ は上述の数式 1 の第 3 項である。そして、 $(Y_n + B_2 \cdot Y_{n-3})$ の演算結果を Y_n する。

20

【 0 1 8 0 】

次のステップ $S 4 6 5$ において、上記第 1 実施形態のステップ $S 2 6 0$ と同様に、 Y_{n-1} 用演算結果バッファの記憶値、 Y_{n-2} 用演算結果バッファの記憶値、および Y_{n-3} 用演算結果バッファの記憶値を更新する。次のステップ $S 4 7 0$ において演算カウンタのカウント値 K を零に設定して ($K = 0$)、次のステップ $S 2 7 0$ に進む。

【 0 1 8 1 】

ここで、ステップ $S 4 3 0$ 、 $S 4 4 0$ 、 $S 4 5 0$ 、 $S 4 6 0$ は、それぞれ、ステップ $S 2 5 0$ のフィルタ演算処理を 4 分割した処理に相当している。このため、上記ステップ $S 2 3 0$ で NO と判定すると、フィルタ演算処理を 4 分割して実施することになる。

【 0 1 8 2 】

また、 $CPU 3 6$ は、通信回路 3 4 から要求信号 (すなわち、通信割り込み) を受けると、上述の第 1 実施形態と同様、通信回路 3 4 を制御してフィルタ演算の結果 Y_n を電子制御装置に送信する。

30

【 0 1 8 3 】

次に、本実施形態の演算器 3 3 の処理の具体例について図 1 3 (a)、(b) を参照して説明する。

【 0 1 8 4 】

図 1 3 (a)、(b) は演算器 3 3 の処理状態を示す図である。図 1 3 (a) は、本実施形態において動作周波数を f_{cpu} として $CPU 3 6$ が動作する通常演算時のものを示し、図 1 3 (b) は、本実施形態において動作周波数を $f_{cpu} / 4$ として $CPU 3 6$ が動作する間引き演算時のものを示している。

40

【 0 1 8 5 】

まず、電源がオンされると、クロック切替器 3 1 b は、 $CPU 3 6$ に与えるクロックの周波数を、その初期値としての第 1 の CPU クロックの周波数に設定する。このため、 $CPU 3 6$ は、第 1 の CPU クロックの周波数を動作クロック周波数として動作することになる。

【 0 1 8 6 】

その後、 $CPU 3 6$ は、 AD 割り込みを受けると、 AD 割り込み処理を開始することになる。そして、サンプリング値 $X <$ 規定値であると比較器 3 3 a が判定した旨を $CPU 3 6$ が確認し (図 1 2 中のステップ 2 1 0 a)、ステップ $S 2 3 0$ において演算カウンタの

50

カウンタ値 $K > 0$ として NO と判定したときには、ステップ $S400$ において、低速化信号をクロック切替器 $31b$ に出力する。このため、クロック切替器 $31b$ は、 $CPU36$ から低速化信号を受けると、 $CPU36$ に与えるクロックの周波数を第2の CPU クロックの周波数 $f_{cpu}/4$ に設定する。このことにより、間引き演算が開始されることになる。

【0187】

この場合、演算カウンタのカウント値 K に応じて、図12中のステップ $S430$ 、 $S440$ 、 $S450$ 、 $S460$ のうちいずれか1つのステップを選択してこの選択したステップに進んで、ステップ $S260$ の Y_n の演算処理を4分割した処理（以下、分割化処理という）を実施する。そして、ステップ $S270$ の Y_n/Y 変換処理を経て終了する。

10

【0188】

以上説明した間引き演算の処理は、サンプリング値 $X < 規定値$ であり、かつ演算カウンタのカウント値 $K > 0$ であることが維持される限り、 $CPU36$ により AD 割り込みを受ける毎に、繰り返し実施される。

【0189】

このため、 j 回目の AD 割り込み（図13（b）中タイミング t_1 参照）を受けたときには、 AD 割り込み処理（1/4）を実行し、ステップ $S420$ において演算カウンタのカウント値 $K = 1$ と判定すると、ステップ $S430$ において分割化処理（図12中フィルタ演算処理1と記す）を実施する。

【0190】

次に、 $j + 1$ 回目の AD 割り込み（図13（b）中タイミング t_2 参照）を受けたときには、 AD 割り込み処理（2/4）を実行し、ステップ $S420$ において演算カウンタのカウント値 $K = 2$ と判定すると、ステップ $S440$ において分割化処理（図12中フィルタ演算処理2と記す）を実施する。

20

【0191】

次に、 $j + 2$ 回目の AD 割り込み（図13（b）中タイミング t_3 参照）を受けたときには、 AD 割り込み処理（3/4）を実行し、ステップ $S420$ において演算カウンタのカウント値 $K = 3$ と判定すると、ステップ $S450$ において分割化演算処理（図12中フィルタ演算処理3と記す）を実施する。

【0192】

ここで、 $CPU36$ が図13中の AD 割り込み処理（3/4）を実行中に、通信回路 34 から通信割り込み（図中白抜きの逆三角形参照）を受けたときには、 AD 割り込み処理（3/4）が終了したタイミング t_4 にて通信割り込み処理の実行を開始する。この場合、通信回路 34 によってステップ $S460$ の演算結果 Y_n を電子制御装置に送信する。上記演算結果 Y_n は、タイミング t_4 に先だって実行された AD 割り込み処理（4/4）（図示省略）の演算結果である。

30

【0193】

次に、 $j + 3$ 回目の AD 割り込み（図13（b）中タイミング t_5 参照）を受けたときには、 AD 割り込み処理（4/4）を実行し、ステップ $S420$ において演算カウンタのカウント値 $K = 4$ と判定すると、ステップ $S460$ において分割化処理（図12中フィルタ演算処理4と記す）を実施する。これに伴い、ステップ $S470$ において演算カウンタのカウント値 K を零に設定する（カウント値 $K = 0$ ）。

40

【0194】

このため、 $j + 4$ 回目の AD 割り込み（図13（b）中タイミング t_6 参照）を受けたときには、 AD 割り込み処理（1/4）の実行に際して、ステップ $S220$ で演算カウンタのカウント値を1つインクリメントし、ステップ $S420$ において演算カウンタのカウント値 $K = 1$ と判定とする。このため、ステップ $S430$ において分散化処理（図12中フィルタ演算処理1と記す）を実施する。

【0195】

その後、増幅回路 20 の出力信号の大きさが規定値よりも大きくなり、比較器 $33a$ が

50

サンプリング値 X が規定値以上であることを判定すると、比較器 33a は、クロック切替器 31b から CPU 36 に与えられるクロックの周波数を第 1 の CPU クロックの周波数に設定する。このため、CPU 36 は、第 1 の CPU クロックの周波数 (f_{cpu}) を動作クロックの周波数として動作を開始する。すなわち、通常演算を開始することになる。

【0196】

これに加えて、CPU 36 は、AD 変換器 32 から出力されるサンプリング値 X が規定値以上であると比較器 33a が判定したことを確認して (図 12 中ステップ S210a)、ステップ S310 で演算カウンタのカウント値 $K = 0$ として YES と判定する。そして、ステップ S320 において Y_{n-2} 用演算結果バッファおよび Y_{n-3} 用演算結果バッファに対して、 Y_{n-1} 用演算結果バッファの記憶値を格納する。ステップ S330 で演算カウンタのカウント値 K を -2 に設定して、次のステップ S250 において積和演算器 37 によって、通常の演算用係数を用いたフィルタ演算を実施させる。このため、分割化処理の途中結果 (すなわち、ステップ S430 の分割化処理の演算結果 Y_n) を破棄されることになる。

10

【0197】

その後、サンプリング値 X が規定値以上であることが維持されると、比較器 33a がサンプリング値 X が規定値以上であることを判定すると、比較器 33a は、クロック切替器 31b から CPU 36 に与えられるクロックの周波数を第 1 の CPU クロックの周波数に維持する。このため、CPU 36 の動作クロックの周波数は、第 1 の CPU クロックの周波数 (f_{cpu}) に維持されることになる。

20

【0198】

これに加えて、CPU 36 は、AD 変換器 32 から出力されるサンプリング値 X が規定値以上であると比較器 33a が判定したことを確認して (図 12 中ステップ S210a)、ステップ S310 で演算カウンタのカウント値 $K < 0$ として NO と判定する。次のステップ S330 で演算カウンタのカウント値 K を -2 に設定して、次のステップ S250 において積和演算器 37 によって、通常の演算用係数を用いたフィルタ演算を実施させる。

【0199】

このような通常演算の処理は、サンプリング値 X 規定値である限り、CPU 36 により AD 割り込みを受ける毎に、繰り返し実施されることになる (図 13 (a) 参照)。

【0200】

その後、増幅回路 20 の出力信号の大きさが規定値よりも小さくなると、サンプリング値 X が規定値未満であると比較器 33a が判定したことをステップ S210a で確認する。このとき、ステップ S220 で演算カウンタのカウント値 K を 1 つインクリメントして、演算カウンタのカウント値 $K = -1$ になる。すなわち、演算カウンタのカウント値 $K = 0$ となり、ステップ S230 において YES と判定する。このため、CPU 36 の動作クロック周波数は、第 1 の CPU クロックの周波数 (f_{cpu}) に維持される。次のステップ S250 において通常の演算用係数を用いたフィルタ演算を実施する。

30

【0201】

その後、サンプリング値 X 規定値であることが維持されると、サンプリング値 X が規定値未満であると比較器 33a が判定したことをステップ S210a で確認し、ステップ S220 で演算カウンタのカウント値 K を 1 つインクリメントすると演算カウンタのカウント値 $K = 0$ になる。このため、ステップ S230 において YES と判定する。このため、CPU 36 の動作クロック周波数は、第 1 の CPU クロックの周波数 (f_{cpu}) に維持されて、次のステップ S250 において通常の演算用係数を用いたフィルタ演算を実施する。

40

【0202】

その後、サンプリング値 X 規定値であることが維持されて、サンプリング値 X が規定値未満であると比較器 33a が判定したことをステップ S210a で確認し、ステップ S220 で演算カウンタのカウント値 K を 1 つインクリメントすると、演算カウンタのカウント値 $K = 1$ になる。このため、ステップ S230 において、今回のサンプリングのタイ

50

ミングが下降期間を終えているとして、NOと判定する。次のステップS400に移行して、クロック切替器31bからCPU36自体に出力されるCPUクロックの周波数を低速化する。これに伴い、上述の間引き演算が開始されることになる。

【0203】

以上説明した本意実施形態によれば、サンプリング値 X 規定値であるときには、CPU36は、第1のCPUクロックの周波数(f_{cpu})を動作クロック周波数として動作して、AD割り込みを受ける毎に、フィルタ演算を実施してその演算結果 Y_n を算出することになる。

【0204】

一方、サンプリング値 $X <$ 規定値であるときには(但し、ステップS230において演算カウンタのカウント値 $K > 0$ であるときに限る)、CPU36は、第2のCPUクロックの周波数($f_{cpu}/4$)を動作クロックの周波数として動作して、上述した分割化処理を、AD割り込みを受ける毎に実施する。

10

【0205】

以上により、サンプリング値 $X <$ 規定値であり、かつステップS230において今回のサンプリングのタイミングが下降期間を終えているとしてNOと判定したときには、CPU36は、第2のCPUクロックの周波数($f_{cpu}/4$)を動作クロック周波数として動作する。このため、サンプリング値 X と規定値との大小判定に関わらず、CPU36は、第1のCPUクロックの周波数(f_{cpu})を動作クロック周波数として動作する場合に比べて、CPU36で消費される電力を減らすことができる。

20

【0206】

これに加えて、本実施形態では、上述の第1実施形態と同様、CPU36は、メイン演算処理、AD割り込み処理、および通信割り込み処理以外の余った期間に、スリープしている。このため、CPU36、ひいては演算器33の消費電力を減らすことができる。

【0207】

本実施形態では、上述の第1実施形態と同様、通常演算を実施するときには、通常演算用係数(A 、 B_0 、 B_1 、 B_2)を用いて数式1を用いてフィルタ演算を実施する。間引き演算を実施するときには、間引き演算用係数(A 、 B_0 、 B_1 、 B_2)を用いて数式1を用いてフィルタ演算を実施する。ここで、間引き演算用係数と通常演算用係数とは、通常演算時と間引き演算時とで同一特性のフィルタを構成するように設定されている。このため、上述の第1実施形態と同様、間引き演算および通常演算は、CPU36の動作クロックの周波数が互いに異なるものの、従来と同等のフィルタ演算の演算結果 Y_n を求めることができる。

30

【0208】

本実施形態では、上述の第1実施形態と同様、演算カウンタのカウント値 $K = 0$ であるときには、増幅回路20の出力信号の大きさが規定値よりも大きい状態から規定値よりも小さい状態に変化したとする。すなわち、今回のサンプリングのタイミングが下降期間に入っていると判定する。これに伴い、フィルタ演算として通常演算を実施する。したがって、CPUクロックの周波数の低下に伴う演算結果 Y_n の変動を抑えることができる。

40

【0209】

本実施形態では、上述の第1実施形態と同様、演算カウンタのカウント値 $K = 0$ であるとしてステップS310でYESと判定したときには、今回のサンプリングのタイミングが上昇期間に入っているとす。この場合、ステップS320の設定処理により、数式1の演算結果 Y_n を求める際に用いる Y_{n-3} および Y_{n-2} を、それぞれ Y_{n-1} と同一の値にする。したがって、上述の第1実施形態と実質的に同様、 Y_{n-3} および Y_{n-2} の影響をフィルタ特性に与えて Y_n が変動することを抑えることができる。なお、上述の第1実施形態の場合と同様の理由でステップS320を用いることなく、本実施形態のAD割り込み処理を構成してもよい。

【0210】

(他の実施形態)

50

上述の第1実施形態では、通常演算時のフィルタ処理の周期の4倍の時間を間引き演算時のフィルタ処理の周期として用いる例を示したが、これに限らず、通常演算時のフィルタ処理の周期よりも間引き演算時のフィルタ処理の周期の方が長いのであれば、間引き演算時のフィルタ処理の周期としてはどのような時間を設定してもよい。

【0211】

上述の第2実施形態では、通常演算時のCPU36の動作クロックの周波数 f_{cpu} の4分1の値 $f_{cpu}/4$ を、間引き演算時のCPU36の動作クロックの周波数とした例を示したが、これに限らず、通常演算時のCPU36の動作クロックの周波数の方が間引き演算時のCPU36の動作クロックの周波数に比べて高い周波数であるならば、間引き演算時のCPU36の動作クロックの周波数としてどのような値に設定してもよい。

10

【0212】

上述の第1、第2の実施形態では、ステップ320でYESと判定したときに、ステップS320において Y_{n-2} 用演算結果バッファおよび Y_{n-3} 用演算結果バッファに対して Y_{n-1} 用演算結果バッファの記憶値を格納して、 Y_{n-2} および Y_{n-3} を Y_{n-1} と同一値にしてフィルタ演算をする例を示したが、これに限らず、ステップ320、S320の処理を削除してもよい。

【0213】

上述の第1実施形態では、サンプリング値 X が規定値未満であるとき（自動車の加速度の変化量が小さい場合）のフィルタ特性とサンプリング値 X が規定値以上であるとき（自動車の加速度の変化量が大きい場合）のフィルタ特性を合わせるためにフィルタの演算式の係数を変えたが、これに代えて、次のようにしてもよい。

20

【0214】

すなわち、加速度の変化量が小さい場合の（すなわち、車両走行時の数 G 以下で加速度がゆっくり変化する場合に適した）フィルタ特性と、加速度の変化量が大きく変化する場合の（すなわち、車両衝突時の加速度が急激に変化する場合に適した）フィルタ特性とをそれぞれ別の特性にすることも可能である。

【0215】

上述の第1実施形態では、センサ素子の出力信号 X が規定値以上であるとき、フィルタ演算を実施する周期を短い周期に設定し、センサ素子の出力信号 X が規定値未満であるとき、フィルタ演算を実施する周期を長い周期に設定することにより、サンプリング値 X に応じてフィルタ演算を実施する周期を二段階で変更した例について説明したが、これに限らず、サンプリング値 X に応じてフィルタ演算を実施する周期を三段階以上の複数段階で変化させるようにしてもよい。

30

【0216】

例えば、車両が走行時か或いは衝突時かを判定するために設定されている規定値（以下、第1の規定値という）に加えて、車両が停止しているか否かを判定するための第2の規定値（例えば加速度 $1G$ に相当する）を用いる。

【0217】

上述の第1実施形態の場合には、サンプリング値 X が第2の規定値未満であるときには、車両が停止しているとして、車両が走行時および衝突時に比べて、フィルタ演算の周期を長くしてフィルタ演算の回数を減らすことができ更に消費電力を下げることができる。

40

【0218】

上述の第2実施形態においても、サンプリング値 X に応じてCPU36の動作クロックの周波数を三段階以上の複数段階で変更するようにしてもよい。

【0219】

具体的には、サンプリング値 X が第2の規定値未満であるときには、車両が停止しているとして、車両が走行時および衝突時に比べて、CPU36の動作クロックの周波数を低くして更にCPU36の消費電力を下げることができる。

【0220】

上述の第1、2実施形態において、ステップS230において今回のサンプリングのタ

50

イミングが下降期間内に入っているか否かを判定するために用いる判定回数を3として、ステップS210でYES判定した後において、ステップS210でNOと判定する判定回数が3回未満であるか否かを判定することにより、ステップS230において今回のサンプリングのタイミングが下降期間内に入っているか否かを判定する例について説明したが、これに限らず、次のようにしてもよい、

すなわち、ステップS230において今回のサンプリングのタイミングが下降期間内に入っているか否かを判定するために用いる判定回数を1以上の値ならば、3以外の値にしてもよい。

【0221】

上述の第1、第2の実施形態では、CPU36以外のハードウェア回路として積和演算器37を用いてフィルタ演算処理を実施する例について説明したが、これに限らず、CPU36によってフィルタ演算処理を実施するようにしてもよい。

【0222】

上述の第1、2実施形態では、数式1を用いたフィルタ演算によりバンドパスフィルタの濾過信号を演算した例について説明したが、これに代えて、数式1を用いたフィルタ演算により、ローパスフィルタやハイパスフィルタなどの各種のフィルタの濾過信号を演算するようにしてもよい。

【0223】

上述の第1の実施形態では、増幅回路20の出力信号（すなわち、センサ素子の出力信号）が規定値未満のときには、長い周期でデジタルフィルタ処理を繰り返し実施し、増幅回路20の出力信号の大きさが規定値よりも大きいときには、短い周期でデジタルフィルタ処理を繰り返し実施する例について説明したが、これに代えて、次のようにしてもよい。

【0224】

増幅回路20の出力信号（すなわち、センサ素子の出力信号）の変化量が規定値未満のときには、長い周期でデジタルフィルタ処理を繰り返し実施し、増幅回路20の出力信号の変化量が規定値よりも大きいときには、短い周期でデジタルフィルタ処理を繰り返し実施するようにしてもよい。

【0225】

具体的には、CPU36が、AD変換器32がサンプリングを実施する毎に、今回のサンプリング値と前回のサンプリング値との差分（＝今回のサンプリング値 - 前回のサンプリング値）を算出し、この差分が規定値以上であるか否かを判定する。差分が規定値未満であると判定したときには、長い周期でデジタルフィルタ処理を繰り返し実施し、差分が規定値よりも大きいと判定したときには、短い周期でデジタルフィルタ処理を繰り返し実施する。

【0226】

なお、今回のサンプリング値と前回のサンプリング値との差分としては、（今回のサンプリング値 - 前回のサンプリング値）とする場合に限らず、差分としては、（今回のサンプリング値 - 前回のサンプリング値）の絶対値（＝|今回のサンプリング値 - 前回のサンプリング値|）としてもよい。

【0227】

また、上述の第2の実施形態では、増幅回路20の出力信号の大きさが規定値未満のときと、増幅回路20の出力信号の大きさが規定値よりも大きいときとで、CPU36の動作クロックの周波数を変更する例について説明したが、これに代えて、次のようにしてもよい。

【0228】

すなわち、AD変換器32がサンプリングを実施する毎に、比較器33aは、今回のサンプリング値と前回のサンプリング値との差分が規定値以上であるか否かを判定し、その判定結果を示す判定結果信号をCPU36に出力する。

【0229】

10

20

30

40

50

ここで、比較器 33 a は差分が規定値以上であると判定する毎に、その判定結果を示す判定結果信号をクロック切替器 31 b に出力する。これに伴い、クロック切替器 31 b は、判定結果信号を受けると、第 1 の CPU クロックを CPU 36 に与える。つまり、比較器 33 a は、差分が規定値以上であると判定する毎に、比較器 33 a は、クロック切替器 31 b から第 1 の CPU クロックを CPU 36 に出力させるように与えるようにクロック切替器 31 b を制御することになる。これにより、CPU 36 の動作クロックの周波数が第 1 の CPU クロックの周波数に設定される。

【0230】

一方、差分が規定値未満であると比較器 33 a が判定したときには、比較器 33 a が CPU 36 に判定結果信号を CPU 36 に出力する。CPU 36 は、クロック切替器 31 b から第 2 の CPU クロックを CPU に与えるようにクロック切替器 31 b を制御する。これにより、CPU 36 の動作クロックの周波数が第 2 の CPU クロックの周波数に設定される。

10

【0231】

上述の第 1、第 2 の実施形態では、数式 1 に基づいて $A_0 \cdot X$ 以外に、 $B_0 \cdot Y_{n-1}$ 、 $B_1 \cdot Y_{n-2}$ 、および $B_2 \cdot Y_{n-3}$ を用いて Y_n を演算する例について説明したが、これに限らず、 n 回目の演算結果 Y_n に先だって演算された演算結果 Y_{n-d} (d は整数) に係数 B を掛けた $B \cdot Y_{n-d}$ と、サンプリング値 X とを用いるのであれば、どのような手法で演算結果 Y_n を求めてもよく、演算結果 Y_n を求めるために、数式 1 を用いることに限定されない。

20

【0232】

上述の第 1、2 実施形態では、数式 1 を用いたフィルタ演算によりバンドパスフィルタの濾過信号を演算した例について説明したが、これに代えて、数式 1 を用いたフィルタ演算により、ローパスフィルタやハイパスフィルタなどの各種のフィルタの濾過信号を演算するようにしてもよい。

【0233】

上述の第 1、第 2 の実施形態では、本発明の物理量センサとして自動車用センサを用いた例を示したが、これに代えて、自動車以外の二輪車などの各種の機器に用いるセンサに本発明を適用してもよい。

【0234】

上述の第 1、第 2 の実施形態では、本発明の物理量センサとして加速度センサを用いた例を示したが、これに限らず、温度センサや湿度センサなどの各種のセンサに本発明を適用してもよい。

30

【符号の説明】

【0235】

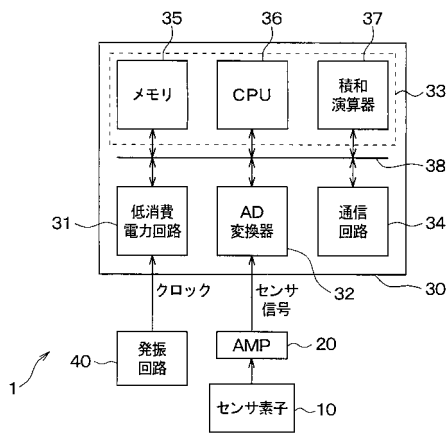
- 1 自動車用加速度センサ
- 10 センサ素子
- 20 増幅回路
- 30 制御装置
- 30 A 制御装置
- 31 低消費電力回路
- 32 A/D 変換器
- 33 演算器
- 34 通信回路
- 35 メモリ
- 36 CPU
- 37 積和演算器
- 31 a 分周器
- 31 b クロック切替器
- 33 a 比較器

40

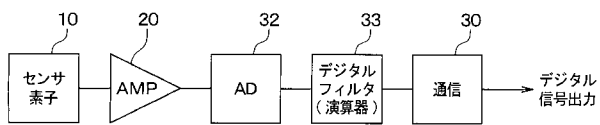
50

40 発振回路

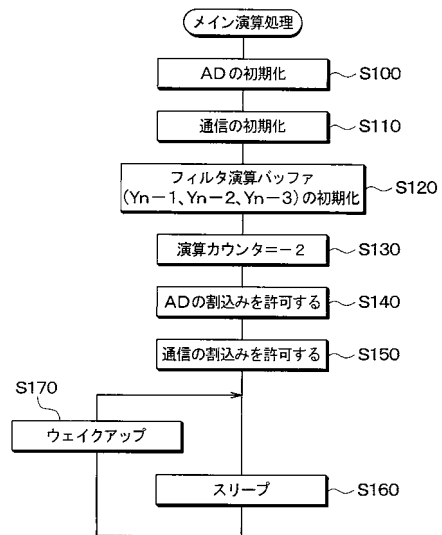
【図1】



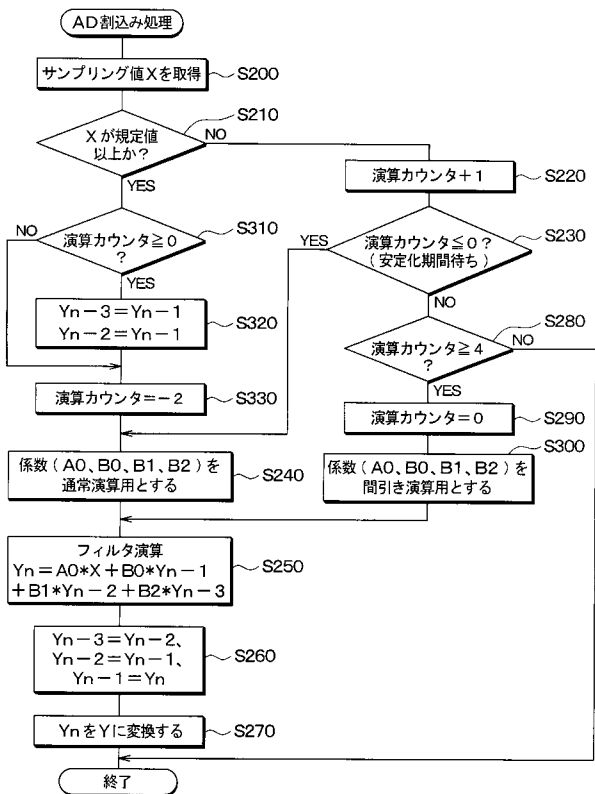
【図2】



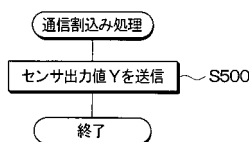
【図3】



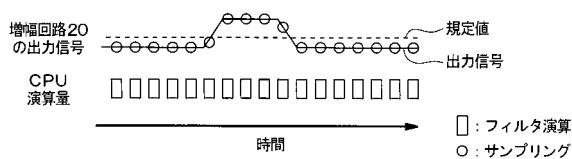
【 図 4 】



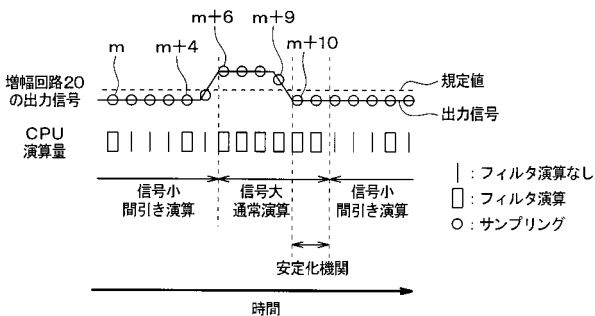
【 図 5 】



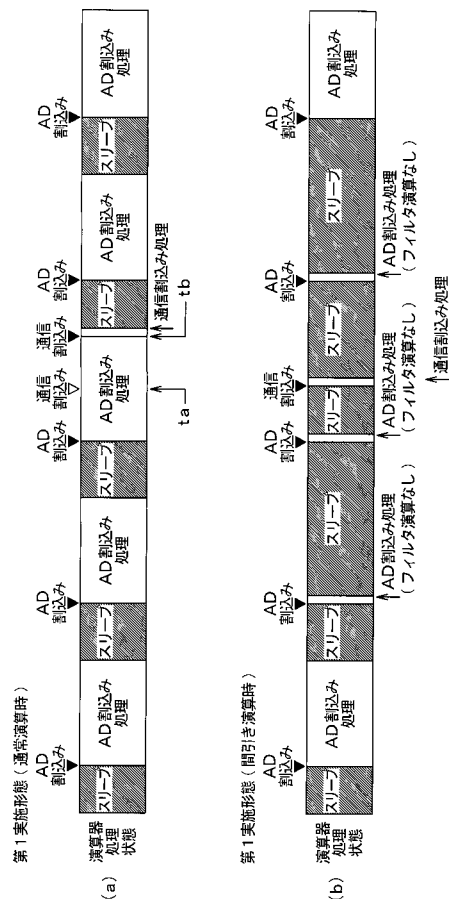
【 図 6 】



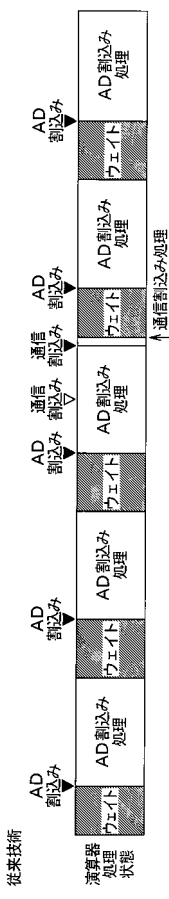
【 図 7 】



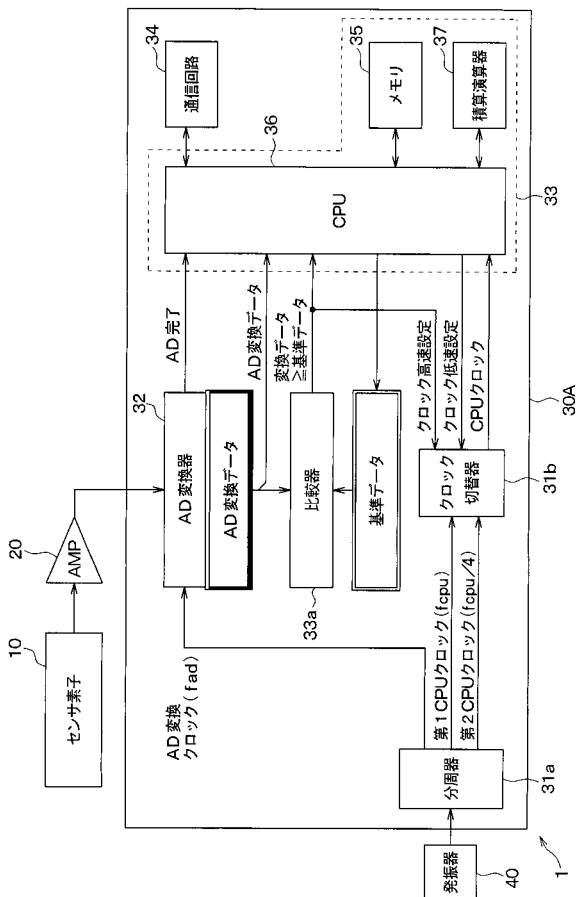
【 図 8 】



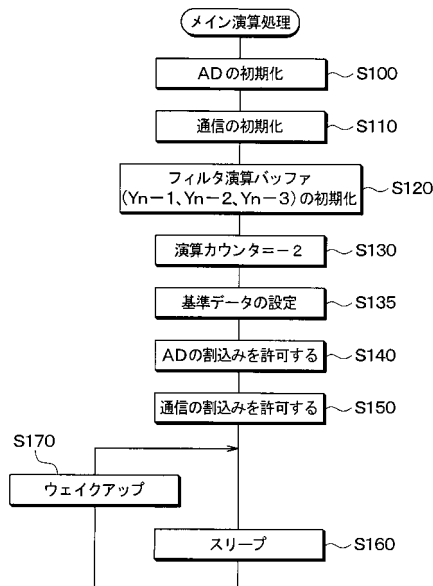
【 図 9 】



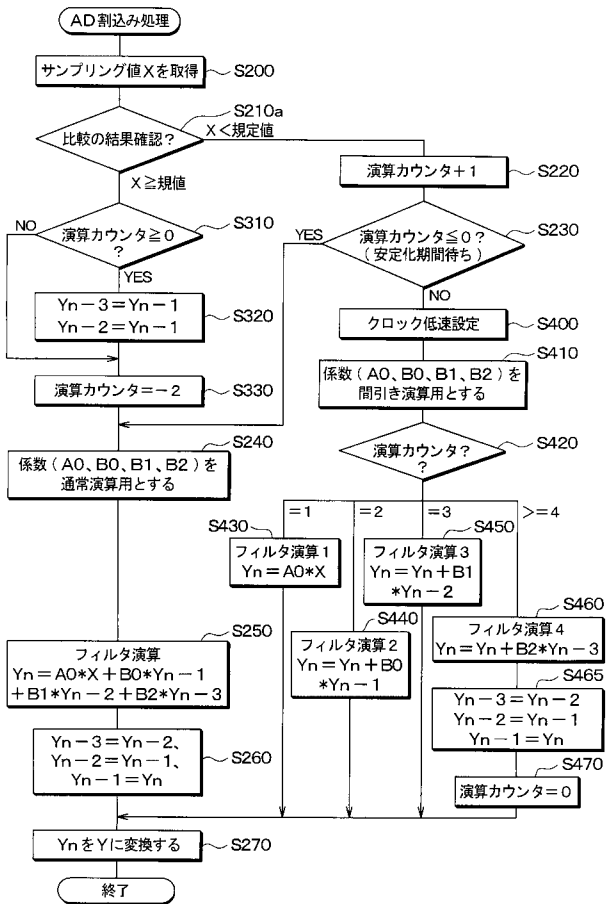
【図10】



【図11】



【図12】



【図13】

